



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I455280 B

(45)公告日：中華民國 103 (2014) 年 10 月 01 日

(21)申請案號：100125398

(22)申請日：中華民國 100 (2011) 年 07 月 19 日

(51)Int. Cl. : H01L25/04 (2014.01)

H01L23/28 (2006.01)

(71)申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72)發明人：林偉勝 LIN, WEI SHENG (TW)；蔡育杰 TSAI, YU CHIEH (TW)；劉玉菁 LIU, YU CHING (TW)；王愉博 WANG, YU PO (TW)

(74)代理人：陳昭誠

(56)參考文獻：

TW 200641968

TW 200644060

TW 201123320A1

審查人員：許智誠

申請專利範圍項數：8 項 圖式數：4 共 0 頁

(54)名稱

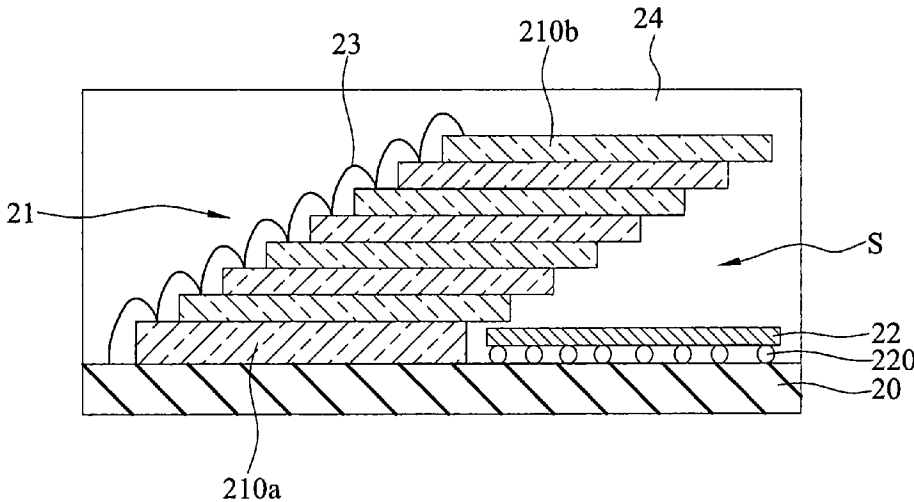
半導體封裝件

SEMICONDUCTOR PACKAGE STRUCTURE

(57)摘要

一種半導體封裝件，係包括：封裝基板；以錯位方式相堆疊於該封裝基板上之複數半導體晶片，使該封裝基板與該相堆疊之半導體晶片之間形成一容置空間；以及覆晶結合於該封裝基板上且位於該容置空間中之控制晶片。藉由將該控制晶片置放於該容置空間中，以降低整體封裝件之厚度，而達到薄化之目的。

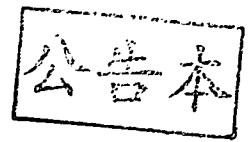
Disclosed is a semiconductor package structure, including a package substrate, a plurality of chips stacked alternatively on the package substrate to form a receiving space between the substrate and the stacked chips, and connecting the control chips situated in the receiving space with the package substrate by a flip-chip technique, thereby reducing the overall package thickness for product miniaturization.



第2圖

- 20 . . . 封裝基板
- 21 . . . 階梯狀結構
- 210a,210b . . . 半導體晶片
- 22 . . . 控制晶片
- 220 . . . 鐳球
- 23 . . . 鐳線
- 24 . . . 封裝膠體
- S . . . 容置空間

發明專利說明書



(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100125398

※申請日：100.7.19 ※IPC 分類：

H01L 25/04 (2014.01)

H01L 23/18 (2006.01)

一、發明名稱：(中文/英文)

半導體封裝件

SEMICONDUCTOR PACKAGE STRUCTURE

二、中文發明摘要：

一種半導體封裝件，係包括：封裝基板；以錯位方式相堆疊於該封裝基板上之複數半導體晶片，使該封裝基板與該相堆疊之半導體晶片之間形成一容置空間；以及覆晶結合於該封裝基板上且位於該容置空間中之控制晶片。藉由將該控制晶片置放於該容置空間中，以降低整體封裝件之厚度，而達到薄化之目的。

三、英文發明摘要：

Disclosed is a semiconductor package structure, including a package substrate, a plurality of chips stacked alternatively on the package substrate to form a receiving space between the substrate and the stacked chips, and connecting the control chips situated in the receiving space with the package substrate by a flip-chip technique, thereby reducing the overall package thickness for product miniaturization.

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

10.000

10.000

20	封裝基板
21	階梯狀結構
210a,210b	半導體晶片
22	控制晶片
220	鐳球
23	鐳線
24	封裝膠體
S	容置空間

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

【發明所屬之技術領域】

本發明係有關一種半導體封裝件，尤指一種具控制晶片之半導體封裝件。

【先前技術】

常見的多晶片封裝結構係採用並排式(side-by-side)，以將複數晶片並排設置於一基板之置晶面上，且該些晶片與基板上導電線路之間的電性連接方式一般係為打線方式(wire bonding)。然而，因該基板之面積會隨著晶片數目之增加而增加，故該並排式多晶片封裝結構之缺點為封裝成本太高及封裝結構尺寸太大。

為解決上述問題，近年來係使用垂直式之堆疊方法以增加晶片之數量，且其堆疊的方式係依晶片之設計與打線製程而各有不同。例如：記憶卡之電子裝置中所設之快閃記憶體晶片(flash memory chip)或動態隨機存取記憶體晶片(Dynamic Random Access Memory, DRAM)等，該晶片之鐳墊集中於一邊，故其堆疊方式係為階梯狀結構，以便於打線且可減少置放記憶體晶片之面積。

第 1A 及 1B 圖係為美國專利第 6,538,331 號所揭示之記憶卡之多晶片堆疊之半導體封裝件，其於一封裝基板 10 上堆疊複數半導體晶片 11a,11b，且於不妨礙打線作業之原則下，將上方半導體晶片 11b 偏移一預定距離而設於下方半導體晶片 11a 上以呈階梯狀結構，再於該上方半導體晶片 11b 上設置一具有複數鐳墊 120 之控制晶片

(controller)12，並藉由鐳線 13 使該些半導體晶片 11a,11b 及該控制晶片 12 之鐳墊 120 電性連接該封裝基板 10。

惟，相較於並排式(side-by-side)多晶片封裝結構，前述之半導體封裝件雖可縮小封裝基板 10 之使用面積，但卻會使整體封裝體積之厚度增加，因而難以符合薄化之需求。

再者，該控制晶片 12 以打線方式電性連接該封裝基板 10，使該些鐳墊 120 僅能設於該控制晶片 12 邊緣，因而減少電性接點之數量，導致該控制晶片 12 之效能無法提升，以致於無法符合現今終端產品所需之高效能需求。

因此，如何克服習知半導體封裝件之種種問題，實為一重要課題。

【發明內容】

為克服習知技術之體積過厚及控制晶片效能不佳等問題，本發明遂提出一種半導體封裝件，係包括：封裝基板；依序以錯位方式相堆疊於該封裝基板上之複數半導體晶片，使該封裝基板與該相堆疊之半導體晶片之間形成一容置空間；以及置放於該容置空間中之封裝基板上之控制晶片，係以覆晶方式電性連接該封裝基板。

前述之本發明半導體封裝件，係藉由將控制晶片置放於該容置空間中之封裝基板上，以取代如習知技術中將控制晶片置放於最上方之半導體晶片上，故本發明有效降低整體封裝件之厚度，以符合薄化之需求。

再者，本發明之控制晶片藉由覆晶方式電性連接該封裝基板，以取代如習知技術之打線方式，故本發明之控制

晶片之該些鐳墊可佈設於該控制晶片之表面，而不侷限於邊緣，以增加電性接點之數量，使該控制晶片之效能得以提升，以符合現今終端產品所需之高效能需求。

另外，依前述之本發明半導體封裝件之態樣，本發明復提供其具體技術，詳如後述。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“下方”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第2圖係繪示本發明之半導體封裝件之剖面示意圖。所述之半導體封裝件係用於具記憶卡之電子裝置中，該半導體封裝件包括：一封裝基板 20、複數半導體晶片 210a,210b、一控制晶片 22、以及封裝膠體 24。

所述之封裝基板 20 的種類繁多，可依需求作設計，並無特別限制，且其並非本案之技術特徵，故不再贅述。

所述之複數半導體晶片 210a,210b 係依序以錯位方式相堆疊成一階梯狀結構 21 而設於該封裝基板 20 上，使該封裝基板 20 與該階梯狀結構 21 之間形成一容置空間 S。該至少二半導體晶片 210a,210b 之間係藉由鐳線 23 以打線方式相互電性連接，於本實施例中，係該全部半導體晶片 210a,210b 之間係藉由鐳線 23 以打線方式相互電性連接，且最底層之半導體晶片 210a 亦藉由鐳線 23 電性連接該封裝基板 20。

再者，前述之堆疊半導體晶片 210a,210b，各該半導體晶片 210a,210b 之間係具有黏著材，此為熟習該技術領域之人士所習用，故不另加繪示。又，該些半導體晶片 210a,210b 具有至少一記憶體晶片。

於另一實施態樣，如第 3 圖所示，除了該最底層之半導體晶片 210a 外，各該半導體晶片 210b' 亦可個別以打線方式電性連接該封裝基板 20。再者，最底層之半導體晶片 210a' 亦可以覆晶方式電性連接至封裝基板 20。

所述之控制晶片(controller Die)22 係置放於該容置空間 S 中之封裝基板 20 上，且藉由鐳球 220 以覆晶方式電性連接該封裝基板 20。因越具高效能與高容量之電子裝置，其封裝件內的控制晶片尺寸通常較大，故本發明之控制晶片 22 置放於該容置空間 S 中，不僅可置放寬度或厚度較大之控制晶片 22，且整體封裝件之厚度因只需考量階

梯狀結構 21 之高度而無需考量控制晶片 22 之厚度，俾有效降低整體封裝件之厚度。

再者，若所置放之控制晶片的尺寸越大或效能越高，則該控制晶片之電性接點的數量需求越多，故本發明之控制晶片 22 以覆晶方式電性連接該封裝基板 20，可使該些錫球 220（或該控制晶片 22 之錫墊）以矩陣式排列佈設於該控制晶片 22 之表面，而不侷限於打線式晶片，其電性接點分布於邊緣或分布成環形態樣，故以覆晶方式電性連接係能滿足所需之電性接點數量，使該控制晶片 22 之效能得以提升。

另外，有關控制晶片 22 之寬度、長度及厚度均可依需求作設計，只要能使該控制晶片 22 收納於該容置空間 S 中即可，並無特別限制。

所述之封裝膠體 24 係形成於該封裝基板 20 上，以包覆該些半導體晶片 210a,210b、錫線 23、錫球 220 與控制晶片 22。

故本發明係提供一種半導體封裝件，係包括：封裝基板 20；複數半導體晶片 210a,210b，係依序以錯位方式相堆疊於該封裝基板 20 上，使該封裝基板 20 與該相堆疊之半導體晶片 210a,210b 之間形成一容置空間 S；以及控制晶片 22，係設於該封裝基板 20 上，且位於該容置空間 S 中，並以覆晶方式電性連接該封裝基板 20。

綜上所述，本發明之半導體封裝件，主要藉由將控制晶片以覆晶方式收納於該封裝基板與該階梯狀結構之間所

形成的容置空間中，以達到薄化封裝件之目的，且該半導體封裝件兼具高效能之優點。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1A 圖係為習知半導體封裝件之剖面示意圖；

第 1B 圖係為習知半導體封裝件之局部上視示意圖；

第 2 圖係為本發明半導體封裝件之剖面示意圖；以及

第 3 圖係為本發明半導體封裝件之另一實施例之剖面示意圖。

【主要元件符號說明】

10,20 封裝基板

11a,11b,210a,210b,210a',210b' 半導體晶片

12,22 控制晶片

120 鐳墊

13,23 鐳線

21 階梯狀結構

220 鐳球

24 封裝膠體

S 容置空間

七、申請專利範圍：

103年3月6日修正

1. 一種半導體封裝件，係包括：

封裝基板；

複數半導體晶片，係依序以錯位方式相堆疊於該封裝基板上，使該封裝基板與該相堆疊之半導體晶片之間形成一容置空間；以及

控制晶片，係設於該封裝基板上，且位於該封裝基板與該相堆疊之半導體晶片所形成之容置空間中，並以覆晶方式電性連接該封裝基板，其中，該控制晶片係鄰近該最底層之半導體晶片。

2. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該些半導體晶片中至少二半導體晶片之間係以打線方式相互電性連接。

3. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該最底層之半導體晶片係以打線方式電性連接該封裝基板。

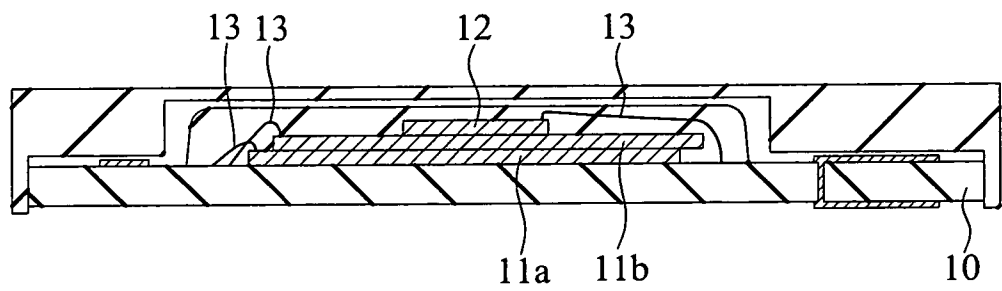
4. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該最底層之半導體晶片係以覆晶方式電性連接該封裝基板。

5. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該最底層之半導體晶片上之各該半導體晶片係個別以打線方式電性連接該封裝基板。

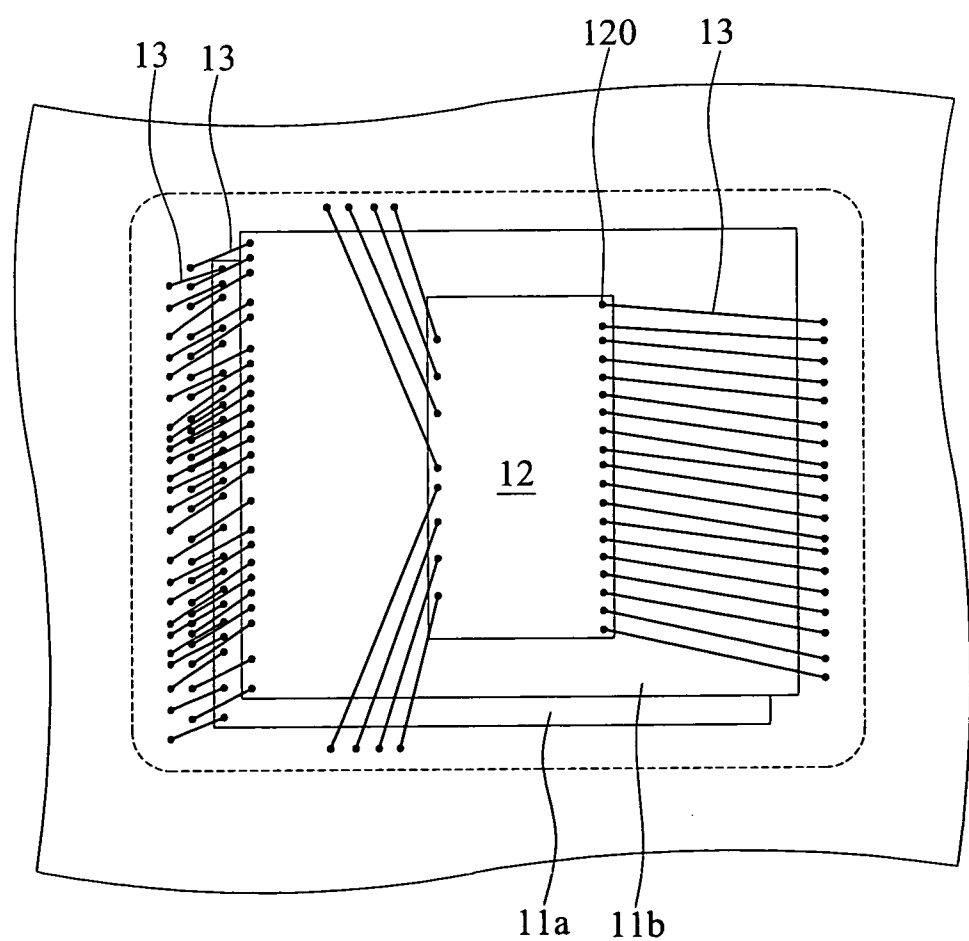
6. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該些半導體晶片彼此以階梯狀結構堆疊。

7. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該些半導體晶片具有至少一記憶體晶片。
8. 如申請專利範圍第 1 項所述之半導體封裝件，復包括封裝膠體，係形成於該封裝基板上以包~~覆~~該些半導體晶片與控制晶片。

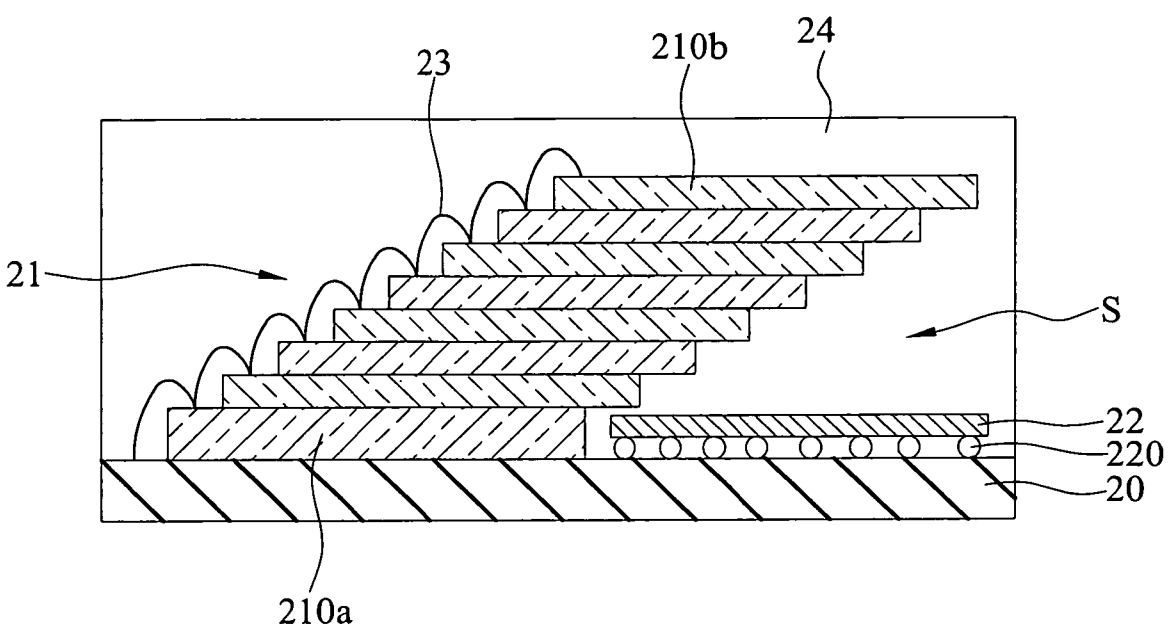
八、圖式：



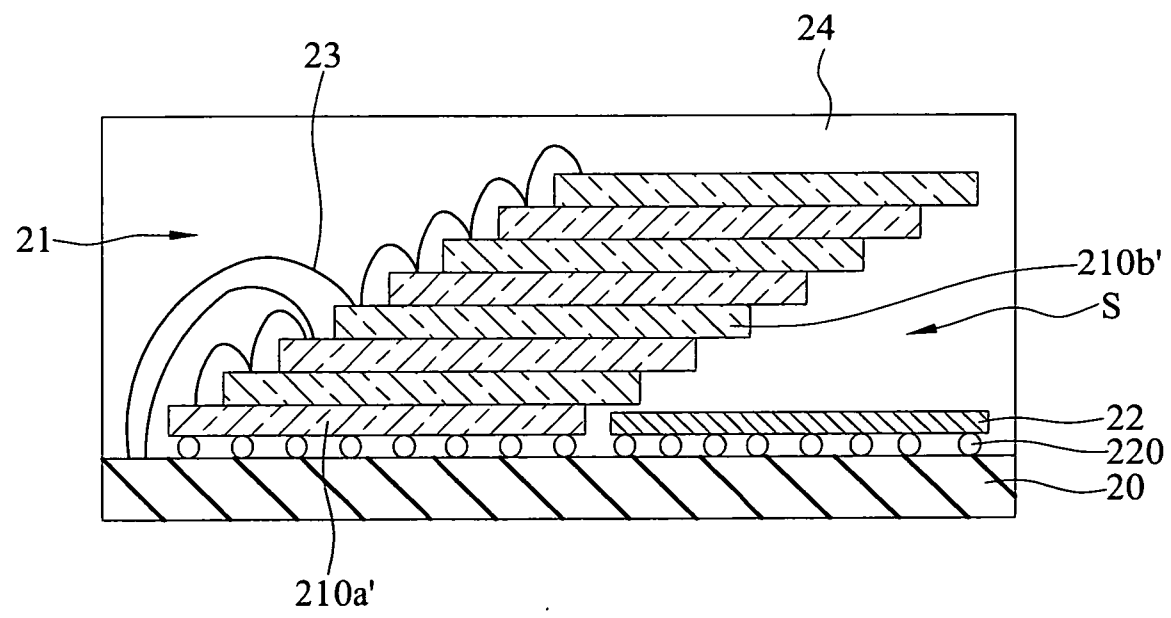
第1A圖



第1B圖



第2圖



第3圖