

發明專利說明書

200529372

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：

94101167

※申請日期：

94/11/14

※IPC 分類：

H01L 21/82
21/3205

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND FABRICATION METHOD FOR THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三洋電機股份有限公司

SANYO ELECTRIC CO., LTD.

代表人：(中文/英文) 桑野幸德 / KUWANO, YUKINORI

住居所或營業所地址：(中文/英文)

日本國大阪府守口市京阪本通 2 丁目 5 番 5 號

5-5, Keihanhondori 2-chome, Moriguchi-shi, Osaka-fu, Japan

國籍：(中文/英文) 日本國 / JAPAN

三、發明人：(共 4 人)

姓名：(中文/英文)

1. 三輪哲也 / MIWA, TETSUYA

2. 今井勉 / IMAI, TSUTOMU

3. 甲斐誠二 / KAI, SEIJI

4. 海田孝行 / KAIDA, TAKAYUKI

國籍：(中文/英文)

1. 至 4. 日本國 / JAPAN

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

日本國；2004年01月22日；特願2004-014678（主張優先權）

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造方法，具體而言係關於一種適用於 CCD（電荷耦合元件）圖像感測器等之固體攝像元件的傳輸部的半導體裝置及其製造方法。

【先前技術】

以往，作為這種半導體裝置，例如有第 6 圖和第 7 圖所示的 CCD（電荷耦合元件）圖像感測器。

下面，參照第 6 圖和第 7 圖說明 CCD 圖像感測器的概略結構。

第 6 圖是表示該 CCD 圖像感測器的概略結構的方塊圖。另外，第 6 圖中的箭頭 A1 至 A3 表示信號電荷的傳輸方向。

如第 6 圖所示，該感測器主要構成為具有：利用光電變換，產生對應於被拍攝體的光學像的信號電荷的攝像部 101；將從該攝像部 101 傳輸來的信號電荷暫時儲存的儲存部 102；將從該儲存部 102 傳輸來的信號電荷向輸出部（輸出放大器）104 傳輸的水平傳輸部 103。

另外，上述攝像部 101 和儲存部 102 分別具備有未圖示的例如三相驅動的垂直傳輸用 CCD。另外，第 6 圖中用 P1 至 P3、C1 至 C3 來表示的端子係以分別連接在該等垂直傳輸用 CCD 的每一個傳輸電極上的形態配設。並且，藉由對這些端子 P1 至 P3 和端子 C1 至 C3 供給三相的驅動脈衝（電位脈衝），而進行該攝像部 101 和儲存部 102 中的信

號電荷的傳輸。

另一方面，上述水平傳輸部 103 具備有未圖示的例如二相驅動的水平傳輸用 CCD。另外，第 6 圖中用 H1、H2 來表示的端子係以分別連接在那些水平傳輸用 CCD 的每一個傳輸電極上的形態配設。並且，藉由對這些端子 H1 和端子 H2 供給二相驅動脈衝（電位脈衝），而進行該水平傳輸部 103 中的信號電荷的傳輸。

另外，以上述方式傳輸到輸出部 104 的被拍攝體光學像所對應的信號電荷，在該輸出部 104 中變換為與其電荷數成正比的電壓。並且，輸出至例如未圖示的外部信號處理系統，在此進行適當的信號處理。

第 7 圖是模示性表示水平傳輸部 103 的概略結構圖。另外，第 7 圖 (a) 是模示性表示該水平傳輸部 103 的一部分的平面結構的俯視圖，第 7 圖 (b) 是沿第 7 圖 (a) 的 B—B 線的剖視圖。此外，第 7 圖 (a) 中的箭頭 A3 和上述的第 6 圖同樣，表示信號電荷的傳輸方向。

如第 7 圖 (a) 所示，該水平傳輸部 103 基本上是由作為該 CCD 圖像感測器之傳輸電極的第一電極 22 和第二電極 24 交替並設而構成。並且，在這些電極上堆積有層間絕緣膜，在其層間絕緣膜上，以分別與上述並設的第二電極 24 抵接的形態形成有接觸孔 25a。並且，上述第二電極 24 係經由這些接觸孔 25a 與上層配線連接，並且透過該上層配線，電性連接在上述端子 H1 或端子 H2（參照第 6 圖）上。

另外，如第 7 圖 (b) 所示，該水平傳輸部 103 形成為在由例如矽構成的半導體基板 20 上具有：由例如氧化矽構成的絕緣層 21；由例如 N 型多晶矽構成的第一電極 22；由例如氧化矽構成的絕緣膜 23 和由例如 N 型多晶矽構成的第二電極 24。另外在此，上述第一電極 22 係在隔著半導體基板 20 上的絕緣層 21 的同一層上隔著預定間隔並設；上述絕緣膜 23 係以覆蓋該第一電極 22 表面的方式形成。另一方面，上述第二電極 24 具有凹狀的剖面，以與上述第一電極 22 對應的形態並設，其每一個透過上述絕緣膜 23，與上述第一電極 22 電性絕緣。並且，這些每一個第二電極 24 係以將其一部分重疊在上述並設的第一電極 22 之間，將其他一部分重疊在這些第一電極 22 上方的形態而形成。

另外，如上所述，在上述每一個電極上，堆積有由例如氧化矽構成的層間絕緣膜 25，在該層間絕緣膜中，以和上述並設的第二電極 24 分別抵接的形態形成有接觸孔 25a。而且，如第 7 圖 (b) 所示，這些每一個接觸孔 25a 係以和上述第二電極 24 的大略平坦的底面 (凹部) 抵接的形態而形成。

再者，在該 CCD 圖像感測器中，在上述接觸孔 25a 的內部埋設例如鎢等配線材料而形成接觸插頭。並且，透過該形成的接觸插頭，確保上述第二電極 24 與上層配線之間的電性連接 (接觸)。

另外，以往，作為這種半導體裝置，已知有一種例如

專利文獻 1 所記載的半導體裝置。

[專利文獻 1]

日本專利公開 2001—308313 號公報

【發明內容】

(發明所欲解決之課題)

如此，根據第 7 圖所示的結構，藉由在接觸孔 25a 內部埋設配線材料來形成接觸插頭，而可確實地確保與第二電極 24 的電性連接（接觸）。然而近年來，以提高畫質等為目的，CCD 圖像感測器的像素縮小化的要求越來越強烈。並且，如果這種縮小化進一步推進，則在確保上述第二電極 24 的接觸的基礎上會有產生各種問題之慮。

以下，結合參照第 8 圖說明這些問題。第 8 圖是模示性表示上述第 7 圖 (b) 所示的水平傳輸部被縮小化時的剖面結構的剖視圖。另外，在該第 8 圖中，對於和上述的第 7 圖 (b) 所示之要素相同的要素標示同一符號，並省略針對這些要素的重複說明。

如第 8 圖所示，隨著像素結構的縮小化，因為上述第二電極 24 的底面（凹部）的寬度變窄，故以和第二電極 24 底面抵接的形態來形成上述接觸孔 25a 變得困難。另外，例如在光微影製程等中不能得到充分的加工精密度的情況下，如第 8 圖所示，也可以考慮：以和上述第二電極 24 的壁面（傾斜部）抵接的形式來形成接觸孔 25a。然而，如果對用以形成這種接觸孔 25a 的上述層間絕緣膜 25 進行蝕刻的話，則如第 8 圖虛線所示，會有因過蝕刻而將第二

： 電極 24 蝕刻之慮。

另外，如第 7 圖 (b) 和第 8 圖所示，在上述層間絕緣膜 25 的表面上以對應於基底的形式形成段差 S。在上述第二電極 24 的上方也形成該段差 S。並且，在光微影製程中，即使在塗布於上述層間絕緣膜 25 之上的抗蝕劑材料中也會殘留該段差 S。因此，形成上述接觸孔 25a 之際，由於抗蝕劑膜厚的參差不齊或來自基底（抗蝕劑與層間絕緣膜的介面）的光的反射而引起的曝光量變動，也會有產生如第 7 圖 (b) 中虛線所示的接觸尺寸的變動或開口不良等之慮。

【發明內容】

本發明是有鑑於上述實情而研創者，其目的在於提供一種即使半導體裝置被縮小化的情況下，亦可使經由接觸孔連接之配線的電性連接更穩定的半導體裝置及其製造方法。

(解決課題之手段)

為了達到上述目的，申請專利範圍第 1 項之發明係一種半導體裝置，其包括：隔著半導體基板上的絕緣層並隔著預定間隔並設的複數個第一電極；隔著形成於該第一電極表面上的絕緣膜，以一部分在這些第一電極之間重疊、其他部分在這些第一電極上方重疊的形態並設，且其上表面經由接觸孔連接在配線的第二電極；其中，將形成於前述第一電極與前述第二電極之間的絕緣膜的膜厚設為 t_1 ，將形成在前述第一電極上方的前述第二電極的膜厚設為 t_2

時，且將前述複數個第一電極的並設間隔設為 S 時，設定為「 $S < (2t_1 + 2t_2)$ 」的關係。

根據上述結構，上述第二電極係以具有 T 字型剖面的形態來形成。亦即，以與該第二電極之形成為平面狀的部分抵接的形態形成接觸孔，而上述第二電極的接觸面（第二電極的上表面）係作為大略平坦的面而形成。因此，在上述第二電極的接觸面的上方，充分確保堆積在上述第一電極和第二電極上的絕緣膜（層間絕緣膜）的平坦性，可以適當地抑制因前述絕緣膜表面的段差所引起的接觸尺寸的變動或開口不良等。另外，藉由形成上述結構，可以提高其設計自由度，即使在半導體裝置被縮小化的情況下，也可以容易地確保上述第二電極 24 的接觸面的面積。亦即，即使針對前述第二電極 24 的過蝕刻也可以適當地抑制上述情形。如此，根據作為半導體裝置的上述結構，可使經由接觸孔連接的配線的電性連接更穩定。

另外，申請專利範圍第 2 項的發明係為申請專利範圍第 1 項之半導體裝置，其中，該半導體裝置是固體攝像元件，前述第一電極和前述第二電極是前述固體攝像元件的傳輸電極。

在例如 CCD（電荷耦合元件）圖像感測器等固體攝像元件中，傳輸被拍攝體的光學像所對應的信號電荷的傳輸電極，如果其進一步縮小化，則難以確保與配線之穩定的電性連接（接觸），如上所述。因此，上述結構應用在固體攝像元件的傳輸部，特別有效。

此外，申請專利範圍第 3 項的發明係為申請專利範圍第 1 項或第 2 項之半導體裝置，其中，前述接觸孔係形成在以前述第一電極的並設間隔選擇性地被縮小的部位上方重疊的形態並設的前述第二電極的上面。

根據上述結構，不會伴隨作為該半導體裝置的功能減低，可以實現上述申請專利範圍第 1 項或第 2 項記載的藉由接觸孔的連接結構。

另外，申請專利範圍第 4 項的發明係為申請專利範圍第 1 項至第 3 項中任一項之半導體裝置，其中，前述第一電極和前述第二電極係由多晶矽所構成。

眾所周知，多晶矽是在半導體製程中通常使用的電極材料，即使其基底為絕緣層，也可以獲得良好膜質的電極。亦即，上述各個電極的材料，如果使用多晶矽，則可以更容易且適當地製造申請專利範圍第 1 項至第 3 項中任一項之半導體裝置。

此外，申請專利範圍第 5 項的發明係一種半導體裝置的製造方法，其包括：在半導體基板上的絕緣層上形成隔著預定間隔並設之第一電極的製程；在這些第一電極表面上形成絕緣膜後，隔著成膜於前述第一電極的表面的絕緣膜，形成以一部分在這些第一電極間重疊、其他部分在這些第一電極上方重疊的形態並設，且其上表面經由接觸孔連接在配線上的第二電極的製程；其中將前述第一電極與前述第二電極之間所形成的絕緣膜的膜厚設為 t_1 、將形成在前述第一電極上方的前述第二電極的膜厚設為 t_2 ，且

將前述多個第一電極的並設間隔設為 S 時，將這些每一個要素設定為：「 $S < (2t_1 + 2t_2)$ 」的關係。

根據上述製造方法，可以容易地實現申請專利範圍第 1 項之半導體裝置的結構。

另外，申請專利範圍第 6 項的發明係為申請專利範圍第 5 項之半導體裝置的製造方法，其中，該半導體裝置為固體攝像元件，並使前述第一電極和前述第二電極作為前述固體攝像元件的傳輸電極。

如上所述，這種製造方法應用在固體攝像元件的傳輸部特別有效。

再者，申請專利範圍第 7 項的發明係為申請專利範圍第 5 項或第 6 項之半導體裝置的製造方法，其中，前述接觸孔是形成在以重疊於前述第一電極的並設間隔選擇性被縮小的部位上方的形態並設的前述第二電極的上面。

如此，藉由使第一電極的並設間隔選擇性地縮小，可以更容易且適當地形成上述第一和第二電極。

還有，申請專利範圍第 8 項的發明係為申請專利範圍第 5 項至第 7 項中任一項之半導體裝置的製造方法，其中，前述第一和第二電極的材料係採用多晶矽。

眾所周知，多晶矽是在半導體製程中通常使用的電極材料，即使其基底為絕緣層，亦可以獲得良好膜質的電極。亦即，根據上述的製造方法，可以容易地形成上述各個電極。另外，即使對於形成在第一電極表面的絕緣膜，對其利用例如熱氧化處理等，可以更容易地形成氧化矽膜。

本發明之半導體裝置係包括：隔著半導體基板上的絕緣層並隔著預定間隔並設的複數個第一電極；隔著形成於該第一電極表面的絕緣膜，以一部分在這些第一電極之間重疊、其他部分在這些第一電極上方重疊的形態並設，且其上表面經由接觸孔連接在配線上的第二電極。而且，將形成於前述第一電極與前述第二電極之間的絕緣膜的膜厚設為 t_1 ，將形成在前述第一電極上方的前述第二電極的膜厚設為 t_2 時，且將前述複數個第一電極的並設間隔設為 S 時，設定為「 $S < (2t_1 + 2t_2)$ 」的關係。根據上述結構，可使經由接觸孔連接的配線的電性連接更穩定。

【實施方式】

下面，針對本發明的半導體裝置及其製造方法，表示其一實施形態。

本實施形態的半導體裝置也和上述的第 6 圖和第 7 圖所示的半導體裝置同樣，是用於被拍攝體的光學像作為電信號（圖像信號）取出的 CCD 圖像感測器。但是，在本實施形態半導體裝置（CCD 圖像感測器）中，藉由將水平傳輸部做成第 1 圖（a）至第 1 圖（c）所示的結構，抑制如前所述的過蝕刻或開口不良等。

首先，參照第 1 圖詳細敘述本實施形態的 CCD 圖像感測器的水平傳輸部的結構。另外，第 1 圖（a）是模示性表示該 CCD 圖像感測器的水平傳輸部的一部分的平面結構的俯視圖，第 1 圖（b）是沿第 1 圖（a）的 B—B 線的剖視圖，第 1 圖（c）是沿第 1 圖（a）的 C—C 線的剖視

圖。另外，第 1 圖 (a) 中的區域 R1 表示位於該水平傳輸部且未進行信號電荷傳輸的部位，區域 R2 表示進行信號電荷傳輸的部位。另外，第 1 圖 (a) 中的箭頭 A3 和上述第 6 圖同樣，表示信號電荷的傳輸方向。

如第 1 圖 (a) 所示，該水平傳輸部基本上是第一電極 12 和第二電極 14 交替並設而構成。另外，在這些電極上堆積層間絕緣膜，且在其層間絕緣膜上，以與上述並設之第二電極 14 分別抵接的形態形成接觸孔 15a。並且，上述第二電極 14 藉由這些接觸孔 15a 而與上層配線電性連接。

另外，在本實施形態中，在第 1 圖 (a) 中新設有以區域 R1 來表示的部位，作為位於水平傳輸部且未進行信號電荷傳輸的部位。並且，在同部位形成上述接觸孔 15a 的同時，選擇性地縮小上述第一電極 12 的並設間隔的形狀。亦即，上述接觸孔 15a 形成在：以重疊在使上述第一電極 12 的並設間隔選擇性地被縮小的部位上方的形態並設的上述第二電極 14 的上面。而且，對於用來形成與上述第一電極 12 接觸的接觸孔，也可以構成為形成在上述區域 R1 所示的部位。

另外，如第 1 圖 (b) 所示，該水平傳輸部係在上述區域 R1 中，在由例如矽構成的半導體基板 10 上，形成有例如氧化矽構成的絕緣層 11、例如 N 型多晶矽構成的第一電極 12、例如氧化矽構成的絕緣膜 13、例如 N 型多晶矽構成的第二電極 14。而且，上述半導體基板 10 是層疊 N

型半導體基板 10a、P 阱 10b、濃度高於該 P 阱 10b 的 P+ 阱 10c 而形成的三層結構。

另外，在此，上述第一電極 12 是在隔著半導體基板 10 上的絕緣層 11 的同一層上隔著預定間隔而並設，上述絕緣膜 13 係以覆蓋第一電極 12 表面的形態而形成。另一方面，上述第二電極 14 具有 T 字型剖面，以對應於上述第一電極 12 的形式而並設，其每一個隔著上述絕緣膜 13 而與上述第一電極 12 電性絕緣。另外，這些每一個第二電極 14 係以其一部分在上述並設的第一電極 12 之間重疊、其他部分在這些第一電極 12 上方重疊的形式形成。

另外，在本實施形態中，如第 1 圖 (a) 和第 1 圖 (b) 所示，上述第二電極 14 之位於上述第一電極 12 間的一部分形成為凸條，同時該第二電極 14 之重疊在上述第一電極 12 上方的其他部分以正交於該凸條的形態，形成為與該凸條連接的平板狀。另外，如上所述，上述各個電極上堆積有由例如氧化矽構成的層間絕緣膜 15，在該層間絕緣膜 15 上，以分別與上述並設之第二電極 14 抵接的形態形成有接觸孔 15a。另外，如第 1 圖 (b) 所示，這些接觸孔 15a 係以與上述第二電極 14 之大略平坦的上面抵接之形態形成。並且，在本實施形態中，也藉由在上述接觸孔 15a 內部埋設例如鎢等構成的配線材料來形成接觸插頭，確保上述第二電極 14 與上層配線的電性連接（接觸）。

如此，在本實施形態的半導體裝置（CCD 圖像感測器）中，以與上述第二電極 14 的形成為平面狀的部分抵接的形

態形成接觸孔 15a；上述第二電極 14 的接觸面（第二電極 14 的上面）係作為大略平坦的面而形成。因此，堆積在上述第一電極 12 和上述第二電極 14 之上的層間絕緣膜 15 的平坦性，係在上述第二電極 14 的接觸面的上方可以充分確保。亦即，由此可以抑制因前述層間絕緣膜 15 表面的段差所引起的接觸尺寸變動或開口不良。另外，藉由使上述第二電極 14 成為這種結構，可以提高設計的自由度，即使在半導體裝置被縮小化的情況下，也可以更容易地確保上述第二電極 14 的接觸面的面積。亦即，即使針對前述第二電極的過蝕刻，也可以適當地抑制上述情形。如此，在本實施形態的半導體裝置（CCD 圖像感測器）中，可使經由接觸孔連接的配線的電性連接更穩定。

另外，如第 1 圖（c）所示，該水平傳輸部是在第 1 圖（a）中區域 R2 所示之部位亦即進行信號電荷傳輸的部位中，具有與上述第 7 圖（b）所示的水平傳輸部大致相同的剖面結構而形成。但是，在該水平傳輸部中，如上所述，因為在上述區域 R1 形成有接觸孔 15a，故在該區域 R2 沒有形成接觸孔。另外，在該區域 R2 中，上述半導體基板 10 係為層疊有 N 型半導體基板 10a、P 阱 10b、N 阱 10d 而形成的三層結構。亦即，在上述區域 R1 與區域 R2 的界面，由上述 P+ 阱 10c 和上述 N 阱 10d 形成 PN 結合。由此，可以抑制上述各區域間的漏電流。

其次，參照第 2 圖至第 4 圖，說明上述半導體裝置（CCD 圖像感測器）的製造方法。而且，第 2 圖至第 4 圖

是對應於上述第 1 圖 (b) 的剖視圖，在第 2 圖至第 4 圖中，對於和上述第 1 圖 (b) 所示要素相同的要素，分別標示同一符號，並省略這些要素的重複說明。

在該製造之際，首先，如第 2 圖 (a) 所示，在由例如 N 型矽構成的上述 N 型半導體基板 10a 之上，利用例如熱氧化等形成上述絕緣層 11。接著，如第 2 圖 (b) 所示，例如利用離子植入，將硼 (B) 等的 P 型雜質添加在上述 N 型半導體基板 10a 而形成上述 P 阱 10b。而且，如第 2 圖 (c) 所示，例如利用離子植入，將比添加到上述 N 型半導體基板 10a 的 P 型雜質還高濃度的 P 型雜質添加到上述 P 阱 10b，而形成上述 P+阱 10c。由此，形成上述三層結構的半導體基板 10。另外，在上述區域 R2 (參照第 1 圖 (a)) 中，例如將磷 (P) 等 N 型雜質添加在上述 P 阱 10b，而形成上述 N 阱 10d。

接著，如第 3 圖 (a) 所示，在上述絕緣層 11 上，形成例如 N 型多晶矽膜，作為上述第一電極 12 的電極材料。具體而言，利用例如 LP-CVD (減壓化學氣相成長法) 形成多晶矽膜，同時利用熱擴散法，藉由將磷 (P) 等 N 型雜質添加在該已成膜的多晶矽膜，而形成上述的多晶矽膜。然後，如第 3 圖 (b) 所示，選擇性地蝕刻上述絕緣層 11 和多晶矽膜 (第一電極 12 的電極材料)，在所希望的部位形成開口部 12a。由此，形成上述第一電極 12。

接著，如第 3 圖 (c) 所示，在包含這些第一電極 12 表面的上述半導體基板 10 上，利用例如熱氧化等形成上述

絕緣膜 13。然後，如第 4 圖 (a) 所示，在該已成膜的絕緣膜 13 上，作為上述第二電極 14 的電極材料，形成例如多晶矽膜。具體的成膜方法，和上述的第一電極 12 同樣。然後，如第 4 圖 (b) 所示，選擇性地蝕刻上述多晶矽膜 (第二電極 14 的電極材料)，在所希望的部位形成開口部 14a。由此，形成上述第二電極 14。

接著，如第 4 圖 (c) 所示，在上述第一電極 12 和第二電極 14 上，利用例如電漿 CVD (化學氣相成長法) 形成上述層間絕緣膜 15。然後，選擇性地蝕刻該層間絕緣膜 15 而形成上述接觸孔 15a。由此，形成上述的第 1 圖 (b) 所示的結構。

以上述工序製造出上述半導體裝置 (CCD 圖像感測器)。

另外，在上述製造方法中，為了將第二電極 14 形成第 1 圖 (b) 所示的形狀，將第一電極 12 的並設間隔設為 S ，將形成於第一電極 12 與第二電極 14 之間的絕緣膜 13 的膜厚設為 t_1 ，且將形成於前述第一電極上方的前述第二電極的膜厚設為 t_2 時，則這些各要素的關係被設定成為「 $S < (2t_1 + 2t_2)$ 」。

以下，參照第 5 圖具體說明這些各要素的設定形態。而且，該第 5 圖是表示將上述各要素設定成為「 $S < (2t_1 + 2t_2)$ 」的關係時的上述水平傳輸部的剖面結構的剖視圖。另外，該第 5 圖中的「 t_2' 」所示的尺寸是形成在第一電極 12 之間的上述第二電極 14 的膜厚。另外，在該第

5 圖中，對和上述第 1 圖 (b) 所示的要素相同的要素標示同一符號。另外，在此假定：上述第二電極 14 和絕緣膜 13 在位於第一電極 12 之間的部分和重疊在第一電極 12 上方的部分分別具有相同厚度而形成。

如第 5 圖所示，在該水平傳輸部中，上述並設的第一電極 12 之間係由上述第二電極 14 和絕緣膜 13 所充填，上述第二電極 14 具有 T 字型剖面而形成。即，如果縮小上述第一電極 12 的並設間隔 S ，則在該並設間隔 S 的值變為等於上述絕緣膜 13 的膜厚 t_1 的「2 倍」的值與上述第二電極 14 膜厚 t_2 的「2 倍」的値之和時，這些並設的第一電極 12 間係由第二電極 14 和絕緣膜 13 所充填，第二電極 14 的剖面形成為 T 字型。

但是，在一般利用的製造方法（製造條件）中，相對基板垂直的面中的成長速度和相對基板水平的面中的成長速度大多不同，所以，上述第二電極 14 和絕緣膜 13 在位於第一電極 12 之間的部分和重疊在第一電極 12 上方的部分上，很少具有相同的膜厚來形成。並且，通常因為上述第二電極 14 膜厚變為「 $t_2 \geq t_2'$ 」，故即使將上述各要素設定為「 $S = (2t_1 + 2t_2)$ 」的關係，也不能說上述並設的第一電極 12 之間確實由上述第二電極 14 和絕緣膜 13 所充填。此時，如果根據本實施形態的 CCD 圖像感測器，藉由進一步縮小上述第一電極 12 的並設間隔 (S)，換句話說，藉由將上述各要素設定為「 $S < (2t_1 + 2t_2)$ 」之關係，則上述並設的第一電極 12 之間可以確實由上述第二電極 14 和絕

緣膜 13 所充填。亦即，上述第二電極 14 形成為具有 T 字型剖面。

如此，藉由將上述的各要素設定為「 $S < (2t_1 + 2t_2)$ 」之關係，在為了形成上述第二電極 14 的成膜之際，用一次的成膜製程（第 4 圖（a））可以使上述第二電極 14 之重疊在上述第一電極 12 上方的部分確實地形成為平板狀。

如上述之說明，根據本實施形態的半導體裝置和製造方法，可以獲得以下的優越效果。

（1）隔著形成於上述第一電極 12 表面的絕緣膜 13，以其一部分在第一電極 12 間重疊、其他部分在第一電極 12 上方重疊之方式並設，且以其上表面經由接觸孔 15a 與上層配線連接的形態形成上述第二電極 14。並且，藉由使該第二電極 14 形成為具有 T 字型剖面，亦能使 CCD 圖像感測器的傳輸電極穩定電性連接（接觸）通過上述第二電極 14 的上面，而可以更容易地確保電性連接。

（2）在將形成於第一電極與第二電極之間的絕緣膜的膜厚設為 t_1 、將第二電極 14 的膜厚設為 t_2 ，且將第一電極 12 的並設間隔設為 S 時，將這些各要素設定為：「 $S < (2t_1 + 2t_2)$ 」的關係。由此，在為了形成第二電極 14 的成膜之際，用一次的成膜製程即可確實地獲得上述的平板狀形狀。

（3）作為分別從傳輸電極延伸設置的電極，形成第一電極 12 和第二電極 14。另外，在位於水平傳輸部且不進行信號電荷傳輸的部位（區域 R1）上形成接觸孔 15a，

同時在同一部位，選擇性地縮小上述第一電極 12 的並設間隔。由此，即使第一電極 12 或第二電極 14 的尺寸不同於上述傳輸電極尺寸的情況下，也可以適當地防止或抑制由於伴隨上述情況所造成的上述信號電荷的傳輸效率的降低。另外，在其製造中，也可以更容易地進行。

另外，本發明的半導體裝置及其製造方法不限於上述實施形態，例如，亦可以用以下形態來實施。

在上述實施形態中，藉由在上述區域 R1 和區域 R2 之各區域中，將上述半導體基板 10 做成不同的結構，在區域 R1 的 P+阱 10c 與區域 R2 的 N 阱 10d 之間的介面形成 PN 結合，從而可以抑制這些之間的漏電流。可是，上述半導體基板 10 不限於這樣的結構，可以是任意的結構，例如，亦可以在上述區域 R1 和區域 R2 之各區域中，將上述半導體基板 10 做成相同的結構。另外，半導體基板 10 沒有必要一定是三層結構，例如亦可以是一層或二層結構，或是四層以上的結構。

在上述實施形態中，在位於水平傳輸部且不進行信號電荷傳輸的部位（區域 R1）上形成上述接觸孔 15a，同時在同一部位，選擇性地縮小上述第一電極 12 的並設間隔。但不限於這種結構，例如，也可以是在進行信號電荷傳輸的部位（區域 R2）上形成上述接觸孔 15a。亦即，也可以使形成於上述區域 R2 的 CCD 圖像感測器的傳輸電極本身的形狀，形成為前述的剖面 T 字型形狀。

在上述實施形態中，上述第一電極 12 和第二電極 14

的材料係採用多晶矽。可是，這些電極材料不限於多晶矽，可以適當採用例如金屬等其他導電材料。另外，上述絕緣層 11 或絕緣膜 13 的材料也不限於氧化矽，可以是任意的材料，也可以適當採用例如氮化矽等。此外，可以藉由層疊形成各種絕緣膜，而將上述絕緣層 11 或絕緣膜 13 做成多層結構。

水平傳輸部中的水平傳輸用 CCD 的驅動方式是任意的。另外，例如在以二相驅動方式進行信號電荷的傳輸時，也做成：在上述區域 R2（參照第 1 圖（a））中，利用例如離子植入將雜質添加在半導體基板，且在上述第一電極 12 或第二電極 14 的下部，選擇性地形成雜質區域的構成。

本發明不限於水平傳輸部的水平傳輸用 CCD，可以同樣應用在例如攝像部或儲存部的垂直傳輸用 CCD 中。另外，也可以應用在除了固體攝像元件之外的半導體裝置。

只要是可以使上述第二電極 14 以具有 T 字型剖面並對應於上述第一電極 12 的形式並設的方法，在其範圍內都可以適當變更上述半導體裝置的製造方法。

【圖式簡單說明】

第 1 圖針對本發明之半導體裝置的一實施形態，（a）是模示性表示其平面結構的俯視圖，（b）是沿（a）的 B—B 線的剖視圖，（c）是沿（a）的 C—C 線的剖視圖。

第 2 圖（a）至（c）是針對本實施形態的半導體裝置的製造方法，表示其製造製程的剖視圖。

第 3 圖（a）至（c）是針對本實施形態的半導體裝置

的製造方法，表示其製造製程的剖視圖。

第 4 圖 (a) 至 (c) 是針對本實施形態的半導體裝置的製造方法，表示其製造製程的剖視圖。

第 5 圖是用於說明本實施形態的半導體裝置的結構的剖視圖。

第 6 圖是針對習知半導體裝置的一例，模式性表示其概略結構的方塊圖。

第 7 圖針對習知半導體裝置的一例，(a) 是模式性表示其平面結構的俯視圖，(b) 是沿 (a) 的 B—B 線的剖視圖。

第 8 圖是針對習知半導體裝置的一例，模式性表示其剖面結構的剖視圖。

【主要元件符號說明】

10,20	半導體基板	10a	N 型半導體基板
10b	P 阱	10c	P+ 阱
10d	N 阱	11,21	絕緣層
12,22	第一電極	13,23	絕緣膜
14,24	第二電極	15,25	層間絕緣膜
15a,25a	接觸孔	101	攝像部
102	儲存部	103	水平轉輸部
104	輸出部	S	並設間隔設定
R1,R2	區域	P1~P3,C1~C3,H1,H2	端子

五、中文發明摘要：

本發明提供一種即使在半導體裝置被縮小化的情況下，亦可進行經由接觸孔連接的配線之更穩定的電性連接的半導體裝置及其製造方法。利用以下的形態形成第 2 電極 (14)：隔著形成於第 1 電極 (12) 表面上的絕緣膜 (13)，以其一部分重疊在第 1 電極 (12) 間，其他部分重疊在第 1 電極 (12) 上方的方式並設，且其上面經由接觸孔 (15a) 與上層配線連接。而且，在將形成於第 1 電極 (12) 與第 2 電極 (14) 之間的絕緣膜 (13) 的膜厚設為 t_1 ，將形成於第 1 電極 (12) 的第 2 電極 (14) 的膜厚設為 t_2 ，且將這些第 1 電極的並設間隔設為 S 時，設定為「 $S < (2t_1 + 2t_2)$ 」的關係。

六、英文發明摘要：

A semiconductor device and a fabrication method for the same are provided in the present invention. According to the present invention, even when the semiconductor device is miniaturized, it is possible to attain a relatively stable electrical connection of wiring which is connected via conducting holes. Second electrodes (14) are formed in parallel over first electrodes (12) with an insulating film (13) interposed therebetween, such that parts of the second electrodes (14) are superimposed between the first electrodes (12), and other parts of the second electrodes (14) are superimposed on the first electrodes (12), while upper surfaces of the second electrodes (14) are electrically connected with an upper wiring via conducting holes (15). If a thickness of the insulating film (13) formed between the first electrode (12) and the second electrode (14) being represented by t_1 , a thickness of the second electrode (14) formed over the first electrode (12) being represented by t_2 , and a space between adjacent first electrodes (12) being represented by S , then there is a relation $[S < (2t_1 + 2t_2)]$ established.

十、申請專利範圍：

- 1、一種半導體裝置，包括：隔著半導體基板上的絕緣層並隔著預定間隔並設的複數個第一電極；隔著形成於該第一電極表面的絕緣膜，以一部分在這些第一電極之間重疊、其他部分在這些第一電極上方重疊的形態並設，且其上表面經由接觸孔連接在配線上的第二電極；其特徵在於：

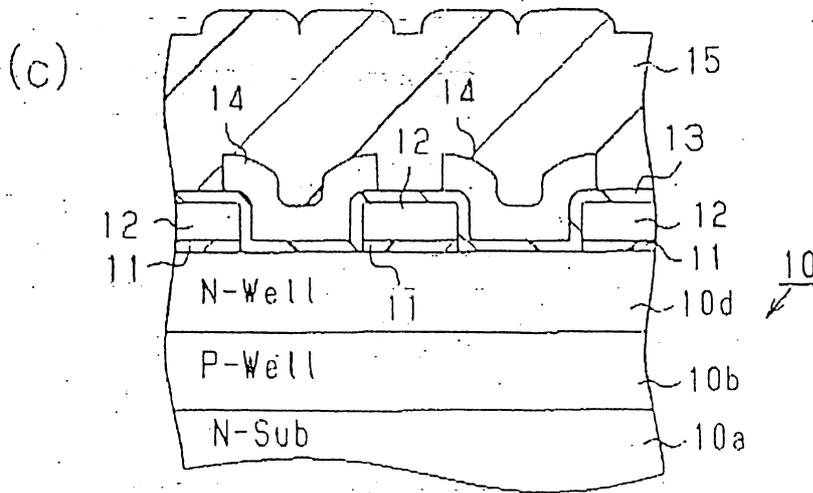
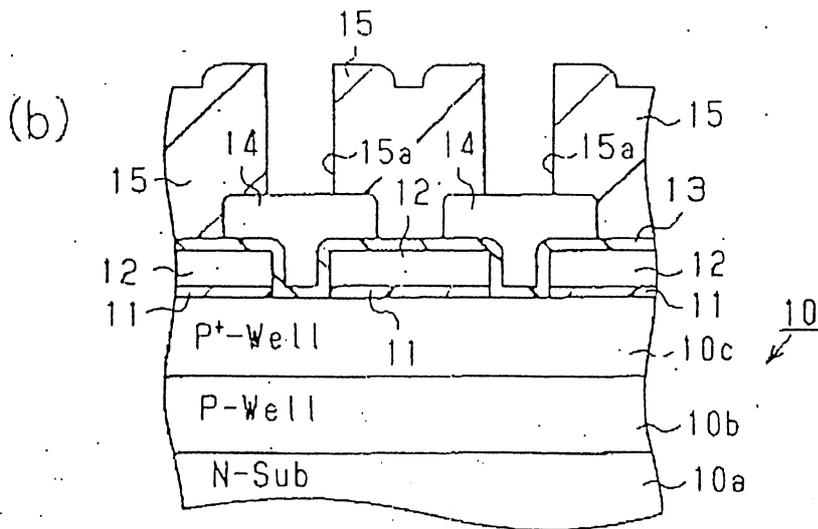
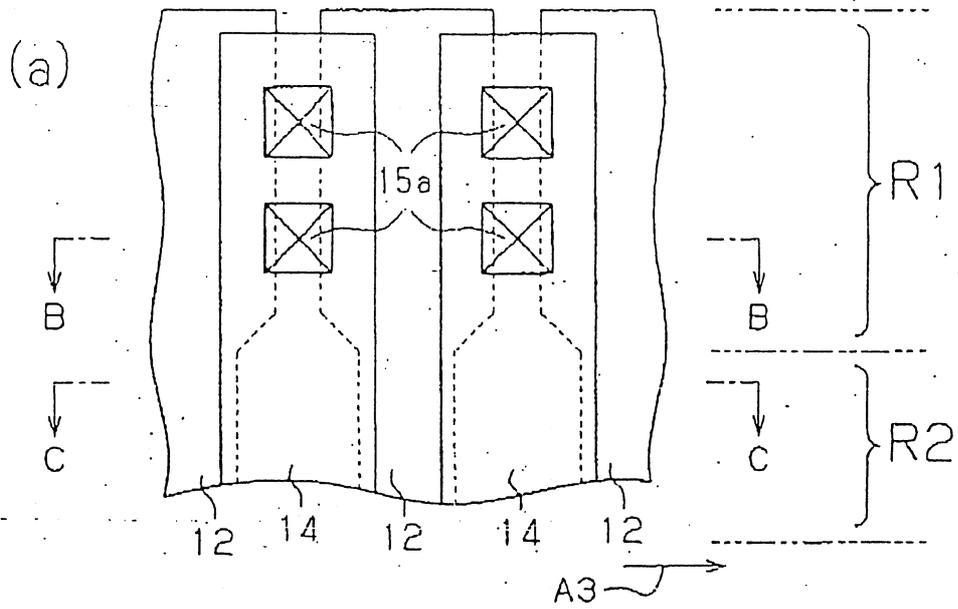
將形成於前述第一電極與前述第二電極之間的絕緣膜的膜厚設為 t_1 ，將形成在前述第一電極上方的前述第二電極的膜厚設為 t_2 時，而將前述複數個第一電極的並設間隔設定為 S 時，設定為「 $S < (2t_1 + 2t_2)$ 」的關係。

- 2、如申請專利範圍第 1 項之半導體裝置，其中，該半導體裝置係固體攝像元件，且前述第一電極和前述第二電極係前述固體攝像元件的傳輸電極。
- 3、如申請專利範圍第 1 項或第 2 項之半導體裝置，其中，前述接觸孔係形成在以前述第一電極的並設間隔選擇性地被縮小的部位上方重疊的形態並設的前述第二電極的上面。
- 4、如申請專利範圍第 1 項至第 3 項中任一項之半導體裝置，其中，前述第一電極和前述第二電極係由多晶矽所構成。
- 5、一種半導體裝置的製造方法，包括：在半導體基板上的絕緣層上形成隔著預定間隔並設的複數個第一電極的

製程；在這些第一電極表面形成絕緣膜後，隔著成膜於前述第一電極的表面的絕緣膜，形成以一部分重疊在這些第一電極間、其他部分重疊在這些第一電極上方的形態並設，且其上表面經由接觸孔連接在配線的第二電極的製程；其特徵在於：

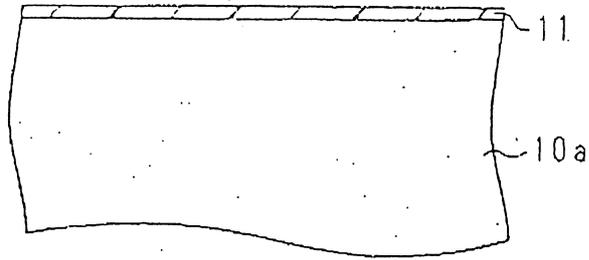
將前述第一電極與前述第二電極之間所形成的絕緣膜的膜厚設為 t_1 ，將形成在前述第一電極上方的前述第二電極的膜厚設為 t_2 ，且將前述複數個第一電極的並設間隔設為 S 時，將這些各要素的關係設定為：「 $S < (2t_1 + 2t_2)$ 」。

- 6、如申請專利範圍第 5 項之半導體裝置的製造方法，其中，該半導體裝置係固體攝像元件，前述第一電極和前述第二電極係前述固體攝像元件的傳輸電極。
- 7、如申請專利範圍第 5 項或第 6 項之半導體裝置製造方法，其中，前述接觸孔係形成在以重疊於前述第一電極的並設間隔選擇性被縮小的部位上方的形態並設的前述第二電極的上面。
- 8、如申請專利範圍第 5 項至第 7 項中任一項之半導體裝置製造方法，其中，前述第一和第二電極的材料係採用多晶矽。

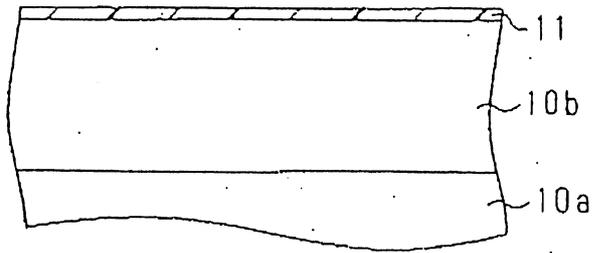


第 1 圖

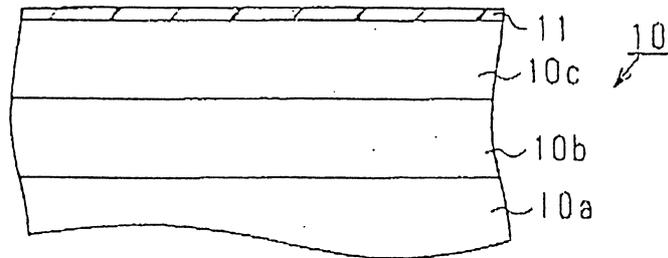
(a)



(b)

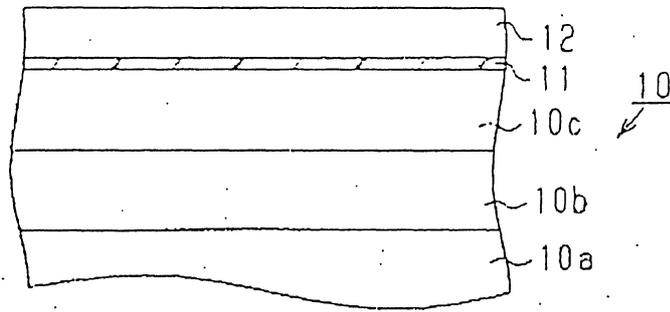


(c)

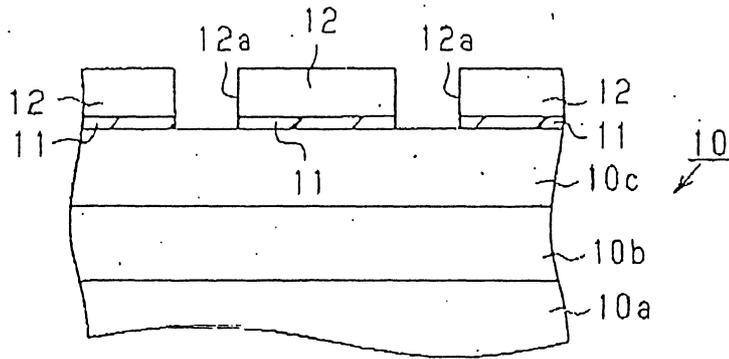


第 2 圖

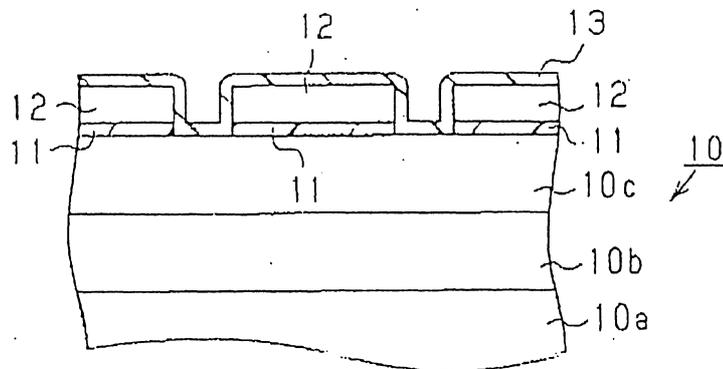
(a)



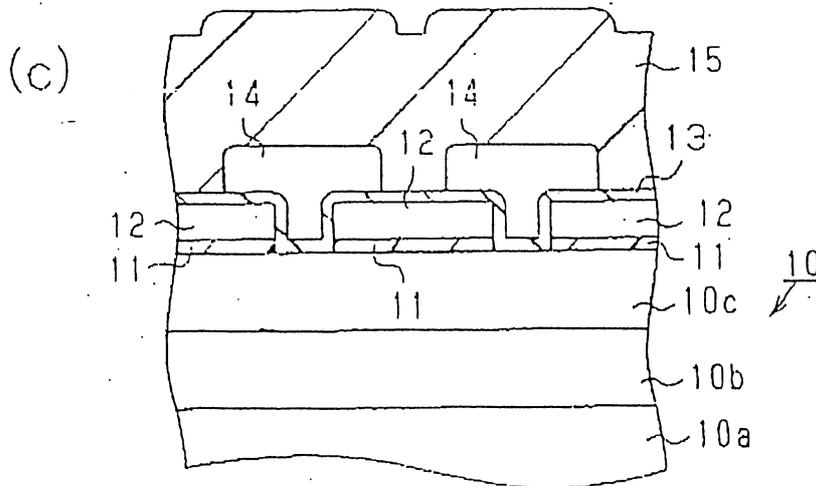
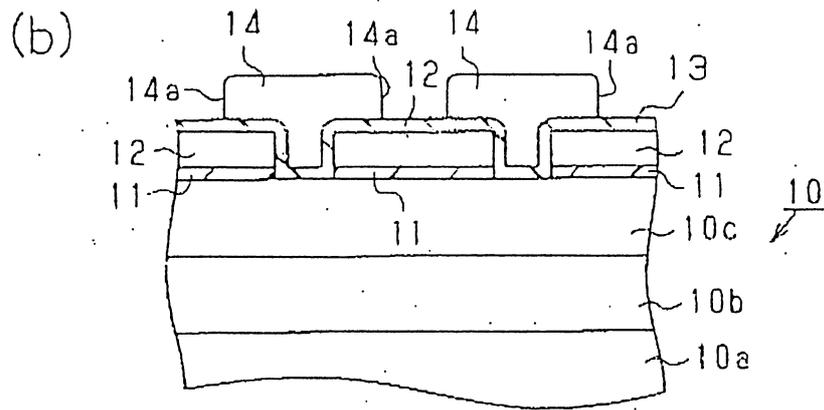
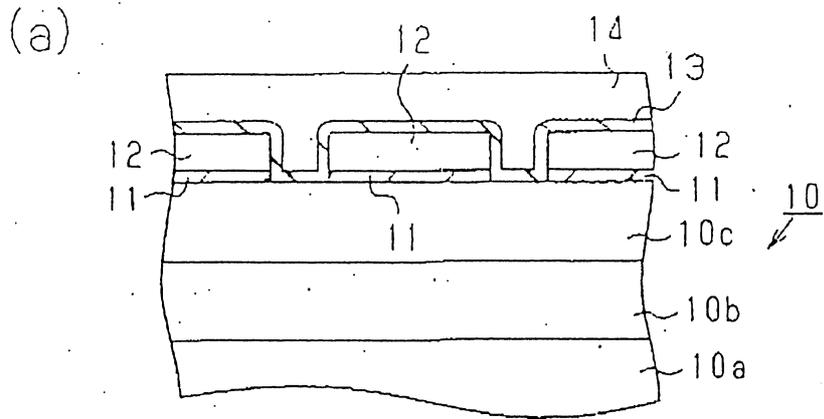
(b)



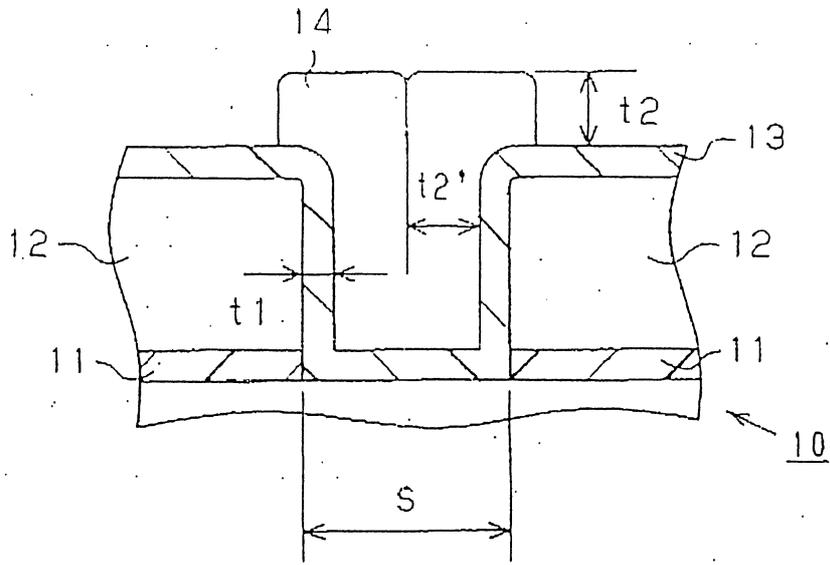
(c)



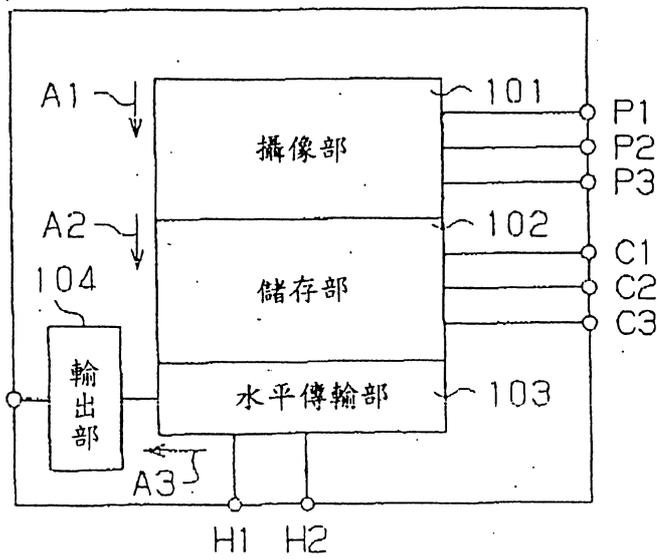
第 3 圖



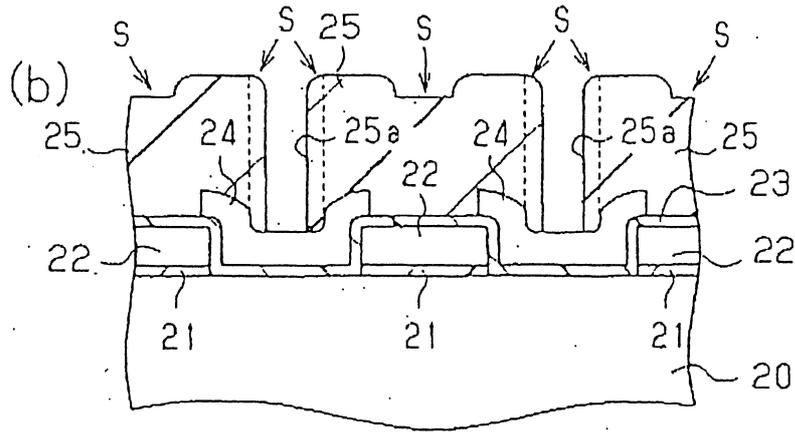
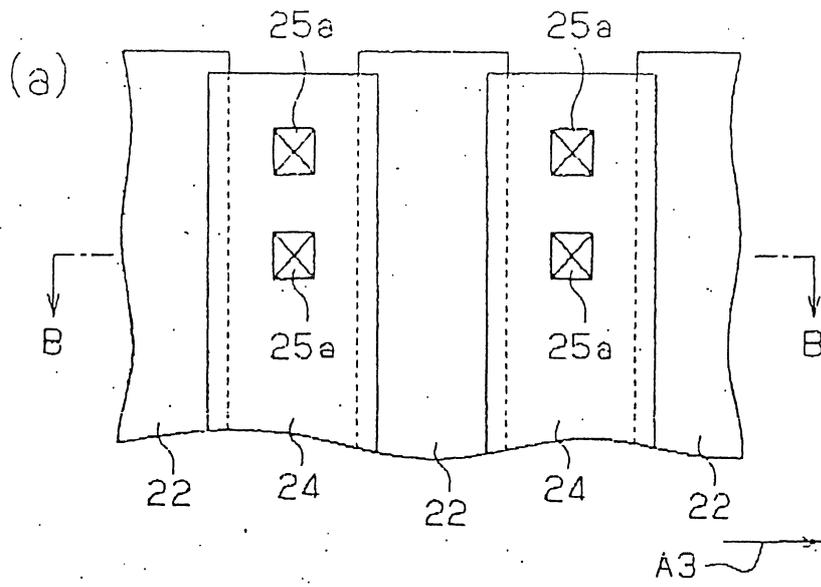
第 4 圖



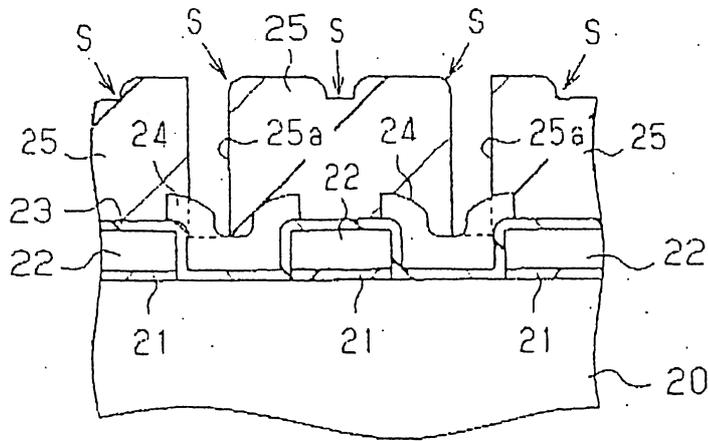
第 5 圖



第 6 圖



第 7 圖



第 8 圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件代表符號簡單說明：

- 10 半導體基板
- 10a N型半導體基板
- 10b P阱
- 10c P+阱
- 10d N阱
- 11 絕緣層
- 12 第一電極
- 13 絕緣膜
- 14 第二電極
- 15 層間絕緣膜
- 15a 接觸孔
- R1,R2 區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。