(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월09일
(11) 등록번호 10-1020013
(24) 등록일자 2011년02월28일

(51) Int. Cl.
H01L 27/146 (2006.01)
(21) 출원번호 10-2007-7013528
(22) 출원일자(국제출원일자) 2005년12월14일
심사청구일자 2008년06월25일
(85) 번역문제출일자 2007년06월15일
(65) 공개번호 10-2007-0086242
(43) 공개일자 2007년08월27일
(86) 국제출원번호 PCT/US2005/045328
(87) 국제공개번호 WO 2006/071540
국제공개일자 2006년07월06일
(30) 우선권주장
10/905,277 2004년12월23일 미국(US)
(56) 선행기술조사문헌
US07041956 B2*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드
(72) 발명자
애드키슨 제임스 더블유
미국 버먼트주 05465 제리코 필즈 레인 55
감비노 제프리 피
미국 버먼트주 05494 웨스트포드 헌틀리 로드 98
(뒷면에 계속)
(74) 대리인
송승필, 신정건

전체 청구항 수 : 총 8 항 심사관 : 한지혜

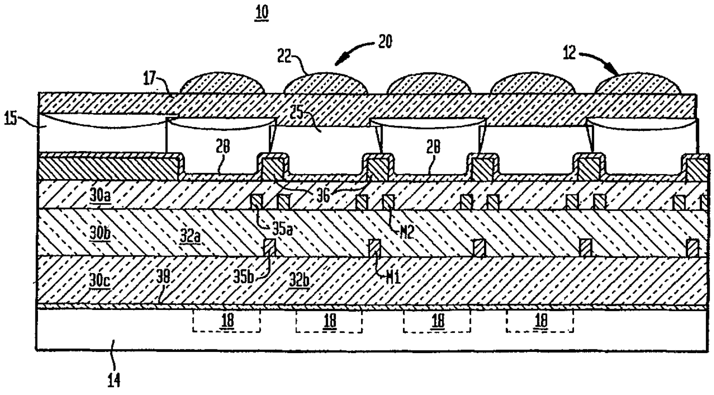
(54) 구리 배선을 구비한 CMOS 이미저 및 그로부터 고반사율 계면을 제거하는 방법

(57) 요 약

본 발명은, 더 얇은 레벨간 유전체 스택(130a-130c)의 내포를 가능하게 하여 픽셀 어레이(100)에서의 감광도를 상승시키는 구리(Cu) 금속화 레벨(135a, 135)을 포함하는 이미지 센서(20)와 그 제조 방법에 관한 것이다. 이미지 센서는 그 센서 어레이 내의 각각의 픽셀의 광로를 통과하는 장벽층 금속(132a, 132b)의 두께가 최소인 구조를 포함함으로써, 또는 각 픽셀의 광로로부터 선택적으로 장벽층 금속의 부분(50)을 제거함으로써 반사율을 최소화한다. 즉, 다양한 블록 또는 단일 마스크 방법을 구현하여, 장벽층 금속의 부분들을 어레이 내의 각 픽셀에 대한 광로의 위치에서 완전하게 제거한다. 추가 실시예에 있어서, 장벽 금속층(142)은 자기 정렬 증착 방식으로 Cu 금속화층의 상면에 형성될 수 있다.

대 표 도

종래 기술



(72) 발명자
자페 마크 디
미국 버먼트주 05482 셸번 거버너스 레인 447
레이디 로버트 케이
미국 버먼트주 05401 버링톤 타워 테라스 11
라셀 리차드 제이
미국 버먼트주 05446 콜체스터 그래닛 크릭 로드 225
스탬퍼 앤소니 케이
미국 버먼트주 05495 윌리스톤 에버그린 드라이브 46

특허청구의 범위

청구항 1

픽셀들의 어레이를 포함하는 이미지 센서에 있어서,

상기 어레이 내의 대응하는 픽셀의 각 위치에 형성되며 입사광을 수광하기 위한 감광 소자를 내부에 포함하는 반도체 기판과;

상기 기판의 상면에 형성된 제1 레벨간 유전체층과;

상기 제1 레벨간 유전체층의 상면에 형성되며, 상기 어레이 내의 각각의 감광 소자 사이에 형성된 Cu 금속 배선 구조를 포함하는 적어도 하나의 금속 상호접속층과;

각각의 상기 Cu 금속 배선 구조의 상면에 형성된 장벽 재료층으로서, 상기 장벽 재료층은 상기 어레이의 각각의 픽셀의 광로를 가로지르는 것이고, 상기 금속 상호접속층 내에서 형성된 Cu 배선의 상면에 형성된 상기 장벽 재료층은 SiN, SiON, SiC, SiCN, SiCON 또는 SiCO 중에서 선택된 재료를 포함하는 것이며, 상기 형성된 금속 상호접속층의 상면에 형성된 장벽 재료층의 부분들(portions)은 상기 어레이의 각각의 픽셀의 광로(optical path)를 따르는 영역들에서 선택적으로 제거되는 것인, 상기 장벽 재료층과;

상기 어레이 내의 상기 Cu 금속 상호접속층과 입사광을 수광하기 위한 상면층 사이에 형성된 제2 레벨간 유전체층

을 포함하고,

상기 Cu 금속 상호접촉층은 얇은 제1 및 제2 레벨간 유전체층이 광로를 단축시키도록 함으로써, 상기 어레이 내의 각각의 감광 소자에 의해 수광되는 광량을 증가시키는 것인, 픽셀들의 어레이를 포함하는 이미지 센서.

청구항 2

제1항에 있어서, 각각의 상기 제1 및 제2 레벨간 유전체층은 두께가 2 kÅ 내지 20 kÅ 사이에 있는 것인, 이미지 센서.

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 기판과 상기 제1 레벨간 유전체층 사이에 형성된 장벽 재료층을 더 포함하는, 이미지 센서.

청구항 5

삭제

청구항 6

픽셀들의 이미지 센서 어레이를 제조하는 방법에 있어서,

각각의 어레이 픽셀마다, 대응하는 감광 소자를 반도체 기판에 형성하는 단계로서, 상기 감광 소자는 각각의 픽셀에 입사하는 광을 수광하도록 구성된 것이고, 상기 감광 소자 형성 단계는 각각의 픽셀에서 상기 감광 소자 위의 상기 기판에 절연체 재료 구조를 형성하는 단계를 더 포함하는 것인, 상기 감광 소자 형성 단계와;

상기 절연체 재료 구조의 상면에 형성되는 제1 레벨간 유전체층을 형성하는 단계와;

상기 절연체 재료 구조와 상기 제1 레벨간 유전체층 사이에 장벽 재료층을 형성하는 단계와;

상기 제1 레벨간 유전체층의 상면에 형성되는 적어도 하나의 금속 상호접속층을 형성하는 단계로서, 상기 형성되는 금속 상호접속층은 상기 어레이 내의 각각의 감광 소자 사이에 형성된 Cu 금속 배선 구조를 포함하는 것인 상기 금속 상호접속층 형성 단계와;

상기 어레이 내의 상기 Cu 금속 상호접속층의 상면에 제2 레벨간 유전체층을 형성하는 단계와;

각각의 픽셀에서 상기 감광 소자 위에 형성된 상기 절연체 재료 구조에 대응하는 영역에서 상기 기판 위의 상기 장벽 재료층의 부분들(portions)을 선택적으로 제거하는 단계

를 포함하고,

상기 Cu 금속 상호접촉층은 박막의 제1 및 제2 레벨간 유전체층을 형성하여 광로를 단축시키게 함으로써, 상기 어레이 내의 각각의 감광 소자에 의해 수광되는 광량을 증가시키는 것인, 픽셀들의 이미지 센서 어레이 제조 방법.

청구항 7

제6항에 있어서, 상기 어레이 내의 각각의 감광 소자 간의 위치에 형성된 Cu 금속 배선 구조를 포함하는 상기 금속 상호접속층 형성 단계는,

상기 제1 레벨간 유전체층 위에 마스크를 도포하는 단계로서, 상기 마스크는 상기 제1 레벨간 유전체층 내의 각각의 포토다이오드 사이에 트렌치를 개설하도록 패터닝되는 것인, 상기 마스크 도포 단계와;

상기 각각의 포토다이오드 간의 위치에 상기 트렌치를 개설하기 위해 에칭 공정을 수행하는 단계와;

상기 금속 배선 구조를 형성하기 위하여 상기 트렌치 안에 Cu 금속을 증착하는 단계

를 포함하는 것인, 이미지 센서 어레이 제조 방법.

청구항 8

제7항에 있어서, 상기 금속 상호접속층 형성 단계는,

상기 금속 배선 구조의 화학적 기계 연마 단계를 수행하는 단계

를 더 포함하는 것인, 이미지 센서 어레이 제조 방법.

청구항 9

픽셀들의 어레이를 포함하는 이미지 센서에 있어서,

상기 어레이 내의 대응하는 픽셀의 각 위치에 형성되며 입사광을 수광하기 위한 감광 소자를 내부에 포함하는 반도체 기판과;

내부에 형성된 제1 및 제2 Cu 금속화 레벨을 갖는 레벨간 유전체층의 스택으로서, 상기 스택의 제1 레벨간 유전체층은 상기 기판의 상면에 형성되고, 각각의 상기 금속화 레벨들은 상기 어레이 내의 각각의 감광 소자 사이에 형성된 Cu 금속 배선 구조를 포함하는 것인, 상기 레벨간 유전체층의 스택과;

상기 각 Cu 금속 배선 구조의 상면에 형성된 장벽 재료층으로서, 상기 Cu 금속 배선 구조의 상면에 형성된 장벽 재료층의 부분들(portions)은 상기 어레이의 각각의 픽셀의 광로(optical path)를 따르는 영역들에서 선택적으로 제거되는 것인, 상기 장벽 재료층과;

상기 어레이 내의 상기 Cu 금속 상호접속층과 입사광을 수광하기 위한 상면층 사이에 형성된 제2 레벨간 유전체층

을 포함하고,

상기 Cu 금속화 레벨들은 레벨간 유전체층의 더 얇은 스택이 상기 광로를 단축시키게 함으로써, 상기 어레이 내의 각각의 감광 소자에 의해 수광되는 광량을 증가시키는 것인, 픽셀들의 어레이를 포함하는 이미지 센서.

청구항 10

제9항에 있어서,

상기 Cu 금속 배선 구조의 상면에 형성된 상기 장벽 재료층은 상기 어레이의 각각의 픽셀의 광로를 가로지르는 부분들을 포함하는 것인, 이미지 센서.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 이미지 센서에 관한 것이며, 특히 반사율 저감과 감광도 상승을 나타내는 신규한 CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서 어레이 구조와 그러한 이미지 센서 어레이를 제조하는 공정에 관한 것이다.

배 경 기 술

[0002] CMOS 이미지 센서는 디지털 카메라, 휴대 전화기, PDA(Personal Digital Assistant), 퍼스널 컴퓨터 등의 이미지 픽업을 필요로 하는 애플리케이션에 있어서 종래의 CCD 센서를 대신하고 있다. CMOS 이미지 센서의 유리한 점은 포토다이오드 등의 반도체 소자에 대한 현재의 CMOS 제조 공정을 저가로 적용하여 제조된다는 것이다. 더욱이, CMOS 이미지 센서는 CCD 센서보다 소비 전력을 더 낮게 제한할 수 있도록 단일 전원에 의해 작동될 수 있고, 또한 CMOS 이미지 센서는 CMOS 논리 회로 및 유사 논리 처리 소자들이 센서 칩에 용이하게 집적되기 때문에 소형화될 수 있다.

[0003] 도 1은 종래 기술에 따른 CMOS 이미지 센서 픽셀 어레이(10)를 도시하고 있다. 도시하는 바와 같이, 이 어레이는 복수의 마이크로렌즈들(12)을 포함하는데, 이 마이크로 렌즈는 각각 반구 형상을 가지며, 그 마이크로렌즈 어레이의 형성을 가능하게 하는 컬러 필터 어레이(15)의 상면 상에 형성되는 매끄러운 평탄화층(17), 예컨대 스핀 온 폴리머(spin on polymer) 상에 배치되어 있다. 컬러 필터 어레이(15)는 각각 적색, 녹색, 및 청색 필터 소자(25)(원색 필터)를 포함하거나 이와 다르게 시안(cyan), 마젠타(magenta) 및 옐로우(yellow) 필터 소자(보색 필터)를 포함하기도 한다. 마이크로렌즈 어레이(12)의 각각의 마이크로렌즈(22)는 대응하는 컬러 필터 소자(25)와 정렬되며, 픽셀(20)의 상부 수광부를 포함한다. 픽셀(20)은, 금속화 상호접속 레벨(M1, M2)의 알루미늄(Al) 배선층(35a, 35b)을 내포하는 하나 이상의 레벨간 유전체층(30a-30c)으로 이루어진 스택을 포함하는 반도체 기판(14) 상에 제조된 셀 부분을 포함한다. 레벨간 유전체 재료는, 예컨대 폴리머 또는 SiO_2를 포함할 수 있다. Al 금속화 상호접속층(35a, 35b)이 패시베이션(passivation)을 필요로 하지 않기 때문에 개별 장벽층은 도시하지 않는다. 또 도 1에 도시하는 바와 같이, Al 금속화층(35a, 35b)을 갖는 각각의 픽셀(20)은 각 픽셀(20) 사이에서 M1과 M2 금속화층에의 배선 접합을 가능하게 하는 최종 알루미늄 금속 레벨(36)을 더 포함하고, 그 배선 접합 레벨(36) 위에는 최종 패시베이션층(28)이 형성된다. 이 최종 패시베이션층(28)은 SiN, SiO_2 또는 이들의 화합물을 포함할 수 있다. 상세하게 도시하지는 않지만, 각 픽셀(20)은 광전 변환을 수행하는 포토다이오드(18) 등의 감광 소자를 포함하는 광전 변환 장치와, 전하 증폭 및 스위칭을 수행하는 CMOS 트랜지스터(도시 생략)를 포함한다. 각각의 픽셀(20)은 각 픽셀에 의해 수광되어 반도체 기판(14) 상에 형성된 광전 변환 (포토다이오드) 소자(18)에 의해 신호 전류로 변환되는 광도(intensity of light)에 대응하는 신호 전하를 생성한다. Si 기판(14) 표면에 형성된 비실리사이드 확산 영역(unsilicided diffusion region) 위에는 추가 장벽 또는 캡핑층, 예컨대 SiN층(38) 등의 질화물이 형성된다.

[0004] 현재의 CMOS 이미지 센서에서 알루미늄 금속 레벨(35a, 35b)을 이용하면 Al 금속의 저항성 상승 때문에 유전체 스택의 높이가 더 높아야 한다. 유전체 높이가 더 높아야 한다는 것은, 두께가 더 두꺼운 유전층(30a-30c)이 필요해지는 결과에 따라 픽셀 광변환 소자(포토 다이오드)에 도달하는 광도가 저감되는 것, 즉 픽셀(20)의 감광도가 손상됨을 의미한다.

[0005] 반도체 산업에서는 0.18 mm 노드 CMOS 이미지 센서 기술을 지향하여 AlCu 체제로 유지하고 있기 때문에, 더 얇은 레벨간 유전체 스택을 요구하여 더 많은 광이 포토다이오드에 도달함에 따라 픽셀 어레이의 감광도를 상승시키는 M1, M2 레벨에 대해 구리(Cu) 금속 라인을 갖는 CMOS 이미지 센서를 제공하는 것이 매우 바람직하다. 그러나, 산화 및 오염에 대한 구리의 취약성 때문에 패시베이션(passivation) 레벨이 Cu 금속 상에 필요하기 때문에, 구리 배선 위에는 SiN, SiC, SiCN 등의 패시베이션층이 필요하다. 그러나, 패시베이션층이 굴절율 부정합을 제공하기 때문에, 패시베이션층의 존재는 픽셀 셀의 광로에서 빛을 반사시켜 장치 감도를 저하시킬 것이다.

[0006] 이에, 보다 얇은 레벨간 유전체 스택을 가능하게 하는 금속화 M1, M2 레벨에 대해 구리(Cu) 금속 라인을 포함하고, 각각의 초박막 장벽층 부분들을, 픽셀 셀 광로에 더 구비하거나 픽셀 셀 광로로부터 제거하여 픽셀 셀의 감도를 상승시키는 CMOS 이미지 센서와 그 제조 방법을 제공하는 것이 더욱 더 바람직하다.

발명의 상세한 설명

[0007] 따라서, 본 발명의 목적은, 더 얇은 레벨간 유전체 스택의 내포를 가능하게 하여 픽셀 어레이에서의 감광도를 상승시키는, 구리(Cu) 금속화 레벨을 구비한 이미지 센서를 제공하는 것이다. 감광도 향상은 간단한 외형(geomtry) 때문에 가능한데, 높이가 줄어들면, 정확한 픽셀에 도달하는 광량이 임의의 주어진 각도에서 많아지기 때문이다.

[0008] 본 발명의 추가 목적은 추가 구리 금속 패시베이션층의 설치로 인한 굴절율 부정합 문제를 해결함과 동시에, 렌즈 아래에서 유전체층의 두께를 최적화함으로써 광 이미지 센서의 감광도를 상승시키는 것이다.

[0009] 본 발명의 추가 목적은, 더 얇은 레벨간 유전체 스택의 내포를 가능하게 하여 픽셀 어레이에서의 감광도를 상승시키는 구리(Cu) 금속화 레벨을 구비한 이미지 센서를 제조하는 방법을 제공하는 것이다.

[0010] 센서 어레이 내의 각 픽셀의 광로를 가로지르는 최소 두께의 장벽층 금속을 갖는 구조를 포함함으로써, 또는 각 픽셀의 광로로부터 선택적으로 장벽층 금속의 부분들을 제거함으로써 반사율을 최소화하는 여러 실시예들을 설명한다. 예컨대, 일 실시예에 있어서, 어레이 내의 Cu 상호접속 금속 배선용 장벽층 금속은 두께 20 nm 이하로 형성된다. 한편, 다양한 블록 또는 단일 마스크 방법을 실시하여, 장벽층 금속의 부분들을 어레이 내의 각 픽셀에 대한 광로의 위치에서 완전히 제거한다. 추가 실시예에 있어서, 장벽 금속층은 자기 정렬(self-aligned) 무전해 Cu 캡 증착에 의해 형성되거나, 즉 Cu와 자기 정렬되거나, 또는 선택적으로 패터닝하고 픽셀 영역에서 장벽을 제거하는데 동일 마스크를 이용함으로써 형성될 수 있다.

[0011] 본 발명의 일 태양에 따르면, 픽셀들의 어레이를 포함하는 이미지 센서가 제공되며, 이 이미지 센서는, 상기 어레이 내의 대응하는 픽셀의 각 위치에 형성되며 입사광을 수광하기 위한 감광 소자를 내부에 포함하는 반도체 기판과;

[0012] 상기 기판의 상면에 형성된 제1 레벨간 유전체층과;

[0013] 상기 제1 레벨간 유전체층의 상면에 형성되며, 상기 어레이 내의 각각의 감광 소자 사이에 형성된 Cu 금속 배선 구조를 포함하는 적어도 하나의 금속 상호접속층과;

[0014] 상기 어레이 내의 Cu 금속 상호접속층과, 입사광을 수광하기 위한 상면층 사이에 형성된 제2 레벨간 유전체층을 포함하고, 상기 Cu 금속 상호접속층은 박막의 제1 및 제2 상호접속 유전체층이 광로를 단축하게 하여 상기 어레이 내의 각 감광 소자에 의해 수광되는 광량을 증가시키는 것이다.

[0015] 일 실시예에 있어서, 장벽 재료층은 상기 어레이의 각 픽셀의 광로를 가로지르는 각각의 상기 Cu 금속 배선 구조의 상면에 형성된다.

[0016] 추가 실시예에 있어서, 상기 금속 상호접속층의 상면에 형성된 장벽 재료의 부분들은 각각의 어레이 픽셀의 광로를 가로지르는 영역들로부터 선택적으로 제거된다. 본 실시예에 덧붙여 설명하자면, 어레이의 각 픽셀마다, 픽셀 측벽들 상에 형성되는 광반사성 재료층이 선택적으로 설치되며, 상기 광반사성 재료층은 픽셀의 감광 소자에 의해 수광되는 광량을 증가시킨다.

[0017] 본 발명의 또 다른 태양에 따르면, 픽셀들의 이미지 센서 어레이를 제조하는 방법이 제공되며, 이 방법은,

[0018] a. 각 어레이 픽셀마다 대응하는 감광 소자를 반도체 기판 내에 형성하는 단계로서, 상기 감광 소자는 픽셀에 입사하는 광을 수광하도록 사용되는 것인 상기 감광 소자 형성 단계와;

[0019] b. 상기 기판의 상면에 형성되는 제1 레벨간 유전체층을 형성하는 단계와;

[0020] c. 상기 제1 레벨간 유전체층의 상면에 형성되는 적어도 하나의 금속 상호접속층을 형성하는 단계로서, 상기 형성되는 금속 상호접속층은 상기 어레이 내의 각각의 감광 소자 사이에 형성된 Cu 금속 배선 구조를 포함하는 것인, 상기 적어도 하나의 금속 상호접속층 형성 단계와;

[0021] d. 상기 어레이 내의 Cu 금속 상호접속층의 상면에 제2 레벨간 유전체층을 형성하는 단계를 포함하고, 상기 Cu 금속 상호접속층은 박막의 제1 및 제2 레벨간 유전체층의 형성이 광로를 단축시키게 함으로써, 상기 어레이 내의 각각의 감광 소자에 의해 수광되는 광량을 증가시킨다.

[0022] 일 실시예에서는, 장벽 재료층이 자기 정렬 공정에서 상기 금속 상호접속층의 각각의 Cu 금속 배선 구조의 상면에 형성된다.

[0023] 또 다른 실시예에 있어서, 박막의 장벽 재료층은 Cu 금속 배선 구조의 상면에 그리고 제1 레벨간 유전체층의 상면에 블랭킷(blanket) 증착되어 각 어레이 픽셀의 광로를 가로지른다.

[0024] 추가 실시예에 있어서, 박막의 장벽 재료층은 하나 이상의 마스크를 구현하는 공정을 포함한 각종 공정들에 의해 또는 자기 정렬 마스크 공정 시에, 상기 어레이의 각 픽셀의 광로를 가로지르는 부분이 선택적으로 제거된다. 이들 실시예에 덧붙여 설명하자면, 어레이의 각 픽셀마다, 픽셀 측벽들 상에 형성되는 광반사성 재료층이 선택적으로 설치되며, 상기 광반사성 재료층은 픽셀의 상기 감광 소자에 의해 수광되는 광량을 증가시킨다.

실 시 예

[0039] 도 2는 본 발명의 제1 실시예에 따른 라인 이미지 센서 어레이 스택(100)의 후단부(back end)의 단면도이다. 픽셀(20)(마이크로렌즈 및 컬러 필터)의 상부 수광부가 도 1에 도시한 종래 기술와 동일하기 때문에, 본 발명은 기판(14) 상에 형성된 레벨간 유전체층(130a-130c)의 더 얇은 스택의 형성을 가능하게 하는 Cu 금속화 상호접속부(M1, M2)의 형성을 포함한다. 기판(14)은, 예컨대 Si, SiGe, SiC, SiGeC, GaAs, InP, InAs 및 기타 Ⅲ-Ⅴ 화합물 반도체, Ⅱ-Ⅴ 화합물 반도체를 비롯한 벌크(bulk) 반도체일 수 있거나, 실리콘-온-절연체(SOI : Silicon-On-Insulator), SiC-온-절연체(SiCOI) 또는 실리콘 게르마늄-온-절연체(SGOI) 등의 층형(layered) 반도체일 수 있다. 양호하게는, 레벨간 유전체 재료는 스퍼터링, 스핀-온, 또는 PECVD 등의 임의개의 공지된 기술에 의해 증착될 수 있는 유기 또는 무기 레벨간 유전체(ILD) 재료를 함유할 수 있고, 종래의 스핀-온 유기 유전체, 스핀-온 무기 유전체, 또는 유전체 함량이 약 4.2 이하인 이들 유전체의 화합물을 포함할 수 있다. 본 발명에 채용될 수 있는 적절한 유기 유전체는 C, O, F 및/또는 H를 함유한 유전체를 포함한다. 본 발명에 채용될 수 있는 유기 유전체의 일부 종류의 예에는, 방향족 열경화성 중합체 수지, 예컨대 DOW Chemical Company에서 SiLK(등록상표)라는 상표명으로 판매하는 수지, Honeywell사에서 Flare(등록상표)라는 상표명으로 판매하는 수지, 다른 공급자로부터의 유사 수지, 및 기타 유사 유기 유전체를 포함하나 이들에 제한되지 않는다. 레벨간 유기층으로서 채용된 유기 유전체는 다공성이거나 아닐 수 있는데, k 값의 감소 때문에 다공성 유기 유전체층이 더 바람직하다. 레벨간 유전체층으로서 채용될 수 있는 적절한 무기 유전체는, 예컨대 SiO_2, FSG(플루오로실리케이트 유리), SiCOH, SiOCH, 탄소 도핑된 산화물(COD), 실리콘-옥시카바이드, 플라즈마 강화 화학적 기상 증착(CVD) 기술로 증착된 유기실리케이트 유리(OSG)와 같이, 통상 Si, O 및 H, 그리고 선택적으로 C를 함유할 수 있다. 채용될 수 있는 무기 유전체의 일부 종류의 예로는, (Honeywell사에서 판매하는) 실세스퀴옥산(silsesquioxane) HOSP, MSQ(methylsilsesquioxane), HSQ(hydrogen silsesquioxane), MSQ-HSQ 혼성중합체, 실리콘 소스로서 TEOS(tetraethylorthosilicate) 또는 SiH_4를, 산화제로서 O_2, N_2O, NO 등을 이용하여 증착된 SiO_2, 유기실란 및 기타 Si를 함유한 재료를 포함하나, 이들에 한정되지는 않는다. 설명의 편의상 무기 유전체 재료로서 SiO_2를 이용하기로 한다.

[0040] 도 2를 참조하면, M1층을 형성하기 위한 방법은, 먼저 기판 캡핑층(38)의 상면 상에, SiO_2 유전체층(130c)을, 예컨대 약 2 kÅ 내지 20 kÅ 사이의 범위의 두께로, 더 바람직하게는 4 kÅ와 5 kÅ 사이의 범위의 두께로 증착하는 단계와, 공지된 리소그래피 및 RIE 기술을 이용하여 SiO_2층(130c) 내에 트렌치를 패터닝하는 단계와, 형성된 트렌치를, 예컨대 Ta, TaN, TiN, TiSiN, W, WCN, Ru의 하나 이상의 내화성 금속과 같은 금속 라이너로 라이닝하는 단계를 포함한다. 이어서, 라이닝된 트렌치에는 구리 재료가 충전되어 Cu M1층(135b)이 형성된 다음 공지된 CMP 기술을 이용하여 연마된다. 그 후, SiN 등의 장벽 또는 Cu 확산층(132b)이 Cu M1 금속화층의 상면 상에, 예컨대 20 kÅ 내지 2 kÅ 사이의 범위의 두께로, 더 바람직하게는 100 kÅ와 200 kÅ 사이의 범위의 두께로 증착된다. 본 실시예에서는 Cu 상호접속부의 상면 상에서의 질화물층(132b)의 두께를 줄여 반사율을 최소화한다. SiON, SiC, SiCN, SiCON, SiCO 재료 등을 포함한, 그러나 이들에 한정되지 않는 기타 장벽층 재료를 이용할 수 있음은 물론이다. 후속 Cu M2 금속화층을 위해 상기 단계들을 반복하여, 박막의 M2 유전체층(130b), 예컨대 SiO_2를 Cu 확산층(132b) 위에, 2 kÅ 내지 20 kÅ 사이의 범위의 두께로, 바람직하게는 1 미크론의 두께로 증착하고, 공지된 리소그래피 및 RIE 기술을 이용하여 SiO_2층(130b) 내에 트렌치를 패터닝한 다음, 형성된 트렌치를 내화성 금속 등의 금속 라이너로 라이닝하고, Cu M2층(135a)을 형성하기 위하여 라이닝된 트렌치를 구리 재료로 충전한 다음, 공지된 CMP 기술을 이용하여 연마함으로써, M2 금속화층이 형성된다. 그런 다음, SiN 등의 장벽 또는 Cu 확산층(132a)을 Cu M2층(135a)의 상면 상에, 예컨대 20 kÅ 내지 2 kÅ 사이의 범위의 두께로 증착한다. 후속 단계들은, 공지된 기술에 따라 확산층(132a) 및 최종 Al 금속화층의 상면에 레벨간 유전체층(130a)을 형성하는 단계를 포함한다. 도 2에 도시한 실시예에서는, 반사율을 최소화하기 위하여 M1 및 M2 양 확

산 장벽층의 총 두께를 약 20 nm 이하로 하는 것이 좋다. 도 2에 도시한 실시예에 덧붙여 설명하자면, 반사를 추가로 줄이기 위하여, SiN(1.98)과 SiO_2(1.46)의 굴절율 사이에 굴절율을 갖는 SiON 등의 추가 재료층을 박막의 SiN층(132a, 132b)의 상면 상에 필적할 두께(예컨대, 약 20 kÅ 내지 2 kÅ)로 형성할 수 있음은 물론이다. 본 제1 실시예에 따르면, 광로에, Cu 금속화층 및 대응하는 박막의 레벨간 유전체층(130a-130c)과 최소의 확산 장벽층(132a, 132b)을 설치하여 광 반사율을 최소화함으로써, 더 많은 양의 광(13)이 픽셀(20)의 광로를 가로질러 하부의 포토다이오드(18)에 도달하게 한다. 도 2에 추가 도시하는 바와 같이, 대안적 실시예에서는 각 픽셀 어레이(100)가, 감광 소자, 예컨대 포토다이오드(18)의 상면 상에서 기판 내에 형성된 추가 STI 분리 유전체 영역(138)을 포함할 수 있다. 본 대안적 실시예에서는 하부 질화물 캡핑층(38)을 픽셀 광로에서 제거한다.

[0041] 본 발명의 제2 실시예에서는 굴절율 부정합 문제를 피하기 위하여, 픽셀 어레이 광로에 형성된 장벽 SiN층(132a, 132b)의 부분들이 선택 제거된다. 도 3a에 도시되는 본 제2 실시예의 이미지 센서 어레이(100a)에서는, 각 공정 레벨에서 추가 마스크(레지스트 마스크 또는 하드마스크)를 이용하여 각 픽셀의 광로의 위치에서 SiN 장벽층(132a, 132b)에 개구(50)를 형성한다. 즉, 각각의 장벽층(132a, 132b)을 형성한 후에, 선택 위치에서 SiN을 개설하기 위하여 추가 리소그래피 패터닝 및 에칭 단계(습식 또는 건식 에칭)를 실시한다. 그러나, SiN층(132a, 132b)의 선택 부분을 제거하기 위하여 예컨대 클러스터(clustered) 이온빔 에칭을 이용하는 공정 등의 무마스크 공정을 실시할 수 있음도 물론이다. 양호하게는 플루오르계 건식 에칭(예컨대, CF_4와 함께 산소 플라즈마)이 좋지만, 에칭 후 (빛의 반사 또는 산란을 일으킬 수 있는)표면에서의 손상 또는 거칠기를 최소화하는데 있어서는 습식 에칭이 바람직하다. 습식 에칭은 SiN RIE 다음에 약한 HF "평활화(smoothing)" 에칭으로 이루어질 수 있거나, 하드마스크로서 SiO_2를 이용하여 SiN을 제거하는 H_3PO_4 에칭일 수도 있다. 이에, 본 실시예에서는, 레벨간 유전체층(130b), Cu M1 금속화층(135b) 및 대응하는 SiN 장벽층을 형성하는 공정의 단계들이 수행된 다음, 픽셀 어레이에서의 장벽 SiN층(132b)의 선택 제거가 이루어진다. 그리고, 이들 공정의 단계들은 후속 M2 유전체(130b), 금속층(M2) 및 장벽층(132a)을 위해 반복된다. 그러나, M1 SiN 장벽층(132b)이 에칭된 후에, 그 층의 표면은 완벽하게 평평할 수 없기 때문에, 후속하여 형성되는 M2 유전체층을 손상시킬 수 있으며, 잠재적으로 후속 M2 레벨(135a)을 위한 후속 Cu의 리소그래피 또는 연마에 영향을 미친다. 그렇기 때문에, M2를 위한 SiO_2층(130b)이 패터닝되고 증착된 후에, M2 금속화층(135a)을 패터닝하기 전에, 추가 연마 단계를 SiO_2 유전체(130b) 레벨의 표면에 수행한다. 또한, 도 3a에 도시된 실시예에서는, 포토다이오드(18)의 상면 상에 형성된 유전체 절연체층(138), 예컨대 STI 분리부를 기판(14)에 설치하지 않아도 포토다이오드 소자(18)가 실리콘 기판 내의 활성 영역에 직접 배치된다고 가정하여, 기판(14)의 상면에 나타내는 박막의 상면 질화물층(28)과 질화물 캡핑층(38)[각각의 두께 범위는 약 20 kÅ 내지 2 kÅ]이 픽셀 어레이 감도에 영향을 미치지 않는 것으로 나타낸다.

[0042] 이에, 도 3b에 도시된 픽셀 어레이(100b)의 대안적 제2 실시예에서는, 감광 소자, 예컨대 포토다이오드(18)의 상면 상에 형성된 STI 분리 유전체 영역(138)을 포함하는 실시예의 경우, 광로 내의 M1 및 M2 레벨 유전체(132a, 132b) 외에도, 이미지 센서 어레이(100a)의 기판(14) 상면 상에서 광로 내의 기판 캡핑층(38)을 제거하는 것이 바람직하다. 따라서, 도 3a에 대해서 본 명세서에 기재한 방식대로, 추가 마스크가 필요하고, 픽셀의 광로의 위치에서 SiN 캡핑층(38)에 추가 개구(50a)를 설치하기 위해 추가 리소그래피 패터닝 및 에칭 단계(습식 또는 건식 에칭)가 실시된다.

[0043] 도 4a는 기판(14)에서 픽셀의 감광 소자(포토다이오드)(18) 위에 STI 영역(138)이 없는 도 3a에 도시한 이미지 센서 실시예에 대응하는 본 발명의 제3 실시예에 따른 이미지 센서 어레이(100c)의 단면도이다. 본 실시예에 따르면, 기판 캡핑층(38), 레벨간 유전체층(130a), 레벨간 금속화층(135b)(M1), 및 대응하는 장벽층(132b), 예컨대 SiN이 M1 장벽 에칭없이 형성된다. 이어서, M2 유전체층(130b), 금속화 M2(135a), 및 대응하는 장벽층(132a), 예컨대 SiN이 형성된다. 후속하여 마스크가 패터닝되고, 픽셀의 광로로부터 M2층에 대한 질화물 장벽층(132a)의 부분을 제거하여 개구(51)를 형성하기 위한 에칭이 수행된다. 그러나, 동일 에칭 공정 단계에서는 광로 내의 금속화 양 장벽층(132a, 132b)을 제거하는데 단 하나의 마스크만 필요하도록 M2 유전체층(130b)과 M1 장벽 개구(51a)를 형성한다. 이 에칭 후에, 예컨대 스핀-온 SiO_2 재충전 공정을 이용하여 레벨간 유전체(예컨대, 산화물)를 에칭된 광로 내에 다시 증착하고 평탄화 단계를 수행한다. 한편, 충전 유전체는 폴리머 유전체[폴리이미드, Dow Chemical사의 SiLK(등록상표) 등]를 포함하며, 레벨간 유전체(산화물, SiO_2, 또는 탄소계 산화물 등)를 증착하기 위해서 CVD 또는 (플라즈마 강화) PE-CVD 공정 등의 갭 충전력이 우수한 다른 기술을 이용할 수 있음은 물론이다.

[0044] 이미지 센서 어레이(100d)가 감광 소자, 예컨대 포토다이오드(18)의 상면 상에 형성된 STI 분리 유전체 영역(138)을 포함하는 도 4b에 도시된 대안적 제3 실시예에서는, M1 및 M2 레벨 유전체(132a, 132b) 외에도, 기판(14)의 상면 상에 도시된 하부 질화물층(38)을 제거하는 것이 바람직하다. 이에, 도 4a에 대해 본 명세서에 기재한 방식대로, M2 장벽 레벨(132a)의 형성 후에, 단일 마스크의 리소그래피 패터닝을 수행하고, 픽셀의 광로 내의 각각의 장벽 레벨에 개구(51, 51a, 51b)를 형성하기 위한 에칭을 수행한다. 즉, M2 질화물 장벽과, 동시에 M2 유전체층(130b), M1 장벽, M1 유전체층(130c) 및 추가 하부 질화물층을 제거하기 위해, 본 명세서에 기재한 양호한 건식 에칭 기술(예컨대, CF_4와 O_2 플라즈마)을 이용하여 에칭을 수행한다. 장벽층 재료를 제거하기 위해 선택적으로 습식 에칭을 수행할 수 있음은 물론이다. 이후, 예컨대 스핀온 SiO_2 또는 폴리머 유전체[폴리이미드, Dow Chemical사의 SiLK(등록상표) 등] 재충전 공정을 이용하여, 에칭된 경로를 레벨간 유전체로 재충전하고, 평탄화 단계를 수행한다. 레벨간 유전체(산화물, SiO_2, 또는 탄소계 산화물 등)를 증착하기 위해서 CVD 또는 (플라즈마 강화) PE-CVD 공정 등의 갭 충전력이 우수한 다른 기술을 이용할 수 있음은 물론이다.

[0045] 도 5a는 기판(14)에서 픽셀의 감광 소자(포토다이오드)(18) 위에 형성된 유전체(예컨대, STI) 영역(138)이 없는 도 3a에 도시한 이미지 센서 실시예에 대응하는 본 발명의 제4 실시예에 따른 이미지 센서 어레이(100e)의 단면도이다. 본 실시예에 따르면, 기판 캡핑층(38), 레벨간 유전체층(130a-130c), 레벨간 금속화층(35a, 35b)(M2, M1), 및 대응하는 장벽층(132a, 132b), 예컨대 SiN이 형성된다. 그러나, 상부 레벨간 유전체층(130a)의 형성 후에, 단일 마스크의 리소그래피 패터닝 및 도포를 수행하고, 픽셀의 광로 내의 각각의 M2와 M1 장벽 레벨에 개구(52, 52a)를 형성하기 위한 에칭을 수행한다. 즉, 단일 에칭 단계에서는, (단일 마스크를 이용하여) 각각의 레벨간 유전체층(130a-130c) 외에도, 금속화층마다 각 장벽층(132a, 132b)을 제거한다. 또한, 본 실시예에서는, 광로 내에 홀을 개설한 후에 그리고 그 홀을 레벨간 유전체(예컨대, 산화물)로 충전하기 전에, 박막의 질화물 라이너(140)를 에칭된 홀의 측벽들 및 하면과 동형으로 증착한다. 양호하게는 에칭된 개구의 하면 및 측벽들을 라이닝하기 위해, PE-CVD 등의 공지된 증착 기술을 이용하여 광반사 특성을 가진 박막의 라이너 재료 또는 SiN 재료를 증착하는 것이 좋다. 예컨대, 광 반사 특성을 가진 기타 라이너 재료는, 예컨대 Al, TiN, 텅스텐, Ru, 폴리-Si, 폴리-Ge의 소정의 금속, SiC 등을 포함하나, 이들에 한정되지 않는다. 이 박막의 라이너(140)는 50 Å 내지 2 kÅ의 범위의 두께로 증착될 수 있으며, 이동 이온 침입을 막도록, 그리고 한 각도로 렌즈에 입사하는 임의의 광이 포토다이오드에 도달하도록 산란광을 반사시키는 거울면으로서 추가 역할하도록 효과적으로 기능한다. 후속 단계에서는, 박막의 질화물 라이저를 증착한 후에, 예컨대 스핀온 SiO_2 재충전 공정을 이용하여 레벨간 유전체 재료를 라이닝된 홀에 다시 증착하고 최종 평탄화 단계를 수행한다.

[0046] 이미지 센서 어레이(100f)가 감광 소자, 예컨대 포토다이오드(18)의 상면 상에 형성된 STI 분리 유전체 영역(138)을 포함하는 도 5b에 도시하는 대안적 제4 실시예에서는, M1과 M2 레벨 장벽(132a, 132b) 외에도, 픽셀 광로 내의 기판(14)의 상면 상에 도시된 하부 질화물층(38)의 부분들을 제거하는 것이 바람직하다. 따라서, 도 5a에 대해서 본 명세서에 기재한 방식대로, 단일 마스크의 리소그래피 패터닝 및 도포 후에, 픽셀의 광로 내의 각각의 장벽 레벨에서 개구(52, 52a, 52b)를 형성하기 위해 단일 에칭을 수행한다. 즉, M2 질화물 장벽과, 동시에 M2 유전체층(130b), M1 장벽, M1 유전체층(130c) 및 추가 하부 질화물(38)을 제거하기 위해, 본 명세서에 기재한 양호한 건식 에칭 기술(예컨대, CF_4과 O_2 플라즈마)을 이용하여 단일 에칭 공정을 수행한다. 장벽층 재료를 제거하기 위해 습식 에칭을 수행할 수 있음은 물론이다. 이어서, 광로 내에 홀을 개설한 후에 그리고 그 홀을 레벨간 유전체로 충전하기 전에, 박막의 질화물 스페이서(141)를 그 에칭된 홀의 측벽들 및 하면과 동형으로 증착한다. 양호하게는, 홀을 라이닝하기 위해, 공지된 증착 기술을 이용하여 광 반사 특성을 가진 박막의 라이너 재료 또는 SiN 재료를 증착하는 것이 좋다. 그 후에, 홀의 하면과 동형인 반사성 라이너 재료를 스페이서 에칭법, 즉 에칭된 개구의 측벽들을 따라 SiN 스페이서를 형성하는데 이용되는 임의의 지향성 에칭법으로 제거한다. 예를 들어, SiN 스페이서를 형성하기 위해 F계 지향성 에칭을 이용한다. 후속 단계에 있어서, 박막의 질화물을 증착하고 스페이서(141)를 형성하도록 에칭한 후에, 예컨대 스핀온 SiO_2 재충전 공정을 이용하여 레벨간 유전체 재료를 다시 증착하고, 최종 평탄화 단계를 수행한다.

[0047] 도 6a는 기판(14)에서 픽셀의 감광 소자(포토다이오드)(18) 위에 형성된 STI 영역이 없는 도 3a에 도시한 이미지 센서 실시예에 대응하는 본 발명의 제5 실시예에 따른 이미지 센서 어레이(100g)의 단면도이다. 본 실시예에 따르면, 기판 캡핑층(38), 레벨간 유전체층(130a-130c), 레벨간 Cu 금속화층(135a, 135b)(M2, M1) 및 대응하는 장벽층(132a, 132b), 예컨대 SiN이 형성된다. 각 픽셀 사이에는, 도 6a에 도시하는 바와 같이 패터닝된 상부 금속 도전체(즉, 알루미늄)층(36)이 추가로 형성된다. 그러나, 상부 알루미늄층(36)의 패터닝 후에, 픽셀의 광로 내의 각각의 M2 및 M1 장벽 레벨에 개구(53, 53a)를 형성하기 위한 단일 에칭 공정을 수행한다. 즉, 단일 에칭

단계에서는, 자기 정렬 마스크로서 기능하는 패터닝된 Al층(36)을 이용하여, 각각의 레벨간 유전체층(130a-130c) 외에도, 금속화 레벨마다 각각의 장벽층(132a, 132b)을 제거한다. 그리고, 후속 단계에서는, 예컨대 스핀온 SiO_2 재충전 공정을 이용하여 레벨간 유전체 재료를 에칭된 홀 내에 다시 증착하고 최종 평탄화 단계를 수행한다.

[0048] 이미지 센서 어레이(100h)가 감광 소자, 예컨대 포토다이오드(18)의 상면 상에 형성된 STI 분리 유전체 영역(138)을 포함하는 도 6b에 도시하는 대안적 제5 실시예에서는, M1과 M2 레벨 장벽(132a, 132b) 외에도, 픽셀 광로 내의 기판(14)의 상면 상에 도시된 하부 질화물층(38)의 부분을 제거하는 것이 바람직하다. 이에, 도 6a에 대하여 본 명세서에 기재한 방식대로, 단일의 자기 정렬 마스크로서 추가 기능하는 Al층(36)을 리소그래피 패터닝한 후에, 픽셀의 광로 내의 각각의 장벽 레벨에 개구(53, 53a, 53b)를 형성하기 위한 단일(습식 또는 건식) 에칭을 수행한다. 즉, M2 질화물 장벽과, 동시에 M2 유전체층(130b), M1 장벽, M1 유전체층(130c), 및 추가 하부 질화물층(38)을 제거하기 위해, 본 명세서에 기재한 양호한 건식 에칭 기술(예컨대, CF_4 및 O_2 플라즈마)을 이용하여 에칭을 수행한다. 장벽층(132a, 132b)과 캡핑층(38)을 제거하기 위하여 습식 에칭 공정을 수행할 수 있음은 당연하다.

[0049] 도 7a는 기판(14) 내에서 픽셀의 감광 소자(포토다이오드)(18) 위에 STI 영역이 없는 도 3a에 도시한 이미지 센서 실시예에 대응하는 본 발명의 제6 실시예에 따른 이미지 센서 어레이(100i)의 단면도이다. 본 실시예에 따르면, 기판 캡핑층(38), 레벨간 유전체층(130a-130c), 레벨간 금속화층(135a, 135b)(M2와 M1) 및 대응하는 장벽층(132a, 132b), 예컨대 SiN이 형성된다. 각 픽셀 사이에는, 도 7a에 도시하는 바와 같이 패터닝된 상부 금속 도전체(즉, 알루미늄)층(36)이 추가 형성된다. 그러나, 상부 알루미늄층(36)의 패터닝 후에, 픽셀의 광로 내의 각각의 M2 및 M1 장벽 레벨에 개구(54, 54a)를 형성하기 위한 단일 에칭 공정을 수행한다. 즉, 단일 에칭 단계에서는, 자기 정렬 마스크로서 기능하는 패터닝된 Al층(36)을 이용하여, 각각의 레벨간 유전체층(130a-130c) 외에도, 금속화 레벨마다 각각의 장벽층(132a, 132b)을 제거한다. 또한, 본 실시예에서는, 광로에 홀을 개설한 후에 그리고 그 홀을 레벨간 유전체(예컨대, 산화물)로 충전하기 전에, 박막의 질화물 라이너(140)를 에칭된 홀의 측벽들 및 하면과 동형으로 증착한다. 양호하게는, 홀을 라이닝하기 위해, 전술한 바와 같이 PE-CVD 등의 공지된 증착 기술을 이용하여 SiN 재료, 또는 광 반사성 특성을 갖는 박막의 라이너 재료를 증착하는 것이 좋다. 이 박막의 반사성 라이너(140)는 50 Å 내지 2 kÅ 사이의 범위의 두께로 증착될 수 있으며, 한 각도로 픽셀 렌즈에 입사하는 임의의 광이 포토다이오드에 도달하도록 산란광을 반사시키는 거울면으로서 효과적으로 역할할 수 있다. 후속 단계에서는, 박막의 질화물 라이너를 증착한 후에, 예컨대 스핀온 SiO_2 재충전 공정을 이용하여 레벨간 유전체 재료를 라이닝된 홀에 다시 증착하고 최종 평탄화 단계를 수행한다.

[0050] 이미지 센서 어레이(100j)가 감광 소자, 예컨대 포토다이오드(18)의 상면 상에 형성된 STI 분리 유전체 영역(138)를 포함하는, 도 7b에 도시하는 대안적 제6 실시예에서는, M1과 M2 레벨 유전체(132) 외에도, 픽셀의 광로 내의 기판(14)의 상면 상에 나타내는 하부 질화물층(38)의 부분들을 제거하는 것이 바람직하다. 따라서, 본 명세서에 기재한 방식대로, 단일의 자기 정렬 마스크로서 추가 기능하는 Al층(36)을 리소그래피 패터닝한 후에, 픽셀의 광로 내의 각각의 장벽 레벨에 개구(54, 54a)를 형성하기 위한 단일(습식 또는 건식) 에칭을 수행한다. 즉, M2 질화물 장벽과, 동시에 M2 유전체층(130b), M1 장벽, M1 유전체층(130c), 및 추가 하부 질화물층(38)을 제거하기 위해, 본 명세서에 기재한 양호한 건식 에칭 기술(예컨대, CF_4와 O_2 플라즈마)을 이용하여 에칭을 수행한다. 장벽층(132a, 132b)과 캡핑층(38)을 제거하기 위해 습식 에칭 공정을 수행할 수 있음은 물론이다. 또한, 본 실시예에서는, 광로에 홀을 개설한 후에, 그리고 그 홀을 레벨간 유전체(예컨대, 산화물)로 충전하기 전에, 박막의 질화물 스페이서(141)를 에칭된 홀의 측벽들과 동형으로 증착한다. 양호하게는, 홀을 라이닝하기 위해, 전술한 바와 같이 PE-CVD 등의 공지된 증착 기술을 이용하여 SiN 재료, 또는 광 반사성 특성을 가진 박막의 라이너 재료를 증착하는 것이 좋다. 이 박막의 질화물 스페이서(141)는 약 50 Å 내지 2 kÅ 사이의 범위의 두께로 증착될 수 있으며, 한 각도로 렌즈에 입사하는 임의의 광이 포토다이오드에 도달하도록 산란광을 반사시키는 거울면으로서 효과적으로 역할할 수 있다. 후속 단계에서는 박막의 반사성 스페이서를 증착한 후에, 예컨대 스핀-온 SiO_2 재충전 공정을 이용해 레벨간 유전체 재료를 라이닝된 홀 내에 다시 증착하고, 최종 평탄화 단계를 수행한다.

[0051] 도 3a 내지 도 7b에 대하여 본 명세서에 기재한 각각의 실시예에 있어서, 예컨대 블랭킷 SiN 캡을 형성한 다음, 전술한 바와 같이 광로 내의 장벽 레벨(132a, 132b)의 선택 부분을 제거하는 것보다, 무전해 도금을 이용하여 자기 정렬 Cu 금속캡, 예컨대 CoWP를 형성하는 것이 좋다. 따라서, 도 8에 도시하는 바와 같이, 각각의 Cu 금속화층의 패터닝 형성 및 그 연마 후에, 장벽 재료(142), 예컨대 NiWP, CoWP, CoWP 등의 화합물을 Cu에 직접 선택

적으로 증착하여 Cu를 산화에 대해 보호하기 위해 무전해 도금을 자기 정렬 공정에 실시할 수 있다. 한편, W를 포함한 그러나 이에 제한되지 않은 내화성 금속 등의 장벽층 재료를 선택적으로 증착하기 위해 증착 공정, 예컨대 CVD를 실시할 수 있다. 한편, 각각의 Cu CMP 단계 후에, Cu에는 습식 에칭, 전해연마, 또는 건식 에칭 중 하나의 방식으로 리세스(recess)가 형성된다. 그런 다음, 블랭킷 캡핑층(Ta, TaN, W, SiN, SiC)을 증착하고, 연마 공정을 수행하여 금속 라인 간의 영역에 형성된 캡핑층 부분을 제거한다.

[0052] 본 발명의 양호한 실시예들이라고 간주되는 것을 도시하고 설명하였지만, 본 발명의 기술 사상에서 벗어나는 일 없이 형태 또는 세부사항에서 다양한 변형 및 변화가 용이하게 이루어질 수 있음이 당연하다. 이에, 본 발명은 기재하고 도시한 그대로의 형태에 제한되는 것이 아니라, 이하의 청구범위의 범주 내에 있는 모든 변형예를 포함하도록 구성된다.

도면의 간단한 설명

[0025] 당업자에게는 첨부하는 도면들을 참조하는 이하의 상세한 설명으로부터 본 발명의 목적, 특징 및 장점이 분명해질 것이다.

[0026] 도 1은 종래 기술에 따른 CMOS 이미지 센서 픽셀 어레이(10)를 도시하는 도면이다.

[0027] 도 2는 본 발명의 제1 실시예에 따른 이미지 센서 어레이(100)의 단면도이다.

[0028] 도 3a는 본 발명의 제2 실시예에 따른 방법으로 형성된 이미지 센서 어레이(100a)의 단면도이다.

[0029] 도 3b는 도 3a에 대한 대안적 제2 실시예의 이미지 센서 어레이(100b)의 단면도이다.

[0030] 도 4a는 본 발명의 제3 실시예에 따른 방법으로 형성된 이미지 센서 어레이(100c)의 단면도이다.

[0031] 도 4b는 도 4a에 대한 대안적 제3 실시예의 이미지 센서 어레이(100d)의 단면도이다.

[0032] 도 5a는 본 발명의 제4 실시예에 따른 방법으로 형성된 이미지 센서 어레이(100e)의 단면도이다.

[0033] 도 5b는 도 5a에 대한 대안적 제4 실시예의 이미지 센서 어레이(100f)의 단면도이다.

[0034] 도 6a는 본 발명의 제5 실시예에 따른 방법으로 형성된 이미지 센서 어레이(100g)의 단면도이다.

[0035] 도 6b는 도 6a에 대한 대안적 제5 실시예의 이미지 센서 어레이(100h)의 단면도이다.

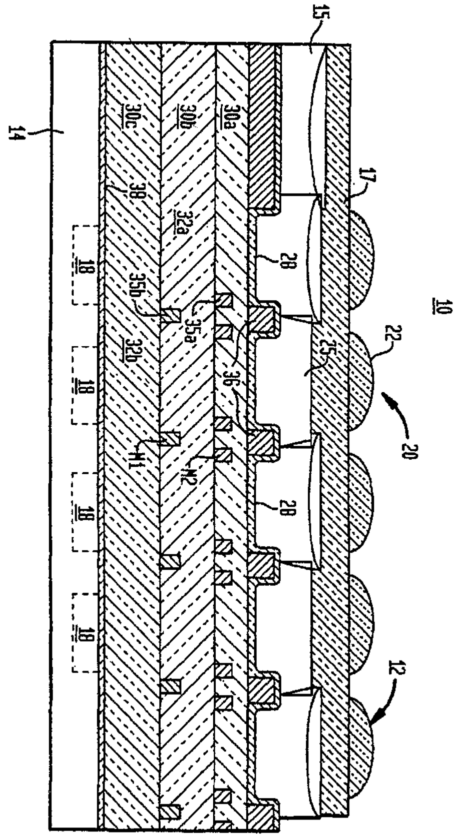
[0036] 도 7a는 본 발명의 제6 실시예에 따른 방법으로 형성된 이미지 센서 어레이(100i)의 단면도이다.

[0037] 도 7b는 도 7a에 대한 대안적 제6 실시예의 이미지 센서 어레이(100j)의 단면도이다.

[0038] 도 8은 Cu 금속화 레벨 상에 장벽 재료를 선택적으로 증착하기 위한 자기 정렬 마스크 공정을 통합하는 본 발명의 이미지 센서 어레이의 다른 실시예들의 단면도이다.

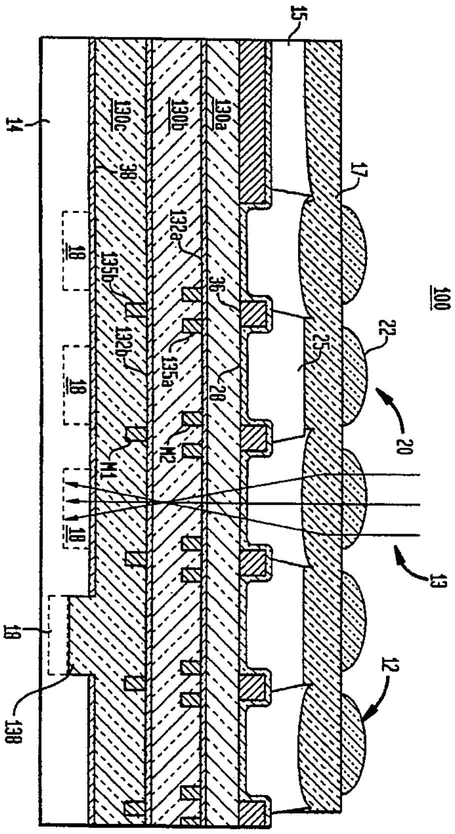
도면

도면1

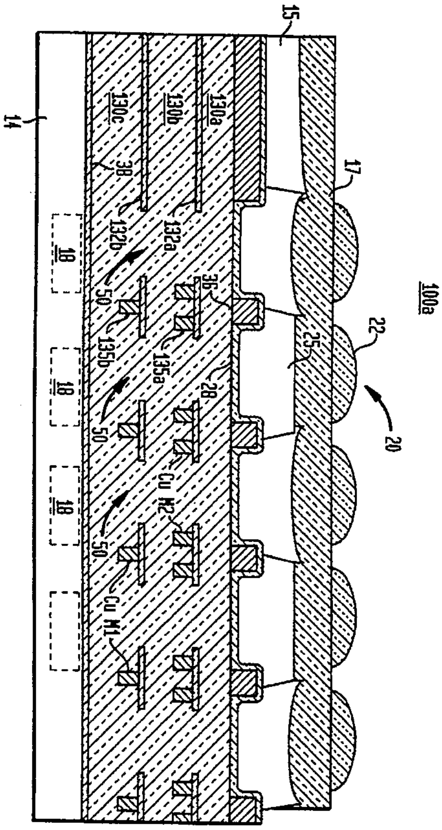


종래 기술

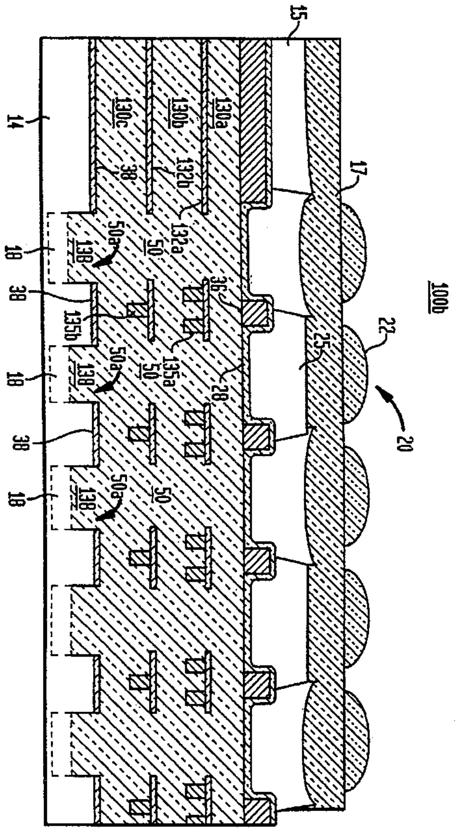
도면2


100
15
17
22
20
13
12
25
36
28
130a
130b
130c
132a
135a
135b
132b
M1
M2
38
18
19
138
14

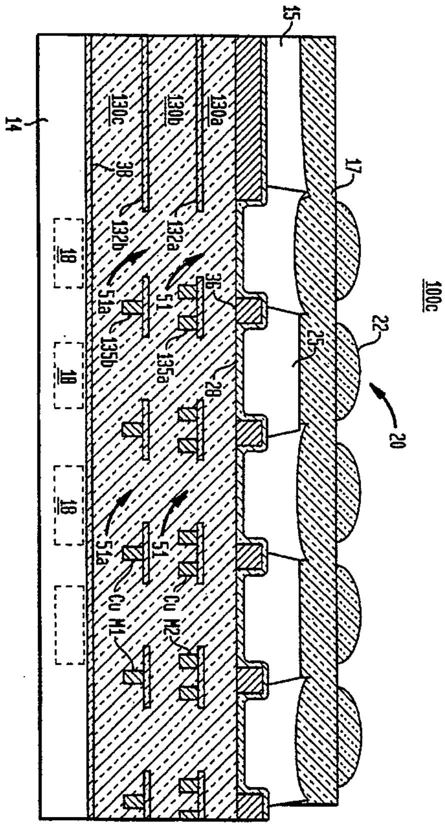
도면3a


15
17
14
130a
130b
130c
38
132a
132b
36
135a
135b
28
25
22
20
100a
18
18
18
50
50
50
Cu M2
Cu M1

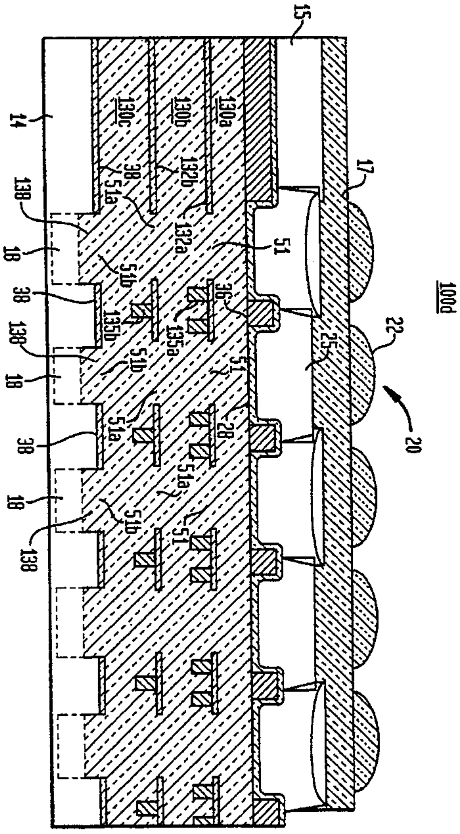
도면3b


100b
15
17
22
20
25
14
130a
130b
130c
132a
132b
135a
135b
138
18
38
36
28
50
50a

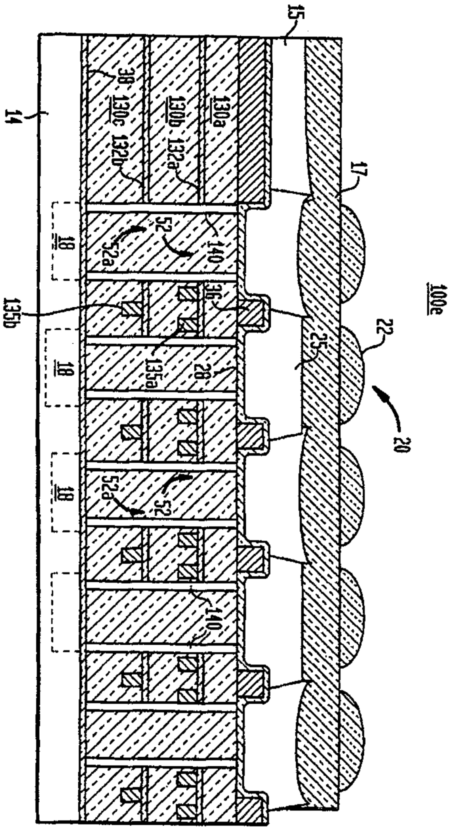
도면4a


100c
20
22
17
15
25
36
29
130a
130b
130c
132a
132b
135a
135b
51
51a
38
14
18
Cu M2
Cu M1

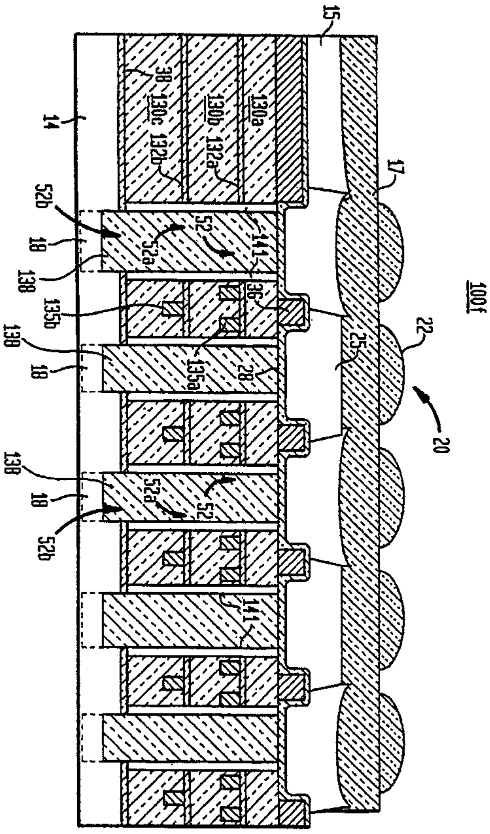
도면4b


15
17
14
130a
130b
130c
132b
132a
38
51a
138
18
51
51b
36
135a
135b
22
25
28
20
100d

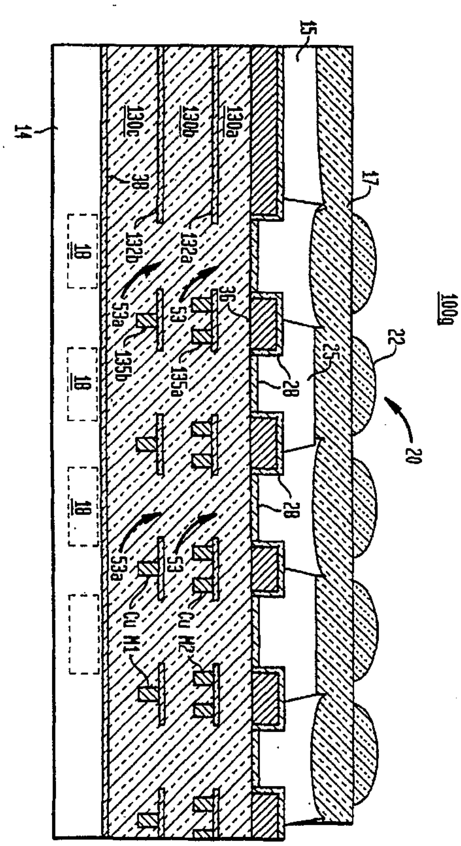
도면5a


15
17
14
38
130c
132b
130b
132a
130a
140
52
52a
18
36
135b
135a
28
25
22
20
100e

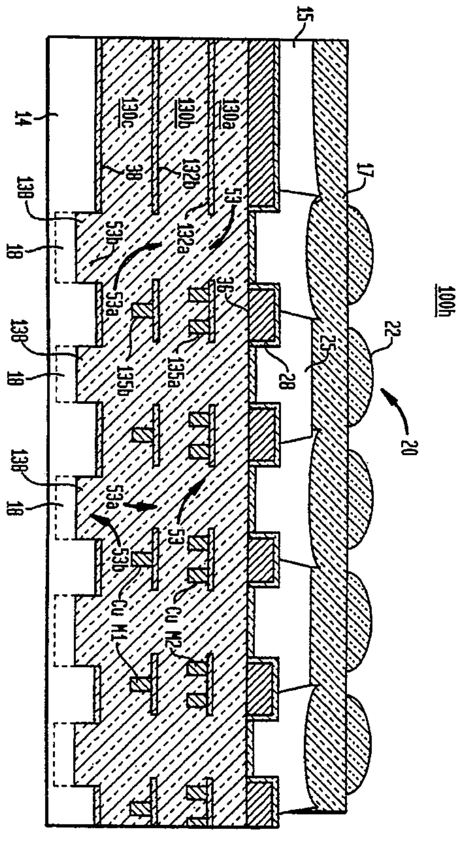
도면5b


100f
15
17
14
130a
130b
130c
132a
132b
38
52b
18
138
52a
52
141
36
135b
135a
28
25
22
20

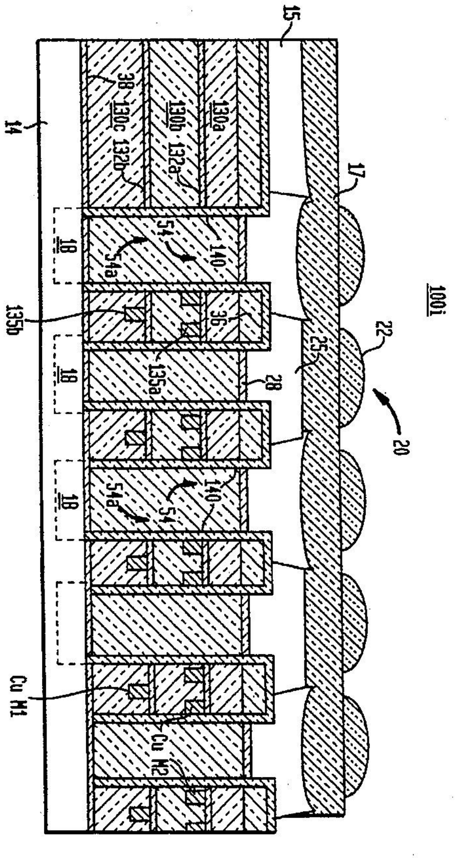
도면6a


100g
20
22
17
15
25
28
28
36
130a
130b
130c
14
18
18
18
38
132a
132b
53
53a
53
53a
135a
135b
Cu M2
Cu M1

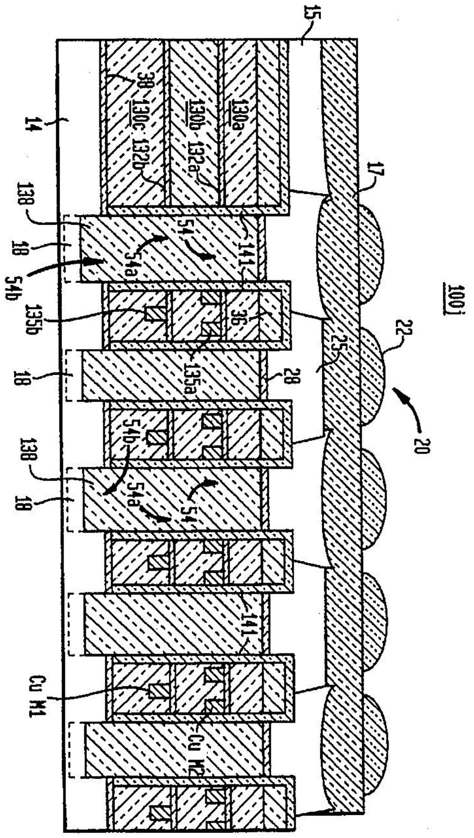
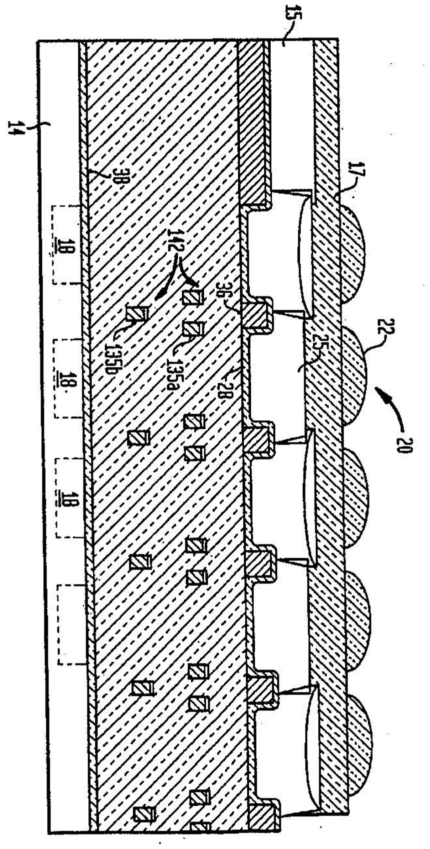
도면6b


15
14
130a
130b
130c
17
132b
132a
38
53
53b
53a
138
18
36
28
25
22
20
100h
135a
135b
Cu M2
Cu M1

도면7a


15
17
38
130c
132b
130b
132a
130a
14
18
54
54a
140
36
135b
135a
28
25
22
20
100i
Cu M1
Cu M2

도면7b


15
14
38
130c
132b
130b
132a
130a
17
138
18
54b
54a
54
141
135b
36
100i
22
25
135a
28
18
138
18
20
141
Cu M1
Cu M2

도면8