

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-242561
(P2013-242561A)

(43) 公開日 平成25年12月5日(2013.12.5)

(51) Int.Cl.	F I	テーマコード (参考)
GO2B 21/00 (2006.01)	GO2B 21/00	2H052
GO6F 12/00 (2006.01)	GO6F 12/00 560B	5B060
GO6F 13/38 (2006.01)	GO6F 13/38 310E	5B077

審査請求 未請求 請求項の数 15 O L 外国語出願 (全 14 頁)

(21) 出願番号 特願2013-101048 (P2013-101048)
 (22) 出願日 平成25年5月13日 (2013.5.13)
 (31) 優先権主張番号 10 2012 208 324.3
 (32) 優先日 平成24年5月18日 (2012.5.18)
 (33) 優先権主張国 ドイツ(DE)

(71) 出願人 500178876
 ライカ マイクロシステムス ツェーエム
 エス ゲーエムペーハー
 ドイツ連邦共和国 デー・35578 ヴ
 ェツラー エルンスト・ライツ・シュトラ
 ーセ 17-37
 (74) 代理人 100091867
 弁理士 藤田 アキラ
 (74) 代理人 100154612
 弁理士 今井 秀樹
 (72) 発明者 トルステン ケスター
 ドイツ連邦共和国 68535 エディン
 ゲン・ネッカーハウゼン フリードリヒス
 フェルダール シュトラーセ 36アー
 Fターム(参考) 2H052 AA08 AC28 AC34

最終頁に続く

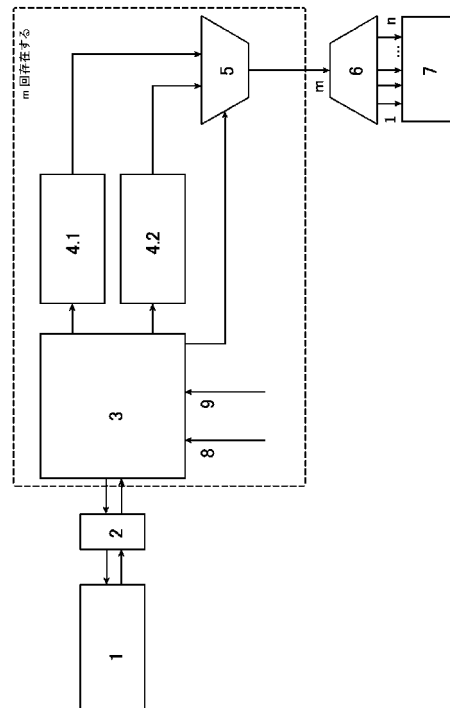
(54) 【発明の名称】 顕微鏡を制御するための回路および方法

(57) 【要約】 (修正有)

【課題】 顕微鏡を制御するための回路と方法の提供。

【解決手段】 コントローラによって顕微鏡を制御するため、制御情報を記憶する低速メモリ1、制御情報に基づき顕微鏡パラメータを制御するコントローラ7が構成される回路において、データスループットを最大化するため、回路がデータローダ3と少なくとも2つの高速メモリ4.1、4.2とマルチプレクサ5を有し、データローダ3が、低速メモリ1から少なくとも2つの高速メモリ4.1、4.2の1つに制御情報を交互に書き込むよう構成され、かつ少なくとも2つの高速メモリ4.1、4.2の1つにコントローラ7が交互にアクセスできるようにするデータローダ3による書き込み動作とコントローラ7による読み出し動作が、同じ高速メモリ4.1、4.2に対して同時に行われないうマルチプレクサ5を制御するようにデータローダ3が構成されること。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

コントローラによって顕微鏡を制御するための制御回路であって、前記回路が、制御情報を記憶するための低速メモリ(1)を有し、前記コントローラ(7)が、前記制御情報に基づいて顕微鏡パラメータを制御するように構成された、制御回路において、

前記回路が、データロード(3)と少なくとも2つの高速メモリ(4.1、4.2)とを有し、前記データロード(3)が、前記低速メモリ(1)から前記少なくとも2つの高速メモリ(4.1、4.2)の1つに交互に前記制御情報が書き込まれるように構成されること、

前記回路が、前記制御情報を読み出すために前記少なくとも2つの高速メモリ(4.1、4.2)の1つに前記コントローラ(7)が交互にアクセスできるようにするマルチプレクサ(5)を有すること、

前記データロード(3)による書き込み動作および前記コントローラ(7)による読み出し動作が、同じ高速メモリ(4.1、4.2)に対して同時に行われないう、前記マルチプレクサ(5)を制御するように、前記データロード(3)が構成されること、を特徴とする制御回路。

【請求項 2】

前記顕微鏡によって走査される画像の1つのライン用の前記制御情報が、前記高速メモリ(4.1、4.2)の1つにいつでも記憶される、請求項1に記載の制御回路。

【請求項 3】

前記顕微鏡によって走査される各画像点用の前記制御情報が、前記顕微鏡パラメータがどのように選択されるかを定義する、請求項1または2に記載の制御回路。

【請求項 4】

前記データロード(3)が入力部(8、9)を有し、これら入力部を介して、画像の初め、画像の終わり、ラインの初め、および/またはラインの終わりが信号で伝えられる、請求項1~3のいずれか一項に記載の制御回路。

【請求項 5】

制御されるべき1つの顕微鏡パラメータが、レーザ光源、またはレーザ光源のレーザラインを含む、請求項1~4のいずれか一項に記載の制御回路。

【請求項 6】

コントローラによって顕微鏡を制御するための制御回路であって、前記回路が、制御情報を記憶するための低速メモリ(1)を有し、前記コントローラ(7)が、n本のラインを介して前記制御情報がアクセスされるよう、前記制御情報に基づいて、顕微鏡パラメータを制御するように構成された、制御回路において、

m個の別個のデータロード(3)が設けられ、各データロード(3)が、それに関連付けられた高速メモリ(4.1、4.2)を有し(1 <math>m < n</math>)、前記データロード(3)のそれぞれが、制御されるべき1つの顕微鏡パラメータに割り当てられること、

前記それぞれの高速メモリ(4.1、4.2)にロードされる制御情報の部分が、前記それぞれのデータロード(3)によって制御されるべき前記顕微鏡パラメータを表す部分であるよう、前記データロード(3)が構成されること、

前記回路が、前記m個の高速メモリ(4.1、4.2)に記憶された前記制御情報に、n本のラインを介して前記コントローラ(7)によってアクセスできるようにするスイッチングマトリックス(6)を有すること、を特徴とする制御回路。

【請求項 7】

前記スイッチングマトリックス(6)が、前記m個の高速メモリの1つにつながる前記ラインを、前記コントローラ(7)への前記n本のラインの1つまたは複数に接続する、請求項6に記載の制御回路。

【請求項 8】

前記回路が、前記m個のデータロード(3)による前記低速メモリ(1)への競合アクセスを制御するアービタ(2)を含む、請求項6または7に記載の制御回路。

10

20

30

40

50

【請求項 9】

n が 3 2 以上であり、好ましくは 6 4 以上であり、特に好ましくは 7 4 以上である、請求項 6 ~ 8 のいずれか一項に記載の制御回路。

【請求項 10】

m が 1 6 以下であり、好ましくは 1 2 以下であり、特に好ましくは 8 以下である、請求項 6 ~ 9 のいずれか一項に記載の制御回路。

【請求項 11】

制御されるべき 1 つの顕微鏡パラメータが、レーザ光源、またはレーザ光源のレーザラインを含む、請求項 6 ~ 10 のいずれか一項に記載の制御回路。

【請求項 12】

各データロード (3) が少なくとも 2 つの高速メモリ (4 . 1、4 . 2) に接続され、各データロード (3) が、前記高速メモリ (4 . 1、4 . 2) の 1 つに交互に書き込むように構成され、

前記回路が、制御情報を読み出すために前記スイッチングマトリックス (6) を介して前記コントローラ (7) が、前記少なくとも 2 つの高速メモリ (4 . 1、4 . 2) の 1 つに交互にアクセスできるようにするマルチプレクサ (5) を有し、

前記データロード (3) が、前記データロード (3) による書き込み動作および前記コントローラ (7) による読み出し動作が同じ高速メモリ (4 . 1、4 . 2) に対して同時に行われないう、前記マルチプレクサを制御するように構成される、請求項 6 ~ 11 のいずれか一項に記載の制御回路。

【請求項 13】

前記顕微鏡によって走査されるべき画像の 1 つのライン用の前記制御情報が、前記高速メモリ (4 . 1、4 . 2) にいつでも記憶される請求項 6 ~ 12 のいずれか一項に記載の制御回路。

【請求項 14】

コントローラによって顕微鏡を制御するための制御方法であって、

前記データロード (3) によって、低速メモリ (1) から制御情報をロードするステップと、

前記データロード (3) によって、少なくとも 2 つの高速メモリ (4 . 1、4 . 2) の 1 つに前記制御情報を交互に書き込むステップと、

前記データロード (3) が前記それぞれの高速メモリ (4 . 1、4 . 2) に同時に書き込まないよう、前記少なくとも 2 つの高速メモリ (4 . 1、4 . 2) の 1 つへの読み出しアクセスが可能になるようにマルチプレクサ (5) を切り替えるステップと、

選択された高速メモリ (4 . 1、4 . 2) に、コントローラ (7) によって前記マルチプレクサ (5) を介してアクセスし、かつ記憶された制御情報を読み出すステップと、

読み出した制御情報に基づいて前記顕微鏡を前記コントローラ (7) によって制御するステップと、を含む制御方法。

【請求項 15】

コントローラによって顕微鏡を制御するための制御方法であって、

制御されるべき m 個の顕微鏡パラメータのそれぞれ 1 つに関する制御情報を、m 個の別のデータロード (3) のそれぞれによって、ロードするステップと、

前記それぞれのデータロード (3) に関連付けられた高速メモリ (4 . 1、4 . 2) に前記制御情報を、前記それぞれのデータロード (3) によって書き込むステップと、

前記高速メモリ (4 . 1、4 . 2) に記憶された前記制御情報に、スイッチングマトリックス (6) を介してコントローラ (7) によってアクセスするステップと、

前記高速メモリ (4 . 1、4 . 2) から前記制御情報を、前記スイッチングマトリックス (6) を介して前記コントローラ (7) によって読み出すステップと、

読み出した制御情報に基づいて、前記顕微鏡を前記コントローラ (7) によって制御するステップと、を含む方法。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コントローラによって顕微鏡を制御するための回路であって、回路が、制御情報を記憶するための低速メモリを有し、コントローラが、制御情報に基づいて顕微鏡パラメータを制御するように構成される回路に関する。制御情報項目は、 n 本のラインを介し、コントローラによってアクセスすることができる。各ラインは、制御情報用の1チャンネルを提供する。

【0002】

本発明は、さらに、コントローラによって顕微鏡を制御するための方法に関する。

10

【背景技術】

【0003】

現在、一般に用いられる顕微鏡は、顕微鏡を制御できるコントローラを有することが多い。制御可能なパラメータには、例えば、顕微鏡の照明レーザービーム、照明レーザービームの個別波長または波長帯域、顕微鏡の光路における制御可能なビームスプリッタ、および検出装置が含まれる。パラメータのいくつかは、比較的長い期間にわたって一定のままであるのに対して、非常に速く変化するパラメータもある。

【0004】

特定の用途の1つは、共焦点顕微鏡にある。共焦点顕微鏡において、試料は、典型的には、画像ラインに沿って蛇行パターンで走査される。この目的のために、照明レーザービームが、試料上に導かれ、試料から来る検出光ビームは、検出装置によって検出される。検出光ビームは、試料における照明レーザービームの反射によっても、蛍光効果によっても生成され得る。試料が、一方向に走査される場合に、検出光ビームは、一方向における照明レーザービームの移動中にのみ検出される。走査が、双方向に実行される場合に、検出光ビームは、両方向における照明レーザービームの移動中に検出される。共焦点顕微鏡の設計に依存して、毎秒8,000ライン(以上)までが、一方向モードで走査可能であり、毎秒16,000ライン(以上)までが、双方向モードで走査可能である。

20

【0005】

生体試料が検査される場合に、試料を破壊しないために、走査動作中に試料に過度のエネルギーを送らないように注意しなければならない。したがって、いわゆる関心領域(ROI)は、興味深いと期待される、かつ照明光ビームが活性化される試料領域において画定される。コントローラが、照明される画像点の位置に基づいて照明レーザービームを活性化する。この目的のために、制御情報が、コントローラに利用可能にされ、それに基づいて、コントローラは、顕微鏡のパラメータ、この場合には照明レーザービームを制御する。

30

【0006】

先行技術において周知のような、顕微鏡を制御するための回路が、図1に概略的に示されている。図1の回路は、例えばダブルデータレートランダムアクセスメモリ(DDR-RAM)の形態をした低速メモリを有する。データロードBが、低速メモリAにアドレスを送信して、そのアドレスに記憶された制御情報を要求し、かつ低速メモリAから制御情報を受信する。この制御情報は、高速メモリCに記憶されるが、高速メモリCは、ハードウェアレジスタの形態をしていてもよい。高速メモリCは、典型的には、ラインバッファとして実現される。すなわち、高速メモリCには、試料の照明中に画像ラインにおける全ての画像点用の制御情報が含まれる。高速メモリCに記憶された制御情報は、コントローラDによって検索することができ、かつ顕微鏡を制御するために使用することができる。高速メモリへの書き込みは、原則として、高速メモリが読み出されていない場合にのみ可能である。

40

【0007】

1つの画像点用の制御情報には、典型的には複数の要素が含まれる。本出願人によって販売されている共焦点顕微鏡において、64の個別ビットが、1つの画像点用の制御情報として記憶され、コントローラによって評価される。1ビットにより、例えば、照明レー

50

ザビームまたは照明レーザラインが、画像点においてオンまたはオフかどうかを制御してもよい。

【0008】

図1に示す回路の動作中に、1つのライン用の制御情報は、2つの画像ラインの活性段階間に低速メモリから高速メモリにロードされる。一般に、照明レーザビームは、走査領域内で、一定の速度で試料にわたって走査される。照明レーザビームが走査領域から出る場合に、照明レーザビームは、減速され、走査領域の初めに対して次の画像ライン上に反対方向に戻る。走査が双方向で実行される場合に、次の画像ラインは、照明レーザビームが試料を横切って戻るときに走査される。走査が一方向の場合に、レーザビームは、オフ状態の間に戻され、方向が変更され、次の画像ラインは、照明レーザビームが戻るまでは走査されない。これは、画像ラインの走査の完了と、照明レーザビームの再配置との間の走査停止に帰着する。これらの走査停止は、制御情報を高速メモリにロードするために用いられる。

10

【発明の概要】

【発明が解決しようとする課題】

【0009】

先行技術の回路は、大量のデータが、短い期間内に低速メモリから高速メモリにロードされなければならないので、問題がある。この目的のために、回路の個別要素は、ロードされた制御情報が次の画像ラインの初めでアクセスされることになるときにローディング動作が完了しているように、十分に速くしなければならない。チャンネルによって処理される制御情報が、2進情報であるだけでなく、それどころか数ビットの解像度を有する制御情報であるので、例えば、ロードされるデータ量が増加した場合に、先行技術の回路は働かなくなる。回路の速度をさらに向上させることができないか、向上させるべきでない場合に、走査速度は、低下されなければならない。すなわち、ローディング動作の時間は、2つの画像ラインにおける走査間のより長い停止によって増加させなければならない。

20

【0010】

したがって、本発明の目的は、短い期間内に大量のデータを処理し、かつコントローラに利用可能にすることができるような方法で、上記のタイプの回路および方法を改善することである。さらに、本明細書で開示される回路および方法は、できるだけスケラブルであるべきである。

30

【課題を解決するための手段】

【0011】

上記の目的は、本発明の基礎となる概念の実施形態に関する請求項1の特徴により、本発明に従って達成される。したがって、問題の回路は、それが、データロードおよび少なくとも2つの高速メモリを含み、データロードが、低速メモリから少なくとも2つの高速メモリの1つに交互に制御情報が書き込まれるように構成されることと、

回路が、制御情報を読み出すために少なくとも2つの高速メモリの1つにコントローラが交互にアクセスできるようにするマルチプレクサを有することと、

データロードによる書き込み動作およびコントローラによる読み出し動作が、同じ高速メモリに対して同時に行われられないような方法でマルチプレクサを制御するように、データロードが構成されることと、を特徴とする。

40

【0012】

本発明の基礎となる概念の別の実施形態において、上記の目的は、請求項6の特徴によって達成される。したがって、問題の回路は、 m 個の別個のデータロードが設けられ、各データロードが、それに関連付けられた高速メモリを有し、 $1 < m < n$ であり、データロードのそれぞれが、制御される1つの顕微鏡パラメータに割り当てられることと、

それぞれの高速メモリにロードされる制御情報の部分が、それぞれのデータロードによって制御されることになる顕微鏡パラメータを表す部分であるように、データロードが構成されることと、

回路が、 m 個の高速メモリに記憶された制御情報を n 本のラインを介してコントローラ

50

によってアクセスできるようにするスイッチングマトリックスを有することと、を特徴とする。

【0013】

方法に関して、上記の目的は、本発明の基礎となる概念の実施形態に関する請求項14の特徴によって達成される。したがって、当該方法には、

データロードによって、低速メモリから制御情報をロードするステップと、

データロードによって、少なくとも2つの高速メモリの1つに制御情報を交互に書き込むステップと、

データロードがそれぞれの高速メモリに同時に書き込まないような方法で、少なくとも2つの高速メモリの1つへの読み出しアクセスがイネーブルされるようにマルチプレクサを切り替えるステップと、

コントローラによって、選択された高速メモリにマルチプレクサを介してアクセスし、かつ記憶された制御情報を読み出すステップと、

読み出した制御情報に基づいて顕微鏡をコントローラによって制御するステップと、が含まれる。

【0014】

本発明の方法の別の実施形態において、上記の目的は、請求項15の特徴によって達成される。したがって、当該方法には、

制御されるm個の顕微鏡パラメータのそれぞれの1つに関する制御情報を、m個の別個のデータロードのそれぞれによってロードするステップと、

それぞれのデータロードに関連付けられた高速メモリに制御情報を、それぞれのデータロードによって書き込むステップと、

高速メモリに記憶された制御情報に、スイッチングマトリックスを介してコントローラによってアクセスするステップと、

スイッチングマトリックスを介して、高速メモリから制御情報をコントローラによって読み出すステップと、

読み出した制御情報に基づき、コントローラによって顕微鏡を制御するステップと、が含まれる。

【0015】

本発明によれば、低速メモリから高速メモリに制御情報をロードするための動作が、複数の高速メモリ間に分散されるという点で、データスループットを改善できることが第1に分かった。したがって、ローディング動作は、最適化され、より効率的に制御することができる。この概念は、本発明の基礎を形成するが、2つの異なる方法で実現することができる。第1に、複数の高速メモリのために1つの共通データロードが働いてもよい。第2に、複数の個別のデータロードを設け、それぞれが、それに関連付けられた高速メモリを有してもよい。

【0016】

第1の実施形態において、回路には、少なくとも2つの高速メモリに通信可能に接続される1つのデータロードが含まれる。データロードは、低速メモリに記憶された制御情報を複数の高速メモリの1つに交互に書き込むように構成される。それぞれの高速メモリに記憶された制御情報が高速メモリから読み出されるように、回路には、制御情報を読み出すためにコントローラが少なくとも2つの高速メモリの1つに交互にアクセスできるようにするマルチプレクサが含まれる。データロードは、データロードによる書き込み動作およびコントローラによる読み出し動作が、同じ高速メモリに対して同時に行われないような方法で、高速メモリおよびマルチプレクサへの書き込み動作を制御する。書き込みおよび読み出し動作を調和させることによって、データロードは、コントローラが、(例えば画像ライン用の)正確な制御情報を読み出し得ること、および制御情報が、単に高速メモリに書き込まれるだけで、一方でコントローラが、この高速メモリからデータを読み出すことができないことを常に保証することができる。したがって、書き込みおよび読み出し動作は、互いに分離され、より長い停止は、制御情報をロードするために使用することが

10

20

30

40

50

できる。また、2つの連続画像ラインの活性段階間の短い期間だけを、制御情報を高速メモリにロードするために使用する代わりに、制御情報は、照明レーザビームを再配置するために、(高速メモリの数に依存して)少なくとも1つの画像ラインを走査するために、および照明レーザビームをさらに再配置するために必要とされる期間中に、高速メモリにロードすることができる。これは、低速メモリを対象にしたロード要求のかなりの分散に帰着する。

【0017】

できるだけ簡単に制御情報にアクセスするために、データローダは、グループ化できる制御情報項目が共通高速メモリに記憶されるような方法で、個別高速メモリへのローディング動作を制御するのが好ましい。これは、例えば、顕微鏡によって走査される画像の1つのライン用の制御情報が、いつでも高速メモリの1つに記憶されるという点で、達成可能である。したがって、第1に、ローディングおよび書き込み動作中のアドレス指定は単純化され、第2に、マルチプレクサは、より低速の回路要素を用いて実現することができ、個別高速メモリ間を非常に高い頻度であちこち切り替わる必要がない。他方で、書き込み動作は、より容易に調和させることができる。なぜなら、データローダが、コントローラによって現在要求されている制御情報に関する詳細情報を有する必要がないからである。

10

【0018】

顕微鏡パラメータの要求された設定を定義する制御情報は、顕微鏡によって走査される各画像点用の高速メモリに記憶されるのが好ましい。個別パラメータは、「ON」または「OFF」などの2進情報の形態をしていてもよい。他方で、パラメータ用の制御情報には、数ビットの幅を有する情報項目の形態をした様々な中間状態を含んでもよい。したがって、例えば、4ビットまたは8ビット幅の情報項目を制御情報チャンネルに記憶してもよい。原則として、異なるビット幅を有する制御情報項目が、個別チャンネルに記憶されることがまた可能である。

20

【0019】

マルチプレクサのローディング動作およびスイッチングを調和させるために、データローダは、入力部、すなわち、それを介して、走査動作の現在の状態に関する情報がデータローダに転送される入力部を有することが可能である。このようにして、データローダは、画像の初め、画像の終わり、ラインの初め、および/またはラインの終わりを示す情報を受信することが可能である。

30

【0020】

したがって、例えば、ラインの終わりを信号で伝えることによって、データローダは、マルチプレクサによって現在選択されている高速メモリにおける制御情報が、もはや必要とされず、したがって低速メモリからロードされる新しい制御情報によって上書きされてもよいことを通知され得る。ラインの終わりはまた、マルチプレクサが、定義された期間内に、すなわち次の走査ラインが始まるまでの時間内に、別の高速メモリに切り替えられなければならないことを示す。

【0021】

ラインの初めを信号で伝えることによって、データローダは、高速メモリ、すなわちマルチプレクサによって現在アドレス指定されている高速メモリは、もはや書き込まれることができないことを示す情報を受信する。その理由は、ラインの初めに、コントローラが、マルチプレクサによって現在アドレス指定されている高速メモリにアクセスし、かつ高速メモリから現在の走査ライン用の制御情報を読み出すからである。回路によって満たされる比較的厳密なリアルタイム要件ゆえに、同時の書き込みおよび読み出し動作は許可されず、データローダは、それぞれの高速メモリにもはや書き込むことができない。

40

【0022】

画像の終わりを信号で伝えることによって、データローダは、制御情報が、比較的長い期間にわたりコントローラによって読み出されないことを通知される。この比較的長い期間は、新しい画像の走査が始まる始点への照明レーザビームの移動ゆえである。この期間

50

中に、データローダは、できるだけ多くの制御情報を低速メモリから高速メモリにロードしようと試みることができる。このように、複数のメモリは、画像の走査中に、恐らく連続的に、再び「一杯に満たし」かつ空にすることができる。例えば、画像の走査の終わりが、データローダによる高速メモリの充填が、このメモリへのアクセスが開始する直前までに完了しないこと、および複数の高速メモリの全てが、更新された制御情報で満たされるわけではないことが起こり得る。特に3つ以上の高速メモリが用いられる場合に、個別高速メモリが、画像の走査中に「古臭くなる」ことさえ起こり得る。

【0023】

画像の初めを信号で伝えることによって、データローダは、新しい走査動作が開始されたことを通知され得る。

10

【0024】

制御される1つの顕微鏡パラメータは、レーザ光源またはレーザ光源のレーザラインであることが好ましい。制御される顕微鏡は、例えば、異なる波長を備えた複数のレーザ光源または複数の異なる波長を備えた1つのレーザ光源を有してもよい。次に、1つのパラメータは、例えば、恐らくどの強度で、1つまたは複数のレーザ光源がオンされるか、または1つのレーザ光源の1つもしくは複数のレーザラインが活性化されるかどうかということになる。

【0025】

これは、同様に、本発明の基礎となる概念の第2の実施形態に当てはまる。この第2の実施形態によれば、回路には、高速メモリにそれぞれがアクセスできる複数の別個のデータローダが含まれる。普通の顕微鏡実験のほとんどにおいて、制御情報を介して原則として制御可能な n パラメータの全てが、実際に用いられるわけではない。代わりに、実験中には顕微鏡用の m 個のパラメータを制御することで通常は十分である。したがって、制御されるこれらの顕微鏡パラメータのそれぞれに対して、別個のデータローダが、回路において用いられる。したがって、各データローダは、制御される1つの定義可能な顕微鏡パラメータに割り当てられる。データローダへの個別パラメータの割り当ては、実験の初めに柔軟に定義することができる。データローダは、特定のデータローダによって制御される顕微鏡パラメータを表す制御情報の部分だけが、それぞれの高速メモリにロードされるように構成される。このように、情報項目の全セットから m 個の情報項目だけがロードされ、その結果、データ量は、低減され、かつまた m 個の異なる高速メモリ間に分散される。したがって、複数の高速メモリ間における分散の概念は、本発明の基礎を形成するが、このようにまた実行される。

20

30

【0026】

コントローラが、 n 本のラインを介して制御情報を受信することを期待するので、第2の実施形態の回路には、コントローラが、 m 個の高速メモリに記憶された制御情報にアクセスできるようにするスイッチングマトリックスが含まれる。したがって、制御情報のローディングは、完全に透明にし、かつまたコントローラにとって非常に柔軟にすることができる。本発明の回路の機能に関して、コントローラは、先行技術の回路と本発明による回路との間のどんな差にも気づくことができない。しかしながら、制御データのローディングが、よりよく構造化された方法で実行されるので、本発明の回路は、著しく一層速く、より柔軟である。

40

【0027】

スイッチングマトリックスの好ましい実施形態において、スイッチングマトリックスを m 個の高速メモリの1つに接続するラインは、スイッチングマトリックスによって、コントローラへの n 本のラインの1つまたは複数に接続される。このように、 m 個の制御情報項目は、 n 制御チャンネルの1つまたは複数へ切り替えることができる。これによって、さらなる柔軟性が追加される。

【0028】

スイッチングマトリックスは、プログラム可能であるのが好ましく、その結果、 m 個の高速メモリの1つへのラインと、コントローラへの n 本のラインの1つまたは複数との間

50

の相互接続を変更することができる。したがって、制御されるパラメータは、2つの走査動作間で変更し、かつ特定の実験に適合させることができる。

【0029】

低速メモリへのm個のデータロードによる競合アクセスを制御するために、個別読み出しアクセスを制御するアービタを設けることが可能である。単純な実施形態において、アービタは、個別読み出し要求をキューにおいて整理し、それらを次々に処理することが可能である。したがって、読み出し要求は、全ての以前に受信された読み出し要求が処理されるまで、キューに置かれることになる。これによって、低速メモリへの多数の同次アクセスを防ぐ、非常に単純な方法が提供される。他方で、アービタは、負荷バランス戦略を遂行することができ、それによって、低速メモリへのアクセスは、定義されるある優先権に従って制御することができる。

10

【0030】

高速メモリにおける制御情報へのコントローラのアクセス用に、32以上のチャンネルが設けられるのが好ましい。これによって、 $n = 32$ ラインを介して、制御情報を受信することが可能になる。特に好ましくは、 n は、 $n = 64$ として選択され、その結果、64チャンネルが、制御情報を受信するために設けられる。特に好ましい実施形態において、74のかかる制御チャンネルが設けられる。

【0031】

他方で m 、すなわち制御されるパラメータの数は、16以上であるように選択されるのが好ましい。特に好ましくは、同時に制御されるパラメータの数は、12以下であり、特に好ましい実施形態において、8以下である。

20

【0032】

データロードは、制御情報のローディングが、走査プロセスの活性段階間に行われるように構成してもよい。活性段階は、2つの画像ラインの走査によって生成される。ローディング時間は、画像ラインの走査の終了後にレーザが、次の画像または次の画像ラインを走査するために再配置される期間によって定義される。この時間の間に、高速メモリのどれもアクセスされないことを保証することが可能である。

【0033】

本発明の基礎となる概念の第2の実施形態において、制御される顕微鏡パラメータにはまた、レーザ光源またはレーザ光源のレーザラインを含んでもよい。

30

【0034】

本発明概念の別の好ましい実施形態において、第1および第2の実施形態を組み合わせてもよい。この実施形態によれば、各データロードは、それに関連付けられた少なくとも2つの高速メモリを有することになり、各データロードは、高速メモリの1つに交互に書き込むように構成される。データロードによって制御されるマルチプレクサは、コントローラが、データロードに関連付けられた少なくとも2つの高速メモリの1つに交互にアクセスできるようにする。そのプロセスにおいて、コントローラは、スイッチングマトリックスおよびマルチプレクサを介して、特定のアドレス指定された高速メモリにアクセスする。データロードは、それぞれのデータロードによる書き込みアクセスおよびコントローラによる読み出しアクセスが、同じ高速メモリに対して同時に行われないうような方法で、マルチプレクサを制御するように構成される。したがって、ローディング動作は、さらに最適化することができ、低速メモリは、より効率的に読み出すことができる。

40

【0035】

本発明の教示は、様々な方法で有利に具体化し改良することが可能である。この点において、一方で請求項1および6に従属する請求項が、他方で図面に触れた本発明の好ましい例示的な実施形態の以下の説明が参照される。図面を参照する本発明の好ましい例示的な実施形態の説明に関連して、教示の一般に好ましい実施形態および改良形態の説明がまた提供される。

【図面の簡単な説明】

【0036】

50

【図1】先行技術による、顕微鏡を制御するための回路の概略図である。

【図2】本発明による、顕微鏡を制御するための回路であって、 m 個のデータローダおよびデータローダ当たり2つの高速メモリを有する回路の概略図である。

【発明を実施するための形態】

【0037】

図2は、本発明の両方の態様を組み合わせた、本発明による、顕微鏡を制御するための回路を概略形式で示す。第1に、複数のデータローダが実現され、第2に、各データローダは、それに関連付けられた2つの高速メモリを有する。

【0038】

図2の回路は、顕微鏡（図示せず）を制御するための制御情報が記憶された低速メモリ1を有する。低速メモリ1は、全ての読み出し要求をキューに入れることによって m 個のデータローダ3からの競合アクセスを解決するアービタ2を介してアクセスされる。はっきりさせるために、1つのデータローダ3だけが、関連する要素と共に示されている。しかしながら、破線内の全ての要素は、 m 回存在し、これらのユニットのそれぞれは、顕微鏡パラメータ用の制御情報にアクセスするように構成される。

【0039】

各データローダ3は、2つの高速メモリ4.1および4.2に接続され、データローダ3は、これらの高速メモリ4.1および4.2に、低速メモリ1からの制御情報を交互に書き込む。2つの高速メモリ4.1および4.2は、今度は、マルチプレクサ5に接続され、マルチプレクサ5は、データローダ3によって制御され、かつ2つの高速メモリ4.1および4.2の1つへの読み出しアクセスを交互に可能にする。 m 個のデータローダの各1つに接続される全ての m 個のマルチプレクサは、スイッチングマトリックス6を介して組み合わせられ、制御情報項目は、 n 出力ラインのいくつかで利用可能にされる。スイッチングマトリックス6の構成は、どの制御情報項目が、 n 本のラインのどれに存在するかを定義する。単純化された用語では、スイッチングマトリックス6は、 $m \times n$ 本のラインのマトリックスである。個別の交差ライン間の接続が、 m 個の入力部のどれが、 n 出力部のどれに適用されるかを定義する。 n 出力ラインを介して、コントローラ7は、高速メモリ4.1および4.2の1つにおける m 個の顕微鏡パラメータの1つのための制御情報にアクセスすることができる。

【0040】

データローダは、さらに、2つの入力部8および9を有し、それらを介して、データローダ3には、画像の終わり（入力部8）またはラインの終わり（入力部9）に達したことを通知してもよい。

【0041】

図2の回路の動作中に、 m 個の顕微鏡パラメータ用の制御情報は、低速メモリ1に記憶される。これに関連して、一方で、メモリは、そこに、制御されるそれぞれの m 個のパラメータ用に予め選択された制御情報項目を記憶しておいてもよい。他方で、データローダは、 n の可能な制御情報項目の全てから、所望の m 個のパラメータ用に必要とされる制御情報項目をフィルタアウトしてもよい。対応する制御情報項目をロードするために、データローダ3は、所望の制御情報項目のアドレスを含む要求をアービタ2に送信し、アービタ2は、その要求をキューに挿入し、かついつでも、最初に受信した要求を低速メモリ1に転送する。低速メモリ1は、要求された制御情報をアービタ2に返し、今度は、アービタ2は、要求しているデータローダ3に受信データを送信する。データローダ3は、受信した制御情報を高速メモリ4.1および4.2の1つに記憶する。

【0042】

マルチプレクサの出力部で（すなわちスイッチングマトリックス6の方向において）高速メモリ4.2がアクセスされ得るように、データローダ3が、今はマルチプレクサ5を切り替えてであると仮定すると、データローダは、個別制御情報項目を高速メモリ4.1に記憶する。そうする際に、走査される画像のラインにおける各ポイント用に、データローダ3に割り当てられる顕微鏡パラメータを定義する全ての制御情報項目は、高速メモリ4

10

20

30

40

50

． 1 に記憶される。ひとたび、それぞれのパラメータ用の全ての制御情報が高速メモリ 4 . 1 に記憶されると、データローダ 3 は、マルチプレクサを切り替える準備ができています。ひとたび入力部 9 が、走査されるラインの終わりを示す信号を受信すると、データローダ 3 は、制御信号をマルチプレクサ 5 に送出し、次に、マルチプレクサ 5 は、高速メモリ 4 . 1 へのアクセスを提供するために、その出力部を切り替える。続いて、データローダ 3 は、高速メモリ 4 . 2 を制御情報で満たすことができる。高速メモリ 4 . 2 に既に含まれていたデータは、上書きされる。

【 0 0 4 3 】

ひとたび入力部 8 が、画像の終わりを示す信号を受信すると、すなわち、走査動作内の最後のラインおよび最後の画像点が走査されると、データローダは、低速メモリ 1 からの新しい制御情報で、両方のメモリ 4 . 1 および 4 . 2 の内容に上書きする。個別データローダ 3 のバッファリング能力をさらに向上させるために、データローダ 3 のそれぞれは、追加の高速メモリ 4 に関連付けてもよい。回路の動作原理は、同じままである。結局、ただ 1 つの制限要因は、アービタと低速メモリ 1 との間で利用可能な帯域幅である。しかしながら、利用可能な帯域幅は、はるかに効率的に用いることができる。なぜなら、個別制御情報項目のローディングが、よりよく分散され、かつ今や、帯域幅が、平均で十分である必要があるだけだからである。これは、回路全体によって満たされるリアルタイム要件におけるかなりのシフトに帰着し、スループットは、著しく向上させ最適化することができる。

【 0 0 4 4 】

本発明による回路および方法のさらなる有利な実施形態に関して、かつ繰り返しを回避するために、説明の一般的部分および添付の特許請求の範囲が参照される。

【 0 0 4 5 】

最後に、本発明による回路の上記の例示的な実施形態が、単に、請求される教示を例示するように意図され、その教示をかかると実施形態に限定するように意図されていないことに、特に留意されたい。

【 符号の説明 】

【 0 0 4 6 】

- A 低速メモリ
- B データローダ
- C 高速メモリ
- D コントローラ
- 1 低速メモリ
- 2 アービタ
- 3 データローダ
- 4 高速メモリ
- 5 マルチプレクサ
- 6 スイッチングマトリックス
- 7 コントローラ
- 8 入力部（画像の終わり）
- 9 入力部（ラインの終わり）

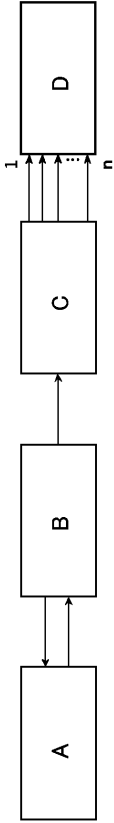
10

20

30

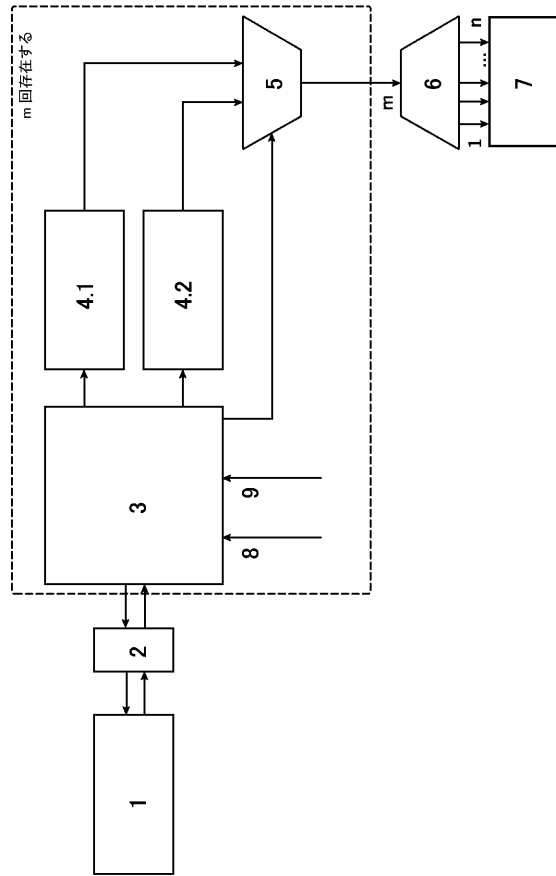
40

【図 1】



(先行技術)

【図 2】



フロントページの続き

Fターム(参考) 5B060 CB01

5B077 DD02 DD06

【外国語明細書】

2013242561000001.pdf

2013242561000002.pdf

2013242561000003.pdf

2013242561000004.pdf