



(12) 发明专利申请

(10) 申请公布号 CN 119631592 A

(43) 申请公布日 2025. 03. 14

(21) 申请号 202380056894.3

(22) 申请日 2023.11.21

(30) 优先权数据

2023-016610 2023.02.07 JP

(85) PCT国际申请进入国家阶段日

2025.01.26

(86) PCT国际申请的申请数据

PCT/JP2023/041828 2023.11.21

(87) PCT国际申请的公布数据

W02024/166493 JA 2024.08.15

(71) 申请人 富士电机株式会社

地址 日本神奈川县川崎市

(72) 发明人 洼内源宜 下泽慎

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

专利代理师 李海秀 金玉兰

(51) Int.Cl.

H10D 30/63 (2025.01)

H10D 30/01 (2025.01)

H10D 12/00 (2025.01)

H10D 8/50 (2025.01)

H10D 8/00 (2025.01)

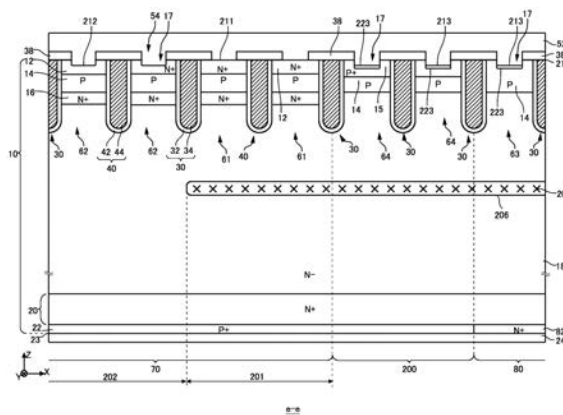
权利要求书3页 说明书23页 附图21页

(54) 发明名称

半导体装置

(57) 摘要

本发明提供一种半导体装置,其具备晶体管部和并列地配置的二极管部,晶体管部具有供多个台面部中的第一台面部和金属电极接触的第一接触部、以及供多个台面部中的比第一台面部更远离二极管部而配置的第二台面部和金属电极接触的第二接触部,第一接触部的下端配置在比第二接触部的下端更靠上方的位置。



1. 一种半导体装置,其特征在於,所述半导体装置具备具有上表面和下表面的半导体基板、设置於所述半导体基板的晶体管部、以及设置於所述半导体基板且在第一方向上与所述晶体管部并列地配置的二极管部,

所述晶体管部和所述二极管部分别具有:

金属电极,其设置於所述半导体基板的所述上表面的上方,包括势垒金属部和设置在所述势垒金属部的上方且由与所述势垒金属部不同的材料形成的上方部;

多个沟槽部,其从所述半导体基板的所述上表面起设置到内部,且在所述第一方向上并列地配置;以及

多个台面部,其是所述半导体基板中的在所述第一方向上被两个所述沟槽部夹着的部分,

所述晶体管部具有:

第一接触部,其供所述多个台面部中的第一台面部和所述金属电极接触;以及

第二接触部,其供所述多个台面部中的比所述第一台面部更远离所述二极管部而配置的第二台面部和所述金属电极接触,

所述第一接触部的下端配置在比所述第二接触部的下端更靠上方的位置。

2. 根据权利要求1所述的半导体装置,其特征在於,

所述势垒金属部包含钛。

3. 根据权利要求2所述的半导体装置,其特征在於,

所述势垒金属部具有氮化钛层。

4. 根据权利要求1所述的半导体装置,其特征在於,

一个所述第二台面部处的所述势垒金属部的体积比一个所述第一台面部处的所述势垒金属部的体积大。

5. 根据权利要求1所述的半导体装置,其特征在於,

所述第二台面部具有:

第一导电型的发射区,其在所述半导体基板的所述上表面露出;

第二导电型的接触区,其在所述半导体基板的所述上表面露出;以及

第二导电型的第二插塞区,其与所述第二接触部的下端相接地设置且掺杂浓度比所述接触区的掺杂浓度高。

6. 根据权利要求5所述的半导体装置,其特征在於,

所述第一台面部具有:

所述发射区;

所述接触区;以及

第二导电型的第一插塞区,其与所述第一接触部的下端相接地设置且掺杂浓度比所述接触区的掺杂浓度高,

所述第二插塞区设置到比所述第一插塞区更靠下方为止。

7. 根据权利要求6所述的半导体装置,其特征在於,

所述第一插塞区的剂量与所述第二插塞区的剂量相同。

8. 根据权利要求5所述的半导体装置,其特征在於,

所述第二台面部在俯视时在与所述第一方向不同的第二方向上具有长边,且沿着所述

第二方向交替地配置有所述发射区和所述接触区，

在与所述第二方向垂直且通过所述接触区的任一截面中都设置有所述第二插塞区。

9. 根据权利要求8所述的半导体装置，其特征在于，

在与所述第二方向垂直且通过所述发射区的任一截面中都不设置所述第二插塞区。

10. 根据权利要求6所述的半导体装置，其特征在于，

所述第一台面部在俯视时在与所述第一方向不同的第二方向上具有长边，且沿着所述第二方向交替地配置有所述发射区和所述接触区，

在与所述第二方向垂直且通过所述接触区的任一截面中都设置有所述第一插塞区。

11. 根据权利要求10所述的半导体装置，其特征在于，

在与所述第二方向垂直且通过所述发射区的任一截面中都不设置所述第一插塞区。

12. 根据权利要求1所述的半导体装置，其特征在于，

所述第二台面部包括所述金属电极被设置在所述半导体基板的内部的沟槽接触部，所述第二接触部是在所述沟槽接触部中供所述第二台面部和所述金属电极接触的区域。

13. 根据权利要求1所述的半导体装置，其特征在于，

所述第一接触部的下端配置在所述半导体基板的所述上表面。

14. 根据权利要求1所述的半导体装置，其特征在于，

所述二极管部具有供所述多个台面部中的第三台面部和所述金属电极接触的第三接触部，

所述第一接触部的下端配置在比所述第三接触部的下端更靠上方的位置。

15. 根据权利要求1所述的半导体装置，其特征在于，

所述二极管部具有供所述多个台面部中的第三台面部和所述金属电极接触的第三接触部，

所述第三接触部的下端配置在比所述第二接触部的下端更靠上方的位置。

16. 根据权利要求1所述的半导体装置，其特征在于，

所述二极管部具有供所述多个台面部中的第三台面部和所述金属电极接触的第三接触部，

所述第三接触部的下端配置在与所述第二接触部的下端相同的深度位置。

17. 根据权利要求14所述的半导体装置，其特征在于，

所述第三台面部具有：

第二导电型的阳极区，其与所述半导体基板的所述上表面相接地设置；以及

第二导电型的第三插塞区，其与所述第三接触部的下端相接地设置且掺杂浓度比所述阳极区的掺杂浓度高。

18. 根据权利要求5所述的半导体装置，其特征在于，

所述晶体管部的所述台面部具有配置在所述发射区的下方的第二导电型的基区，

所述二极管部的所述台面部具有第二导电型的阳极区，所述第二导电型的阳极区与所述半导体基板的所述上表面相接地设置且掺杂浓度比所述基区的掺杂浓度低。

19. 根据权利要求1至18中任一项所述的半导体装置，其特征在于，

所述半导体装置还具备寿命调整区，所述寿命调整区在所述晶体管部和所述二极管部

中的至少一者中配置在所述半导体基板的上表面侧,且包括调整载流子的寿命的寿命抑制剂。

20. 根据权利要求19所述的半导体装置,其特征在于,所述寿命调整区配置在所述第一台面部的下方。

21. 根据权利要求19所述的半导体装置,其特征在于,所述寿命调整区设置在所述第一台面部的下方和所述二极管部中的至少一者。

22. 根据权利要求19所述的半导体装置,其特征在于,所述寿命调整区设置在所述第一台面部的下方、所述第二台面部的下方和所述二极管部中的至少任一者。

23. 根据权利要求19所述的半导体装置,其特征在于,所述晶体管部具有:

调整区,其以所述寿命调整区从所述二极管部延伸的方式设置;以及非调整区,其在所述第一方向上与所述调整区并列地配置,且不设置所述寿命调整区,所述第一台面部和所述第一接触部配置在所述调整区,所述第二台面部和所述第二接触部配置在所述非调整区。

24. 根据权利要求23所述的半导体装置,其特征在于,在俯视时所述非调整区的面积比所述调整区的面积大。

25. 根据权利要求1至18中任一项所述的半导体装置,其特征在于,在所述晶体管部中,所述第二台面部的个数比所述第一台面部的个数多。

26. 根据权利要求1至18中任一项所述的半导体装置,其特征在于,在所述晶体管部中,所述第一台面部的阈值电压比所述第二台面部的阈值电压低。

半导体装置

技术领域

[0001] 本发明涉及一种半导体装置。

背景技术

[0002] 在具有晶体管部和二极管部的半导体装置中,已知有在二极管部和晶体管部局部地形成缺陷区来调整载流子寿命的结构(例如参照专利文献1)。另外,在半导体装置中,已知有利用沟槽状的接触部将电极与半导体基板连接的结构(例如参照专利文献2)。

[0003] 专利文献1:W02021/145079号

专利文献2:日本专利第7085975号

发明内容

[0004] 技术问题

在具备晶体管部和二极管部的半导体装置中,优选改善晶体管部的阈值电压、或二极管部的正向电压等特性。

[0005] 一般公开

为了解决上述课题,在本发明的第一方式中,提供一种具备具有上表面和下表面的半导体基板的半导体装置。上述半导体装置可以具备设置于所述半导体基板的晶体管部。上述任一半导体装置可以具备设置于所述半导体基板且在第一方向上与所述晶体管部并列地配置的二极管部。在上述任一半导体装置中,所述晶体管部和所述二极管部分别可以具有金属电极,所述金属电极设置于所述半导体基板的所述上表面的上方,包括势垒金属部和设置在所述势垒金属部的上方且由与所述势垒金属部不同的材料形成的上方部。在上述任一半导体装置中,所述晶体管部和所述二极管部分别可以具有多个沟槽部,所述多个沟槽部从所述半导体基板的所述上表面起设置到内部,且在所述第一方向上并列地配置。在上述任一半导体装置中,所述晶体管部和所述二极管部分别可以具有多个台面部,所述多个台面部是所述半导体基板中的在所述第一方向上被两个所述沟槽部夹着的部分。上述任一半导体装置的所述晶体管部可以具有第一接触部,所述第一接触部供所述多个台面部中的第一台面部和所述金属电极接触。上述任一半导体装置的所述晶体管部可以具有第二接触部,所述第二接触部供所述多个台面部中的比所述第一台面部更远离所述二极管部而配置的第二台面部和所述金属电极接触。在上述任一半导体装置中,所述第一接触部的下端可以配置在比所述第二接触部的下端更靠上方的位置。

[0006] 在上述任一半导体装置中,所述势垒金属部可以包含钛。

[0007] 在上述任一半导体装置中,所述势垒金属部可以具有氮化钛层。

[0008] 在上述任一半导体装置中,一个所述第二台面部处的所述势垒金属部的体积可以比一个所述第一台面部处的所述势垒金属部的体积大。

[0009] 在上述任一半导体装置中,所述第二台面部可以具有第一导电型的发射区,所述第一导电型的发射区在所述半导体基板的所述上表面露出。在上述任一半导体装置中,所

述第二台面部可以具有第二导电型的接触区,所述第二导电型的接触区在所述半导体基板的所述上表面露出。在上述任一半导体装置中,所述第二台面部可以具有第二导电型的第二插塞区,所述第二导电型的第二插塞区与所述第二接触部的下端相接地设置且掺杂浓度比所述接触区的掺杂浓度高。

[0010] 在上述任一半导体装置中,所述第一台面部可以具有所述发射区。在上述任一半导体装置中,所述第一台面部可以具有所述接触区。在上述任一半导体装置中,所述第一台面部可以具有第二导电型的第一插塞区,所述第二导电型的第一插塞区与所述第一接触部的下端相接地设置且掺杂浓度比所述接触区的掺杂浓度高。在上述任一半导体装置中,所述第二插塞区可以设置到比所述第一插塞区更靠下方为止。

[0011] 在上述任一半导体装置中,所述第一插塞区的剂量与所述第二插塞区的剂量可以相同。

[0012] 在上述任一半导体装置中,所述第二台面部可以在俯视时在与所述第一方向不同的第二方向上具有长边,且沿着所述第二方向交替地配置有所述发射区和所述接触区。在上述任一半导体装置中,所述第二台面部可以在与所述第二方向垂直且通过所述接触区的任一截面中都设置有所述第二插塞区。

[0013] 在上述任一半导体装置中,可以在与所述第二方向垂直且通过所述发射区的任一截面中都不设置所述第二插塞区。

[0014] 在上述任一半导体装置中,所述第一台面部可以在俯视时在与所述第一方向不同的第二方向具有长边,且沿着所述第二方向交替地配置有所述发射区和所述接触区。在上述任一半导体装置中,所述第一台面部可以在与所述第二方向垂直且通过所述接触区的任一截面中都设置有所述第一插塞区。

[0015] 在上述任一半导体装置中,可以在与所述第二方向垂直且通过所述发射区的任一截面中都不设置所述第一插塞区。

[0016] 在上述任一半导体装置中,所述第二台面部可以包括所述金属电极被设置在所述半导体基板的内部的沟槽接触部。在上述任一半导体装置中,所述第二接触部可以是在所述沟槽接触部中供所述第二台面部和所述金属电极接触的区域。

[0017] 在上述任一半导体装置中,所述第一接触部的下端可以配置在所述半导体基板的所述上表面。

[0018] 在上述任一半导体装置中,所述二极管部可以具有供所述多个台面部中的第三台面部和所述金属电极接触的第三接触部。在上述任一半导体装置中,所述第一接触部的下端可以配置在比所述第三接触部的下端更靠上方的位置。

[0019] 在上述任一半导体装置中,所述二极管部可以具有供所述多个台面部中的第三台面部和所述金属电极接触的第三接触部。在上述任一半导体装置中,所述第三接触部的下端可以配置在比所述第二接触部的下端更靠上方的位置。

[0020] 在上述任一半导体装置中,所述二极管部可以具有供所述多个台面部中的第三台面部和所述金属电极接触的第三接触部。在上述任一半导体装置中,所述第三接触部的下端可以配置在与所述第二接触部的下端相同的深度位置。

[0021] 在上述任一半导体装置中,所述第三台面部可以具有第二导电型的阳极区,所述第二导电型的阳极区与所述半导体基板的所述上表面相接地设置。在上述任一半导体装置

中,所述第三台面部可以具有第二导电型的第三插塞区,所述第二导电型的第三插塞区与所述第三接触部的下端相接地设置且掺杂浓度比所述阳极区的掺杂浓度高。

[0022] 在上述任一半导体装置中,所述晶体管部的所述台面部可以具有配置在所述发射区的下方的第二导电型的基区。在上述任一半导体装置中,所述二极管部的所述台面部可以具有第二导电型的阳极区,所述第二导电型的阳极区与所述半导体基板的所述上表面相接地设置且掺杂浓度比所述基区的掺杂浓度低。

[0023] 上述任一半导体装置可以还具备寿命调整区,所述寿命调整区在所述晶体管部和所述二极管部中的至少一者中配置在所述半导体基板的上表面侧,且包括调整载流子的寿命的寿命抑制剂。

[0024] 在上述任一半导体装置中,所述寿命调整区可以配置在所述第一台面部的下方。

[0025] 在上述任一半导体装置中,所述寿命调整区可以设置在所述第一台面部的下方和所述二极管部中的至少一者。

[0026] 在上述任一半导体装置中,所述寿命调整区可以设置在所述第一台面部的下方、所述第二台面部的下方和所述二极管部中的至少任一者。

[0027] 在上述任一半导体装置中,所述晶体管部可以具有调整区,所述调整区以所述寿命调整区从所述二极管部延伸的方式设置。在上述任一半导体装置中,所述晶体管部可以具有非调整区,所述非调整区在所述第一方向上与所述调整区并列地配置,且不设置所述寿命调整区。在上述任一半导体装置中,所述第一台面部和所述第一接触部可以配置在所述调整区。在上述任一半导体装置中,所述第二台面部和所述第二接触部可以配置在所述非调整区。

[0028] 上述任一半导体装置可以在俯视时所述非调整区的面积比所述调整区的面积大。

[0029] 上述任一半导体装置可以在所述晶体管部中,所述第二台面部的个数比所述第一台面部的个数多。

[0030] 上述任一半导体装置可以在所述晶体管部中,所述第一台面部的阈值电压比所述第二台面部的阈值电压低。

[0031] 上述发明内容并未列举出本发明的全部必要特征。另外,这些特征组的子组合也能够成为发明。

附图说明

[0032] 图1是示出本发明的一个实施方式的半导体装置100的一个例子的俯视图。

[0033] 图2是图1中的区域D的放大图。

[0034] 图3是示出图2中的e-e截面的一个例子的图。

[0035] 图4A是第一台面部61、第二台面部62和第三台面部63的附近的放大图。

[0036] 图4B是第一台面部61、第二台面部62和第三台面部63的附近的放大图。

[0037] 图5是示出图2中的f-f截面的一个例子的图。

[0038] 图6A是图5所示的第一台面部61、第二台面部62和第三台面部63的附近的放大图。

[0039] 图6B是图5所示的第一台面部61、第二台面部62和第三台面部63的附近的放大图。

[0040] 图7A是示出图6A的a-a线和b-b线处的掺杂浓度分布的一个例子的图。

[0041] 图7B是示出图6B的a-a线和b-b线处的掺杂浓度分布的一个例子的图。

- [0042] 图8A是第一接触部211的周边的放大图。
 [0043] 图8B是第二接触部212的周边的放大图。
 [0044] 图9A是示出e-e截面的其他例子的图。
 [0045] 图9B是示出e-e截面的其他例子的图。
 [0046] 图10是示出俯视时的调整区201和非调整区202的配置例的图。
 [0047] 图11是示出e-e截面的其他例子的图。
 [0048] 图12是示出e-e截面的其他例子的图。
 [0049] 图13是示出e-e截面的其他例子的图。
 [0050] 图14是示出e-e截面的其他例子的图。
 [0051] 图15A是示出e-e截面的其他例子的图。
 [0052] 图15B是示出e-e截面的其他例子的图。
 [0053] 图16是示出e-e截面的其他例子的图。
 [0054] 图17是图5所示的第一台面部61、第二台面部62和第三台面部63的附近的放大图。
 [0055] 符号说明

10 . . . 半导体基板、11 . . . 阱区、12 . . . 发射区、14 . . . 基区、15 . . . 接触区、16 . . . 蓄积区、17 . . . 沟槽接触部、18 . . . 漂移区、20 . . . 缓冲区、21 . . . 上表面、22 . . . 集电区、23 . . . 下表面、24 . . . 集电电极、29 . . . 直线部分、30 . . . 虚设沟槽部、31 . . . 前端部、32 . . . 虚设绝缘膜、34 . . . 虚设导电部、38 . . . 层间绝缘膜、39 . . . 直线部分、40 . . . 栅极沟槽部、41 . . . 前端部、42 . . . 栅极绝缘膜、44 . . . 栅极导电部、52 . . . 发射电极、54 . . . 接触孔、60 . . . 台面部、61 . . . 第一台面部、62 . . . 第二台面部、63 . . . 第三台面部、64 . . . 第四台面部、70 . . . 晶体管部、80 . . . 二极管部、81 . . . 延长区、82 . . . 阴极区、90 . . . 边缘终端结构部、100 . . . 半导体装置、130 . . . 外周栅极布线、131 . . . 有源侧栅极布线、160 . . . 有源部、162 . . . 端边、164 . . . 栅极焊盘、200 . . . 边界区、201 . . . 调整区、202 . . . 非调整区、204 . . . 晶格缺陷、206 . . . 寿命调整区、211、211-1、211-2 . . . 第一接触部、212 . . . 第二接触部、213 . . . 第三接触部、221 . . . 第一插塞区、222 . . . 第二插塞区、223 . . . 第三插塞区、231 . . . 峰、232 . . . 峰、241、242 . . . 接合部、251 . . . 上方部、252 . . . 势垒金属部、253 . . . 第一层、254 . . . 第二层、255 . . . 硅化物层

具体实施方式

[0056] 以下,通过发明的实施方式说明本发明,但以下的实施方式并不限定权利要求书所涉及的发明。另外,在实施方式中说明的特征的全部组合并不一定是发明的技术方案所必须的。

[0057] 在本说明书中,将与半导体基板的深度方向平行的方向上的一侧称为“上”,并将另一侧称为“下”。将基板、层或其他部件的两个主面中的一个面称为上表面,并将另一个面称为下表面。“上”、“下”的方向不限定于重力方向或安装半导体装置时的方向。

[0058] 在本说明书中,有时使用X轴、Y轴和Z轴的直角坐标轴来说明技术事项。直角坐标轴仅是确定构成要素的相对位置,不限定特定的方向。例如,Z轴不限于表示相对于地面的

高度方向。应予说明,+Z轴方向与-Z轴方向为彼此反向的方向。在不记载正负而记载为Z轴方向的情况下,是指与+Z轴和-Z轴平行的方向。

[0059] 在本说明书中,将与半导体基板的上表面和下表面平行的正交轴记作X轴和Y轴。另外,将与半导体基板的上表面和下表面垂直的轴记作Z轴。在本说明书中,有时将Z轴的方向称为深度方向。另外,在本说明书中,有时将包含X轴和Y轴在内,平行于半导体基板的上表面和下表面的方向称为水平方向。

[0060] 有时将从半导体基板的深度方向上的中心起到半导体基板的上表面为止的区域称为上表面侧。同样地,有时将从半导体基板的深度方向上的中心起到半导体基板的下表面为止的区域称为下表面侧。

[0061] 在本说明书中称为“相同”或“相等”的情况下,也可以包括具有由制造偏差等引起的误差的情况。该误差例如在10%以内。

[0062] 在本说明书中,将掺杂了杂质的掺杂区的导电型设为P型或N型进行说明。在本说明书中,杂质有时特别指N型的施主和P型的受主中的任一种,有时记载为掺杂剂。在本说明书中,掺杂是指向半导体基板导入施主或受主,设为显示N型的导电型的半导体或显示P型的导电型的半导体。

[0063] 在本说明书中,掺杂浓度是指热平衡状态下的施主的浓度或受主的浓度。在本说明书中,净掺杂浓度是指将施主浓度作为正离子的浓度并将受主浓度作为负离子的浓度,包含电荷的极性在内而进行相加所得的实质浓度。作为一个例子,如果将施主浓度设为 N_D 并将受主浓度设为 N_A ,则任意位置处的实质的净掺杂浓度成为 $N_D - N_A$ 。在本说明书中,有时将净掺杂浓度仅记载为掺杂浓度。

[0064] 施主具有向半导体供给电子的功能。受主具有从半导体接受电子的功能。施主和受主不限于杂质本身。例如,存在于半导体中的空位(V)、氧(O)和氢(H)结合而成的VOH缺陷作为供给电子的施主发挥功能。氢施主可以是至少由空位(V)和氢(H)结合而成的施主。或者,硅半导体中的间隙硅(Si-i)与氢结合而成的间隙Si-H也作为供给电子的施主发挥功能。在本说明书中,有时将VOH缺陷或间隙Si-H称为氢施主。

[0065] 在本说明书中,半导体基板整体分布有N型的体施主。体施主是由在制造成为半导体基板的原料的晶锭时在晶锭内大致均匀地含有的掺杂剂形成的施主。本例的体施主是除氢以外的元素。体施主的掺杂剂例如为磷、锑、砷、硒或硫,但不限于此。本例的体施主是磷。体施主还包含在P型的区域中。半导体基板可以从半导体的晶锭切出的晶片,也可以是使晶片单片化而得的芯片。半导体的晶锭可以由切克劳斯基法(CZ法)、磁场施加型切克劳斯基法(MCZ法)、悬浮区熔法(FZ法)中的任一种来制造。本例中的晶锭是由MCZ法制造的。由MCZ法制造的基板所包含的氧浓度为 $1 \times 10^{17} \sim 7 \times 10^{17}/\text{cm}^3$ 。由FZ法制造的基板所包含的氧浓度为 $1 \times 10^{15} \sim 5 \times 10^{16}/\text{cm}^3$ 。氧浓度高的一方具有容易生成氢施主的倾向。体施主浓度可以使用在整个半导体基板分布的体施主的化学浓度,也可以是该化学浓度的90%至100%之间的值。另外,半导体基板也可以使用不包含磷等掺杂剂的无掺杂基板。在该情况下,无掺杂基板的体施主浓度(D0)例如为 $1 \times 10^{10}/\text{cm}^3$ 以上且 $5 \times 10^{12}/\text{cm}^3$ 以下。无掺杂基板的体施主浓度(D0)优选为 $1 \times 10^{11}/\text{cm}^3$ 以上。无掺杂基板的体施主浓度(D0)优选为 $5 \times 10^{12}/\text{cm}^3$ 以下。应予说明,本发明中的各浓度可以是室温下的值。作为一个例子,室温下的值可以使用300K(开尔文)(约26.9°C)时的值。

[0066] 在本说明书中记作P+型或N+型的情况下,是指掺杂浓度高于P型或N型的掺杂浓度,在记作P-型或N-型的情况下,是指掺杂浓度低于P型或N型的掺杂浓度。另外,在本说明书中记作P++型或N++型的情况下,是指掺杂浓度高于P+型或N+型的掺杂浓度。本说明书的单位制除非另有说明否则为SI单位制。有时用cm表示长度的单位,但各计算可以在换算为米(m)后进行。

[0067] 本说明书中,化学浓度是指不依赖于电活化的状态而测定的杂质的原子密度。化学浓度例如能够通过二次离子质谱法(SIMS)来测量。上述的净掺杂浓度能够通过电压-电容测定法(CV法)来测定。另外,可以将通过扩散电阻测定法(SR法)测量的载流子浓度作为净掺杂浓度。通过CV法或SR法测量的载流子浓度可以设为热平衡状态下的值。另外,在N型的区域中,由于施主浓度充分大于受主浓度,因此可以将该区域中的载流子浓度作为施主浓度。同样地,在P型的区域中,可以将该区域中的载流子浓度作为受主浓度。在本说明书中,有时将N型区域的掺杂浓度称为施主浓度,有时将P型区域的掺杂浓度称为受主浓度。

[0068] 在施主、受主或净掺杂的浓度分布具有峰的情况下,可以将该峰值作为该区域中的施主、受主或净掺杂的浓度。在施主、受主或净掺杂的浓度几乎均匀的情况下等,可以将该区域中的施主、受主或净掺杂的浓度的平均值作为施主、受主或净掺杂的浓度。在本说明书中,每单位体积的浓度表示使用atoms/cm³或/cm³。该单位用于半导体基板内的施主或受主浓度、或者化学浓度。可以省略atoms的记载。

[0069] 通过SR法测量的载流子浓度可以低于施主或受主的浓度。在测定扩散电阻时电流所流通的范围中,有时半导体基板的载流子迁移率低于结晶状态的值。载流子迁移率的降低是因由于晶格缺陷等引起的晶体结构的紊乱(无序)使载流子散乱而产生的。

[0070] 根据通过CV法或SR法测量的载流子浓度算出的施主或受主的浓度可以低于表示施主或受主的元素的化学浓度。作为一个例子,在硅的半导体中成为施主的磷或砷的施主浓度或者成为受主的硼(Boron)的受主浓度是它们的化学浓度的99%左右。另一方面,在硅的半导体中成为施主的氢的施主浓度是氢的化学浓度的0.1%至10%左右。

[0071] 图1是示出本发明的一个实施方式的半导体装置100的一个例子的俯视图。在图1中,示出将各部件投影到半导体基板10的上表面而得的位置。在图1中,仅示出半导体装置100的一部分部件,并省略一部分其他部件。

[0072] 半导体装置100具备半导体基板10。半导体基板10是由半导体材料形成的基板。作为一个例子,半导体基板10是硅基板。半导体基板10在俯视时具有端边162。在本说明书中简称为俯视的情况是指从半导体基板10的上表面侧观察的情况。本例的半导体基板10具有在俯视时彼此相对的两组端边162。在图1中,X轴和Y轴与任一端边162平行。另外,Z轴与半导体基板10的上表面垂直。

[0073] 在半导体基板10设置有有源部160。有源部160是在半导体装置100动作的情况下,在半导体基板10的上表面与下表面之间沿深度方向流通有主电流的区域。在有源部160的上方设置有发射电极,但在图1中省略。有源部160可以是指在俯视时与发射电极重叠的区域。另外,在俯视时被夹在有源部160之间的区域也可以包含在有源部160中。

[0074] 在有源部160设置有包含IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极型晶体管)等晶体管元件的晶体管部70、以及续流二极管(FWD)等二极管元件的二极管部80。在图1的例子中,沿着半导体基板10的上表面的预定的第一方向(在本例中为X轴方向)

交替地配置有晶体管部70和二极管部80。本例的半导体装置100为逆导型IGBT(RC-IGBT)。在X轴方向上,在晶体管部70和二极管部80之间配置有边界区,但在图1中省略。

[0075] 在图1中,在配置有晶体管部70的区域标记符号“T”,在配置有二极管部80的区域标记符号“F”。在本说明书中,有时将在俯视时与第一方向不同的方向称为第二方向(在图1中为Y轴方向)。第二方向可以是与第一方向垂直的方向。晶体管部70和二极管部80可以分别在第二方向上具有长边。即,晶体管部70在Y轴方向上的长度大于在X轴方向上的宽度。同样地,二极管部80在Y轴方向上的长度大于在X轴方向上的宽度。晶体管部70和二极管部80的第二方向与后述的各沟槽部的长边方向和台面部的长边方向可以相同。

[0076] 二极管部80在与半导体基板10的下表面相接的区域具有N+型的阴极区。在本说明书中,将设置有阴极区的区域称为二极管部80。即,二极管部80是在俯视时与阴极区重叠的区域。在半导体基板10的下表面,在除阴极区以外的区域可以设置有P+型的集电区。在本说明书中,有时将二极管部80沿Y轴方向延长至后述的栅极布线为止的延长区81也包含在二极管部80中。在延长区81的下表面设置有集电区。

[0077] 晶体管部70在与半导体基板10的下表面相接的区域具有P+型的集电区。另外,晶体管部70在半导体基板10的上表面侧周期性地配置有N型的发射区、P型的基区以及具有栅极导电部和栅极绝缘膜的栅极结构。

[0078] 半导体装置100可以在半导体基板10的上方具有一个以上的焊盘。本例的半导体装置100具有栅极焊盘164。半导体装置100也可以具有阳极焊盘、阴极焊盘和电流检测焊盘等焊盘。各焊盘配置于端边162的附近。端边162的附近是指俯视时的端边162与发射电极之间的区域。在安装半导体装置100时,各焊盘可以经由导线等布线与外部的电路连接。

[0079] 对栅极焊盘164施加栅极电位。栅极焊盘164与有源部160的栅极沟槽部的导电部电连接。半导体装置100具备将栅极焊盘164与栅极沟槽部连接的栅极布线。在图1中,对栅极布线标记斜阴影线。

[0080] 本例的栅极布线具有外周栅极布线130和有源侧栅极布线131。外周栅极布线130在俯视时配置于有源部160与半导体基板10的端边162之间。本例的外周栅极布线130在俯视时包围有源部160。可以将俯视时被外周栅极布线130包围的区域作为有源部160。另外,在栅极布线的下方形成有阱区。阱区是浓度比后述的基区的浓度高的P型区域,并形成从半导体基板10的上表面到比基区深的位置为止。可以将俯视时被阱区包围的区域作为有源部160。

[0081] 外周栅极布线130与栅极焊盘164连接。外周栅极布线130配置于半导体基板10的上方。外周栅极布线130可以是包含铝等的金属布线、由掺杂了杂质的多晶硅等半导体形成的布线。

[0082] 有源侧栅极布线131设置于有源部160。通过在有源部160设置有源侧栅极布线131,从而能够对半导体基板10的各区域降低自栅极焊盘164起算的布线长度的偏差。

[0083] 外周栅极布线130和有源侧栅极布线131与有源部160的栅极沟槽部连接。外周栅极布线130和有源侧栅极布线131配置于半导体基板10的上方。外周栅极布线130和有源侧栅极布线131可以是包含铝等的金属布线、由掺杂了杂质的多晶硅等半导体形成的布线。

[0084] 有源侧栅极布线131可以与外周栅极布线130连接。本例的有源侧栅极布线131被设置为以在Y轴方向上的大致中央横穿有源部160的方式沿X轴方向从夹着有源部160的一

侧的外周栅极布线130延伸到另一侧的外周栅极布线130。在利用有源侧栅极布线131来分割有源部160的情况下,在各个分割区域中,晶体管部70和二极管部80可以在X轴方向上交替地配置。

[0085] 半导体装置100也可以具备作为由多晶硅等形成的PN结二极管的未图示的温度感测部、对设置于有源部160的晶体管部的动作进行模拟的未图示的电流检测部。

[0086] 本例的半导体装置100在俯视时,在有源部160与端边162之间具备边缘终端结构部90。本例的边缘终端结构部90配置于外周栅极布线130与端边162之间。边缘终端结构部90缓和半导体基板10的上表面侧的电场集中。边缘终端结构部90可以具备包围有源部160而呈环状设置的保护环、场板和降低表面电场中的至少一个。

[0087] 图2是图1中的区域D的放大图。区域D是包含晶体管部70、二极管部80和有源侧栅极布线131的区域。虽然在图1中进行了省略,但在X轴方向上,在晶体管部70和二极管部80之间配置有边界区200。本例的半导体装置100具备设置于半导体基板10的上表面侧的内部的栅极沟槽部40、虚设沟槽部30、阱区11、发射区12、基区14和接触区15。栅极沟槽部40和虚设沟槽部30分别是沟槽部的一个例子。另外,本例的半导体装置100具备设置于半导体基板10的上表面的上方的发射电极52和有源侧栅极布线131。发射电极52是金属电极的一个例子。发射电极52和有源侧栅极布线131彼此分离地设置。

[0088] 在发射电极52和有源侧栅极布线131与半导体基板10的上表面之间设置有层间绝缘膜,但在图2中省略。在本例的层间绝缘膜以贯通该层间绝缘膜的方式设置有接触孔54。在图2中,对各个接触孔54标记斜阴影线。

[0089] 发射电极52设置于栅极沟槽部40、虚设沟槽部30、阱区11、发射区12、基区14和接触区15的上方。发射电极52通过接触孔54与半导体基板10的上表面的发射区12、接触区15和基区14接触。另外,发射电极52通过设置于层间绝缘膜的接触孔与虚设沟槽部30内的虚设导电部连接。发射电极52可以在Y轴方向上的虚设沟槽部30的前端与虚设沟槽部30的虚设导电部连接。虚设沟槽部30的虚设导电部可以不与发射电极52和栅极导电部连接,也可以控制为与发射电极52的电位和栅极导电部的电位不同的电位。

[0090] 有源侧栅极布线131通过设置于层间绝缘膜的接触孔与栅极沟槽部40连接。有源侧栅极布线131可以在Y轴方向上的栅极沟槽部40的前端部41与栅极沟槽部40的栅极导电部连接。有源侧栅极布线131不与虚设沟槽部30内的虚设导电部连接。

[0091] 发射电极52由包含金属的材料形成。在图2中,示出设置有发射电极52的范围。例如,发射电极52的至少一部分区域由铝或铝-硅合金例如AlSi、AlSiCu等金属合金形成。发射电极52可以在由铝等形成的区域的下层具有由钛、钛化合物等形成的势垒金属。进一步地,在接触孔内可以具有以与势垒金属和铝等接触的方式埋入钨等而形成的插塞部。

[0092] 阱区11以与有源侧栅极布线131重叠的方式设置。阱区11在不与有源侧栅极布线131重叠的范围也以预定的宽度延伸地设置。本例的阱区11从接触孔54的Y轴方向上的端部起向有源侧栅极布线131侧分离地设置。阱区11是掺杂浓度比基区14的掺杂浓度高的第二导电型的区域。本例的基区14为P-型,阱区11为P+型。

[0093] 晶体管部70、二极管部80和边界区200分别具有在第一方向上排列了多个的沟槽部。在本例的晶体管部70沿着第一方向交替地设置有一个以上的栅极沟槽部40和一个以上的虚设沟槽部30。在本例的二极管部80沿着第一方向设置有多个虚设沟槽部30。在本例的

二极管部80不设置栅极沟槽部40。在本例的边界区200沿着第一方向设置有多个虚设沟槽部30。在本例的边界区200不设置栅极沟槽部40。

[0094] 本例的栅极沟槽部40可以具有沿着与第一方向垂直的第二方向延伸的两个直线部分39(沿着第二方向为直线状的沟槽的部分)、和连接两个直线部分39的前端部41。图2中的第二方向为Y轴方向。

[0095] 前端部41的至少一部分优选在俯视时设置为曲线状。通过前端部41将两个直线部分39的Y轴方向上的端部彼此连接,能够缓和直线部分39的端部处的电场集中。

[0096] 在晶体管部70中,虚设沟槽部30设置于栅极沟槽部40的各个直线部分39之间。在各个直线部分39之间可以设置一根虚设沟槽部30,也可以设置多根虚设沟槽部30。虚设沟槽部30可以具有沿第二方向延伸的直线形状,也可以与栅极沟槽部40同样地具有直线部分29和前端部31。图2所示的半导体装置100包含不具有前端部31的直线形状的虚设沟槽部30、以及具有前端部31的虚设沟槽部30这两者。

[0097] 阱区11的扩散深度可以比栅极沟槽部40和虚设沟槽部30的深度深。栅极沟槽部40和虚设沟槽部30的Y轴方向上的端部在俯视时设置于阱区11。即,在各沟槽部的Y轴方向上的端部,各沟槽部的深度方向的底部被阱区11覆盖。由此,能够缓和各沟槽部的该底部处的电场集中。

[0098] 在第一方向上各沟槽部之间设置有台面部60。台面部60是指在半导体基板10的内部被沟槽部夹着的区域。作为一个例子,台面部60的上端为半导体基板10的上表面。台面部60的下端的深度位置与沟槽部的下端的深度位置相同。本例的台面部60被设置为在半导体基板10的上表面沿着沟槽在第二方向(Y轴方向)上延伸。晶体管部70的台面部60、二极管部80的台面部60和边界区200的台面部60可以具有不同的结构。在本说明书中简称为台面部60的情况下,是指各个晶体管部70的台面部60、二极管部80的台面部60和边界区200的台面部60。

[0099] 在各个台面部60设置有基区14。将在台面部60中在半导体基板10的上表面露出的基区14中的、与有源侧栅极布线131最接近地配置的区域设为基区14-e。在图2中,示出了配置于各个台面的第二方向上的一侧的端部的基区14-e,但在各个台面的另一侧的端部也配置有基区14-e。在各个台面部,在俯视时被基区14-e夹着的区域可以设置第一导电型的发射区12和第二导电型的接触区15中的至少一者。本例的发射区12为N+型,接触区15为P+型。发射区12和接触区15可以在深度方向上设置于基区14与半导体基板10的上表面之间。

[0100] 晶体管部70的台面部60具有在半导体基板10的上表面露出的发射区12。发射区12被设置为与栅极沟槽部40相接。与栅极沟槽部40相接的台面部60可以设置有在半导体基板10的上表面露出的接触区15。

[0101] 台面部60中的接触区15和发射区12分别被设置为从X轴方向上的一侧的沟槽部到另一侧的沟槽部为止。作为一个例子,台面部60的接触区15和发射区12沿着沟槽部的第二方向(Y轴方向)交替地配置。

[0102] 在其他例子中,台面部60的接触区15和发射区12可以沿着沟槽部的第二方向(Y轴方向)而设置为条纹状。例如在与沟槽部相接的区域设置发射区12,在被发射区12夹着的区域设置接触区15。

[0103] 在二极管部80和边界区200的台面部60不设置发射区12。在二极管部80和边界区

200的台面部60的上表面可以设置有基区14和接触区15。在台面部60的上表面被基区14-e夹着的区域可以以与各个基区14-e相接的方式设置有接触区15。在二极管部80的台面部60的上表面被接触区15夹着的区域可以设置有基区14。基区14可以配置于被接触区15夹着的整个区域。边界区200的台面部60可以具有与二极管部80的台面部60相同的结构,也可以具有与二极管部80的台面部60不同的结构。本例的边界区200的台面部60在被基区14-e夹着的整个区域设置有接触区15。即,边界区200的台面部60的接触区15的面积可以比二极管部80的台面部60的接触区15的面积大。在该情况下,容易将半导体基板10中的空穴经由边界区200的台面部60抽出到发射电极52。

[0104] 在其他的例子中,边界区200的台面部60可以是掺杂浓度与晶体管部70的基区14的掺杂浓度相同程度或掺杂浓度比基区14的掺杂浓度低的P型杂质区域。P型杂质区域可以占边界区200的整个台面部60,在边界区200的台面部60也可以设置有其他区域。通过在边界区200的台面部60设置掺杂浓度比基区14的掺杂浓度低的P型杂质区域,从而能够抑制来自边界区200的台面部60的空穴的注入,减小反向恢复损耗。

[0105] 另外,在边界区200的台面部60也可以设置掺杂浓度与发射区12的掺杂浓度相同程度或掺杂浓度比发射区12的掺杂浓度低的N型杂质区域。但是在该情况下,在边界区200不设置栅极沟槽部40。另外,晶体管部70与边界区200的边界处的沟槽部是虚设沟槽部30。由于边界区200的台面部60的N型杂质区域不与栅极沟槽部40相接,因此不会在边界区200流通比晶体管部70更多的电流。由此,能够抑制来自边界区200的台面部60的空穴的注入,减小反向恢复损耗。

[0106] 在各个台面部60的上方设置有接触孔54。接触孔54配置于被基区14-e夹着的区域。本例的接触孔54设置于接触区15、基区14和发射区12的各区域的上方。接触孔54不设置在与基区14-e和阱区11相对应的区域。接触孔54可以配置于台面部60的第一方向(X轴方向)上的中央。

[0107] 在二极管部80中,在与半导体基板10的下表面相邻的区域设置有N+型的阴极区82。在半导体基板10的下表面,在未设置有阴极区82的区域,可以设置P+型的集电区22。阴极区82和集电区22设置于半导体基板10的下表面23与缓冲区20之间。在图2中,用虚线示出阴极区82和集电区22之间的边界。

[0108] 阴极区82被配置为在Y轴方向上远离阱区11。由此,能够确保掺杂浓度较高且形成到深的位置为止的P型的区域(阱区11)与阴极区82之间的距离,并提高耐压。本例的阴极区82的Y轴方向上的端部被配置为比接触孔54的Y轴方向上的端部更远离阱区11。在其他例子中,阴极区82的Y轴方向上的端部可以配置于阱区11与接触孔54之间。

[0109] 图3是示出图2中的e-e截面的一个例子的图。e-e截面是通过发射区12和阴极区82的XZ面。本例的半导体装置100在该截面中具有半导体基板10、层间绝缘膜38、发射电极52和集电电极24。

[0110] 层间绝缘膜38设置于半导体基板10的上表面。层间绝缘膜38是包含添加有硼或磷等杂质的硅酸盐玻璃等的绝缘膜、热氧化膜和其他绝缘膜中的至少一层的膜。在层间绝缘膜38设置有在图2中说明的接触孔54。

[0111] 发射电极52设置于层间绝缘膜38的上方。发射电极52通过层间绝缘膜38的接触孔54与半导体基板10的上表面21接触。集电电极24设置于半导体基板10的下表面23。发射电

极52和集电电极24由铝等金属材料形成。在本说明书中,将连结发射电极52和集电电极24的方向(Z轴方向)称为深度方向。发射电极52可以在与半导体基板10的上表面21接触的部分具有包含钛的势垒金属。势垒金属可以具有氮化钛层,也可以具有氮化钛层与钛层的层叠结构。发射电极52也可以具有被填充到接触孔54的内部的钨等的插塞部。插塞部也可以设置于后述的沟槽接触部。

[0112] 半导体基板10具有N型或N-型的漂移区18。漂移区18设置于各个晶体管部70、二极管部80和边界区200。

[0113] 在本例中,在多个台面部60包括第一台面部61、第二台面部62、第三台面部63、第四台面部64。第一台面部61和第二台面部62设置于晶体管部70,第三台面部63设置于二极管部80,第四台面部64设置于边界区200。

[0114] 在晶体管部70的第一台面部61和第二台面部62,从半导体基板10的上表面21侧起依次设置有N+型的发射区12和P型的基区14。在基区14的下方设置有漂移区18。在第一台面部61和第二台面部62可以设置有N+型的蓄积区16。蓄积区16配置在基区14与漂移区18之间。

[0115] 发射区12在半导体基板10的上表面21露出且被设置为与栅极沟槽部40接触。发射区12可以与台面部60的两侧的沟槽部接触。发射区12的掺杂浓度比漂移区18的掺杂浓度高。

[0116] 基区14设置于发射区12的下方。本例的基区14被设置为与发射区12接触。基区14可以与第一台面部61和第二台面部62的两侧的沟槽部相接。

[0117] 蓄积区16设置在基区14的下方。蓄积区16是掺杂浓度比漂移区18的掺杂浓度高的N+型的区域。即,蓄积区16的施主浓度比漂移区18高。通过在漂移区18与基区14之间设置高浓度的蓄积区16,从而能够提高载流子注入增强效应(IE效应)而降低导通电压。蓄积区16可以设置为覆盖第一台面部61和第二台面部62中的基区14的整个下表面。

[0118] 在二极管部80的第三台面部63,以与半导体基板10的上表面21相接的方式设置有P型的基区14。在本说明书中,有时将第三台面部63的基区14称为阳极区。第三台面部63的基区14的掺杂浓度可以与第一台面部61和第二台面部62的基区14的掺杂浓度相同,也可以比第一台面部61和第二台面部62的基区14的掺杂浓度小。在基区14的下方设置有漂移区18。在第三台面部63中,可以在基区14的下方设置有蓄积区16。

[0119] 在本例的边界区200的第四台面部64,以与半导体基板10的上表面21相接的方式设置有P+型的接触区15。在接触区15的下方设置有漂移区18。在接触区15与漂移区18之间可以设置有基区14。在第四台面部64中,可以在基区14的下方设置有蓄积区16。

[0120] 在各个晶体管部70、二极管部80和边界区200中,在漂移区18之下可以设置有N+型的缓冲区20。缓冲区20的掺杂浓度高于漂移区18的掺杂浓度。缓冲区20可以具有掺杂浓度比漂移区18的掺杂浓度高的浓度峰。浓度峰的掺杂浓度是指浓度峰的顶点处的掺杂浓度。另外,漂移区18的掺杂浓度可以使用掺杂浓度分布几乎平坦的区域中的掺杂浓度的平均值。

[0121] 缓冲区20可以在半导体基板10的深度方向(Z轴方向)上具有两个以上的浓度峰。缓冲区20的浓度峰可以设置于与例如氢(质子)或磷的化学浓度峰相同的深度位置。缓冲区20可以作为防止从基区14的下端起扩展的耗尽层到达P+型的集电区22和N+型的阴极区82

的场截止层发挥功能。

[0122] 在晶体管部70中,在缓冲区20之下设置有P+型的集电区22。集电区22的受主浓度高于基区14的受主浓度。集电区22可以包含与基区14相同的受主,也可以包含与基区14不同的受主。集电区22的受主例如为硼。

[0123] 在二极管部80中,在缓冲区20之下设置有N+型的阴极区82。阴极区82的施主浓度高于漂移区18的施主浓度。阴极区82的施主例如为氢或磷。应予说明,成为各区域的施主和受主的元素不限于上述的例子。

[0124] 在边界区200中,在缓冲区20之下设置有P+型的集电区22。边界区200的集电区22可以具有与晶体管部70的边界区200相同的掺杂浓度。可以将阴极区82与集电区22在X轴方向上的边界位置设为二极管部80与边界区200在X轴方向上的边界位置。在其他例子中,在边界区200中,可以将一部分或全部的集电区22替换为阴极区82。在边界区200的下表面设置有阴极区82的情况下,可以将在被基区14-e夹着的区域交替地配置有接触区15和基区14的区域设为二极管部80,并将在被基区14-e夹着的整个区域配置有接触区15的区域设为边界区200。在边界区200的下表面设置有阴极区82的情况下,也可以将边界区200视为二极管部80的一部分。

[0125] 将与发射区12相接的栅极沟槽部40中的、在X轴方向上与二极管部80最接近地配置的栅极沟槽部40设为晶体管部70与边界区200(或二极管部80)在X轴方向上的边界位置。可以将该栅极沟槽部40在X轴方向上的中央位置设为晶体管部70与边界区200(或二极管部80)在X轴方向上的边界位置。与在X轴方向上最接近二极管部80地配置的发射区12相接的两个沟槽部中的、二极管部80侧的沟槽部可以为虚设沟槽部30。可以将该情况下的虚设沟槽部30设为晶体管部70与边界区200(或二极管部80)在X轴方向上的边界位置。

[0126] 在边界区200也可以设置有发射区12。但是在该情况下,在边界区200不设置栅极沟槽部40。另外,晶体管部70与边界区200的边界位置处的沟槽部为虚设沟槽部30。即,在边界区200中不产生晶体管动作。在边界区200也可以设置有栅极沟槽部40。但是在该情况下,在边界区200不设置发射区12。即,在边界区200中不产生晶体管动作。

[0127] 集电区22和阴极区82在半导体基板10的下表面23露出,并与集电电极24连接。集电电极24可以与半导体基板10的整个下表面23接触。发射电极52和集电电极24由铝等金属材料形成。

[0128] 在半导体基板10的上表面21侧设置有一个以上的栅极沟槽部40和一个以上的虚设沟槽部30。各沟槽部被设置为从半导体基板10的上表面21起贯通基区14而到达基区14的下方。在设置有发射区12、接触区15和蓄积区16中的至少任一者的区域中,各沟槽部还贯通这些掺杂区。沟槽部贯通掺杂区并不限于以在形成掺杂区之后形成沟槽部的顺序制造。在形成沟槽部后,在沟槽部之间形成掺杂区的情况也包含在沟槽部贯通掺杂区中。

[0129] 如上所述地,在晶体管部70设置有栅极沟槽部40和虚设沟槽部30。在本例的二极管部80和边界区200设置有虚设沟槽部30,且未设置栅极沟槽部40。但是,在边界区200与晶体管部70的边界可以配置有栅极沟槽部40,也可以配置有虚设沟槽部30。

[0130] 应予说明,边界区200是用于将晶体管部70和二极管部80的不同结构并列地配置的缓冲结构。因此,边界区200的X轴方向的宽度可以较短。例如,在边界区200可以设置有一个或多个第四台面64,也可以不设置边界区200。

[0131] 另外,边界区200可以在X轴方向上具备多个第四台面部64。由此,能够抑制晶体管部70对二极管部80的特性造成的影响,例如栅极沟槽部40的动作、接触区15的空穴的排出或注入对正向电压、反向恢复特性造成的影响。在此,台面部的个数是指在X轴方向上并列地配置的台面部的根数。

[0132] 栅极沟槽部40具有设置于半导体基板10的上表面21的栅极沟槽、栅极绝缘膜42和栅极导电部44。栅极绝缘膜42以覆盖栅极沟槽的内壁的方式设置。栅极绝缘膜42可以通过将栅极沟槽的内壁的半导体氧化或氮化而形成。栅极导电部44在栅极沟槽的内部设置在比栅极绝缘膜42更靠内侧的位置。即,栅极绝缘膜42将栅极导电部44与半导体基板10绝缘。栅极导电部44由多晶硅等导电材料形成。

[0133] 栅极导电部44在深度方向上可以设置为比基区14长。该截面处的栅极沟槽部40在半导体基板10的上表面21被层间绝缘膜38覆盖。栅极导电部44与栅极布线电连接。如果对栅极导电部44施加预定的栅极电压,则在基区14中的与栅极沟槽部40相接的界面的表层形成由电子的反型层形成的沟道。

[0134] 虚设沟槽部30在该截面可以具有与栅极沟槽部40相同的结构。虚设沟槽部30具有设置于半导体基板10的上表面21的虚设沟槽、虚设绝缘膜32和虚设导电部34。虚设导电部34与发射电极52电连接。虚设绝缘膜32以覆盖虚设沟槽的内壁的方式设置。虚设导电部34设置于虚设沟槽的内部且设置在比虚设绝缘膜32更靠内侧的位置。虚设绝缘膜32将虚设导电部34与半导体基板10绝缘。虚设导电部34可以由与栅极导电部44相同的材料形成。例如虚设导电部34由多晶硅等导电材料形成。虚设导电部34在深度方向上可以具有与栅极导电部44相同的长度。

[0135] 本例的栅极沟槽部40和虚设沟槽部30在半导体基板10的上表面21被层间绝缘膜38覆盖。应予说明,虚设沟槽部30和栅极沟槽部40的底部可以是向下侧凸出的曲面状(在截面中为曲线状)。

[0136] 晶体管部70具有第一接触部211和第二接触部212。第一接触部211是供第一台面部61和发射电极52接触的部分。第二接触部212是供第二台面部62和发射电极52接触的部分。第二台面部62被配置为在X轴方向上比第一台面部61更远离二极管部80。即,在X轴方向上,二极管部80与第二台面部62的距离比二极管部80与第一台面部61的距离大。同样地,第二接触部212被配置为在X轴方向上比第一接触部211更远离二极管部80。即,在X轴方向上,二极管部80与第二接触部212的距离比二极管部80与第一接触部211的距离大。

[0137] 半导体装置100可以具备包含调整载流子的寿命的寿命抑制剂的寿命调整区206。本例的寿命调整区206是电荷载流子的寿命局部小的区域。电荷载流子为电子或空穴。有时将电荷载流子简称为载流子。本例的寿命调整区206通过从半导体基板10的上表面21侧注入氦离子等带电粒子而形成。在本例中,半导体基板10的深度方向上的氦等的浓度分布可以具有从寿命调整区206起到半导体基板10的上表面21为止引出拖尾这样的形状。即,氦等的浓度($/\text{cm}^3$)可以从寿命调整区206起到上表面21为止单调地减少。上表面21处的氦等的浓度可以大于0。另一方面,在从寿命调整区206朝向下表面23的方向上,氦等的浓度也可以具有引出拖尾这样的形状。其中,朝向下表面23的拖尾的氦等的浓度比朝向上表面21的拖尾的氦等的浓度更急剧地降低。下表面23处的氦等的浓度低于上表面21处的氦等的浓度。上表面21处的氦等的浓度可以为测定极限以下,也可以为0。应予说明,寿命调整区206也可

以通过从半导体基板10的下表面23侧注入氦离子等带电粒子而形成。

[0138] 通过将氦离子等带电粒子注入到半导体基板10,从而在注入位置的附近形成有空位等晶格缺陷204。晶格缺陷204生成复合中心。晶格缺陷204可以以单原子空位(V)、双原子空位(VV)等空位为主体,可以为位错,也可以为间隙原子,还可以为过渡金属等。例如,与空位相邻的原子具有悬挂键。广义上,晶格缺陷204中还可以包含施主和/或受主,但在本说明书中有时将以空位为主体的晶格缺陷204称为空位型晶格缺陷、空位型缺陷、或者简称为晶格缺陷。在本说明书中有时将晶格缺陷204作为有助于载流子的复合的复合中心而简称为复合中心、或者寿命抑制剂。寿命抑制剂可以通过将氦离子注入到半导体基板10而形成。可以将氦化学浓度作为晶格缺陷204的密度。应予说明,通过注入氦离子而形成的寿命抑制剂有时被存在于缓冲区20的氢终止,因此寿命抑制剂的密度峰的深度位置与氦化学浓度峰的深度位置有时不一致。除此之外,在向半导体基板10注入氢离子的情况下,寿命抑制剂可以形成在比射程更靠注入面侧的氢离子的通过区域。

[0139] 晶格缺陷204是寿命抑制剂的一个例子。在图3中用×标记示意性地示出带电粒子的注入位置处的晶格缺陷204。在晶格缺陷204大量残留的区域中,载流子被晶格缺陷204捕获,因此载流子的寿命变短。通过调整载流子的寿命,从而能够调整二极管部80的反向恢复时间、反向恢复损耗等特性。在半导体基板10的深度方向上,可以将载流子寿命呈现极小值的位置设为寿命调整区206的深度位置。

[0140] 寿命调整区206配置在半导体基板10的上表面21侧。上表面21侧是指从半导体基板10的深度方向上的中央位置起到半导体基板10的上表面21为止的区域。本例的寿命调整区206配置在比沟槽部的下端更靠下方的位置。

[0141] 另外,在利用电子束等穿透力高的粒子束的照射而形成寿命调整区206的情况下,从半导体基板10的上表面21起到下表面23为止大致均匀地形成晶格缺陷,但此时也可以视为将寿命调整区206的深度位置配置在半导体基板10的上表面21侧。

[0142] 寿命调整区206可以设置在晶体管部70和二极管部80中的至少一者。在半导体装置100具有边界区200的情况下,在边界区200也可以设置有寿命调整区206。寿命调整区206可以设置在X轴方向上的整个二极管部80。寿命调整区206也可以设置在整个边界区200。

[0143] 二极管部80的寿命调整区206可以在X轴方向上延伸地设置到晶体管部70的一部分。二极管部80的寿命调整区206与晶体管部70的寿命调整区206设置在相同深度位置。在晶体管部70中,将设置有寿命调整区206的区域设为调整区201,将未设置寿命调整区206的区域设为非调整区202。非调整区202是与寿命调整区206相同深度位置的载流子寿命比二极管部80的寿命调整区206的载流子寿命长的区域。非调整区202也可以是没有注入用于形成晶格缺陷204等寿命抑制剂的氦离子等带电粒子的区域。非调整区202处的氦等的化学浓度($/\text{cm}^3$)可以与漂移区18在Z轴方向的中央处的该带电粒子的化学浓度相同。

[0144] 可以在至少一部分的第一台面部61和第一接触部211的下方设置有寿命调整区206。可以在一部分的第一台面部61和第一接触部211的下方设置有寿命调整区206,也可以在全部的第一台面部61和第一接触部211的下方设置有寿命调整区206。可以在至少一部分的第二台面部62和第二接触部212的下方可以设置有寿命调整区206。可以在一部分的第二台面部62和第二接触部212的下方设置有寿命调整区206,也可以在全部的第二台面部62和第二接触部212的下方设置有寿命调整区206。

[0145] 寿命调整区206可以设置在第一台面部61的下方和二极管部80中的至少一者。寿命调整区206可以设置在第一台面部61的下方、第二台面部62的下方和二极管部80中的至少任一者。在图3的例子中,在第一台面部61的下方和二极管部80这两者设置有寿命调整区206。

[0146] 二极管部80具有供第三台面部63和发射电极52接触的第三接触部213。可以对一部分的第三台面部63设置第三接触部213,也可以对全部的第三台面部63设置第三接触部213。边界区200具有供第四台面部64和发射电极52接触的第三接触部213。即,边界区200具有与二极管部80相同的结构的第三接触部213。可以对一部分的第四台面部64设置第三接触部213,也可以对全部的第四台面部64设置第三接触部213。

[0147] 在本例中,各个接触部是指发射电极52与半导体基板10接触的界面。接触部可以包括发射电极52的面和半导体基板10的面。在发射电极52与半导体基板10的界面形成有金属硅化物层的情况下,金属硅化物层可以包含于发射电极52(金属电极)。即,可以将金属硅化物层与半导体基板10的界面设为接触部。

[0148] 可以在至少一部分的台面部60设置有沟槽接触部17。沟槽接触部17是发射电极52等金属电极设置于半导体基板10的内部的部分。通过在经由接触孔54而露出的半导体基板10的上表面21形成槽并在该槽的内部填充金属电极,从而能够形成沟槽接触部17。在设置有沟槽接触部17的台面部60,在沟槽接触部17中台面部60和发射电极52等金属电极接触的区域相当于接触部。在图3的例子中,在第二台面部62、第三台面部63和第四台面部64设置有沟槽接触部17。

[0149] 在至少一部分的台面部60,在与接触部的下端相接的区域可以设置有插塞区。插塞区是掺杂浓度比接触区15的掺杂浓度高的P++型的区域。在图3的例子中,与第三接触部213相接地设置有第三插塞区223。

[0150] 图3所示的第一台面部61的第一接触部211可以以比发射区12的下端浅的深度设置。应予说明,在第一接触部211的下端不设置第一插塞区221。在其他例子中,第一接触部211可以以到达基区14的深度设置,也可以以与第一接触部211的下端相接的方式设置有第一插塞区221。

[0151] 图4A是第一台面部61、第二台面部62和第三台面部63的附近的放大图。在图4A中,分别各示出一个第一台面部61、第二台面部62和第三台面部63,省略各台面部之间的区域。

[0152] 本例的发射电极52(金属电极)包括势垒金属部252和上方部251。势垒金属部252设置在半导体基板10的上表面21的上方。势垒金属部252至少设置在接触孔54或沟槽接触部17的底面。势垒金属部252可以设置在各接触部的下端。势垒金属部252可以与半导体基板10接触。势垒金属部252可以还设置在接触孔54和沟槽接触部17的侧面。势垒金属部252可以还设置在层间绝缘膜38的上表面,也可以不设置。

[0153] 势垒金属部252由氢的吸储性比上方部251高的材料形成。由此,抑制氢离子侵入半导体基板10。本例的势垒金属部252包含钛。势垒金属部252可以包含氮化钛层。势垒金属部252也可以为钛层与氮化钛层的层叠膜。

[0154] 上方部251设置在势垒金属部252的上方。上方部251也设置在层间绝缘膜38的上方。上方部251由与势垒金属部252不同的材料形成。本例的上方部251不包含钛。作为一个例子,上方部251包含铝。上方部251可以是铝与硅的合金。接触孔54或沟槽接触部17的内部

的上方部251可以包括由钨等构成的插塞部,插塞部也可以设置到层间绝缘膜38的上方。

[0155] 将第一接触部211的下端的深度位置设为Z1,将第二接触部212的下端的深度位置设为Z2,将第三接触部213的下端的深度位置设为Z3。各接触部的下端是指在金属电极和半导体基板10相接的界面配置在最下方的部分。深度位置Z1配置在比深度位置Z2更靠上方的位置。即,深度位置Z2比深度位置Z1更远离半导体基板10的上表面21。在图4A的例子中,深度位置Z2是比半导体基板10的上表面21更靠下方的位置,深度位置Z1是与半导体基板10的上表面21相同的深度位置。在其他例子中,深度位置Z1可以是深度位置Z2与半导体基板10的上表面21之间的位置。在该情况下,以半导体基板10的上表面21为基准,深度位置Z1可以为深度位置Z2的一半以下的深度,也可以为深度位置Z2的1/4以下的深度。

[0156] 通过使第一接触部211形成得比第二接触部212浅,从而能够使第一台面部61的接触区15被蚀刻的体积比第二台面部62的接触区15被蚀刻的体积小。即,能够使第一台面部61的接触区15残留得比第二台面部62的接触区15大。因此,能够增大来自第二台面部62的空穴注入量。第二台面部62配置在二极管部80的附近。因此,通过增多来自第二台面部62的空穴注入量,从而能够使在二极管部80流通的空穴变多而能够减小二极管部80的正向电压。

[0157] 在晶体管部70的台面部60中的、最接近二极管部80的一个以上的台面部60为第一台面部61,其余的台面部60可以为第二台面部62。在晶体管部70中,与二极管部80接近的两个以上的台面部60可以为第一台面部61。在晶体管部70中,第一台面部61的个数可以比第二台面部62的个数少,也可以比第二台面部62的个数多,还可以是与第二台面部62的个数相同的个数。

[0158] 通过从上表面21照射带电粒子而在调整区201形成有寿命调整区206(参照图3)。另一方面,存在通过带电粒子的照射而在调整区201的栅极绝缘膜42形成能级,调整区201处的阈值电压(导通电压、关断电压)变得比非调整区202处的阈值电压低的情况。如果阈值电压降低则关断的时刻变慢,因此调整区201的关断也变得比非调整区202慢,存在电流集中于调整区201而耐量降低的情况。

[0159] 在本例的半导体装置100中,使第二接触部212的深度位置Z2比第一接触部211的深度位置Z1深。由此,容易使一个第二台面部62处的势垒金属部252的体积比一个第一台面部61处的势垒金属部252的体积大。应予说明,一个台面部处的势垒金属部252的体积是指设置在该台面部的上方的沟槽接触部17和接触孔54的内部的势垒金属部252的体积。

[0160] 半导体装置100的制造工序例如包括在氢气气氛下对半导体基板10进行退火的处理。通过该处理,而使氧侵入半导体基板10和绝缘膜的内部,从而使缺陷终止。由此,抑制阈值电压的降低。

[0161] 由于势垒金属部252吸储氢,因此在形成有大量势垒金属部252的第一台面部61,与第二台面部62相比,氢的侵入被抑制。因此,与第二台面部62相比,第一台面部61的阈值电压降低,能够相对地提高第一台面部61的阈值电压。由此,能够抵消因形成寿命调整区206而导致的第一台面部61的阈值电压的降低。一个第二台面部62处的势垒金属部252的体积可以为一个第一台面部61处的势垒金属部252的体积的1.1倍以上,可以为1.2倍以上,也可以为1.5倍以上。

[0162] 在晶体管部70设置有调整区201和非调整区202的情况下,可以在调整区201配置

至少一个第一台面部61和第一接触部211,在非调整区202配置至少一个第二台面部62和第二接触部212。调整区201的全部的台面部60可以为第一台面部61。非调整区202的全部的台面部60可以为第二台面部62。

[0163] 在非调整区202中,因带电粒子的照射而导致的阈值电压的降低少。通过较深地形成非调整区202的第二台面部62的第二接触部212,能够使空穴的抽出变得容易并确保耐量。在配置在二极管部80的附近的调整区201中,不易产生闩锁。因此,通过较浅地形成调整区201的第一台面部61的第一接触部211,从而能够调整半导体装置100的特性。另外,由于在调整区201中设置有寿命调整区206,因此耐量也提高。

[0164] 本例的第一接触部211的下端配置在比第三接触部213更靠上方的位置。第三接触部213的深度位置Z3可以与第二接触部212的深度位置Z2相同,所述深度位置Z3也可以配置在深度位置Z2和深度位置Z1之间。另外,第三接触部213的深度位置Z3还可以与第一接触部211的深度位置Z1相同。

[0165] 第三台面部63与第三接触部213的下端相接地设置,可以具有掺杂浓度比基区14(阳极区)的掺杂浓度高的P++型的第三插塞区223。第三插塞区223的掺杂浓度可以比接触区15的掺杂浓度高。第三台面部63的基区14(阳极区)的掺杂浓度可以比晶体管部70的基区14的掺杂浓度低。在该情况下,能够抑制空穴从第三台面部63向漂移区18的注入。

[0166] 图4B是第一台面部61、第二台面部62和第三台面部63的附近的放大图。在图4B中,分别各示出一个第一台面部61、第二台面部62和第三台面部63,省略各台面部之间的区域。

[0167] 图4B与图4A的不同点在于在设置于第一台面部61和第二台面部62的基区14的下方具备蓄积区16。在本例中,通过具备蓄积区16,从而能够提高载流子注入增强效应(IE效应)并降低导通电压。即使在如本例那样在设置于第一台面部61和第二台面部62的基区14的下方具备蓄积区16的情况下,也能够获得与图4A相同的效果。

[0168] 图5是示出图2中的f-f截面的一个例子的图。f-f截面是通过接触区15和阴极区82的XZ面。在f-f截面中,配置有接触区15来代替图3所示的e-e截面中的发射区12。其他结构与e-e截面相同。在f-f截面中,第一接触部211、第二接触部212和第三接触部213的结构也与e-e截面相同。

[0169] 本例的第一台面部61与第一接触部211的下端相接地设置,具有掺杂浓度比接触区15的掺杂浓度高的P++型的第一插塞区221。第一插塞区221的至少一部分以在俯视时与接触区15重叠的方式设置。即,在通过接触区15的任一XZ截面中都设置有第一插塞区221。在通过接触区15的Z轴方向的中央的XZ截面可以设置有第一插塞区221。第一插塞区221的一部分在俯视时可以与发射区12重叠。在与接触区15相接的发射区12的端部区域可以设置有第一插塞区221。可以在通过发射区12的任一XZ截面中都不设置第一插塞区221。例如,在通过发射区12的Z轴方向的中央的XZ截面不设置第一插塞区221。也可以设置为整个第一插塞区221与接触区15重叠。在该情况下,第一插塞区221在俯视时不与发射区12重叠。

[0170] 本例的第二台面部62与第二接触部212的下端相接地设置,具有掺杂浓度比接触区15的掺杂浓度高的P++型的第二插塞区222。第二插塞区222的至少一部分以在俯视时与接触区15重叠的方式设置。即,在通过接触区15的任一XZ截面中都设置有第二插塞区222。在通过接触区15的Z轴方向的中央的XZ截面可以设置有第二插塞区222。第二插塞区222的一部分在俯视时可以与发射区12重叠。在与接触区15相接的发射区12的端部区域可以设置

有第二插塞区222。可以在通过发射区12的任一XZ截面中都不设置第二插塞区222。例如,在通过发射区12的Z轴方向的中央的XZ截面不设置第二插塞区222。也可以设置为整个第二插塞区222与接触区15重叠。在该情况下,第二插塞区222在俯视时不与发射区12重叠。通过设置各插塞区,在各台面部中容易抽出空穴。因此,能够抑制耐量降低。

[0171] 图6A是图5所示的第一台面部61、第二台面部62和第三台面部63的附近的放大图。在图6A中,分别各示出一个第一台面部61、第二台面部62和第三台面部63,省略各台面部之间的区域。第三台面部63的结构与图4A所示的第三台面部63相同。

[0172] 第一台面部61相对于图4A所示的结构,具有接触区15来代替发射区12,且与第一接触部211的下端接触地具有第一插塞区221。其他结构与图4A的例子相同。第二台面部62相对于图4A所示的结构,具有接触区15来代替发射区12,且与第二接触部212的下端接触地具有第二插塞区222。其他结构与图4A的例子相同。

[0173] 第二插塞区222可以设置到比第一插塞区221更靠下方为止。各插塞区是高浓度的P++型的区域。第一插塞区221和第二插塞区222可以通过以不同的剂量(/cm²)注入杂质而形成。第一插塞区221和第二插塞区222也可以通过以相同的剂量注入杂质而形成。在该情况下,能够通过简单的工序来制造半导体装置。

[0174] 图6B是图5所示的第一台面部61、第二台面部62和第三台面部63的附近的放大图。在图6B中,分别各示出一个第一台面部61、第二台面部62和第三台面部63,省略各台面部之间的区域。第三台面部63的结构与图4B所示的第三台面部63相同。

[0175] 图6B与图6A的不同点在于在设置于第一台面部61和第二台面部62的基区14的下方具备蓄积区16。在本例中,通过具备蓄积区16,能够提高载流子注入增强效应(IE效应)并降低导通电压。即使在如本例那样在设置于第一台面部61和第二台面部62的基区14的下方具备蓄积区16的情况下,也能够获得与图6A相同的效果。

[0176] 图7A是示出图6A的a-a线和b-b线处的掺杂浓度分布的一个例子的图。a-a线是通过第二插塞区222的与Z轴平行的线。b-b线是通过第一插塞区221的与Z轴平行的线。第一插塞区221和第二插塞区222具有掺杂浓度的第一峰231和第二峰232。第一插塞区221在与接触区15的边界具有掺杂浓度的接合部241。本例的第二插塞区222在与接触区15的边界不具有掺杂浓度的谷部,但也可以具有成为谷部的接合部。

[0177] 将第二插塞区222的剂量设为D2,将第一插塞区221的剂量设为D1。剂量D1可以使用将从第一接触部211的下端位置Z1起到掺杂浓度的接合部241为止的掺杂浓度在深度方向上积分而得的值。剂量D2也同样地,可以使用将从第二接触部212的下端位置Z2起到掺杂浓度的接合部242为止的掺杂浓度在深度方向上积分而得的值。在第二插塞区222与接触区15的边界不存在掺杂浓度的谷部的情况下,也可以将从深度位置Z2遍及预定的深度距离L2对掺杂浓度进行积分而得的值作为剂量D2。距离L2例如是第一插塞区221中的从深度位置Z1起到接合部241为止的深度方向上的距离。即,在第一插塞区221和第二插塞区222中,可以将遍及相同的距离L2对掺杂浓度进行积分而得的值用作各个剂量。在其他例子中,也可以将从各个接触部的下端位置(Z1或Z2)起到掺杂浓度的峰(第一峰231或第二峰232)为止对掺杂浓度进行积分而得的值用作表示各个剂量的指标。另外,也可以将掺杂浓度的峰(第一峰231或第二峰232)处的掺杂浓度用作表示各个剂量的指标。

[0178] 如上所述地,剂量D1和剂量D2可以相同。剂量相同可以允许±20%的误差,可以允

许±10%的误差,也可以允许±5%的误差。

[0179] 图7B是示出图6B的a-a线和b-b线处的掺杂浓度分布的一个例子的图。a-a线是通过第二插塞区222的与Z轴平行的线。b-b线是通过第一插塞区221的与Z轴平行的线。第一插塞区221和第二插塞区222具有掺杂浓度的第一峰231和第二峰232。

[0180] 将第二插塞区222的剂量设为D2,将第一插塞区221的剂量设为D1。剂量D1可以使用将从第一接触部211的下端位置Z1起到掺杂浓度的接合部241为止的掺杂浓度在深度方向上积分而得的值。剂量D2也同样地,可以使用将从第二接触部212的下端位置Z2起到掺杂浓度的接合部242为止的掺杂浓度在深度方向上积分而得的值。也可以将从深度位置Z2遍及预定的深度距离L2对掺杂浓度进行积分而得的值作为剂量D2。距离L2例如是第一插塞区221中的从深度位置Z1起到接合部241为止的深度方向上的距离。即,在第一插塞区221和第二插塞区222中,可以将遍及相同的距离L2对掺杂浓度进行积分而得的值用作各个剂量。在其他例子中,也可以将从各个接触部的下端位置(Z1或Z2)起到掺杂浓度的峰(第一峰231或第二峰232)为止对掺杂浓度进行积分而得的值用作表示各个剂量的指标。另外,也可以将掺杂浓度的峰(第一峰231或第二峰232)处的掺杂浓度用作表示各个剂量的指标。

[0181] 第一接触部211的下端与接触区15的掺杂浓度比作为沟槽接触部17的底部的第二接触部212的下端高的区域相接。因此,与第一接触部211的下端位置Z1和第二接触部212的下端位置Z2为相同深度的情况相比,来自第一台面部61的空穴注入多、正向电压变小。因此,通过在晶体管部70的第一台面部61设置沟槽接触部17,能够减小正向电压。

[0182] 如上所述地,剂量D1和剂量D2可以相同。剂量相同可以允许±20%的误差,可以允许±10%的误差,也可以允许±5%的误差。第一插塞区221、第二插塞区222通过使第一接触部211、第二接触部212露出并进行离子注入而形成,但第一接触部211、第二接触部212的接触区15的掺杂浓度的浓度差相比于形成的第一峰231、第二峰232的掺杂浓度足够小。

[0183] 图7A和图7B示出了图6A和图6B的a-a线和b-b线处的掺杂浓度分布的一个例子,但掺杂浓度分布不限于该分布。例如,图6A的a-a线和b-b线处的掺杂浓度分布可以是图7B的掺杂浓度分布,也可以是其他掺杂浓度分布。另外,图6B的a-a线和b-b线处的掺杂浓度分布可以是图7A的掺杂浓度分布,也可以是其他掺杂浓度分布。

[0184] 图8A是第一接触部211的周边的放大图。本例的势垒金属部252具有第一层253和第二层254。第一层253是设置在上部251与半导体基板10之间的钛层或氮化钛层。第二层254是设置在第一层253与半导体基板10之间的氮化钛层。

[0185] 第一台面部61的势垒金属部252设置在接触孔54的内部。势垒金属部252可以与半导体基板10的上表面21相接。势垒金属部252还可以具有硅化物层255。硅化物层255形成在与半导体基板10相接的位置。硅化物层255是第二层254的一部分被硅化而成的层。在势垒金属部252的与半导体基板10的上表面21相接的位置,第二层254也可以全部变化为硅化物层255而不存在。

[0186] 图8B是第二接触部212的周边的放大图。与图8A的例子同样地,势垒金属部252具有第一层253和第二层254。另外,势垒金属部252可以具有硅化物层255。

[0187] 第二台面部62的势垒金属部252设置在接触孔54和沟槽接触部17的内部。因此,体积大于第一台面部61的势垒金属部252。设置在第一台面部61的接触孔54的侧壁的势垒金属部252的厚度与设置在第二台面部62的接触孔54的侧壁的势垒金属部252的厚度可以相

同。第一台面部61的势垒金属部252与第二台面部62的势垒金属部252可以利用相同的工序而形成。

[0188] 图9A是示出e-e截面的其他例子的图。在本例中,调整区201包括在X轴方向上并列的两个以上的第一台面部61。本例的半导体装置100的第一台面部61的沟槽接触部17的结构与本说明书中说明的其他例子不同。除第一台面部61的沟槽接触部17以外的结构与本说明书中说明的任一方式相同。

[0189] 在本例中,至少一个第一台面部61的沟槽接触部17-2设置到比配置在比该第一台面部61更接近二极管部80的位置的第一台面部61的沟槽接触部17-1更深为止。各个第一台面部61的沟槽接触部17可以越远离二极管部80则形成得越深。其中,调整区201也可以包括在X轴方向上相邻地配置且深度相同的两个以上的沟槽接触部17。通过这样的结构,能够使第一台面部61处的势垒金属部252的体积逐渐地变化。

[0190] 在其他例子中,也可以与下方的寿命调整区206处的晶格缺陷204的密度对应地调整各个沟槽接触部17的深度。作为一个例子,配置在下方的晶格缺陷204的密度越薄,则可以将沟槽接触部17形成得越深。将沟槽接触部17形成得越深,则势垒金属部252的体积越大。由此,变得容易抵消阈值电压的波动。作为一个例子,在越远离二极管部80则晶格缺陷204的密度越薄的情况下,越远离二极管部80则可以将沟槽接触部17形成得越深。

[0191] 图9B是示出e-e截面的其他例子的图。在本例中,非调整区202包括在X轴方向上并列的两个以上的第二台面部62。本例的半导体装置100的第二台面部62的沟槽接触部17的结构与本说明书中说明的其他例子不同。第二台面部62的沟槽接触部17以外的结构与本说明书中说明的任一方式相同。

[0192] 在本例中,至少一个第二台面部62的沟槽接触部17-2设置到比配置在比该第二台面部62更接近二极管部80的位置的第二台面部62的沟槽接触部17-1更深为止。各个第二台面部62的沟槽接触部17可以越远离二极管部80则形成得越深。其中,非调整区202也可以包括在X轴方向上相邻地配置且深度相同的两个以上的沟槽接触部17。通过这样的结构,能够使第二台面部62处的势垒金属部252的体积逐渐地变化。

[0193] 图10是示出俯视时的调整区201和非调整区202的配置例的图。在图10中,示出两个二极管部80和一个晶体管部70,省略其他区域。另外,在图10中,对设置有寿命调整区206的区域标记斜阴影线。

[0194] 调整区201可以设置在X轴方向上的整个二极管部80。另外,调整区201还设置在晶体管部70中与二极管部80(或边界区200)相接的区域。晶体管部70中的非调整区202的面积可以大于调整区201的面积。在非调整区202中,第一接触部211配置在比第二接触部212靠上方的位置。由此,容易使第二台面部62的势垒金属部252的体积大于第一台面部61的势垒金属部252的体积。因此,非调整区202的阈值电压有时低于调整区201的阈值电压。在该情况下,通过增大非调整区202的面积,即使非调整区202的关断比调整区201慢,也能够抑制电流局部地集中。

[0195] 在晶体管部70中,第二台面部62(参照图3等)的个数可以比第一台面部61(参照图3等)的个数多。由此,即使非调整区202的关断比调整区201慢,也能够抑制电流局部地集中。在晶体管部70中,第二台面部62的阈值电压可以比第一台面部61的阈值电压低。通过调整第一台面部61处的沟槽接触部17的深度、以及各插塞区的剂量,从而能够调整各台面部

的阈值电压。应予说明,台面部的阈值电压是指该台面部处的至少一个沟道区域从关断转变为导通的电压。

[0196] 图11是示出e-e截面的其他例子的图。本例的半导体装置100与图3中说明的结构相比,寿命调整区206、调整区201、非调整区202、第一台面部61和第二台面部62的配置不同。其他结构与本说明书中说明的任一方式的半导体装置100相同。

[0197] 在图3所示的半导体装置100中,调整区201的台面部60全部为第一台面部61,非调整区202的台面部60全部为第二台面部62。在本例的半导体装置100中,在非调整区202包括第一台面部61。非调整区202中的除第一台面部61以外的台面部60为第二台面部62。调整区201的台面部60可以全部为第一台面部61。

[0198] 非调整区202的台面部60中的、最接近调整区201的一个以上的台面部60可以是第一台面部61。在图11的例子中,在非调整区202中,最接近调整区201的一个台面部60为第一台面部61。在其他例子中,在非调整区202中,最接近调整区201的两个以上的台面部60可以是第一台面部61。另外,第一台面部61可以位于调整区201与非调整区202的边界上。

[0199] 在本说明书中说明的各例中,二极管部80的基区14的掺杂浓度可以比晶体管部70的基区14的掺杂浓度高。在该情况下,即使在将第三接触部213设为沟槽接触部17的情况下,也能够抑制来自二极管部80的基区14的空穴的注入量的减少。

[0200] 图12是示出e-e截面的其他例子的图。本例的半导体装置100与图3中说明的结构相比,寿命调整区206、调整区201、非调整区202、第一台面部61和第二台面部62的配置不同。其他结构与本说明书中说明的任一方式的半导体装置100相同。

[0201] 在本例的半导体装置100中,在调整区201包括第二台面部62。调整区201中的除第二台面部62以外的台面部60是第一台面部61。非调整区202的台面部60可以全部为第二台面部62。调整区201的台面部60中的、最接近非调整区202的一个以上的台面部60可以是第二台面部62。在图12的例子中,在调整区201中,最接近非调整区202的一个台面部60为第二台面部62。在其他例子中,在调整区201中,最接近非调整区202的两个以上的台面部60可以是第二台面部62。另外,第二台面部62可以位于调整区201与非调整区202的边界上。

[0202] 图13是示出e-e截面的其他例子的图。本例的半导体装置100与本说明书中说明的半导体装置100的不同点在于不具有寿命调整区206、调整区201和非调整区202。其他结构与本说明书中说明的任一方式的半导体装置100相同。在图13中,示出了从图3所示的结构删除了寿命调整区206、调整区201和非调整区202的例子,但在其他图所示的结构中,也可以删除寿命调整区206、调整区201和非调整区202。

[0203] 在半导体装置100中,第一台面部61的第一接触部211的下端配置在比第二台面部62的第二接触部212的下端更靠上方的位置。由此,能够使第一台面部61的接触区15大量残留,并能够增多来自第一台面部61的空穴注入量。例如,在二极管部80进行续流动作的情况下,能够增多来自二极管部80的附近的第一台面部61的空穴注入量。

[0204] 图14是示出e-e截面的其他例子的图。本例的半导体装置100与本说明书中说明的半导体装置100的不同点在于寿命调整区206设置在晶体管部70的X轴方向上的整体。其他结构与本说明书中说明的任一方式的半导体装置100相同。在图14中,示出了在图3所示的结构中,寿命调整区206配置在整个晶体管部70的例子,但在其他图所示的结构中,寿命调整区206也可以配置在整个晶体管部70。

[0205] 在本例的半导体装置100中,第一台面部61的第一接触部211的下端配置在比第二台面部62的第二接触部212的下端更靠上方的位置。由此,能够使第一台面部61的接触区15大量残留,并能够增多来自第一台面部61的空穴注入量。例如,在二极管部80进行续流动作的情况下,能够增多来自二极管部80的附近的第一台面部61的空穴注入量。

[0206] 图15A是示出e-e截面的其他例子的图。本例的半导体装置100与图9A中说明的结构相比,沟槽接触部17-1和沟槽接触部17-2的深度不同。其他结构与本说明书中说明的任一方式的半导体装置100相同。

[0207] 在本例中,至少一个第一台面部61的沟槽接触部17-2设置到比配置在比该第一台面部61更接近二极管部80的位置的第一台面部61的沟槽接触部17-1更浅。各个第一台面部61的沟槽接触部17可以越远离二极管部80则形成得越浅。

[0208] 图15B是示出e-e截面的其他例子的图。本例的半导体装置100与图9B中说明的结构相比,设置在第二台面部62的沟槽接触部17-1和沟槽接触部17-2的深度不同。其他结构与本说明书中说明的任一方式的半导体装置100相同。

[0209] 在本例中,至少一个第二台面部62的沟槽接触部17-2设置到比配置在比该第二台面部62更接近二极管部80的位置的第二台面部62的沟槽接触部17-1更浅。各个第二台面部62的沟槽接触部17可以越远离二极管部80则形成得越浅。

[0210] 图16是示出e-e截面的其他例子的图。本例的半导体装置100的二极管部80的至少一个第三台面部63的第三接触部213的下端配置在比第二接触部212的下端更靠上方的位置。二极管部80的全部的第三台面部63的第三接触部213的下端可以配置在比第二接触部212的下端更靠上方的位置。第三接触部213的下端可以配置在与半导体基板10的上表面21相同的高度位置。边界区200的第四台面部64可以具有与第三台面部63相同的第三接触部213。其他结构与本说明书中说明的任一方式的半导体装置100相同。

[0211] 第三接触部213的下端可以配置在与第一接触部211的下端相同的深度位置。第三接触部213的下端可以配置在比第一接触部211的下端更靠上方的位置,也可以配置在比第一接触部211的下端更靠下方的位置。

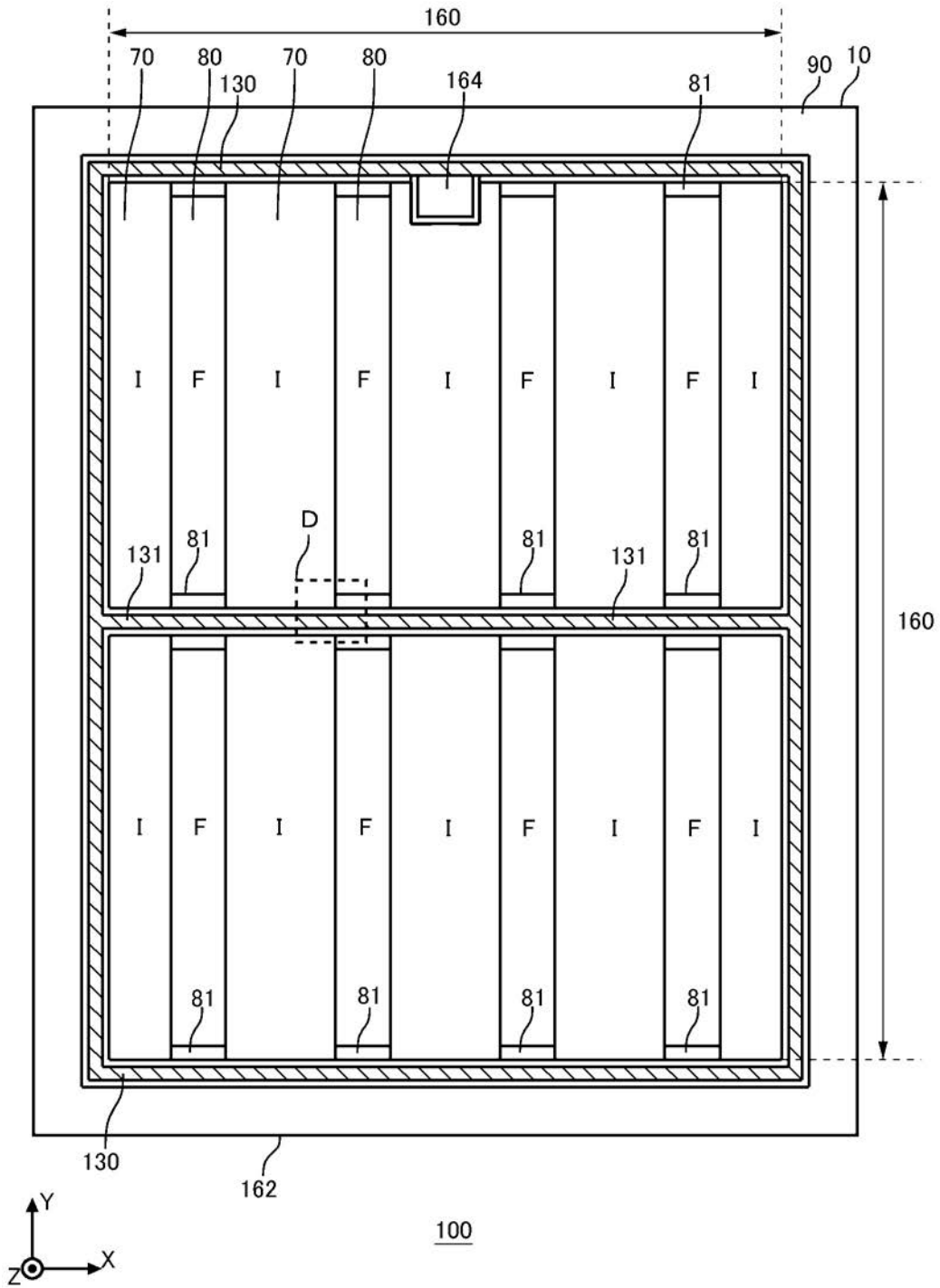
[0212] 在本例中,由于第三接触部213形成得浅,因此能够使第三台面部63的基区14大量残留。因此,能够增多二极管部80中的空穴注入量,从而减小正向电压。另外,即使在半导体装置100设置有势垒金属的情况下,也能够降低第三接触部213处的势垒金属的量。由此,能够抑制第三接触部213处的氢吸储,从而维持氢经由第三接触部213向晶体管部70的注入量。由此,能够抑制晶体管部70的阈值电压的降低。

[0213] 图17是图5所示的第一台面部61、第二台面部62和第三台面部63的附近的放大图。在图17中,分别各示出一个第一台面部61、第二台面部62和第三台面部63,省略各台面部之间的区域。

[0214] 本例的发射电极52与图6B的不同点在于在与半导体基板10接触的部分不具有势垒金属部252。另外,第一接触部211、第二接触部212和第三接触部213与图6B的不同点在于不具有第一插塞区221、第二插塞区222和第三插塞区223。其他结构与本说明书中说明的任一方式的半导体装置100相同。由此,通过在晶体管部70的第一台面部61不设置沟槽接触部17,从而能够减小正向电压。如上所述,根据本例,能够调整二极管部80的附近的晶体管部70处的空穴注入,从而抑制耐量的降低并调整反向恢复损耗与正向电压的折衷。

[0215] 以上,使用实施方式说明了本发明,但本发明的技术范围不限于上述实施方式所记载的范围。对于本领域技术人员而言可以对上述实施方式进行各种变更或改良是显而易见的。由权利要求书的记载可明确得知,进行了这样的变更或改良的方式也能够包含在本发明的技术范围中。

[0216] 应当注意的是,权利要求书、说明书、附图中示出的装置、系统、程序、方法中的动作、顺序、步骤、阶段等各处理的执行顺序只要没有特别表明“在……之前”、“先于……”等,并且只要不是在后一处理中使用前一处理的输出,就能够以任意顺序实现。关于权利要求书、说明书、附图中的动作流程,即使为了方便而使用“首先, ”、“接着, ”等进行说明,也不意味着必须以该顺序实施。



100

图1

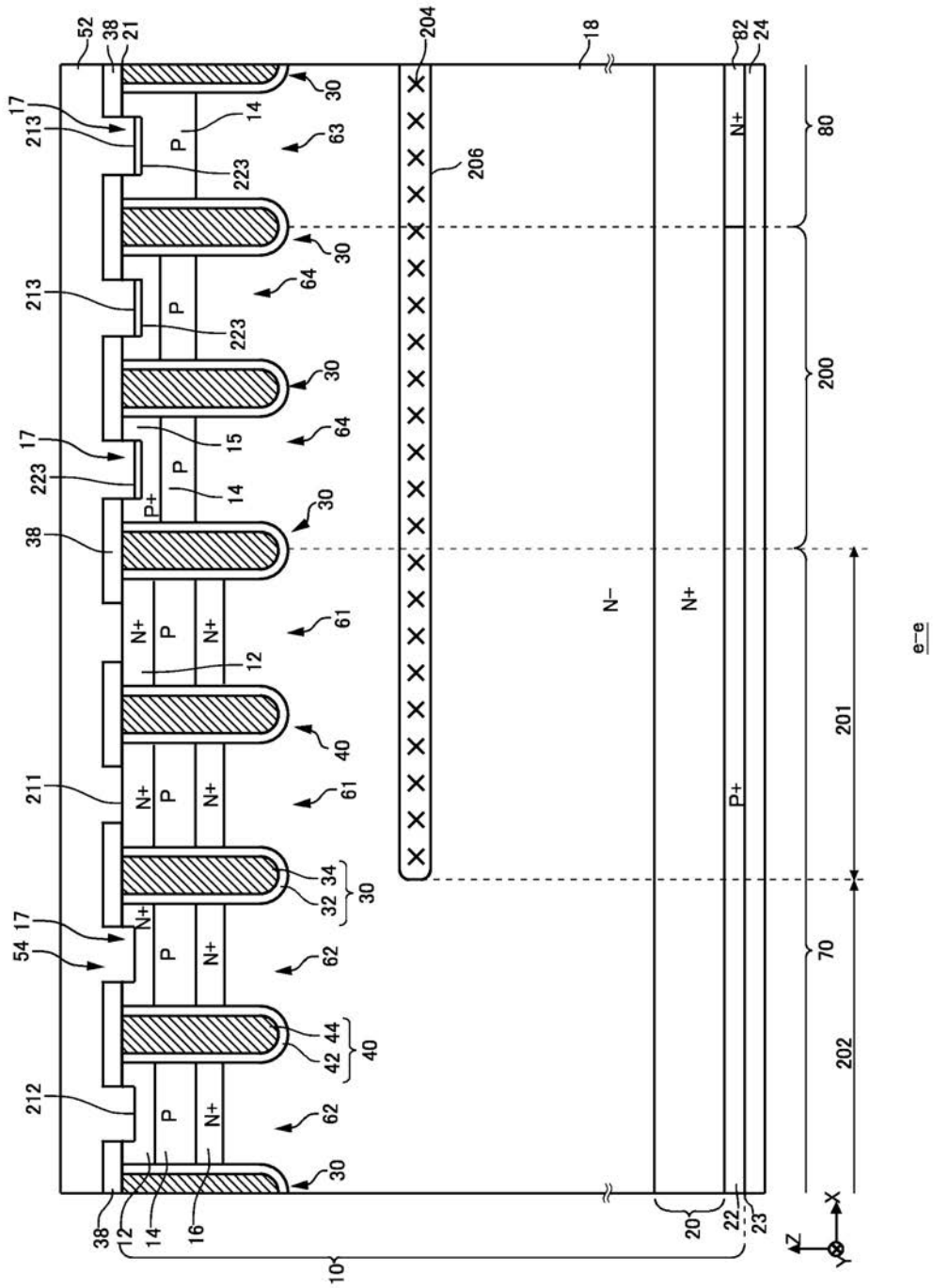


图3

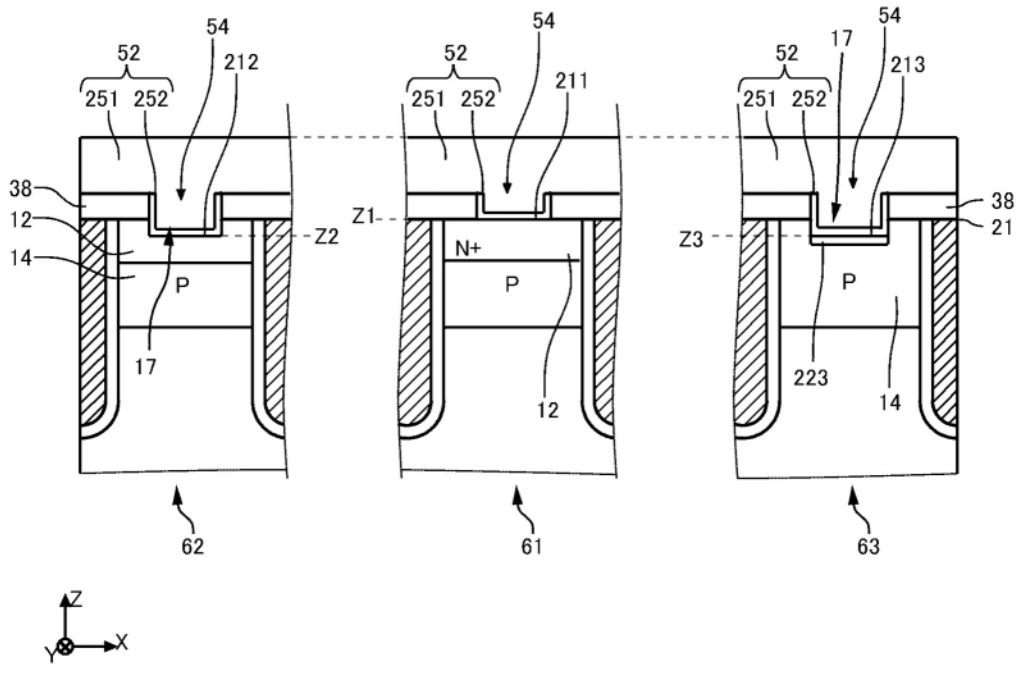


图4A

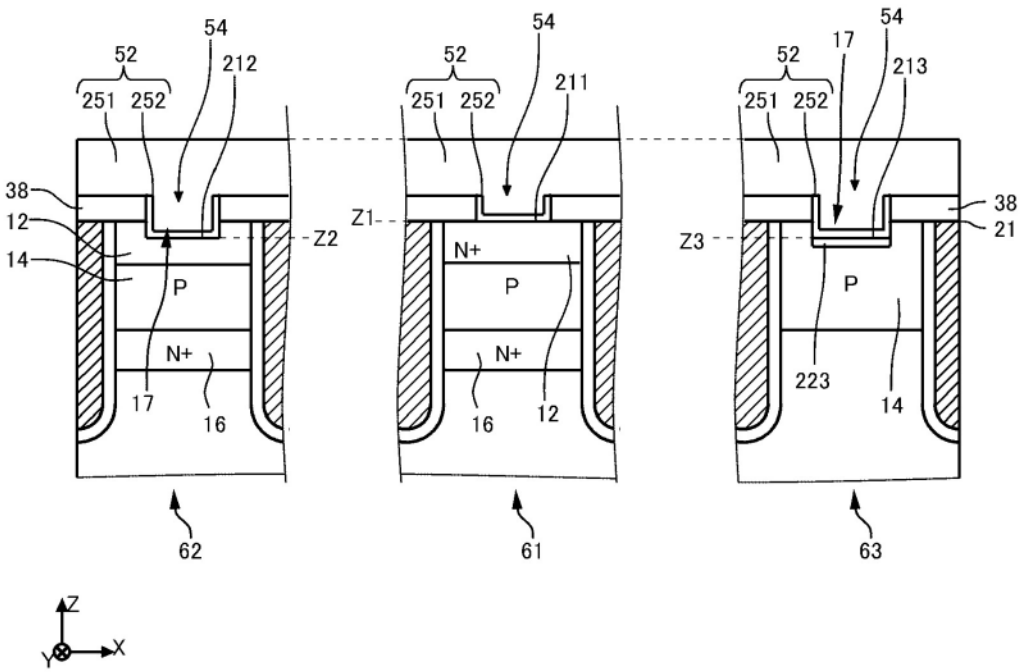


图4B

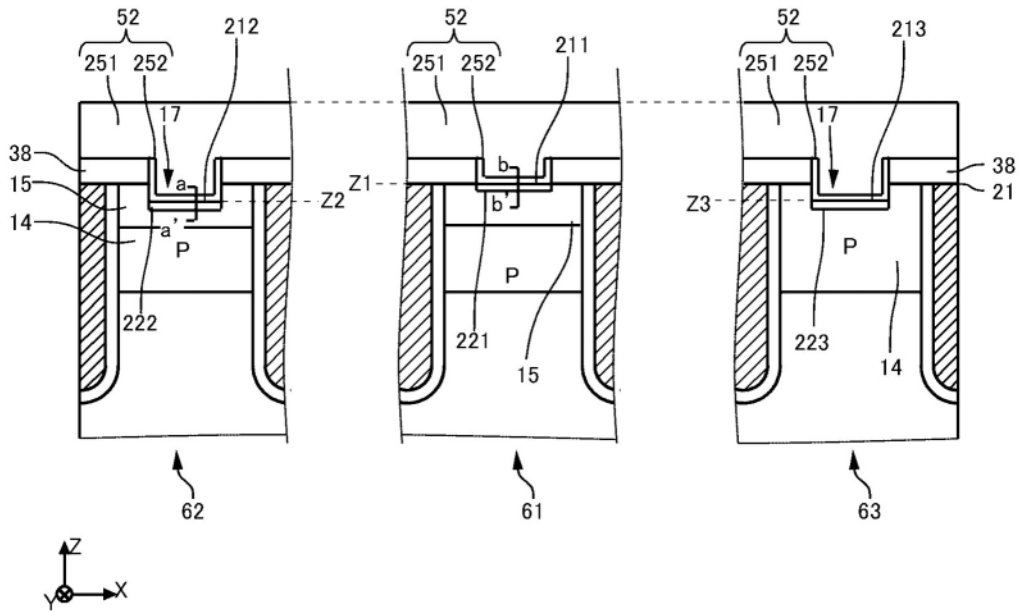


图6A

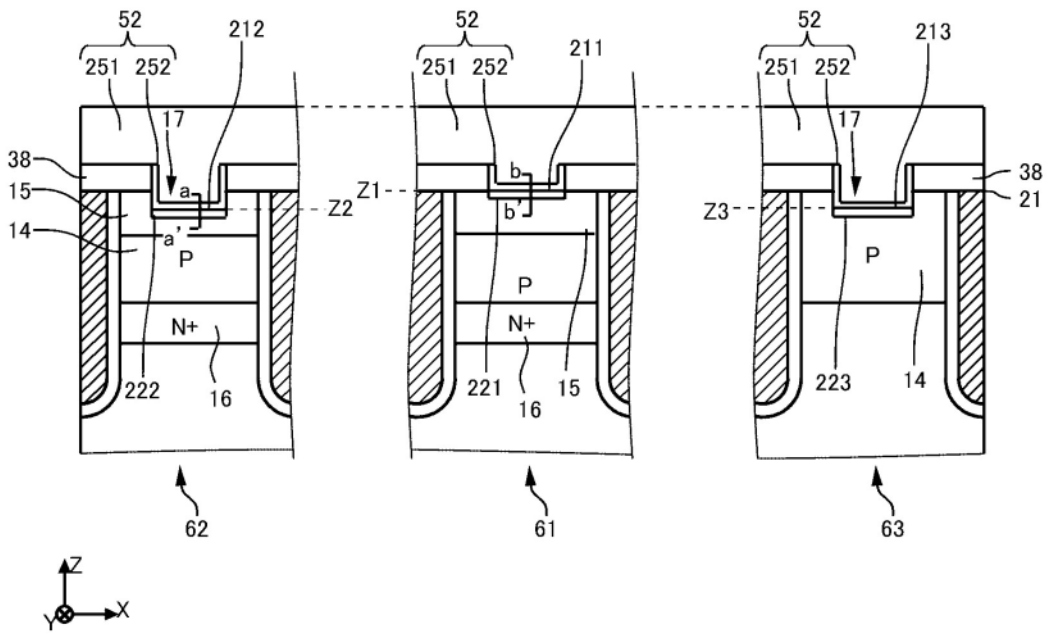


图6B

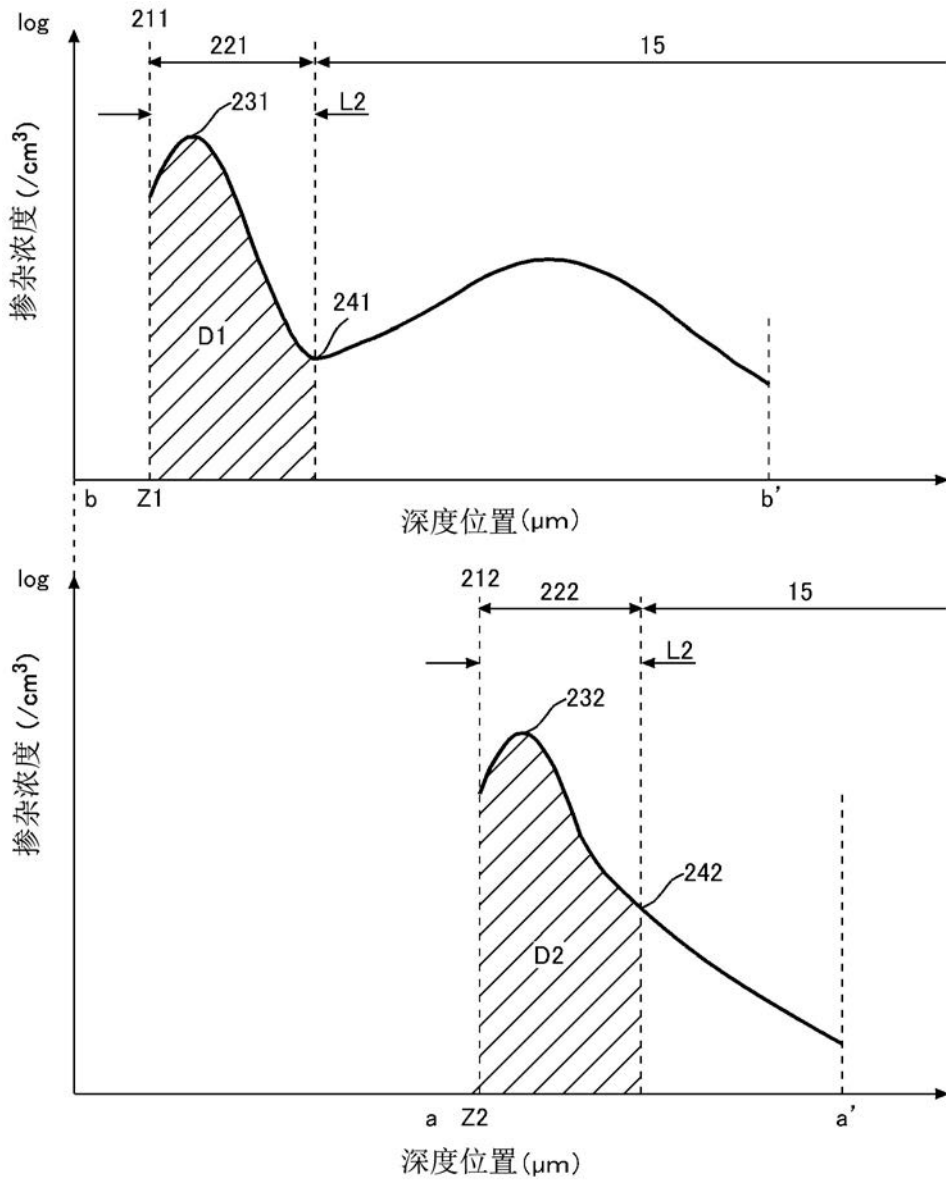


图7A

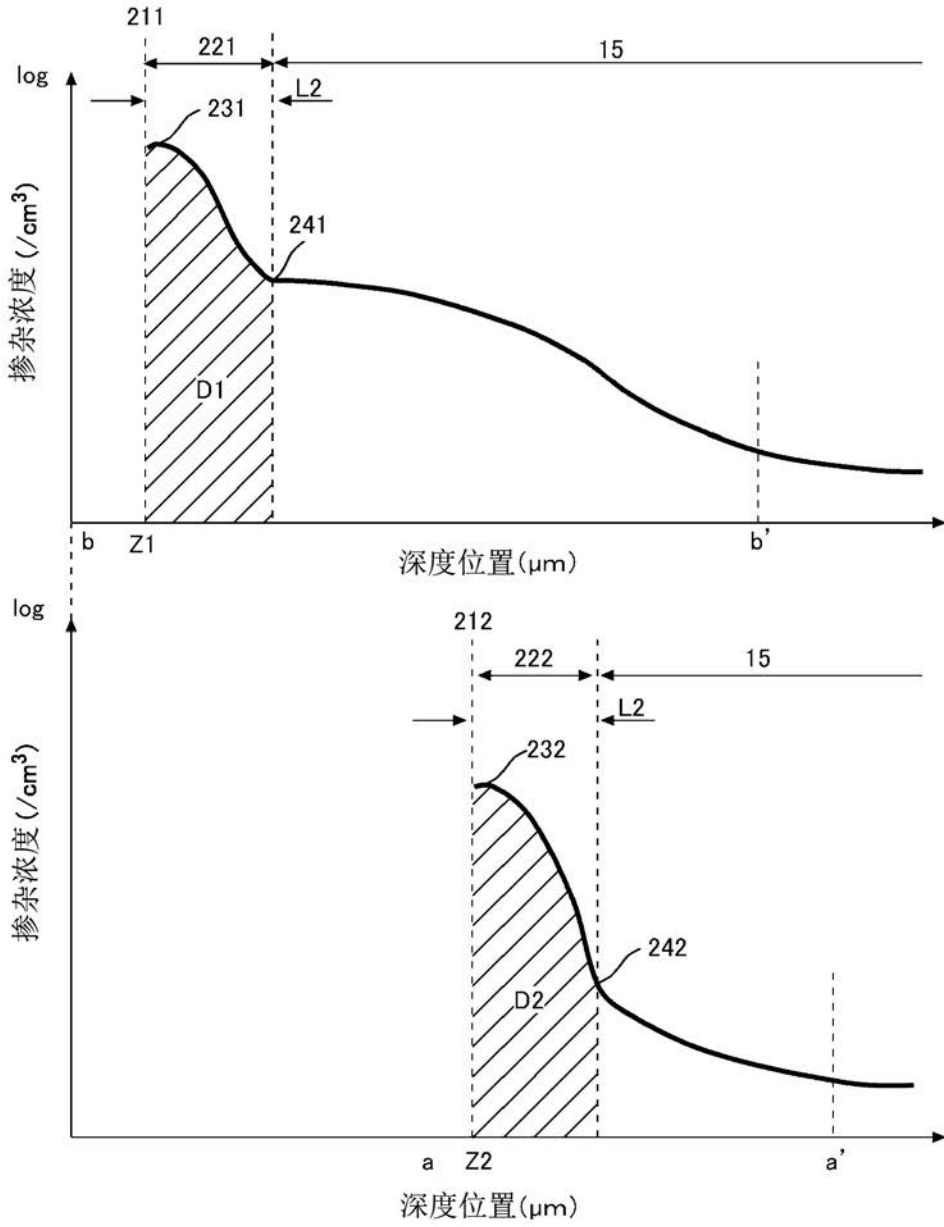


图7B

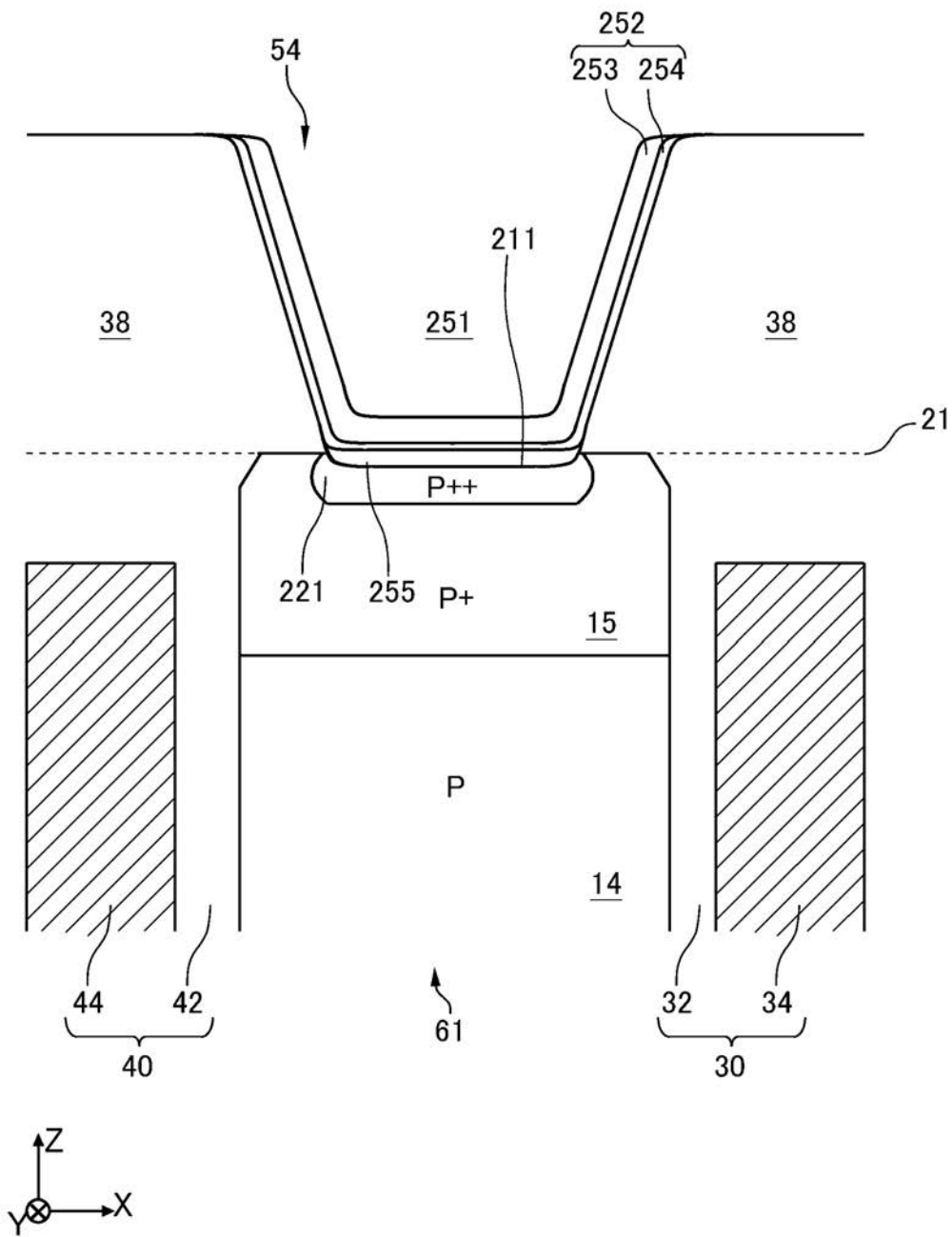


图8A

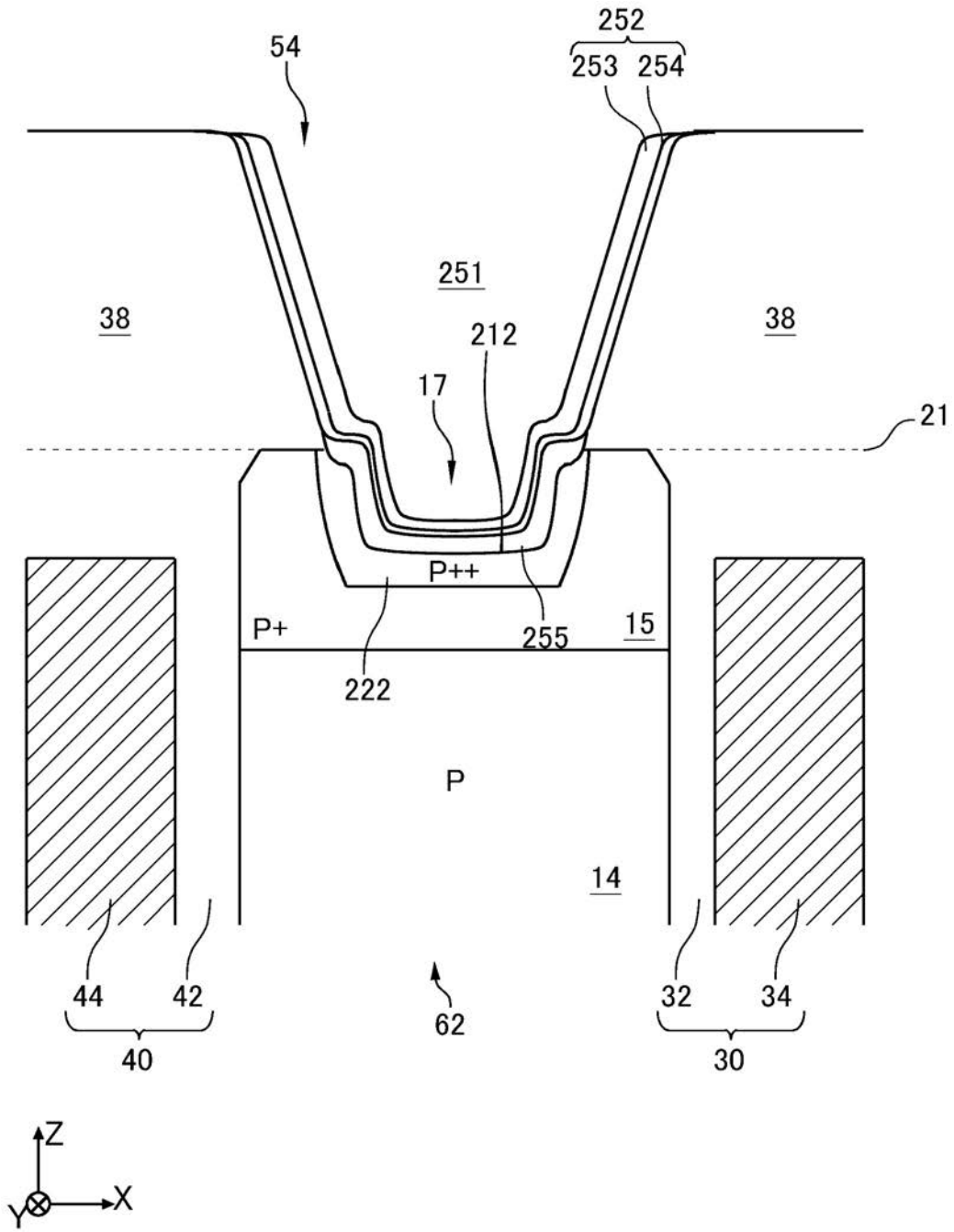


图8B

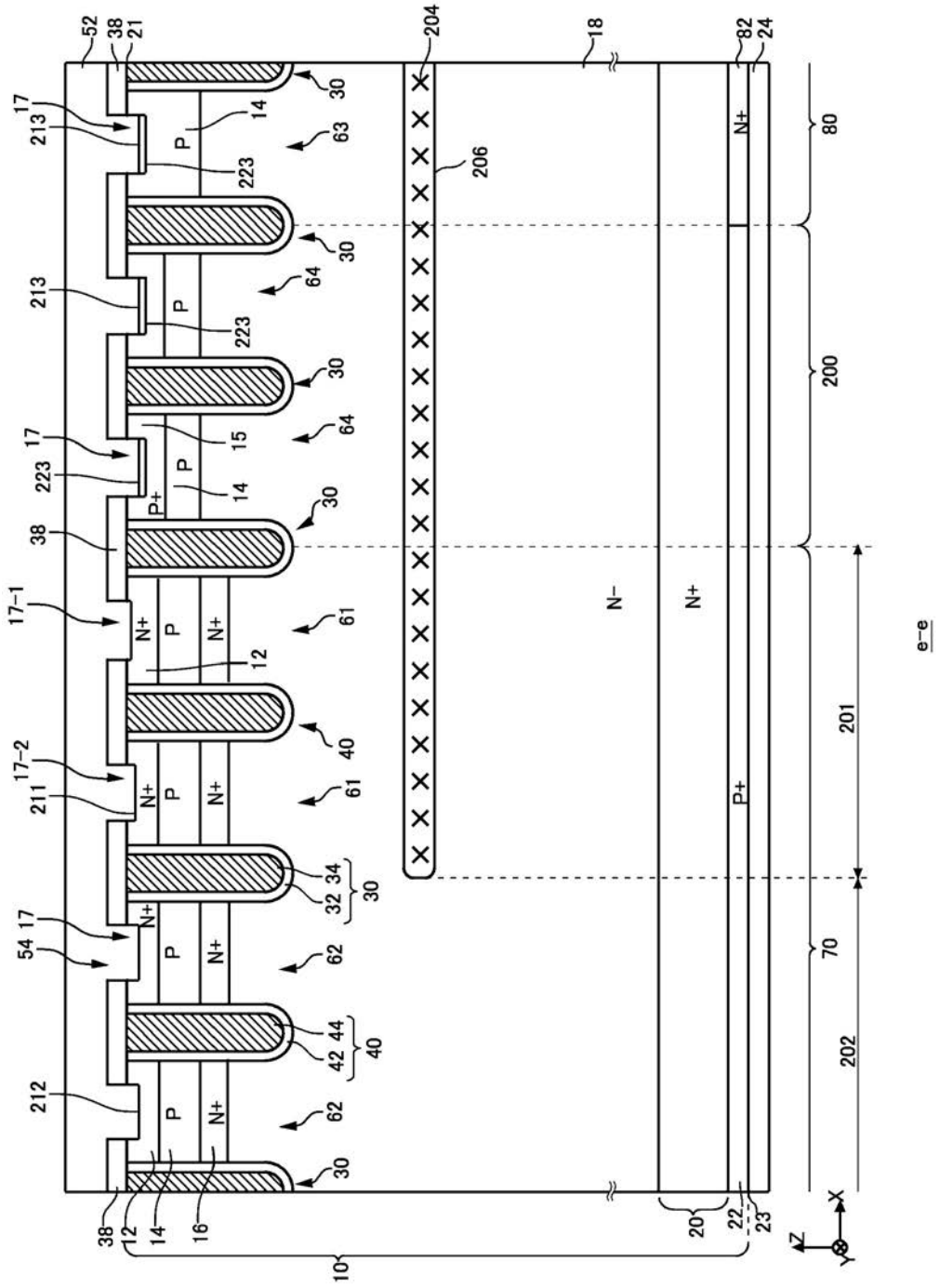


图9A

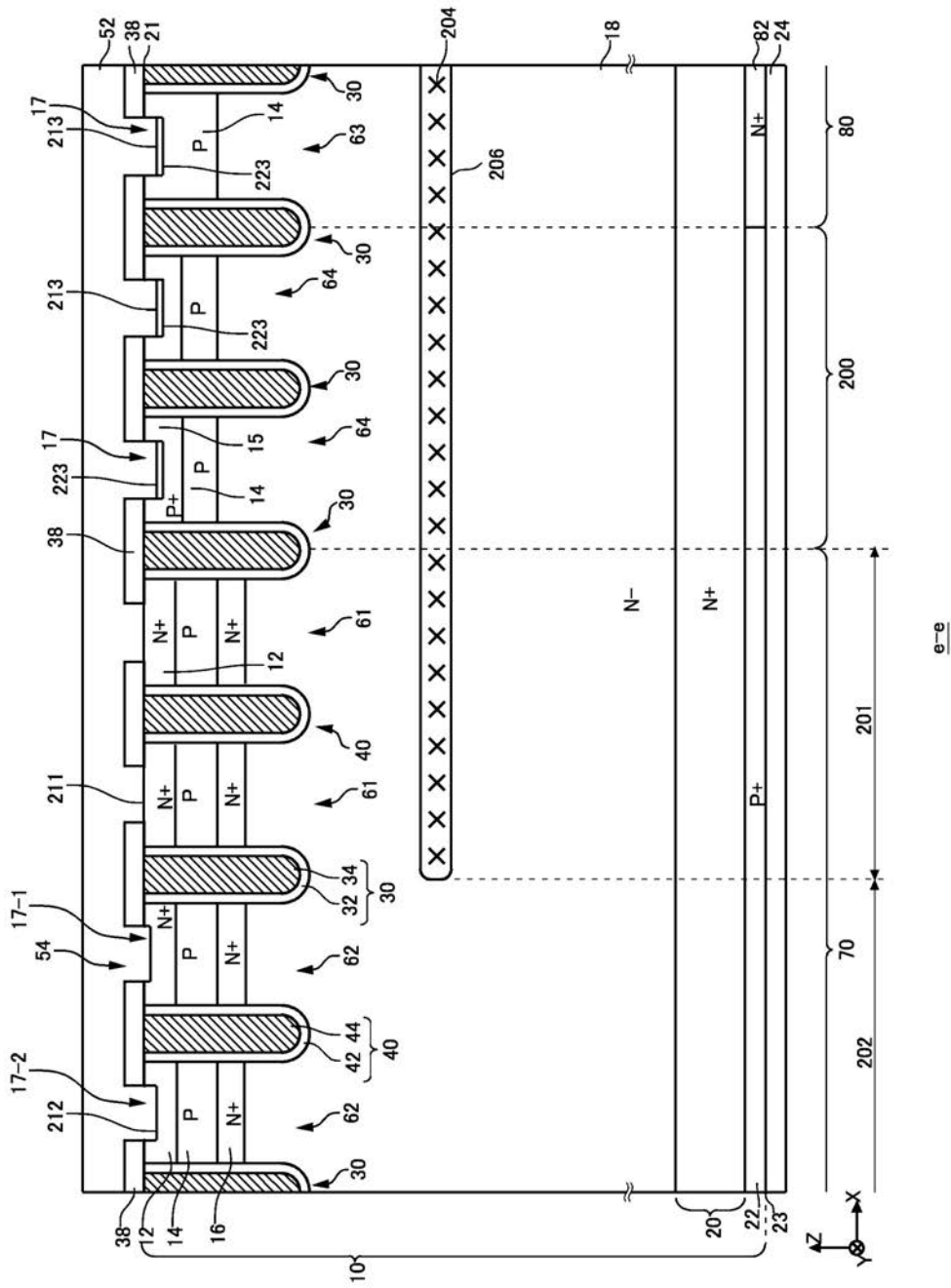


图9B

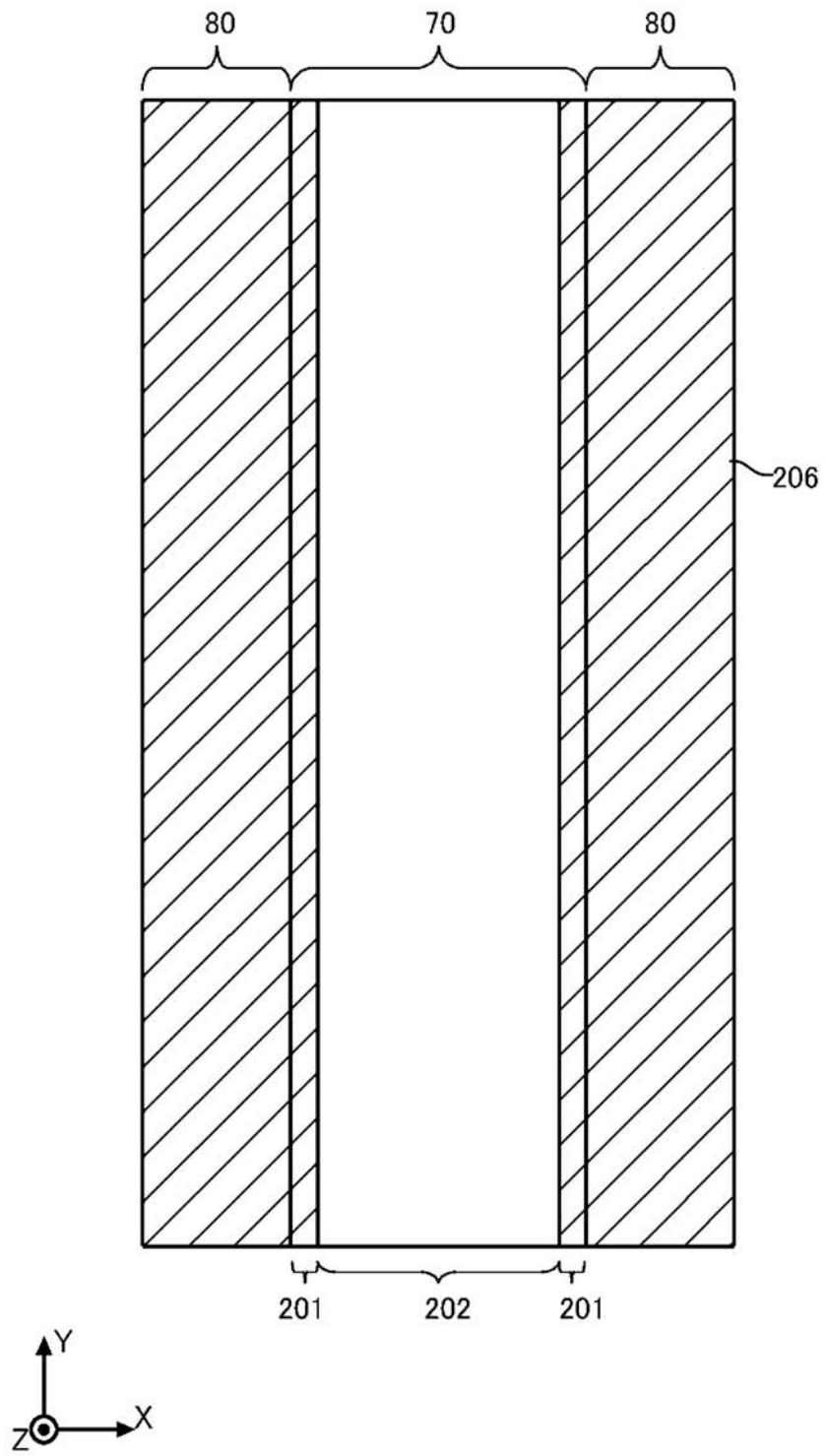


图10

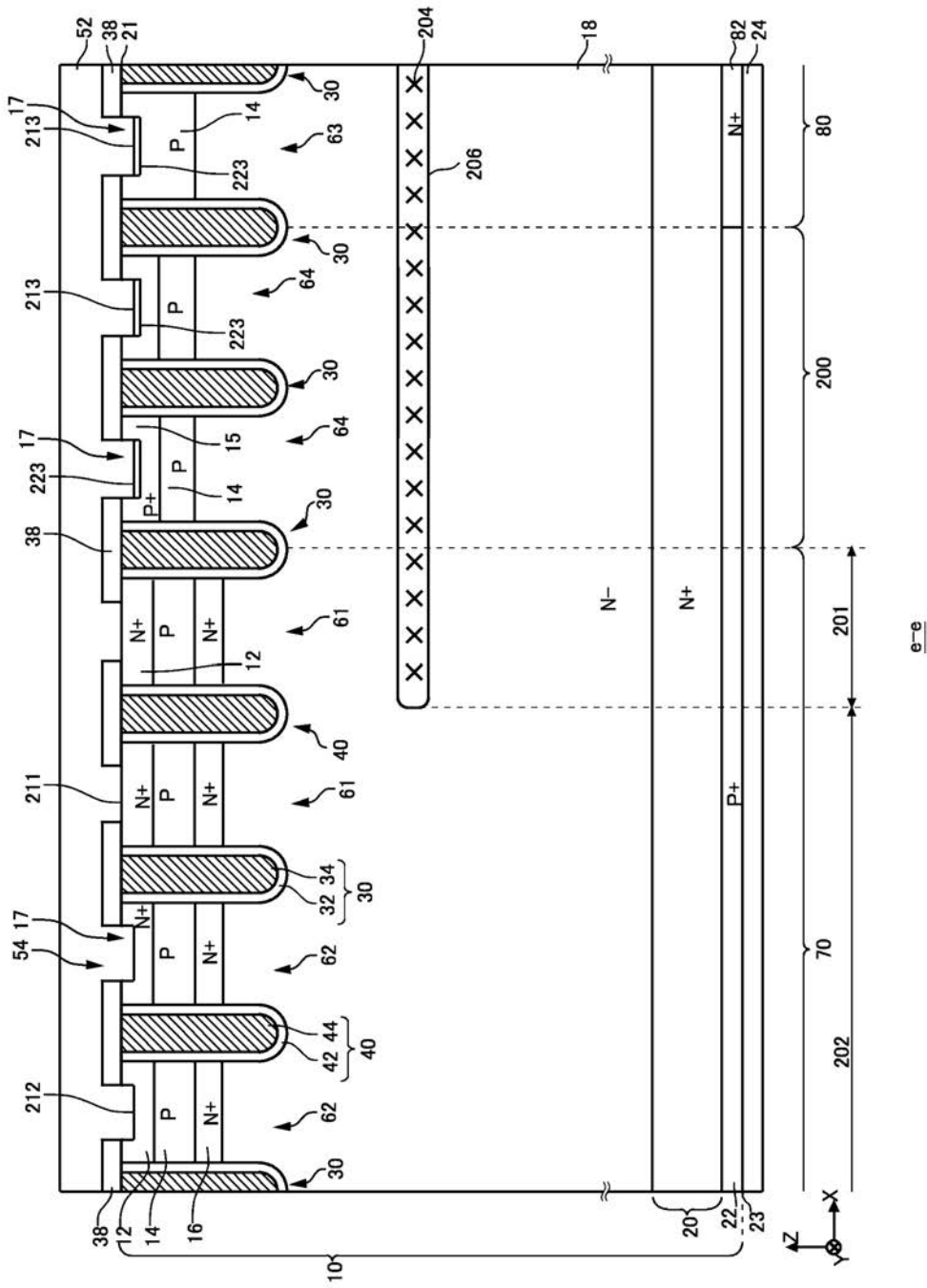


图11

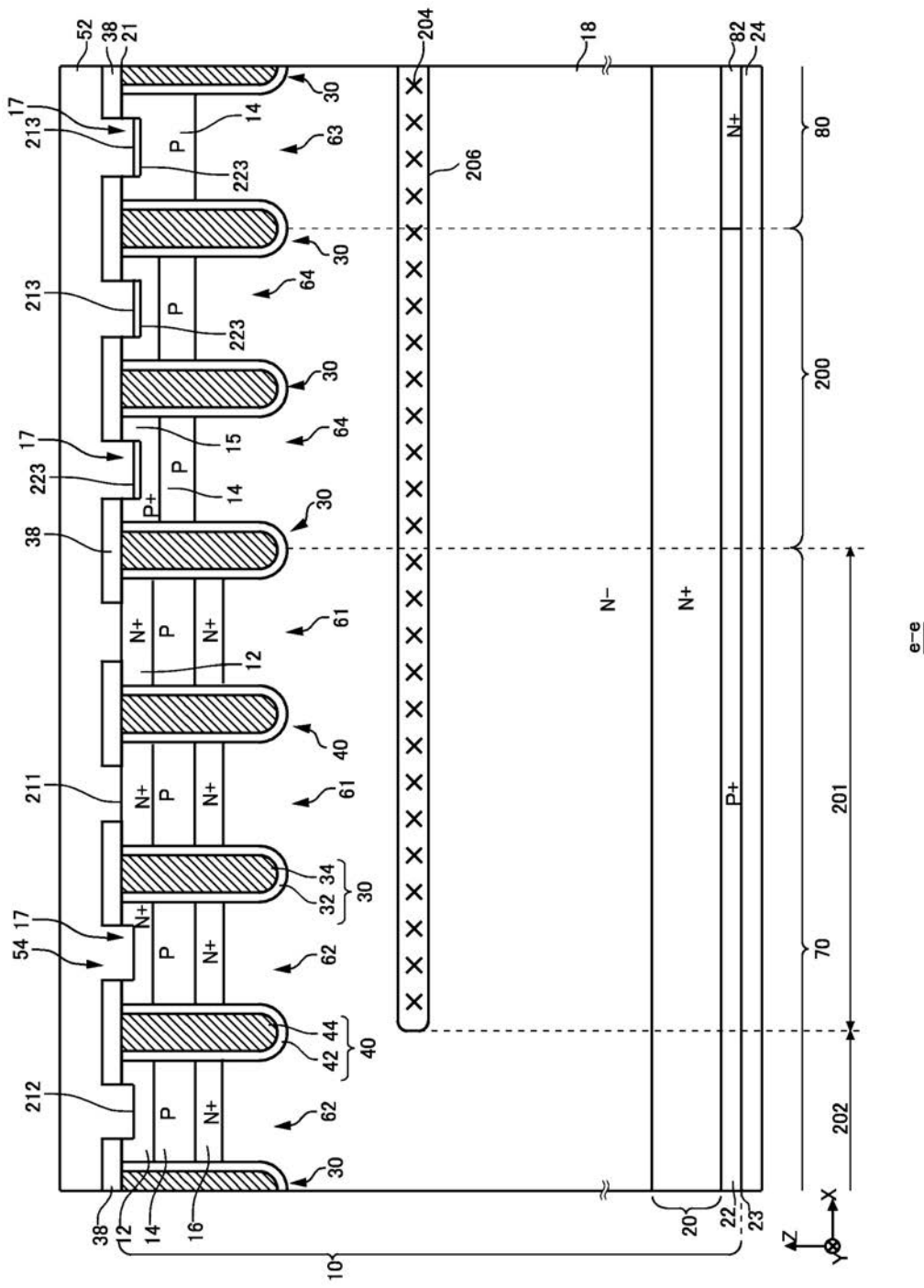


图12

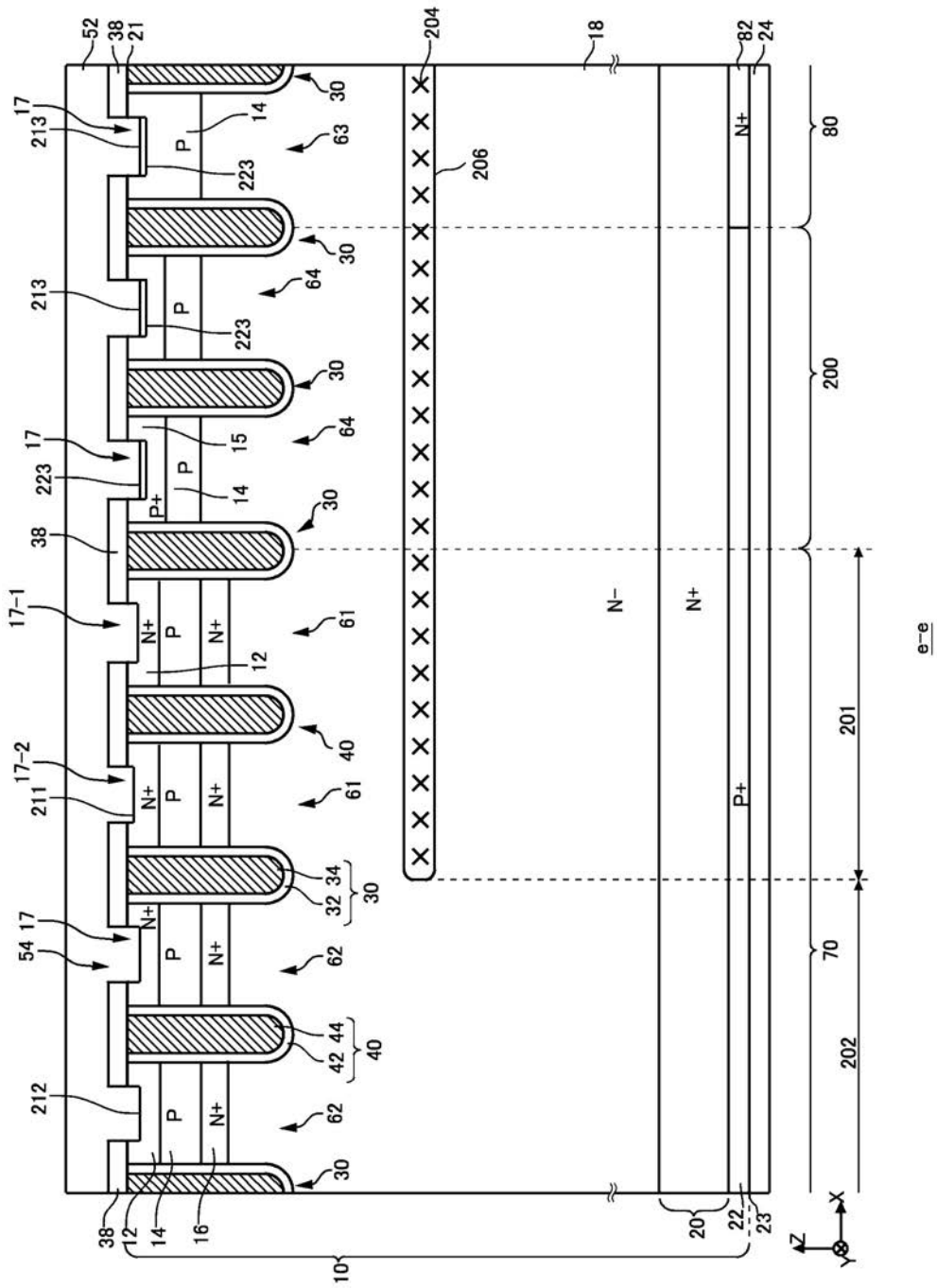


图15A

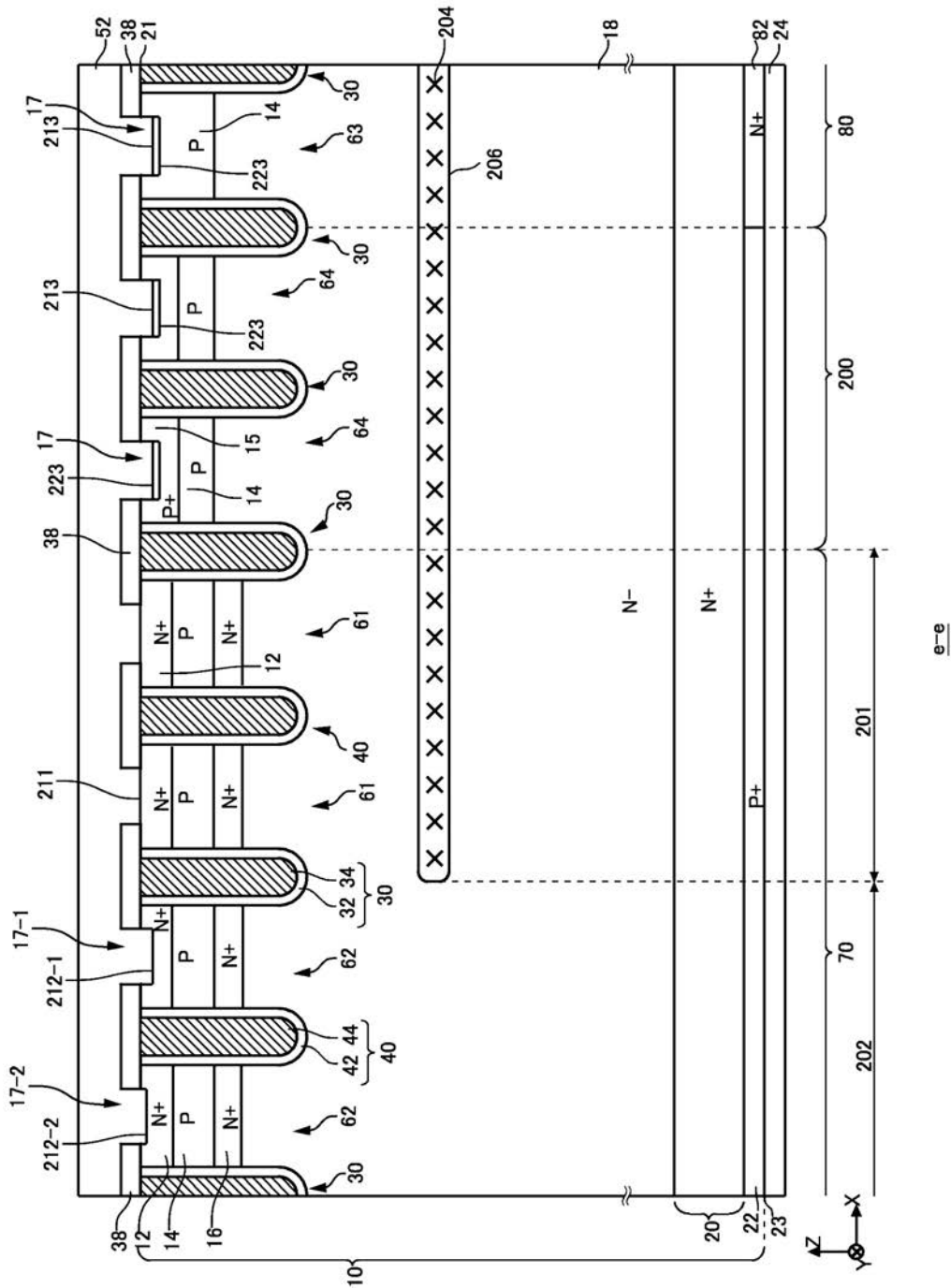


图15B

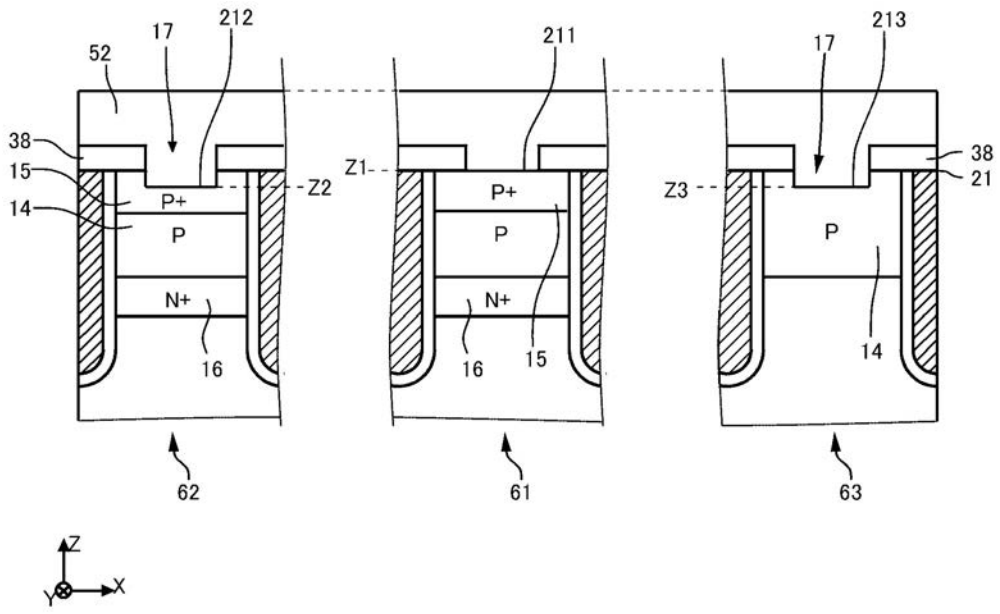


图17