

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月27日(27.09.2018)



(10) 国際公開番号

WO 2018/173497 A1

(51) 国際特許分類:

H03K 17/687 (2006.01) H01L 27/06 (2006.01)
H01L 21/822 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01) H03K 17/10 (2006.01)
H01L 27/04 (2006.01)

(21) 国際出願番号: PCT/JP2018/003252

(22) 国際出願日: 2018年1月31日(31.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-055787 2017年3月22日(22.03.2017) JP

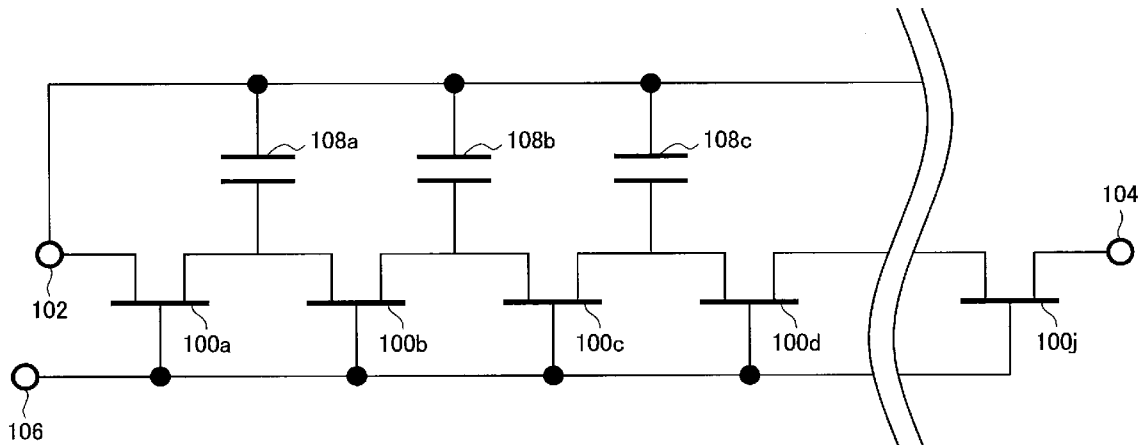
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 野口 賢治 (NOGUCHI, Kenji); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 鯉森 俊行(KOIMORI, Toshiyuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 永野 弘明(NAGANO, Hiroaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 上村 正哉(UEMURA, Masaya); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 中山 恵(NAKAYAMA, Megumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) Title: SEMICONDUCTOR DEVICE AND MODULE

(54) 発明の名称: 半導体装置及びモジュール

10



(57) **Abstract:** [Problem] To provide a semiconductor device with which it is possible to improve the withstand voltage while minimizing the chip area. [Solution] Provided is a semiconductor device equipped with: a first terminal to which a high-frequency signal is fed; a second terminal from which the high-frequency signal is outputted; a first, a second, and a third switch element connected electrically in series between the first terminal and the second terminal; a first capacitor provided between the first terminal and a first node between the first switch element and the second switch element; and a second capacitor provided between the first terminal and a second node between the second switch element and the third switch element. The capacitance of the first capacitor is greater than the capacitance of the second capacitor.

[続葉有]



(74) 代理人: 亀谷 美明, 外 (KAMEYA, Yoshiaki et al.); 〒1600004 東京都新宿区四谷 3 - 1 - 3 第一富澤ビル はづき国際特許事務所 四谷オフィス Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】チップ面積を抑えつつ、耐圧の向上させることが可能な半導体装置を提供する。【解決手段】高周波信号が供給される第1の端子と、前記高周波信号が出力される第2の端子と、前記第1の端子と前記第2の端子との間に、電氣的に直列に接続された第1、第2及び第3のスイッチ素子と、前記第1のスイッチ素子と前記第2のスイッチ素子との間の第1のノードと、前記第1の端子との間に設けられた第1のキャパシタと、前記第2のスイッチ素子と前記第3のスイッチ素子との間の第2のノードと、前記第1の端子との間に設けられた第2のキャパシタと、を備え、前記第1のキャパシタの容量は、前記第2のキャパシタの容量に比べて大きい、半導体装置を提供する。

明 細 書

発明の名称：半導体装置及びモジュール

技術分野

[0001] 本開示は、半導体装置及びモジュールに関する。

背景技術

[0002] 携帯電話等の移動体通信システムで用いられる携帯端末のフロントエンドには、高周波信号を切換えるための高周波スイッチが設けられている。このような高周波スイッチのスイッチ素子としては、GaAs等の化合物系の電界効果トランジスタ（FET）が用いられてきた。さらに、最近では、上記スイッチ素子として、シリコン系のデバイスからなる周辺回路（例えば、周波数変換回路等）と混載が可能なSOI（Silicon On Insulator）基板を用いたシリコン系のFETも用いられるようになってきている。

[0003] 高周波スイッチにおいては、上述のような化合物系又はシリコン系の複数のFETをスイッチ素子として用い、これら複数のFETを電氣的に直列接続した多段構成を採用することにより、所望の耐圧を確保している。このような多段構成を採用した高周波スイッチの一例としては、下記特許文献1に開示されている半導体装置を挙げることができる。

先行技術文献

特許文献

[0004] 特許文献1：特開平11-136111号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、複数のFETを直列に接続した多段構成を採用した場合、耐圧は向上するものの、高周波スイッチのチップ面積が拡大し、製造コストの増加を抑えることが難しくなる。また、上記多段構成を採用した場合であっても、特定のFETに局所的に高い電圧が印加され、高い電圧が印加され

たFETが破壊されやすくなることから、多段構成による耐圧の向上にも限界があった。

[0006] そこで、本開示では、チップ面積を抑えつつ、耐圧を向上させることが可能な、新規、且つ、改良された半導体装置及びモジュールを提案する。

課題を解決するための手段

[0007] 本開示によれば、高周波信号が供給される第1の端子と、前記高周波信号が出力される第2の端子と、前記第1の端子と前記第2の端子との間に、電氣的に直列に接続された第1、第2及び第3のスイッチ素子と、前記第1のスイッチ素子と前記第2のスイッチ素子との間の第1のノードと、前記第1の端子との間に設けられた第1のキャパシタと、前記第2のスイッチ素子と前記第3のスイッチ素子との間の第2のノードと、前記第1の端子との間に設けられた第2のキャパシタと、を備え、前記第1のキャパシタの容量は、前記第2のキャパシタの容量に比べて大きい、半導体装置が提供される。

[0008] また、本開示によれば、高周波信号が供給される第1の端子と、前記高周波信号が出力される第2の端子と、前記第1の端子と前記第2の端子との間に、電氣的に直列に接続された複数のスイッチ素子と、隣り合う2つの前記スイッチ素子の間の各ノードと前記第1の端子との間にそれぞれ設けられた複数のキャパシタと、を備え、前記各キャパシタの容量は、当該キャパシタに接続される前記スイッチ素子の、前記第1の端子を起点とした順番に従って、順次小さくなっている、半導体装置が提供される。

[0009] さらに、本開示によれば、高周波信号が供給される第1の端子と、前記高周波信号が出力される第2の端子と、前記第1の端子と前記第2の端子との間に、電氣的に直列に接続された第1、第2及び第3のスイッチ素子と、前記第1のスイッチ素子と前記第2のスイッチ素子との間の第1のノードと、前記第1の端子との間に設けられた第1のキャパシタと、前記第2のスイッチ素子と前記第3のスイッチ素子との間の第2のノードと、前記第1の端子との間に設けられた第2のキャパシタと、を有し、前記第1のキャパシタの容量は、前記第2のキャパシタの容量に比べて大きい、半導体装置と、高周

波部品、信号処理装置、及び演算装置のうちの少なくとも１つと、を備える高周波モジュールが提供される。

発明の効果

[0010] 以上説明したように本開示によれば、チップ面積を抑えつつ、耐圧を向上させることができる半導体装置及びモジュールを提供することができる。

[0011] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0012] [図1]本開示の実施形態に係る半導体装置１０の回路図である。

[図2]同実施形態に係る半導体装置１０の平面図である。

[図3]本開示の実施形態の変形例に係る半導体装置１０aの平面図である。

[図4]同実施形態に係る半導体装置１０の断面図である。

[図5]実施例１に係る半導体装置１０の各段のＦＥＴ１００に印加される電圧の値を示したグラフである。

[図6]実施例２に係る半導体装置１０aの各段のＦＥＴ１００に印加される電圧の値を示したグラフである。

[図7]比較例に係る半導体装置９０の回路図である。

[図8]比較例に係る半導体装置９０の各段のＦＥＴ９００に印加される電圧の値を示したグラフである。

[図9]比較例に係る半導体装置９０の等価回路図である。

発明を実施するための形態

[0013] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0014] また、本明細書および図面において、実質的に同一または類似の機能構成を有する複数の構成要素を、同一の符号の後に異なる数字を付して区別する

場合がある。ただし、実質的に同一または類似の機能構成を有する複数の構成要素の各々を特に区別する必要がない場合、同一符号のみを付する。また、異なる実施形態の類似する構成要素については、同一の符号の後に異なるアルファベットを付して区別する場合がある。ただし、類似する構成要素の各々を特に区別する必要がない場合、同一符号のみを付する。

[0015] また、以下の説明で参照される図面は、本開示の一実施形態の説明とその理解を促すための図面であり、わかりやすくするために、図中に示される形状や寸法、比などは実際と異なる場合がある。さらに、図中に示される半導体装置等は、以下の説明と公知の技術を参酌して適宜、設計変更することができる。また、以下の説明においては、半導体装置等の積層構造の上下方向は、トランジスタ等の素子が設けられた基板上の面を上とした場合の相対方向に対応し、例えば当該半導体装置が半導体パッケージに内蔵された際の半導体装置の積層構造の上下方向とは異なる場合がある。

[0016] 以下の説明においては、回路素子等の値に対する数学的な表現（例えば、線形関数的、指数関数的）や半導体装置における積層膜の形状の表現は、数学的に定義される数値と同一の値や幾何学的に定義される形状だけを意味するものではなく、半導体装置の製造工程において工業的に許容される程度の違い等がある場合やその形状に類似する形状をも含む。

[0017] また、以下の説明においては、「ゲート」とは、電界効果トランジスタ（FET）のゲート電極を表す。「ドレイン」とは、FETのドレイン電極またはドレイン領域を表し、「ソース」とは、FETのソース電極またはソース領域を表す。

[0018] さらに、以下の説明においては、半導体装置の回路構成において、特段の断りがない限りは、「接続」とは、複数の要素の間を電氣的に接続することを意味する。加えて、以下の説明における「接続」には、複数の要素を直接的に、且つ、電氣的に接続する場合だけでなく、他の要素を介して間接的に、且つ、電氣的に接続する場合も含む。

[0019] なお、説明は以下の順序で行うものとする。

1. 本開示に係る実施形態を創作するにあたっての背景
2. 本開示に係る実施形態
 2. 1. 回路構成
 2. 2. 平面構造
 2. 3. 断面構造
 2. 4. 実施例
3. まとめ
4. 補足

[0020] << 1. 本開示に係る実施形態を創作するにあたっての背景 >>

以下に説明する本開示に係る実施形態は、携帯電話等の端末装置において用いられる高周波スイッチに関するものであり、詳細には、3 GHz 以下の周波数を持つ高周波信号の送受信する通信端末に用いられる高周波スイッチに関する。しかしながら、本開示に係る実施形態は、このようなデバイスに適用されることに限定されるものではなく、他のデバイスに適用されてもよい。まずは、本開示に係る実施形態を説明する前に、本発明者らが本実施形態を創作するにあたっての背景を説明する。

[0021] 先に説明したように、上述の通信端末においては、高周波信号を切り替える高周波スイッチが設けられている。このような高周波スイッチにおいては、スイッチ素子として電界効果トランジスタ（FET）が用いられ、所望の耐圧を確保するために、複数のFETを電氣的に直列に接続した多段構成が採用されている。以下に、これまで本発明者らが検討してきた半導体装置90（以下、当該半導体装置90を比較例に係る半導体装置90と呼ぶ）の回路構成を、図7を参照して説明する。図7は、比較例に係る半導体装置90の回路図である。

[0022] 図7に示すように、高周波信号が供給される第1の端子（例えば、入力端子）902から、高周波信号を出力する第2の端子（例えば、出力端子や接地端子）904までの間に、複数のFET900が電氣的に直列に接続された多段構成が設けられている。詳細には、図7に示すように、互いに隣り合

う2つのFET900のソースとドレインとが互いに接続することにより、複数のFET900が直列に接続されている。さらに、各FET900のゲートは、互いに電氣的に接続され第3の端子（例えば、制御端子）906に接続されている。なお、図7においては、図示を省略しているものの、10個のFET900が接続されているものとする。言い換えると、比較例に係る半導体装置90は、10段のFET900による多段構成を持っているものとする。

[0023] また、図7の回路図は、高周波スイッチとしての比較例に係る半導体装置90の回路構成の一例を模式的に示したものであり、当該半導体装置90が図7の回路構成を持つことに限定されるものではない。例えば、半導体装置90においては、各FET900のゲートと第3の端子906との間に抵抗素子（図示省略）が設けられていてもよく、図7に図示しない他の素子がいずれかの箇所に設けられていてもよい。

[0024] 比較例に係る半導体装置90においては、図7に示すような多段構成を採用することにより、半導体装置90の耐圧を向上させていた。言い換えると、比較例に係る半導体装置90においては、FET900を多段に重ねていき、これらFET900の耐圧を合成することにより、半導体装置90の耐圧を向上させている。このように半導体装置90の耐圧を向上させることにより、第1の端子902に印加される電圧が高くなっても、半導体装置90に設けられたFET900を破壊されにくくすることができる。

[0025] しかしながら、多段構成を採用した場合、上述のように耐圧は向上するものの、半導体装置90のチップ面積が拡大し、製造コストの増加を抑えることが難しくなる。さらに、本発明者らの検討によれば、多段構成を採用した場合であっても、半導体装置90内の特定のFET900に局所的に高い電圧が印加され、当該FET900が破壊されやすい状態にあることから、多段構成による耐圧の向上にも限界があることがわかった。言い換えると、比較例に係る半導体装置90においては、半導体装置90の耐圧は、単純に複数のFET900の耐圧の加算値とならないため、FET900の段数を単

純に増加させても、半導体装置 90 の耐圧を線形関数的に増加させる（増加量が一定）ことができなかった。

[0026] 以下に、本発明者らによって検討された多段構成による耐圧向上の限界について、図 8 を参照して説明する。図 8 は、比較例に係る半導体装置 90 の各段の F E T 900 に印加される電圧の値を示したグラフであり、本発明者らによって回路シミュレータを用いて得られた結果をグラフ化したものである。詳細には、図 8 の横軸が F E T 900 の段数を示し、縦軸が印加される電圧を示す。なお、F E T 900 の段数は、第 1 の端子 902 側から第 2 の端子 904 側に向かって順次数が増えていくように各 F E T 900 に対して割り当てられている。

[0027] 図 8 に示すように、比較例に係る半導体装置 90 の各段の F E T 900 に印加される電圧は不均一となっている。詳細には、1 段目から 4 段目の F E T 900 においては、段数の増加に応じて電圧が低下している。言い換えると、高周波信号が供給される第 1 の端子 902 に近い F E T 900 ほど高い電圧が印加されている（図 8 においては左側にいくほど、第 1 の端子 902 に近くなる）。一方、第 1 の端子 902 から遠い F E T 900 ほど低い電圧が印加されている（図 8 においては右側にいくほど、第 1 の端子 902 から遠くなる）。そして、6 段目から 10 段目の F E T 900 においては、ほぼ一定の電圧が印加されている。従って、第 1 の端子 902 に近い F E T 900（例えば、1 段目から 3 段目の F E T 900）は、高い電圧が局所的に印加されていることから、破壊されやすい状態にあることがわかる。

[0028] 各段の F E T 900 に印加される電圧が均一でなく、すなわち、局所的に高い電圧が印加された F E T 900 が存在することから、当該 F E T 900 の状態により制約を受け、半導体装置 90 の耐圧は単純に複数の F E T 900 の耐圧の加算値とならない。従って、比較例に係る半導体装置 90 においては、F E T 900 の段数を単純に増加させても、半導体装置 90 の耐圧を線形関数的に増加させることができず、多段構成にすることにより耐圧を効果的に向上させることに限界があることがわかった。

[0029] 図8に示すように、半導体装置90における各段のFET900に印加される電圧が均一でない理由としては、各FET900の寄生容量によるものと考えられる。以下に、各FET900の寄生容量について、図9を参照して説明する。図9は、比較例に係る半導体装置90の等価回路図である。詳細には、図9の等価回路図においては、各FET900は、キャパシタ記号で示されている。さらに、図9の等価回路においては、各FET900の有する寄生容量は、寄生容量910として図示されている。

[0030] 図9に示されているように、各段のFET900は、接地された基板との間に寄生容量910を有している。さらに、各寄生容量910の大きさは、各FET900の構造、大きさ、基板上の配置等により定まることから、複数の寄生容量910の大きさが同一でないことが多い。すなわち、複数の寄生容量910の大きさは不均一である。このような不均一な寄生容量910に起因して、各段のFET900は、互いに同一の構造及び大きさを持っていても、入力される高周波信号からは不均一な特性を持つFET900として見える。従って、FET900の特性が不均一であることから、各段のFET900に印加される電圧が不均一になったものと推定される。

[0031] そこで、上述の推定に基づいて、各FET900のデバイス構造や配置等を工夫して、寄生容量910を均一にすることにより、各段のFET900に印加される電圧を均一にすることが考えられる。各段のFET900に印加される電圧を均一にすることができれば、局所的に高い電圧が印加されたFET900が存在しないことから、半導体装置90の耐圧は、局所的に高い電圧が印加されたFET900から制約を受けないこととなる。その結果、FET900の段数を増加させることで、半導体装置90の耐圧を線形関数的に増加させることができるようになり、すなわち、多段構成にすることにより、耐圧を効果的に向上させることができるようになる。

[0032] しかしながら、上述のようなデバイス設計等により寄生容量910を所望の値に制御することは難しい。さらに、FET900の構造及び配置が制約を受けることから、デバイス設計の自由度を狭くすることとなることから、

上述のようなデバイス設計による方法は好ましい解決策とは言えない。

[0033] このような状況において、本発明者らは、チップ面積を抑えつつ、耐圧を向上させることができる半導体装置を得ようと、鋭意検討を進めてきた。そして、本発明者らは、以下に説明する本開示の一実施形態を創作するに至った。詳細には、本開示の実施形態によれば、チップ面積を抑えつつ、耐圧を向上させることができる半導体装置を提供することができる。以下に、本発明者らが創作した本開示の一実施形態の詳細を説明する。

[0034] <<2. 本開示に係る実施形態>>

<2. 1. 回路構成>

まずは、本開示の実施形態に係る半導体装置10の回路構成について、図1を参照して説明する。図1は、本実施形態に係る半導体装置10の回路図である。

[0035] 図1に示すように、本実施形態に係る半導体装置10においては、高周波信号が供給される第1の端子（例えば、入力端子）102から、高周波信号を出力する第2の端子（例えば、出力端子や接地端子）104までの間に、複数の電界効果トランジスタ（FET）（スイッチ素子）100が電氣的に直列に接続された多段構成が設けられている。すなわち、本実施形態においても、上述の比較例に係る半導体装置90と同様に、多段構成が設けられている。より具体的には、図1に示すように、本実施形態においては、第1の端子102側から第2の端子104側に向かって、1段目のFET（第1のスイッチ素子）100a、2段目のFET（第2のスイッチ素子）100b、3段目のFET（第3のスイッチ素子）100cというように、10個のFET100a～j（一部、図示を省略）が設けられている。また、上述の比較例と同様に、本実施形態においては、互いに隣り合う2つのFET100のソースとドレインとが互いに接続することにより、複数のFET100a～jが直列に接続されている。さらに、各FET100a～jのゲートは、互いに電氣的に接続され、且つ、第3の端子（例えば、制御端子）106に接続されている。

- [0036] なお、本実施形態においては、半導体装置 10 は、図 1 に示されるように 10 個の FET 100a~j を有することに限定されるものではなく、2 個以上の FET 100 を有していれば特に限定されるものではない。
- [0037] さらに、本実施形態に係る半導体装置 10 においては、図 7 に示される比較例に係る半導体装置 90 と異なり、互いに隣り合う 2 つの FET 100 の間に位置する各ノードと、第 1 の端子 102 との間に、複数のキャパシタ 108 がそれぞれ設けられている。なお、上記キャパシタ 108 は、互いに隣り合う 2 つの FET 100 の間に位置する全てのノードと第 1 の端子 102 との間に設けられていてもよく、もしくは、一部のノードと第 1 の端子 102 との間のみに設けられていてもよい。さらに、各キャパシタ 108 の容量は、各段の FET 100a~j に印加される電圧が均一になるように選択される。なお、図 1 においては、一部図示が省略されているものの、9 個のキャパシタ 108 が設けられているものとする。
- [0038] 本実施形態においては、各段の FET 100a~j が、寄生容量 910 に起因して入力される高周波信号からは不均一な特性を持つように見える場合であっても、上記キャパシタ 108 を設けることにより、上記高周波信号から均一な特性を持つように見えるようにする。従って、本実施形態によれば、各段の FET 100a~j の特性が均一になることから、各段の FET 100 に印加される電圧を均一化することができる。その結果、局所的に高い電圧が印加された FET 100 が存在しないことから、半導体装置 10 の耐圧は、局所的に高い電圧が印加された FET 100 により制約を受けないこととなり、設けた段数に応じて耐圧を効果的に向上させることができるようになる。さらに、本実施形態によれば、多くの FET 100 を用いなくても、所望の耐圧を得ることが可能になることから、半導体装置 10 のチップ面積の拡大を避けることができ、製造コストの増加を抑えることができる。
- [0039] 詳細には、本実施形態においては、各キャパシタ 108 の容量は、当該キャパシタ 108 が接続される FET 100a~j の段数（言い換えると、第 1 の端子 102 を起点とした順番）が増加するに応じて、順次小さくなって

いることが好ましい。より具体的には、図1を参照して説明すると、FET100aとFET100bとの間のノード（第1のノード）と第1の端子102との間に設けられたキャパシタ（第1のキャパシタ）108aの容量は、FET100bとFET100cとの間のノード（第2のノード）と第1の端子102との間に設けられたキャパシタ（第2のキャパシタ）108bの容量に比べて大きくなっている。さらに、キャパシタ108bの容量は、FET100cとFET100dとの間のノードと第1の端子102との間に設けられたキャパシタ108cの容量に比べて大きくなっている。

[0040] 上述した図8に示されるように、各段のFET100に印加される電圧は、FET100a～jの段数が増加するに応じて順次低下している。そこで、各段のFET100に接続されるキャパシタ108の容量を、上記電圧の推移に対応するように、FET100a～jの段数が増加するに応じて順次小さくする。このように、各キャパシタ108の容量を、当該キャパシタ108が接続されるFET100a～jの段数が増加するに応じて、順次小さくすることにより、各段のFET100に印加される電圧を均一化することができる。

[0041] また、本実施形態においては、各キャパシタ108の容量を、当該キャパシタ108が接続されるFET100a～jの段数が増加するに応じて順次線形関数的に小さくするようにしてもよいが、キャパシタ108の容量を順次指数関数的に小さくすることがより好ましい。上述した図8に示されるように、各段のFET100に印加される電圧が、FET100a～jの段数が増加するに応じて順次指数関数的に低下していることから、各段のFET100に接続されるキャパシタ108の容量を、電圧の推移により対応させるために上述のように順次小さくする。すなわち、各キャパシタ108の容量を、当該キャパシタ108が接続されるFET100a～jの段数が増加するに応じて、順次指数関数的に小さくすることにより、各段のFET100に印加される電圧をより均一化することができる。

[0042] なお、本実施形態に係る半導体装置10は、図1に示される回路構成を1

つの単位とした複数の単位により構成されていてもよい。また、本実施形態に係る半導体装置 10 には、図 1 に図示されない要素等が含まれていてもよい。

[0043] <2. 2. 平面構造>

次に、図 1 に示す回路構成を持つ半導体装置 10 の平面構造を、図 2 を参照して説明する。図 2 は、本実施形態に係る半導体装置 10 の平面図であり、詳細には、半導体装置 10 の一部を示した平面図である。

[0044] 図 2 に示すように、本実施形態に係る半導体装置 10 は、半導体基板 200 上に設けられた複数の FET 100 を有する。半導体基板 200 は、例えば、シリコン基板、SiGe 基板、シリコン基板の中に SiO₂ などの絶縁膜 (BOX (Buried Oxide) 層と呼ばれる) を挟み込んだ SOI 基板、化合物半導体基板等であり、特に限定されるものではない。なお、FET 100 の寄生容量 910 を低減し、当該 FET 100 の高周波特性を向上させるために、半導体基板 200 は、高抵抗な基板であることが好ましい。また、以下においては、半導体装置 10 の半導体基板 200 として SOI 基板を用いるものとして説明する。

[0045] 図 2 に示すように、半導体基板 200 上には、活性領域 202 が設けられている。当該活性領域 202 には、図 2 中の上下方向に沿って並ぶように 10 個の FET 100a~j が設けられている。詳細には、活性領域 202 上には、各 FET 100a~j の電極として、図 2 の左右方向にそれぞれ延伸する複数のソース／ドレイン電極 300a~k が、図 2 の上下方向に沿って所定間隔分だけ離隔して設けられている。さらに、互いに隣り合う FET 100a~j は、1つのソース／ドレイン電極 300 を共有することにより、電氣的に直列に接続されている。

[0046] また図 2 においては、活性領域 202 の上側に、高周波信号が供給される第 1 の端子 102 に対応する電極パッド 310 が設けられている。1 段目の FET 100a のソース／ドレイン電極 300a は、半導体基板 200 上に設けられた配線層 320 を介して、上記電極パッド 310 に電氣的に接続さ

れている。

[0047] さらに、図2においては、活性領域202の下側に、高周波信号が出力される第2の端子104に対応する電極パッド312が設けられている。10段目のFET100jのソース／ドレイン電極300kは、半導体基板200上に設けられた配線層320を介して、上記電極パッド312に電氣的に接続されている。

[0048] そして、本実施形態に係る半導体装置10においては、各FET100a～jのソース／ドレイン電極300a～kの上方に、絶縁膜（図示省略）を介して金属膜306が設けられている。当該金属膜306は、その下方に位置する各ソース／ドレイン電極300a～kと絶縁膜を介して重ねられて設けられることにより、平行平板型のキャパシタを形成する。すなわち、金属膜306と、各ソース／ドレイン電極300a～kとは、互いに絶縁膜を介して重なることにより、図1の各キャパシタ108を形成する。より具体的には、1段目のFET100aと2段目のFET100bとが共有するソース／ドレイン電極300bと、当該ソース／ドレイン電極300bと重なる金属膜306の部分とにより、図1のキャパシタ108aが形成される。また、2段目のFET100bと3段目のFET100cとが共有するソース／ドレイン電極300cと、当該ソース／ドレイン電極300cと重なる金属膜306の部分とにより、図1のキャパシタ108bが形成される。さらに、金属膜306は、図中上端部分において配線層320と電氣的に接続されており、従って、金属膜306は第1の端子102に対応する電極パッド310に電氣的に接続している。

[0049] 本実施形態においては、先に説明したように、金属膜306を用いて複数のキャパシタ108を設けることにより、各段のFET100に印加される電圧を均一化することができる。さらに、本実施形態によれば、金属膜306を各ソース／ドレイン電極300の上方に設けることにより複数のキャパシタ108を形成することができることから、キャパシタ108を設けることに起因して、FET100の構造及び配置の変更を行う必要がない。すな

わち、本実施形態においては、既存の半導体装置の回路構成及びレイアウト構成をそのまま利用することもできることから、半導体装置の回路構成及びレイアウト構成の大幅な変更を避けることができる。加えて、本実施形態によれば、FET100等のデバイス設計の自由度をこれまでと同様に維持することができる。

[0050] 詳細には、本実施形態においては、金属膜306は、当該金属膜306の下方に位置するFET100a～jの段数が増加するに応じて、各FET100のソース／ドレイン電極300a～kと重なる面積が順次小さくなるような形状を持つことが好ましい。従って、図2に示される金属膜306は、図中上から下に向かって狭くなるような形状を持っている。より具体的には、図2に示されるように、1段目のFET100aと2段目のFET100bとが共有するソース／ドレイン電極300bと重なる金属膜306の部分（第1の金属膜）の面積は、2段目のFET100bと3段目のFET100cとが共有するソース／ドレイン電極300cと重なる金属膜306の部分（第2の金属膜）の面積に比べて大きくなっている。さらに、2段目のFET100bと3段目のFET100cとが共有するソース／ドレイン電極300cと重なる金属膜306の部分の面積は、3段目のFET100cと4段目のFET100dとが共有するソース／ドレイン電極300dと重なる金属膜306の部分の面積に比べて大きくなっている。金属膜306をこのような形状にすることにより、接続されるFET100a～jの段数が増加するに応じて、順次容量が小さくなる複数のキャパシタ108を形成することができる。

[0051] 例えば、金属膜306は、図2に示されるように、直角二等辺三角形形状の形状を持ってもよい。当該直角二等辺三角形は、1段目のFET100aのソース／ドレイン電極300aの右端と重なるような直角330を持ち、当該直角330を挟み込む一方の辺340aは、1段目のFET100aのソース／ドレイン電極300aに沿って延び、他方の辺340bは、複数のFET100a～jのソース／ドレイン電極300a～kの右端に沿って

図中の上下方向に延びている。すなわち、図2の金属膜306は、当該金属膜306の下方に位置するFET100a~jの段数が増加するに応じて、各FET100のソース／ドレイン電極300と重なる面積が線形関数的に小さくなるような形状を持っている。金属膜306をこのような形状にすることにより、接続されるFET100a~jの段数が増加するに応じて、順次容量が線形関数的に小さくなる複数のキャパシタ108を形成することができる。なお、図2においては、上記直角二等辺三角形の金属膜306は、1段目のFET100aのソース／ドレイン電極300aから、7段目のFET100gと8段目のFET100hとが共有するソース／ドレイン電極300hまでのソース／ドレイン電極300a~hと重なっている。しかしながら、本実施形態に係る金属膜306は、図2に示すような大きさに限定されるものではなく、例えば、1段目のFET100aのソース／ドレイン電極300aから、9段目のFET100iと10段目のFET100jとが共有するソース／ドレイン電極300jまでのソース／ドレイン電極300a~jと重なっていてもよい。

[0052] さらに、金属膜306の変形例を、図3を参照して説明する。図3は、本実施形態の変形例に係る半導体装置10aの平面図である。図3に示される金属膜306aは、図2の金属膜306と類似する直角二等辺三角形の形状を持っているが、当該二等辺三角形の斜辺部分が折れ線308に置き換わっている形状を持つ。詳細には、当該折れ線308は、指数関数的な曲線に沿うような形状を持っており、金属膜306aをこのような形状にすることにより、接続されるFET100a~jの段数が増加するに応じて、順次容量が指数関数的に小さくなる複数のキャパシタ108を形成することができる。

[0053] なお、図3の折れ線308は、2つの直線が組み合わされた折れ線となっているが、当該折れ線308は、指数関数的な曲線であったり、当該曲線により近似した形状を持つ折れ線であったりすることが好ましい。このようにすることで、図3の金属膜306aは、当該金属膜306aの下方に位置す

るFET100a～jの段数が増加するに依じて、各FET100のソース／ドレイン電極300と重なる面積が指数関数的に小さくなるような形状を持つことができる。その結果、接続されるFET100a～jの段数が増加するに依じて、順次容量が指数関数的に小さくなる複数のキャパシタ108を形成することができることから、各段のFET100に印加される電圧をより均一化することができる。しかしながら、半導体装置10の製造工程に適用されるレイアウト設計ルールや、加工精度により、加工可能な金属膜306aの形状には制約が存在するため、当該制約の中で、製造コストや製造時間をも考慮しつつ、金属膜306aを、できるだけ指数関数的な曲線に近い折れ線308を持つ形状にすることが好ましい。

[0054] なお、金属膜306は、図2及び図3に示すように、一体の金属膜として形成されることに限定されるものではなく、FET100a～jのソース／ドレイン電極300に対応するように、互いに離隔した複数の金属膜306から形成されていてもよい。より具体的には、例えば、複数の金属膜306は、半導体基板200上に積層された積層構造において同一の階層に位置し、上記ソース／ドレイン電極300a～kが延伸する方向に沿って延伸する帯状の形状をそれぞれ持ってもよい。さらに、複数の金属膜306の長手方向の長さは、各金属膜306の下方に位置するFET100a～jの段数が増加するに依じて、順次短くすることが好ましい。言い換えると、複数の金属膜306は、各FET100a～jのソース／ドレイン電極300a～kに沿って延び、且つ、それぞれの下方に位置するFET100a～jの段数が増加するに依じて順次短くなるヒストグラムのような形状を持ってもよい。この場合、各金属膜306は、配線層（図示省略）やコンタクトビア（図示省略）等により、第1の端子102に対応する電極パッド310に電氣的に接続される。このような複数の金属膜306は、半導体基板200上に積層された積層構造において同一の階層に位置することから、同一の工程で形成することが可能であり、半導体装置10の製造コストの増加を抑えることができる。また、このような帯状の複数の金属膜306を互いに連

結させて階段状の一体の金属膜としてもよい。

[0055] 以上のように、本実施形態に係る金属膜306の形状及び大きさは、図2及び図3に示されるものに限定されるものではなく、各段のFET100に印加される電圧を均一化することができるキャパシタ108を形成することができれば、他の形状であってもよい。

[0056] また、図2及び図3の金属膜306、306aは、半導体基板200上の積層構造の最表面に設けられた金属膜から形成されてもよい。最表面に形成された当該金属膜は、例えば、半導体装置10を内蔵するパッケージの外部に設けられた端子（例えば、半田バンプ等）と半導体装置10の電極パッド310等を電氣的に接続する再配線層（RDL）から形成されてもよい。また、金属膜306は、半導体基板200上の積層構造の最表面に形成された金属膜により形成されることに限定されるものではなく、当該積層構造の途中の階層に位置する金属膜によって形成されてもよい。特に、FET100を微細化し、それに伴い各FET100の有する寄生容量910が変化した場合には、各段のFET100に印加される電圧を均一化するために設けられるキャパシタ108の容量を、寄生容量の変化に応じて変えることが求められることがある。各金属膜306がその下方に位置する各ソース／ドレイン電極300とともに形成する各キャパシタ108の容量は、各金属膜306と各ソース／ドレイン電極300とが重なる面積と、金属膜306と各ソース／ドレイン電極300とに挟まれた絶縁膜（図示省略）の誘電率と、金属膜306と各ソース／ドレイン電極300との間の距離により決定される。従って、キャパシタ108の容量を変化させるために、各ソース／ドレイン電極300に近い階層に金属膜306を設けることもあり、この場合、例えば、上記積層構造の途中の階層に位置する金属膜を用いることとなる。

[0057] また、上記金属膜306を、互いに離隔した複数の金属膜306とした場合には、これら複数の金属膜306は、半導体基板200上に積層された積層構造において同一の階層に位置していなくてもよい。この場合、各金属膜306が各ソース／ドレイン電極300と重なる面積は、金属膜306と対

応するソース／ドレイン電極300との間の距離を加味した上で、決定される。

[0058] なお、本実施形態に係る半導体装置10は、図2及び図3の平面図に示される平面構造を1つの単位とした複数の単位により構成されていてもよい。また、本実施形態に係る半導体装置10は、図2及び図3の平面図に示される平面構造に限定されるものではなく、他の要素等を含んでいてもよい。

[0059] <2. 3. 断面構造>

次に、図2の半導体装置10の断面構造を、図4を参照して説明する。図4は、本実施形態に係る半導体装置10の断面図であって、図2のA-A'線に沿って半導体装置10を切断した場合の断面に対応する。

[0060] 本実施形態に係る半導体装置10は、図4に示すように、半導体基板200の一方の面上に設けられた複数のFET100を有する。なお、ここでは、各FET100は、n型FETであるものとする。しかしながら、本実施形態においては、各FET100は、n型FETであることに限定されるものではなく、p型FETであってもよい。

[0061] 半導体基板200は、先に説明したように、例えば、シリコン基板、SiGe基板、SOI基板、化合物半導体基板等であり、特に限定されるものではない。なお、以下の説明においては、半導体基板200は、SOI基板であるものとして説明する。従って、図4に示される半導体基板200においては、シリコンからなる支持基板216上にSiO₂等の絶縁膜からなるBOX層218が設けられている。

[0062] さらに、BOX層218の表層部には、シリコンからなる活性領域202が設けられている。活性領域202は、各FET100のソース／ドレイン領域及びチャネル領域として機能する。より具体的には、活性領域202には、それぞれ所定の間隔で離隔するn型の不純物（例えば、リン（P）、ヒ素（As）等）が導入されたn型活性領域204が設けられており、n型活性領域204に挟まれた領域には、p型の不純物（例えば、ホウ素（B）等）が導入されたp型活性領域206が設けられている。なお、上記n型活性

領域 204 が、各 FET 100 のソース／ドレイン領域に対応し、上記 p 型活性領域 206 が各 FET 100 のチャネル領域に対応する。

[0063] 上記 p 型活性領域 206 上には、シリコン酸化膜等から形成された絶縁膜 208 を介してゲート電極 304 が設けられている。ゲート電極 304 は、例えば、不純物等を含むポリシリコン膜等から形成される。なお、ゲート電極 304 は、このようなポリシリコン膜に限定されるものではなく、チタン (Ti)、プラチナ (Pt)、金 (Au) 等の金属膜や、TiN 等の金属窒化膜、シリコンと他の金属との化合物であるシリサイド膜を含んでいてもよい。

[0064] さらに、半導体基板 200 の表面及びゲート電極 304 を覆うように、シリコン酸化膜等から形成された絶縁膜 210 が設けられている。また、上記 n 型活性領域 204 の上には、当該絶縁膜 210 を貫くコンタクトビア 212 が設けられている。コンタクトビア 212 内には、タングステン (W) 等の金属膜が埋め込まれている。

[0065] そして、絶縁膜 210 上には、コンタクトビア 212 と電氣的に接続したソース／ドレイン電極 300 が設けられている。ソース／ドレイン電極 300 は、例えば、銅 (Cu) 等の金属膜から形成される。

[0066] さらに、絶縁膜 210 及びソース／ドレイン電極 300 を覆うように、シリコン酸化膜や、ポリイミド等の樹脂等から形成された絶縁膜 214 が設けられている。さらに、ソース／ドレイン電極 300 の上方であって、絶縁膜 214 上には、金属膜 306 が設けられている。当該金属膜 306 は、Cu、Au、ニッケル (Ni)、アルミニウム (Al) 等の金属膜を例えばめっきすることにより形成される。金属膜 306 は、先に説明したように、ソース／ドレイン電極 300 と重なるように設けられることで、平行平板型のキャパシタ 108 を形成する。また、金属膜 306 の端部は、例えば、コンタクトビア 212 により配線層 320 に接続され、コンタクトビア 212 及び配線層 320 を介して、第 1 の端子 102 に対応する電極パッド 310 に電氣的に接続する。

[0067] なお、本実施形態に係る半導体装置 10 は、図 4 に示されるような断面構造を持つことに限定されるものではなく、図示しない他の層が設けられていたりしてもよい。また、上述においては、本実施形態に係る半導体装置 10 は、SOI 基板上に設けられた FET 100 を有するものとして説明したが、これに限定されるものではなく、例えば GaAs 等の化合物系の FET を有していてもよい。さらに、上述した半導体装置 10 の各層の材料は例示であり、上記各層に対しては、半導体装置 10 で用いられる既存の材料を用いることが可能である。また、各層の形状及び厚さ等についても、半導体装置 10 に要求される特性に応じて適宜選択されることが好ましい。

[0068] また、本実施形態に係る半導体装置 10 は、一般的な半導体装置及び半導体パッケージの製造に用いられる、方法、装置、及び条件を用いることで製造することが可能である。例えば、本実施形態に係る半導体装置 10 は、スパッタ法、CVD (Chemical Vapor Deposition) 法、フォトリソグラフィ法、エッチング法、CMP (Chemical Mechanical Polish) 法、及び金属メッキなどを適宜用いることで製造することが可能である。すなわち、本実施形態に係る半導体装置 10 は、既存の半導体装置の製造工程を用いて、容易に、且つ、安価に製造することが可能である。

[0069] <2. 4. 実施例>

以上、本開示の一実施形態の詳細について説明した。次に、具体的な実施例を示しながら、本開示の一実施形態についてより具体的に説明する。なお、以下に示す実施例は、本開示の一実施形態のあくまでも一例であって、本開示の一実施形態が下記の実施例に限定されるものではない。

[0070] 本開示の実施形態に対応する実施例 1 及び実施例 2 の半導体装置 10、10a、及び、比較例の半導体装置 90 における、各段の FET 100 に印加される電圧値を検討した。以下に、実施例 1、2 及び比較例の半導体装置 10、10a、90 を説明する。

[0071] (実施例 1)

実施例 1 は、図 2 に示すような半導体装置 10 である。詳細には、実施例 1 に係る半導体装置 10 は、10 個の FET 100 による多段構成を持ち、これら FET 100 のソース／ドレイン電極 300 の上方に位置する、図 2 に示すような直角二等辺三角形形状の金属膜 306 を持つ。さらに、当該金属膜 306 は、1 段目の FET 100 a のソース／ドレイン電極 300 a から、7 段目の FET 100 g と 8 段目の FET 100 h とが共有するソース／ドレイン電極 300 h までのソース／ドレイン電極 300 a～h と重なっている。

[0072] (実施例 2)

実施例 2 は、図 3 に示すような半導体装置 10 a である。詳細には、実施例 2 は、実施例 1 の金属膜 306 と異なる形状を持つ金属膜 306 a であること以外は、実施例 1 と同様である。すなわち、実施例 2 に係る半導体装置 10 a の金属膜 306 a は、実施例 1 の金属膜 306 と類似する直角二等辺三角形の形状を持っているが、当該直角二等辺三角形の斜辺部分が折れ線 308 に置き換わっている形状を持つ。当該折れ線 308 は、2 つの直線が組み合わされた折れ線であり、指数関数的な曲線に沿うような形状を持つ。より具体的には、折れ線 308 の 2 つの上記直線は、当該直角 330 を挟み込む辺 340 a、340 b の長さの 3 割にあたる長さの分だけ、上記直角二等辺三角形の直角 330 の頂点から、図 3 中の X 方向及び Y 方向に平行移動した座標において交わっている。

[0073] (比較例)

比較例に係る半導体装置 90 は、実施例 1 の金属膜 306 が設けられていないこと以外は、実施例 1 と同様である。

[0074] 回路シミュレータを用いて、上述の実施例 1、実施例 2 及び比較例に係る半導体装置 10、10 a、90 における、各段の FET 100、900 に印加される電圧の値を検討した。当該検討結果を、図 5、図 6 及び図 8 を参照して説明する。図 5 は、実施例 1 に係る半導体装置 10 の各段の FET 100 に印加される電圧値を示したグラフであり、図 6 は、実施例 2 に係る半導

体装置 10a の各段の FET 100 に印加される電圧値を示したグラフである。また、図 8 は、比較例に係る半導体装置 90 の各段の FET 900 に印加される電圧値を示したグラフである。詳細には、図 5、図 6 及び図 8 の横軸が FET 100 (900) の段数を示し、縦軸が印加される電圧を示す。なお、FET 100 (900) の段数は、第 1 の端子 102 (902) 側から第 2 の端子 104 (904) 側に向かって順次数が増えていくように各 FET 100 (900) に対して割り当てられている。また、図 5、図 6 及び図 8 の縦軸、横軸においては、互いに比較ができるように、目盛を同一間隔に設定している。

[0075] 図 5 に示すように、実施例 1 においては、電圧は FET 100 の段数に応じて変化しているものの、最も高い電圧が印加されている 1 段目の FET 100 と、最も低い電圧が印加されている 4 段目の FET 100 との電圧差は、図 8 の比較例における電圧差に比べて小さくなっている。また、図 6 に示すように、実施例 2 においても、実施例 1 と同様に、電圧は FET 100 の段数に応じて変化しているものの、最も高い電圧が印加されている 10 段目の FET 100 と、最も低い電圧が印加されている 4 段目の FET 100 との電圧差は、図 8 の比較例における電圧差に比べて小さくなっている。すなわち、実施例 1 及び 2 においては、比較例に比べて、各段の FET 100 に印加される電圧が均一化したと言える。従って、金属膜 306、306a を設けることにより、言い換えると、キャパシタ 108 を設けることにより、各段の FET 100 に印加される電圧値を均一化することができることがわかった。

[0076] <<3. まとめ>>

以上のように、本開示の実施形態に係る半導体装置 10 においては、互いに隣り合う 2 つの FET 100 の間に位置する各ノードと、第 1 の端子 102 との間に、複数のキャパシタ 108 をそれぞれ設け、各キャパシタ 108 の容量を好適な値に設定することにより、各段の FET 100 に印加される電圧を均一化することができる。従って、本実施形態によれば、局所的に高

い電圧が印加されるFET100が存在しないことから、半導体装置10の耐圧は、局所的に高い電圧が印加されたFET100から制約を受けないこととなり、FET100の段数に応じて耐圧を効果的に向上させることができる。さらに、本実施形態によれば、多くのFET100を用いなくても、所望の耐圧を得ることが可能になることから、半導体装置10のチップ面積の拡大を避けることができ、製造コストの増加を抑えることができる。

[0077] また、本実施形態においては、各キャパシタ108の容量は、当該キャパシタ108が接続されるFET100の段数が増加するに応じて、順次小さくなっていることが好ましい。このようにすることで、各段のFET100に印加される電圧をより均一化することができる。さらに、本実施形態においては、各段のFET100に接続されるキャパシタ108の容量を、FET100の段数が増加するに応じて、上記電圧の推移に対応するように順次小さくすることがより好ましい。

[0078] 本実施形態においては、金属膜306を各FET100ソース／ドレイン電極300の上方に設けることにより上記複数のキャパシタ108を形成することができることから、キャパシタ108を設けることに起因して、FET100の構造及び配置の変更を行う必要がない。すなわち、本実施形態においては、既存の半導体装置の回路構成及びレイアウト構成をそのまま利用することもできることから、半導体装置の回路構成及びレイアウト構成の大幅な変更を避けることができる。加えて、本実施形態によれば、FET100等のデバイス設計の自由度をこれまでと同様に維持することができる。

[0079] また、本実施形態に係る半導体装置10は、一般的な半導体装置及び半導体パッケージの製造に用いられる、方法、装置、及び条件を用いることで製造することが可能である。すなわち、本実施形態に係る半導体装置10は、既存の半導体装置の製造工程を用いて、容易に、且つ、安価に製造することが可能である。

[0080] また、本実施形態においては、上記金属膜306の、各FET100ソース／ドレイン電極300と重なる面積を好適に設定することにより、キャ

パシタ１０８の容量値を好適にすることができる。

[0081] さらに、本実施形態によれば、半導体装置１０の高周波信号の通過損失を低下させることができる。上記通過損失は、半導体装置１０に設けられる各ＦＥＴ１００のオン抵抗（ＦＥＴ１００がオン状態にある際の抵抗）の合成値及びオフ容量（ＦＥＴ１００がオフ状態にある際の容量）の合成値と相関を持つ。本実施形態においては、ＦＥＴ１００の段数を大幅に増加させなくてもよいことから、半導体装置１０の複数のＦＥＴ１００のオン抵抗及びオフ抵抗の合成値の増加を抑えることができ、その結果、半導体装置１０の高周波信号の通過損失を低下させることができる。また、本実施形態によれば、キャパシタ１０８を設けることにより、各段のＦＥＴ１００に印加される電圧が均一化し、且つ、安定化することから、高周波信号の歪特性を改善することができる。

[0082] なお、本開示の実施形態に係る半導体装置１０は、先に説明したように、携帯電話機、ＰＨＳ（Personal Handyphone System）電話機、スマートフォン、通信機能を備えたＰＤＡ（Personal Digital Assistant）装置、タブレット型及びノート型のパーソナルコンピュータ装置等の端末装置に適用することができる。好ましくは、本実施形態に係る半導体装置１０は、３ＧＨｚ以下の周波数を用いた無線通信を行う端末装置に適用することができる。

[0083] また、本実施形態に係る半導体装置１０は、分波器（デュプレクサ）、フィルタ、増幅器、周波数変換器等の高周波部品、ベースバンド回路等の信号処理装置、及び、ＣＰＵ（Central Processing Unit）等の演算装置等とともに、同一の基板に搭載されてもよい。もしくは、半導体装置１０は、上述の高周波部品、信号処理装置、及び演算装置等とともに、同一のモジュールに内蔵されていてもよい。

[0084] <<４．補足>>

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分

野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0085] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0086] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

高周波信号が供給される第1の端子と、
前記高周波信号が出力される第2の端子と、
前記第1の端子と前記第2の端子との間に、電氣的に直列に接続された第1、第2及び第3のスイッチ素子と、
前記第1のスイッチ素子と前記第2のスイッチ素子との間の第1のノードと、前記第1の端子との間に設けられた第1のキャパシタと、
前記第2のスイッチ素子と前記第3のスイッチ素子との間の第2のノードと、前記第1の端子との間に設けられた第2のキャパシタと、
を備え、
前記第1のキャパシタの容量は、前記第2のキャパシタの容量に比べて大きい、
半導体装置。

(2)

前記第1のキャパシタは、半導体基板上に設けられた前記第1のスイッチ素子の一方の電極と、前記第1のスイッチ素子の前記一方の電極の上方に絶縁膜を介して設けられた第1の金属膜とにより形成され、

前記第2のキャパシタは、前記半導体基板上に設けられた前記第2のスイッチ素子の一方の電極と、前記第2のスイッチ素子の前記一方の電極の上方

に前記絶縁膜を介して設けられた第2の金属膜とにより形成される、

上記（1）に記載の半導体装置。

（3）

前記半導体基板の上方から見た場合、前記第1の金属膜の面積は、前記第2の金属膜の面積に比べて大きい、上記（2）に記載の半導体装置。

（4）

前記第1及び第2の金属膜は、前記半導体基板上に積層された積層構造において同一の階層に位置する、上記（2）又は（3）に記載の半導体装置。

（5）

前記第1及び第2の金属膜は互いに連結して、1つの金属膜を形成している、上記（4）に記載の半導体装置。

（6）

前記第1及び第2の金属膜は、前記半導体基板上に積層された積層構造において異なる階層に位置する、上記（2）に記載の半導体装置。

（7）

前記第1、第2及び第3のスイッチ素子は電界効果トランジスタである、上記（1）～（6）のいずれか1項に記載の半導体装置。

（8）

高周波信号が供給される第1の端子と、

前記高周波信号が出力される第2の端子と、

前記第1の端子と前記第2の端子との間に、電氣的に直列に接続された複数のスイッチ素子と、

隣り合う2つの前記スイッチ素子の間の各ノードと前記第1の端子との間にそれぞれ設けられた複数のキャパシタと、

を備え、

前記各キャパシタの容量は、当該キャパシタに接続される前記スイッチ素子の、前記第1の端子を起点とした順番に従って、順次小さくなっている、半導体装置。

(9)

前記各キャパシタの容量は、当該キャパシタに接続される前記スイッチ素子の、前記第1の端子を起点とした順番に従って、順次指数関数的に小さくなっている、上記(8)に記載の半導体装置。

(10)

前記各キャパシタは、半導体基板上に設けられた前記各スイッチ素子の一方の電極と、前記各スイッチ素子の前記一方の電極の上方に絶縁膜を介して設けられた各金属膜とにより形成される、上記(8)又は(9)に記載の半導体装置。

(11)

前記金属膜の前記各電極と重なる面積は、当該電極に対応する前記スイッチ素子の、前記第1の端子を起点とした順番に従って、順次小さくなっている、上記(10)に記載の半導体装置。

(12)

前記各金属膜は、前記半導体基板上に積層された積層構造において同一の階層に位置する、上記(10)又は(11)に記載の半導体装置。

(13)

前記各金属膜は互いに連結して、一体の金属膜を形成している、上記(12)に記載の半導体装置。

(14)

前記一体の金属膜は直角三角形形状の形状を持つ、上記(13)に記載の半導体装置。

(15)

前記直角三角形は、斜辺の部分が折れ線となっている、上記(14)に記載の半導体装置。

(16)

前記各金属膜は、前記半導体基板上に積層された積層構造において異なる階層に位置する、上記(10)に記載の半導体装置。

(17)

高周波信号が供給される第1の端子と、
前記高周波信号が出力される第2の端子と、
前記第1の端子と前記第2の端子との間に、電氣的に直列に接続された第1、第2及び第3のスイッチ素子と、
前記第1のスイッチ素子と前記第2のスイッチ素子との間の第1のノードと、前記第1の端子との間に設けられた第1のキャパシタと、
前記第2のスイッチ素子と前記第3のスイッチ素子との間の第2のノードと、前記第1の端子との間に設けられた第2のキャパシタと、
を有し、
前記第1のキャパシタの容量は、前記第2のキャパシタの容量に比べて大きい、
半導体装置と、
高周波部品、信号処理装置、及び演算装置のうちの少なくとも1つと、
を備える高周波モジュール。

符号の説明

[0087]	10、10a、90	半導体装置
	100、100a～j、900	FET
	102、902	第1の端子
	104、904	第2の端子
	106、906	第3の端子
	108、108a～c	キャパシタ
	200	半導体基板
	202	活性領域
	204	n型活性領域
	206	p型活性領域
	208、210、214	絶縁膜
	212	コンタクトビア

216	支持基板
218	BOX層
300、300a～k	ソース／ドレイン電極
304	ゲート電極
306、306a	金属膜
308	折れ線
310、312	電極パッド
320	配線層
330	直角
340a、340b	辺
910	寄生容量

請求の範囲

- [請求項1] 高周波信号が供給される第1の端子と、
前記高周波信号が出力される第2の端子と、
前記第1の端子と前記第2の端子との間に、電氣的に直列に接続された第1、第2及び第3のスイッチ素子と、
前記第1のスイッチ素子と前記第2のスイッチ素子との間の第1のノードと、前記第1の端子との間に設けられた第1のキャパシタと、
前記第2のスイッチ素子と前記第3のスイッチ素子との間の第2のノードと、前記第1の端子との間に設けられた第2のキャパシタと、
を備え、
前記第1のキャパシタの容量は、前記第2のキャパシタの容量に比べて大きい、
半導体装置。
- [請求項2] 前記第1のキャパシタは、半導体基板上に設けられた前記第1のスイッチ素子の一方の電極と、前記第1のスイッチ素子の前記一方の電極の上方に絶縁膜を介して設けられた第1の金属膜とにより形成され、
前記第2のキャパシタは、前記半導体基板上に設けられた前記第2のスイッチ素子の一方の電極と、前記第2のスイッチ素子の前記一方の電極の上方に前記絶縁膜を介して設けられた第2の金属膜とにより形成される、
請求項1に記載の半導体装置。
- [請求項3] 前記半導体基板の上方から見た場合、前記第1の金属膜の面積は、前記第2の金属膜の面積に比べて大きい、請求項2に記載の半導体装置。
- [請求項4] 前記第1及び第2の金属膜は、前記半導体基板上に積層された積層構造において同一の階層に位置する、請求項2に記載の半導体装置。
- [請求項5] 前記第1及び第2の金属膜は互いに連結して、1つの金属膜を形成

している、請求項 4 に記載の半導体装置。

[請求項6] 前記第 1 及び第 2 の金属膜は、前記半導体基板上に積層された積層構造において異なる階層に位置する、請求項 2 に記載の半導体装置。

[請求項7] 前記第 1、第 2 及び第 3 のスイッチ素子は電界効果トランジスタである、請求項 1 に記載の半導体装置。

[請求項8] 高周波信号が供給される第 1 の端子と、
前記高周波信号が出力される第 2 の端子と、
前記第 1 の端子と前記第 2 の端子との間に、電氣的に直列に接続された複数のスイッチ素子と、
隣り合う 2 つの前記スイッチ素子の間の各ノードと前記第 1 の端子との間にそれぞれ設けられた複数のキャパシタと、
を備え、
前記各キャパシタの容量は、当該キャパシタに接続される前記スイッチ素子の、前記第 1 の端子を起点とした順番に従って、順次小さくなっている、
半導体装置。

[請求項9] 前記各キャパシタの容量は、当該キャパシタに接続される前記スイッチ素子の、前記第 1 の端子を起点とした順番に従って、順次指数関数的に小さくなっている、請求項 8 に記載の半導体装置。

[請求項10] 前記各キャパシタは、半導体基板上に設けられた前記各スイッチ素子の一方の電極と、前記各スイッチ素子の前記一方の電極の上方に絶縁膜を介して設けられた各金属膜とにより形成される、請求項 8 に記載の半導体装置。

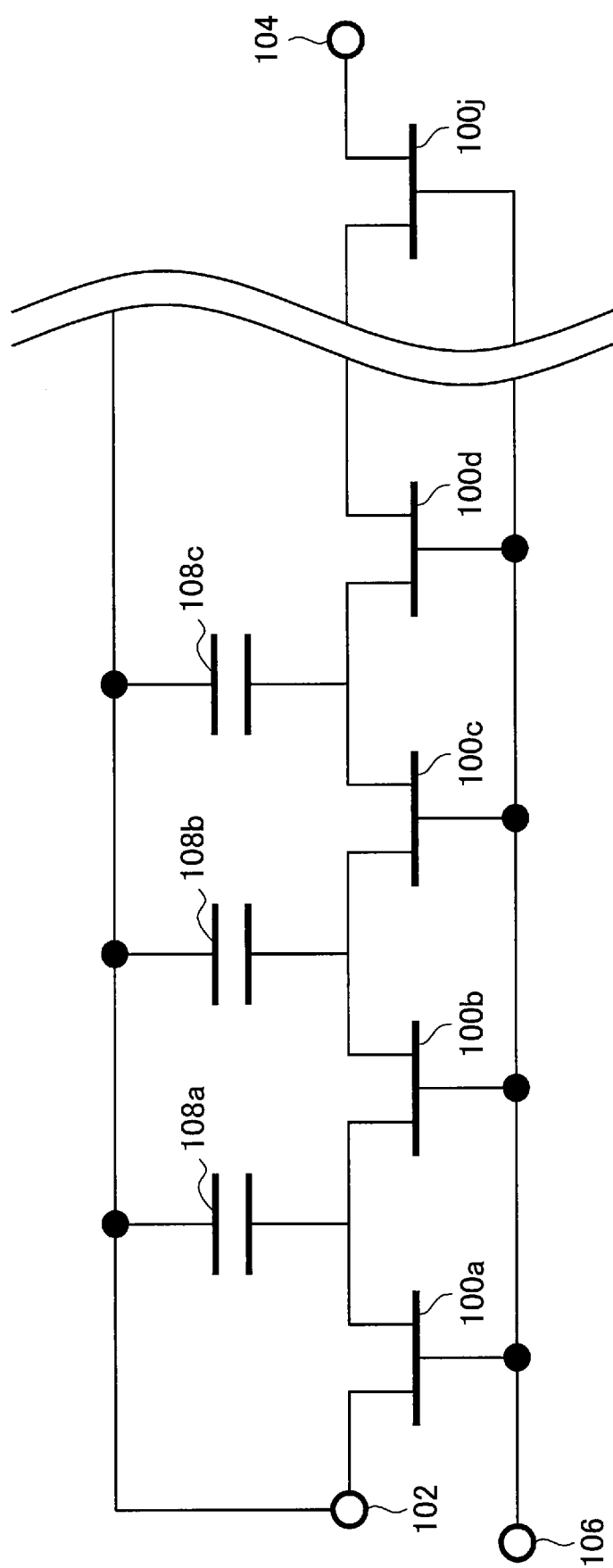
[請求項11] 前記金属膜の前記各電極と重なる面積は、当該電極に対応する前記スイッチ素子の、前記第 1 の端子を起点とした順番に従って、順次小さくなっている、請求項 10 に記載の半導体装置。

[請求項12] 前記各金属膜は、前記半導体基板上に積層された積層構造において同一の階層に位置する、請求項 10 に記載の半導体装置。

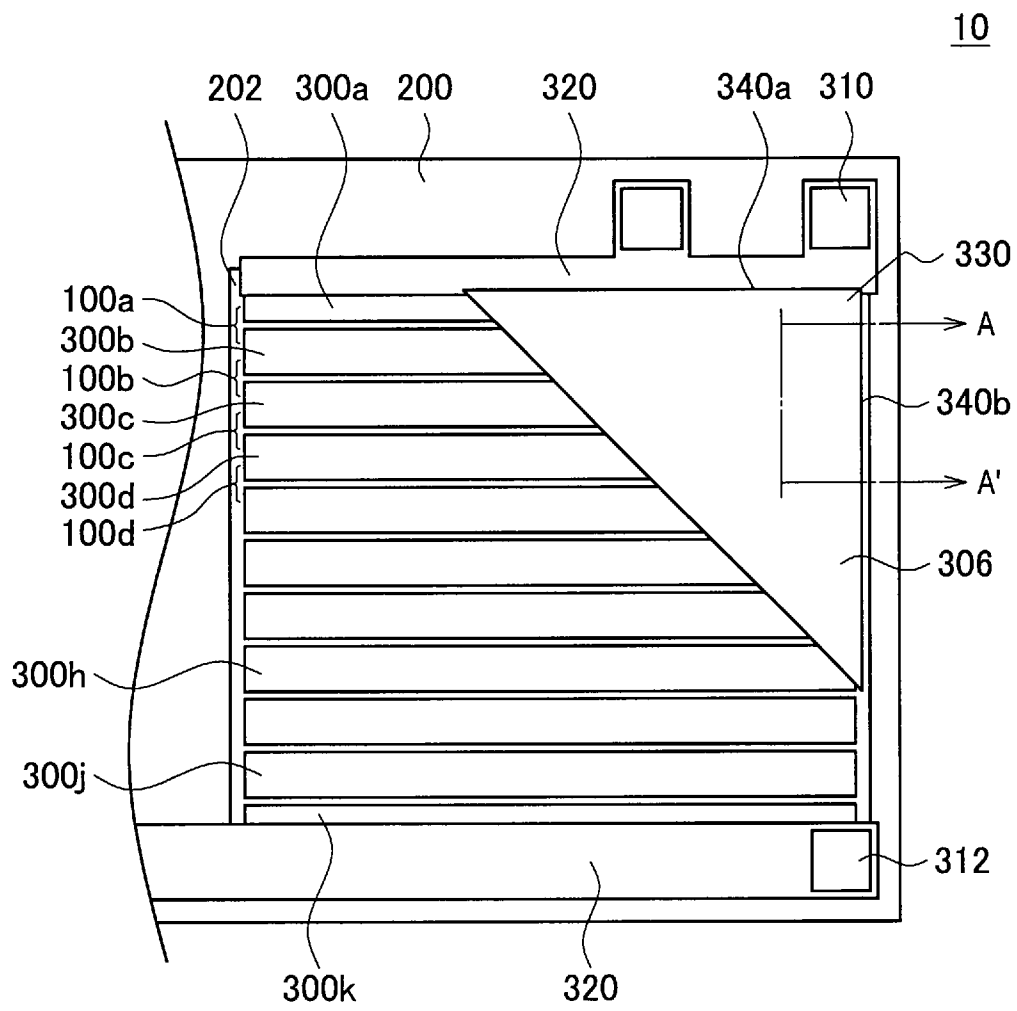
- [請求項13] 前記各金属膜は互いに連結して、一体の金属膜を形成している、請求項12に記載の半導体装置。
- [請求項14] 前記一体の金属膜は直角三角形形状の形状を持つ、請求項13に記載の半導体装置。
- [請求項15] 前記直角三角形は、斜辺の部分が折れ線となっている、請求項14に記載の半導体装置。
- [請求項16] 前記各金属膜は、前記半導体基板上に積層された積層構造において異なる階層に位置する、請求項10に記載の半導体装置。
- [請求項17] 高周波信号が供給される第1の端子と、
前記高周波信号が出力される第2の端子と、
前記第1の端子と前記第2の端子との間に、電氣的に直列に接続された第1、第2及び第3のスイッチ素子と、
前記第1のスイッチ素子と前記第2のスイッチ素子との間の第1のノードと、前記第1の端子との間に設けられた第1のキャパシタと、
前記第2のスイッチ素子と前記第3のスイッチ素子との間の第2のノードと、前記第1の端子との間に設けられた第2のキャパシタと、
を有し、
前記第1のキャパシタの容量は、前記第2のキャパシタの容量に比べて大きい、
半導体装置と、
高周波部品、信号処理装置、及び演算装置のうちの少なくとも1つと、
を備えるモジュール。

[図1]

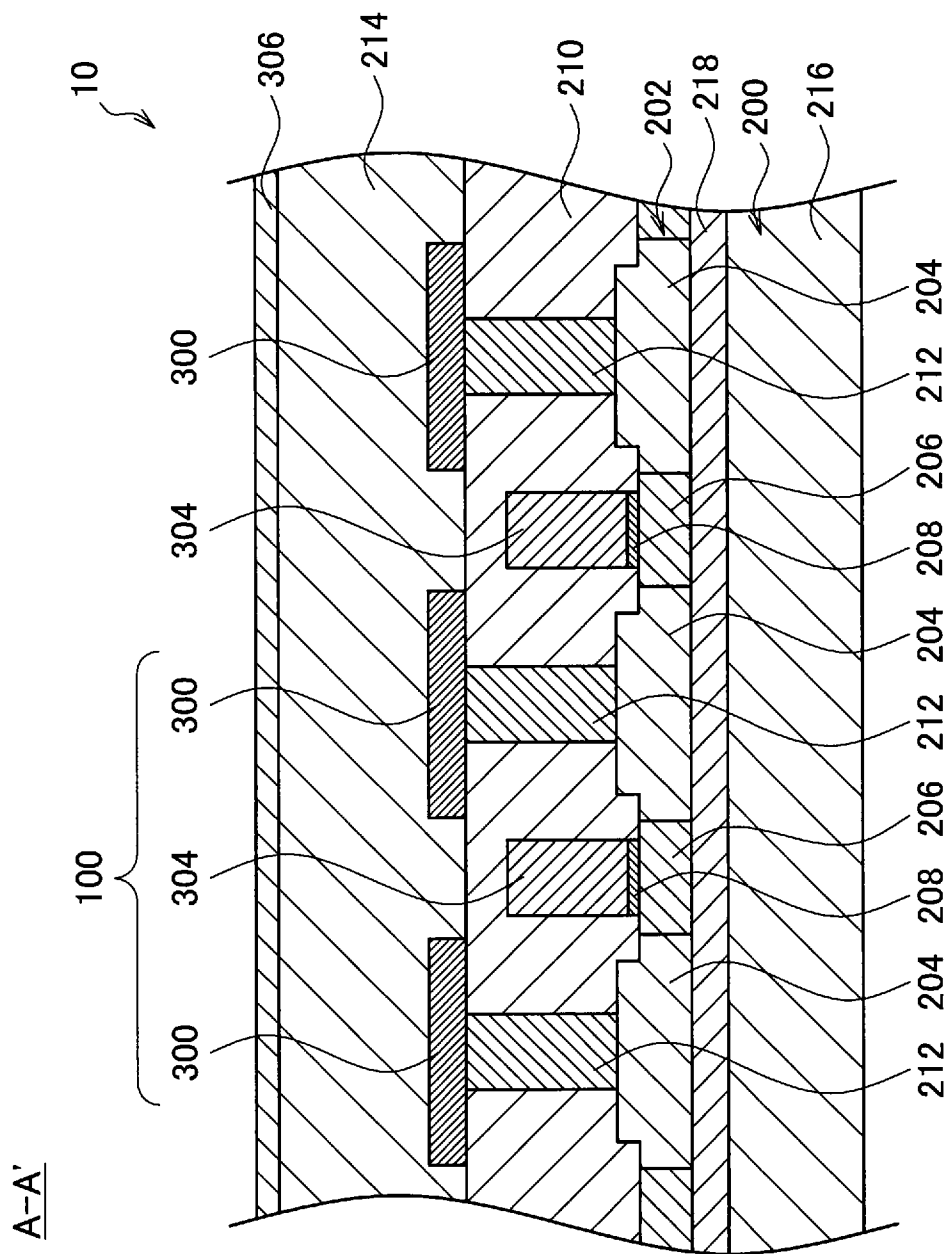
10



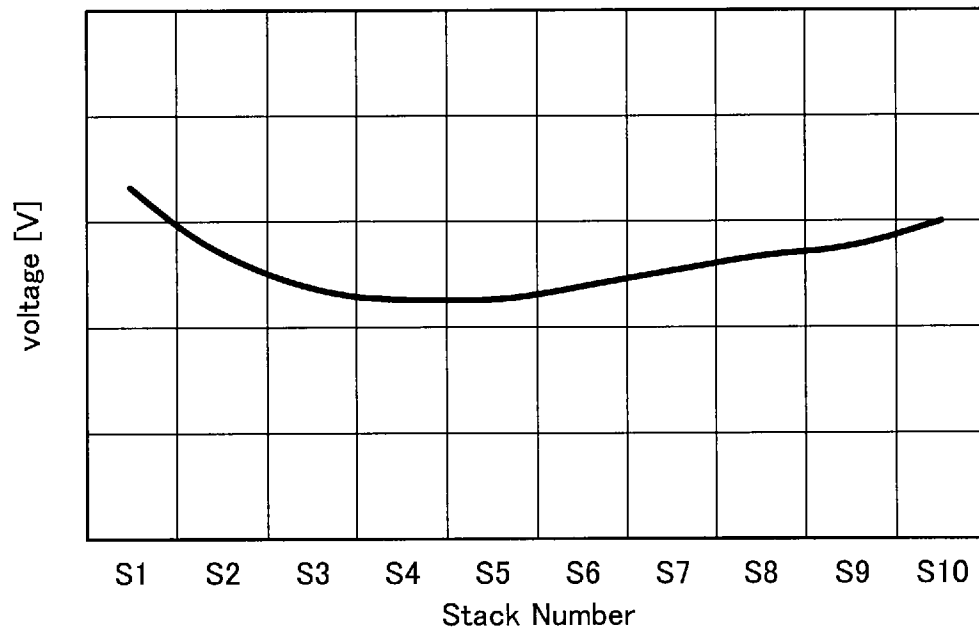
[図2]



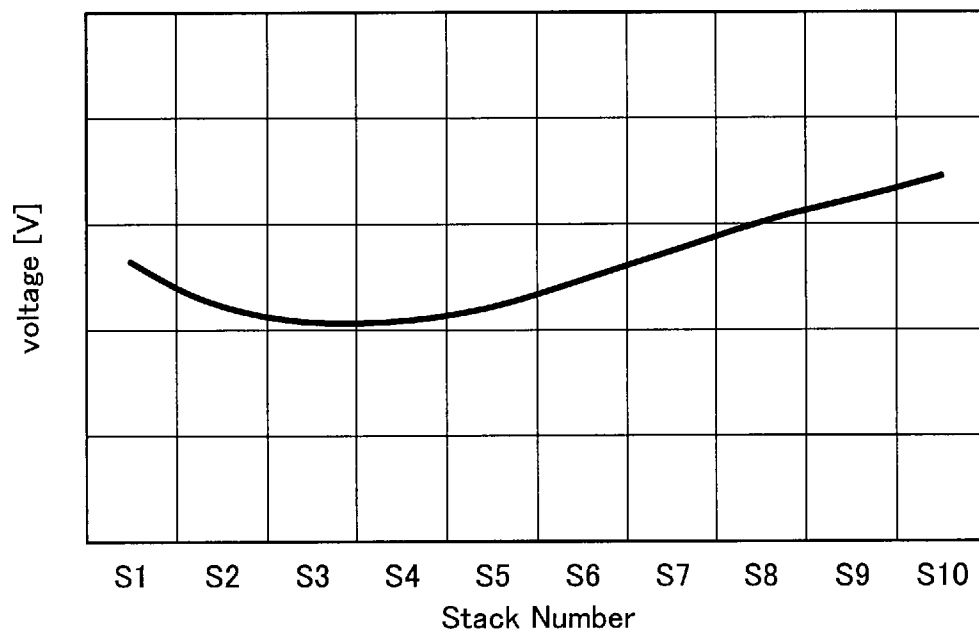
[図4]



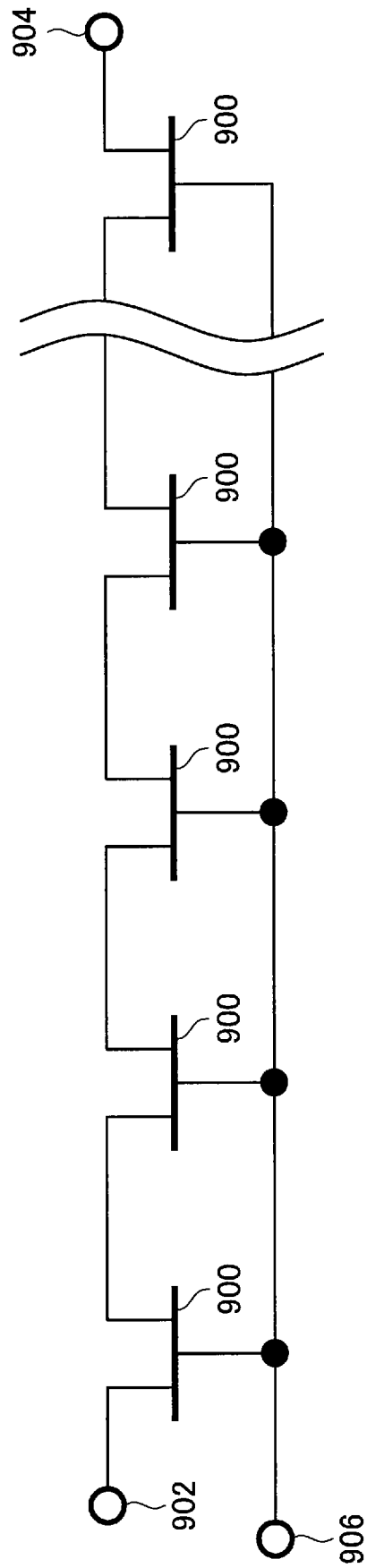
[図5]



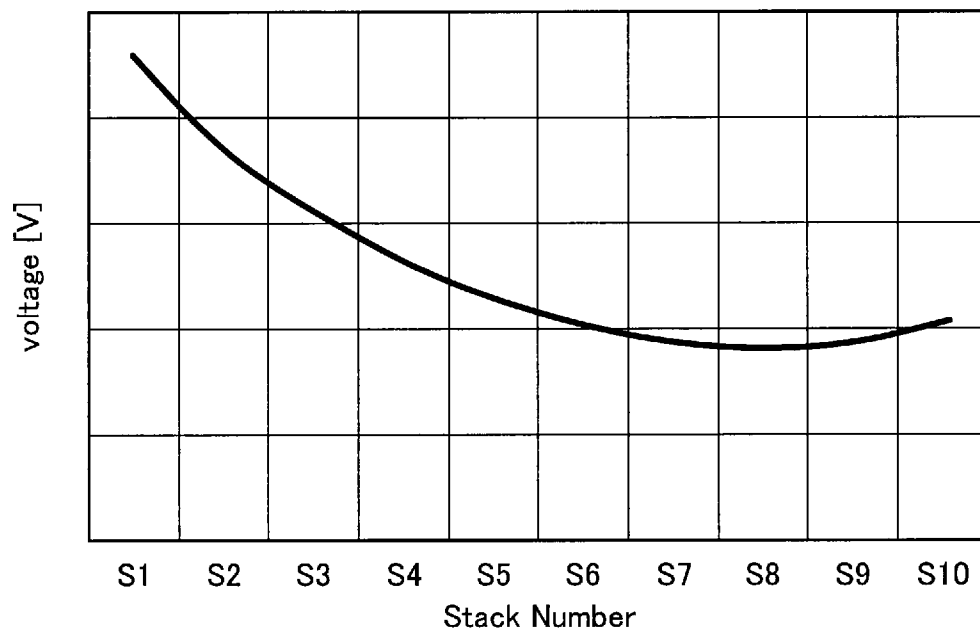
[図6]



[図7]

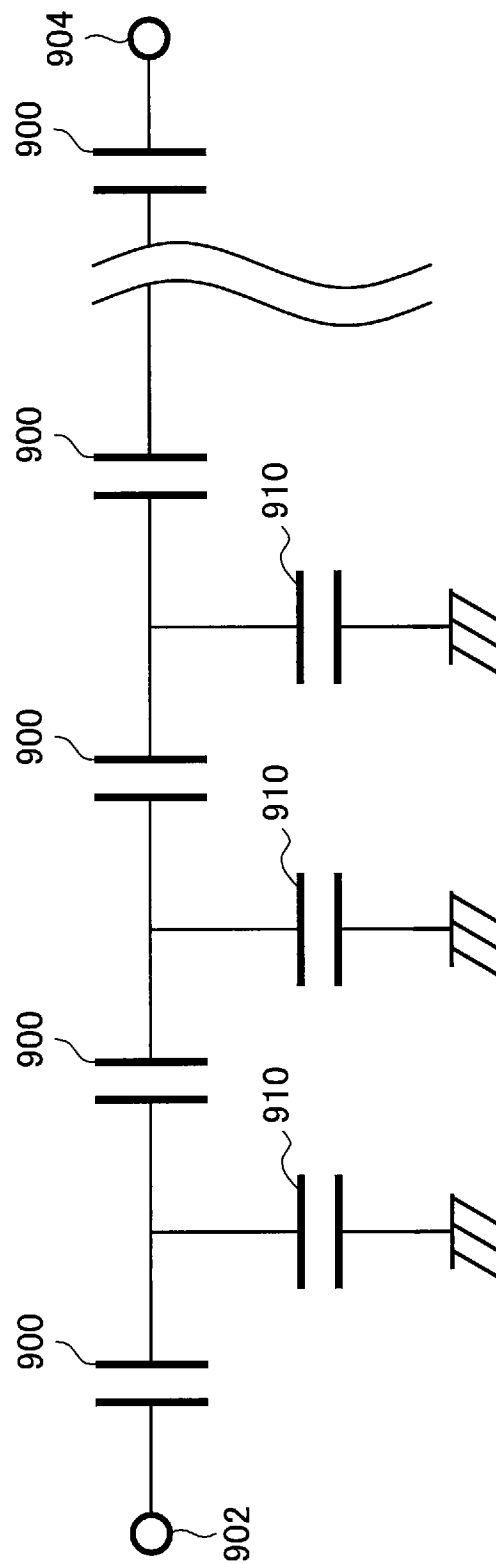
90

[図8]



[図9]

90



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/003252

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K17/687(2006.01)i, H01L21/822(2006.01)i,
H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i,
H01L27/088(2006.01)i, H03K17/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K17/687, H01L21/822, H01L21/8234, H01L27/04, H01L27/06,
H01L27/088, H03K17/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2014/0312958 A1 (PEREGRINE SEMICONDUCTOR CORPORATION) 23 October 2014, fig. 31, paragraph [0067] & JP 2011-515832 A & WO 2009/108391 A1	1, 7-9, 17 1-17
Y	JP 2011-249466 A (RENESAS ELECTRONICS CORP.) 08 December 2011, fig. 26 & US 2011/0294445 A1, fig. 26 & CN 102299702 A	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13.04.2018

Date of mailing of the international search report
24.04.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/003252

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-171498 A (TOSHIBA CORPORATION) 23 September 2016, fig. 1-4, paragraph [0037] & US 2016/0269025 A1, fig. 1-4, paragraph [0051]	2-6, 10-16

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K17/687(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H03K17/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K17/687, H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L27/088, H03K17/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	US 2014/0312958 A1 (PEREGRINE SEMICONDUCTOR CORPORATION) 2014.10.23, 図 31, 段落 [0067] & JP 2011-515832 A & WO 2009/108391 A1	1, 7-9, 17 1-17
Y	JP 2011-249466 A (ルネサスエレクトロニクス株式会社) 2011.12.08, 図 26 & US 2011/0294445 A1, 図 26 & CN 102299702 A	1-17

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

13.04.2018

国際調査報告の発送日

24.04.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

白井 亮

5W

3363

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-171498 A (株式会社東芝) 2016.09.23, 図 1-4, 段落 [0037] & US 2016/0269025 A1, 図 1-4, 段落 [0051]	2-6, 10-16