



(12)发明专利申请

(10)申请公布号 CN 111201587 A

(43)申请公布日 2020.05.26

(21)申请号 201880059591.6

(22)申请日 2018.09.13

(30)优先权数据

2017903720 2017.09.13 AU

2017904860 2017.12.01 AU

(85)PCT国际申请进入国家阶段日

2020.03.13

(86)PCT国际申请的申请数据

PCT/AU2018/050999 2018.09.13

(87)PCT国际申请的公布数据

W02019/051550 EN 2019.03.21

(71)申请人 悉尼科技大学

地址 澳大利亚新南威尔士州

(72)发明人 弗朗西斯卡·亚科皮

艾什瓦尔雅·普拉迪库马尔

(74)专利代理机构 北京安信方达知识产权代理有限公司 11262

代理人 张瑞 杨明钊

(51)Int.Cl.

H01L 21/02(2006.01)

H01L 21/20(2006.01)

H01L 31/0312(2006.01)

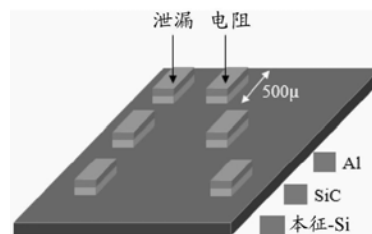
权利要求书2页 说明书9页 附图5页

(54)发明名称

电气隔离结构和工艺

(57)摘要

一种电气隔离工艺,包括:接收衬底,该衬底包括硅上富碳材料层;以及选择性地去除衬底的区域,以在硅上形成富碳材料的相互间隔的岛;其中硅上富碳材料层包括电绝缘材料上的导电硅层上的富碳材料层,并且选择性地去除衬底的区域的步骤包括从那些区域中去除富碳材料和导电硅层的至少一部分,以提供硅上富碳材料岛之间的电气隔离。



1. 一种电气隔离工艺,包括:
接收包括硅上富碳材料的层的衬底;和
选择性地去除所述衬底的区域,以在所述硅上形成富碳材料的相互间隔的岛;
其中,所述硅上富碳材料的层包括电绝缘材料上的导电硅层上的富碳材料的层,并且选择性地去除所述衬底的区域的步骤包括从那些区域中去除所述导电硅层的至少一部分和所述富碳材料,以提供硅上富碳材料的岛之间的电气隔离。
2. 根据权利要求1所述的电气隔离工艺,其中,所述电绝缘材料是硅。
3. 根据权利要求1或2所述的电气隔离工艺,包括通过在电绝缘硅衬底上生长富碳材料来形成所述衬底,其中,生长的步骤包括在所述富碳材料的层和所述电绝缘硅衬底的剩余部分之间形成导电硅层。
4. 根据权利要求3所述的电气隔离工艺,其中,去除所述硅的至少一部分和所述富碳材料的步骤包括仅去除所述导电硅层的一部分。
5. 根据权利要求3所述的电气隔离工艺,其中,去除所述硅的至少一部分和所述富碳材料的步骤包括去除所述导电硅层。
6. 根据权利要求1至5中任一项所述的电气隔离工艺,其中,所述富碳材料是与所述硅衬底外延的3C-SiC,并且选择性地去除所述衬底的区域的步骤包括去除至少约20微米的所述硅衬底。
7. 根据权利要求1所述的电气隔离工艺,其中,所述衬底包括绝缘体上硅(SOI)衬底上的所述富碳材料的层。
8. 根据权利要求7所述的电气隔离工艺,其中,所述电绝缘材料是蓝宝石或蓝宝石上的电绝缘硅层。
9. 根据权利要求7所述的电气隔离工艺,其中,所述电绝缘材料是氧化硅材料或氧化硅材料上的电绝缘硅层。
10. 根据权利要求7至9中任一项所述的电气隔离工艺,包括通过在绝缘体上硅(SOI)衬底上生长所述富碳材料来形成所述衬底。
11. 根据权利要求10所述的电气隔离工艺,其中,选择性地去除所述衬底的区域的步骤包括从那些区域中去除所述SOI衬底的硅层的全部。
12. 根据权利要求1至11中任一项所述的电气隔离工艺,包括基于硅中的间隙碳的相应扩散长度来估计去除的硅的厚度。
13. 根据权利要求1至11中任一项所述的电气隔离工艺,包括基于蚀刻至不同深度的相应衬底的电气测量结果来估计去除的硅的厚度。
14. 根据权利要求1至13中任一项所述的电气隔离工艺,其中,所述富碳材料是金刚石或类金刚石碳。
15. 根据权利要求1至13中任一项所述的电气隔离工艺,其中,所述富碳材料是碳化硅。
16. 一种电气隔离结构,其通过权利要求1至15中任一项所述的工艺形成。
17. 一种电气隔离结构,包括:
衬底,所述衬底由电绝缘物质组成;和
所述电绝缘物质上的硅(Si)上的富碳材料的相互间隔的岛,使得富碳材料的所述相互间隔的岛相互电气隔离;

其中,硅岛上的富碳材料的硅是或包括与富碳材料接触的导电硅层,使得如果所述导电硅层在所述相互间隔的岛之间延伸以使所述相互间隔的岛互连,则所述相互间隔的岛将不会相互电气隔离。

18. 一种电气隔离结构,包括:

衬底,所述衬底由电气隔离物质组成;和

所述电气隔离物质上的硅上的富碳材料的相互间隔的岛;

其中,所述硅的至少一部分已经从富碳材料的所述相互间隔的岛之间的区域被去除,以便在富碳材料的所述相互间隔的岛之间提供电气隔离。

19. 根据权利要求17或18所述的电气隔离结构,其中,所述电绝缘材料是硅。

20. 根据权利要求19所述的电气隔离结构,其中,硅岛上的富碳材料延伸到位于硅上的富碳材料的所述相互间隔的岛之间的电绝缘硅上方至少1微米的厚度。

21. 根据权利要求19所述的电气隔离结构,其中,硅岛上的富碳材料延伸到位于硅上的富碳材料的所述相互间隔的岛之间的电绝缘硅上方的一定距离,其中所述距离大于或等于所述富碳材料在所述Si上的生长期间在硅中的间隙碳的扩散长度。

22. 根据权利要求17或18所述的电气隔离结构,其中,所述电绝缘材料是蓝宝石或氧化硅材料。

23. 根据权利要求16至22中任一项所述的电气隔离结构,其中,所述富碳材料是金刚石或类金刚石碳。

24. 根据权利要求16至22中任一项所述的电气隔离结构,其中,所述富碳材料是碳化硅。

25. 根据权利要求24所述的电气隔离结构,其中,所述富碳材料是3C-SiC,并且Si岛上的SiC延伸到位于硅上的碳化硅的相互间隔的岛之间的电绝缘硅上方至少约20微米的厚度。

电气隔离结构和工艺

技术领域

[0001] 本发明涉及一种电气隔离结构和工艺,其可包括(或可用于形成)在电绝缘体上的硅层上的富碳材料(诸如,碳化硅、金刚石或类金刚石碳)的相互间隔且相互电气隔离的岛。

[0002] 背景

[0003] 碳化硅(SiC)和硅(Si)都是半导体材料,它们用于制造诸如存储器、发光二极管(LED)、微机电系统(MEMS)的产品和其他类型的器件。例如,当极端环境中的器件可靠性是主要考虑因素时,晶体SiC是MEMS换能器的首选材料。然而,由于块状SiC晶片的高成本和它们昂贵的块状微加工工艺,SiC的使用仅限于少数应用,通常是在航空航天工业中发现的应用。

[0004] 然而,最近SiC生长反应器技术的改进使得能够以合理的成本在直径高达300mm的Si晶片上形成SiC的薄的、高质量的外延层。Si上的薄膜异质外延SiC对于MEMS具有巨大的潜力,因为它能够实现先进的微换能器,这些换能器通过已建立的制造工艺(包括硅微加工)从低成本Si衬底上的SiC的机械性质中受益。同样,SiC的相对较大的带隙使其非常适合电力电子器件和恶劣环境。另外,直径高达300mm的Si晶片现在容易获得,有助于SiC器件生产成本的整体降低。

[0005] 除此之外,由二维碳片组成的相对较新的材料石墨烯目前是一个非常活跃的研究领域,因为石墨烯具有许多令人满意的性质(包括极高的断裂强度以及导电性和导热性、润滑特性、光学薄度(使石墨烯适用于电子屏幕)和优异的功能性(用于传感器)。最近,开发了一种新的工艺,以允许通过由沉积在SiC上的金属形成合金来形成石墨烯薄膜。

[0006] 尽管基于Si上异质外延SiC的薄膜的上述和其他相关技术具有巨大的潜力,但是基于这种材料的器件和结构的发展的一个“障碍”在于Si上异质外延SiC的电气特性受到相当大的漏电流甚至SiC层与下面的硅的完全电气短路的严重损害。这个问题被SiC团体认为是Si上SiC系统的普遍限制,并且被认为是由SiC中源于SiC/硅界面的堆垛层错的存在引起的,如X.Song等人在Applied Physics Letters 96,142104 2010中所描述的,其减轻了由于SiC和下面的Si之间的晶格失配引起的SiC中的应变。例如,在Si上的3C-SiC的情况下,应变约为20%。克服这一基本限制的尝试包括在AlN层上生长SiC,而不是直接在硅上生长,如S.Jiao等人在Materials Science Forum 806,89(2014)中所描述的。

[0007] 期望提供一种电气隔离结构和工艺,其减轻现有技术的一个或更多个困难,或者至少提供有用的替代方案。

[0008] 概述

[0009] 根据本发明的一些实施例,提供了一种电气隔离工艺,包括:

[0010] 接收包括硅上富碳材料层的衬底;以及

[0011] 选择性地去除衬底的区域,以在硅上形成富碳材料的相互间隔的岛;

[0012] 其中,所述硅上富碳材料层包括电绝缘材料上的导电硅层上的富碳材料层,并且选择性地去除所述衬底的区域的步骤包括从那些区域中去除所述富碳材料和所述导电硅层的至少一部分,以提供硅上富碳材料岛之间的电气隔离。

- [0013] 在一些实施例中,电绝缘材料是硅。
- [0014] 在一些实施例中,电气隔离工艺包括通过在电绝缘硅衬底上生长富碳材料来形成衬底,其中,生长的步骤包括在富碳材料层和电绝缘硅衬底的剩余部分之间形成导电硅层。
- [0015] 在一些实施例中,去除所述富碳材料和所述硅的至少一部分的步骤包括仅去除所述导电硅层的一部分。
- [0016] 在一些实施例中,去除所述富碳材料和所述硅的至少一部分的步骤包括去除所述导电硅层。
- [0017] 在一些实施例中,所述富碳材料是与所述硅衬底外延的(epitaxial)3C-SiC,并且选择性地去除所述衬底的区域的步骤包括去除至少约20微米的所述硅衬底。
- [0018] 在一些实施例中,所述衬底包括绝缘体上硅(SOI)衬底上的所述富碳材料层。
- [0019] 在一些实施例中,所述电绝缘材料是蓝宝石或蓝宝石上的电绝缘硅层。
- [0020] 在一些实施例中,电绝缘材料是氧化硅材料或氧化硅材料上的电绝缘硅层。
- [0021] 在一些实施例中,电气隔离工艺包括通过在绝缘体上硅(SOI)衬底上生长富碳材料来形成衬底。
- [0022] 在一些实施例中,选择性地去除所述衬底的区域的步骤包括从那些区域中去除所述SOI衬底的硅层的全部。
- [0023] 在一些实施例中,电气隔离工艺包括基于硅中的间隙碳的相应扩散长度来估计去除的硅的厚度。
- [0024] 在一些实施例中,电气隔离工艺包括基于蚀刻到不同深度的相应衬底的电气测量结果来估计去除的硅的厚度。
- [0025] 在一些实施例中,富碳材料是金刚石或类金刚石碳。
- [0026] 在一些实施例中,富碳材料是碳化硅。
- [0027] 根据本发明的一些实施例,提供了一种由上述工艺中的任何一种形成的电气隔离结构。
- [0028] 根据本发明的一些实施例,提供了一种电气隔离结构,包括:
- [0029] 衬底,其由电绝缘物质组成;和
- [0030] 电绝缘物质上的硅(Si)上的富碳材料的相互间隔的岛,使得富碳材料的相互间隔的岛相互电气隔离。
- [0031] 其中,硅岛上的富碳材料的硅是或包括与富碳材料接触的导电硅层,使得如果所述导电硅层在所述相互间隔的岛之间延伸以使所述相互间隔的岛互连,则所述相互间隔的岛将不会相互电气隔离。
- [0032] 根据本发明的一些实施例,提供了一种电气隔离结构,包括:
- [0033] 衬底,其由电气隔离物质组成;和
- [0034] 所述电气隔离物质上的硅上的富碳材料的相互间隔的岛;
- [0035] 其中,所述硅的至少一部分已经从富碳材料的所述相互间隔的岛之间的区域被去除,以便在其间提供电气隔离。
- [0036] 在一些实施例中,电绝缘材料是硅。
- [0037] 在一些实施例中,硅岛上的富碳材料延伸到位于硅上的富碳材料的相互间隔的岛之间的电绝缘硅上方至少1微米的厚度。

[0038] 在一些实施例中,硅岛上的富碳材料延伸到位于硅上的富碳材料的相互间隔的岛之间的电绝缘硅上方的一定距离,其中所述距离大于或等于所述富碳材料在所述Si上的生长期间在硅中的间隙碳的扩散长度。

[0039] 在一些实施例中,电绝缘材料是蓝宝石或氧化硅材料。

[0040] 在一些实施例中,富碳材料是金刚石或类金刚石碳。

[0041] 在一些实施例中,富碳材料是碳化硅。

[0042] 在一些实施例中,所述富碳材料是3C-SiC,并且Si岛上的SiC延伸到位于硅上的碳化硅的相互间隔的岛之间的电绝缘硅上方至少约20微米的厚度。

[0043] 本文还描述了一种SiC隔离工艺,包括:

[0044] 接收包括硅上碳化硅层的衬底;以及

[0045] 选择性地去除衬底的区域以在硅上形成碳化硅的相互间隔的岛;

[0046] 其中,选择性地去除衬底的区域的步骤包括从这些区域中去除碳化硅和硅的至少一部分,以在硅上的碳化硅的岛之间提供电气隔离。

[0047] 本文还描述了一种SiC隔离工艺,包括:

[0048] 接收包括硅上碳化硅层的衬底;以及

[0049] 选择性地去除衬底的区域以在硅上形成碳化硅的相互间隔的岛;

[0050] 其中,所接收的衬底包括电绝缘材料上的缺陷层,该缺陷层导致向碳化硅的大量漏电,并且选择性地去除衬底的区域的步骤包括从那些区域中去除碳化硅和缺陷层,以提供硅上的碳化硅的岛之间的电气隔离。

[0051] 本文还描述了一种SiC隔离结构,包括:

[0052] 衬底,其由电气隔离物质组成;和

[0053] 电气隔离物质上的硅(Si)上碳化硅(SiC)的相互间隔的岛,使得碳化硅的相互间隔的岛相互电气绝缘;

[0054] 其中,在硅岛上的碳化硅的硅包括与碳化硅接触的相对低电阻率的缺陷硅层(或与碳化硅接触的相对低电阻率的缺陷硅层的形式),使得如果缺陷硅层在相互间隔的岛之间延伸以使相互间隔的岛互连,则相互间隔的岛将不会相互电气隔离。

[0055] 本文还描述了一种SiC隔离结构,包括:

[0056] 衬底,其由电气隔离物质组成;和

[0057] 所述电气隔离物质上的硅上的碳化硅的相互间隔的岛;

[0058] 其中,所述硅的至少一部分已经从碳化硅的所述相互间隔的岛之间的区域被去除,以便在其间提供电气隔离。

[0059] 本文还描述了一种SiC隔离结构,包括:

[0060] 衬底,其由电气隔离物质组成;和

[0061] 所述电气隔离物质上的硅上的碳化硅的相互间隔的岛;

[0062] 其中,相互间隔的岛包括碳化硅下的缺陷层,该缺陷层是导电的并与碳化硅电接触,缺陷层不存在于碳化硅的相互间隔的岛之间,以便在它们之间提供电气隔离。

[0063] 被去除的硅的厚度可以在大约1到20微米的范围内,或者至少大约1微米,或者大约2微米,或者大约5微米,或者大约10微米,或者大约15微米,或者大约20微米。

[0064] 附图简述

- [0065] 仅作为示例,结合附图在下文描述本发明的一些实施例,在附图中:
- [0066] 图1是根据本发明的实施例的碳化硅隔离工艺的流程圖;
- [0067] 图2是其上形成有电触点的导电(掺杂)硅衬底上的碳化硅层的示意性侧视图;
- [0068] 图3是其上形成有电触点的本征(未掺杂)硅衬底的示意性侧视图;
- [0069] 图4是示出了通过导电硅衬底以及在形成于导电硅衬底上的碳化硅层上的电触点之间的漏电流的示意性侧视图;
- [0070] 图5是用于泄漏电阻测量的在SiC/本征Si衬底上形成的TLM结构的示意图;
- [0071] 图6是显示了通过在形成于本征硅衬底上形成的碳化硅层上的电触点之间的缺陷混合层的漏电流的示意性侧视图;
- [0072] 图7是示出了在从电触点之间的区域去除20 μm 的厚度(包括碳化硅层和缺陷混合层)之后,通过本征硅衬底和在图6的碳化硅层上的电触点之间的电气路径的示意性侧视图;
- [0073] 图8是显示了用于测量碳化硅岛之间的漏电的电气测量结构的示意性侧视图,其中仅去除了岛之间的碳化硅层;
- [0074] 图9是显示了用于测量碳化硅岛之间的漏电的电气测量结构的示意性侧视图,其中碳化硅层和大约20 μm 的下层硅都已经在岛之间被去除;
- [0075] 图10是在碳化硅岛之间的区域中去除大约20 μm 的硅之后,在SiC/本征Si衬底上形成的用于泄漏电阻测量的TLM结构的示意图;
- [0076] 图11是图5中所示的TLM结构的触点之间的测量电阻的曲线图,其是它们的空间间距的函数;
- [0077] 图12是示出了导电衬底上的深蚀刻碳化硅中的导电路径的示意性侧视图;
- [0078] 图13是由具有隐埋氧化物层的绝缘体上硅衬底形成的碳化硅隔离结构的示意性侧视图;和
- [0079] 图14是由蓝宝石上硅衬底形成的碳化硅隔离结构的示意性侧视图。
- [0080] 详细描述
- [0081] 如上所述,硅(Si)上的碳化硅(SiC)遭受严重的漏电或者甚至是SiC与Si的完全电短路,并且目前SiC团体认为这是由于SiC中存在堆垛层错。令人惊讶的是,发明人已经确定:(i)在电绝缘(例如,高电阻率)Si层或衬底上生长的SiC的间隔区域或“岛”之间也存在这种严重的漏电,以及(ii)通过去除SiC的区域之间的至少硅的表面层,这种漏电至少可以被减少,并且甚至在实质上被完全去除。不希望被理论所束缚,本发明人相信,与现有技术的教导相反,泄漏几乎完全是由于硅衬底层的顶部部分中存在电活性点缺陷(主要是间隙碳)。
- [0082] 鉴于以上所述,发明人已经开发了首次解决该基本问题的电气隔离结构和工艺,为由硅上碳化硅形成的相对低成本的器件扫清了道路。此外,尽管本发明的一些实施例在下文中以碳化硅薄膜为背景进行了描述,但是更一般地,该工艺和结构同样适用于硅上的其他富碳材料,特别是金刚石和类金刚石碳(DLC)。
- [0083] 如图1所示,电气隔离工艺从步骤102处开始,初始衬底在所述实施例中是电绝缘(例如,未掺杂或未有掺杂)的单晶硅衬底或晶片,但是在其他实施例中可以是绝缘体上硅(SOI)衬底。典型地,绝缘体上硅衬底由电绝缘材料的层或板上的相对较薄层的单晶硅组

成,通常是(但不是必须)氧化硅化合物(即, SiO_2 或更通常的 SiO_x)或蓝宝石(在这种情况下,衬底在本领域中也称为蓝宝石上硅或“SOS”衬底)。在绝缘体是氧化硅化合物的情况下,氧化硅也可以是在厚得多的衬底(例如其可以是导电硅)上的氧化物层的形式。

[0084] 不管所使用的SOI衬底的具体形式如何,然后使用本领域技术人员已知的标准外延生长工艺在暴露的单晶硅层上外延生长碳化硅的表面层。

[0085] 例如,在一个实施例中,厚度为550nm的外延立方碳化硅在 1350°C 下在 $235\mu\text{m}$ 的本征硅衬底上生长,如M.Portail、M.Zielinski、T.Chassagne、S.Roy和M.Nemoz在J.Appl.Phys.105(8),083505(2009)中所描述的。

[0086] 作为上述步骤的替代方案,该工艺可以包括仅接收市售的或以其他方式现有的异质外延硅上碳化硅衬底或晶片。

[0087] 如上已经描述的,异质外延硅上碳化硅系统遭遇的问题是碳化硅层和下面的硅之间缺少电气隔离。为了证明这个问题,将本征硅晶片上的局部制造的外延立方碳化硅和导电硅晶片上的市售碳化硅切割成 $1.1 \times 1.1\text{cm}^2$ 的样品,并且通过溅射镍至150nm的厚度在这些样品的四个角上形成电触点。商用晶片是从法国公司NOVASiC SA获得的,并且由在 527μ 低掺杂的导电p型Si(100)上在 1350°C 下外延生长的无意掺杂的(因此是n型)500nm厚的3C-SiC(100)层或薄膜构成。

[0088] 这些样品的电学性质(包括载流子浓度、载流子迁移率和薄层电阻)在室温下通过在SiC(100)薄膜上进行范德堡(Van der Pauw)配置的霍尔测量来估计,如图2的示意性侧视图所示,并且同样的测量也在低掺杂的导电衬底上进行。测量是通过将电探针直接连接到金属触点并使用Ecopia HMS 5300霍尔效应测量系统扫频DC输入电流来进行的。为了进行比较,还对无意掺杂的非常厚($5\mu\text{m}$)的3C-SiC(100)样品进行了霍尔测量,这些样品在 1350°C - 1380°C 下在p-Si上外延生长,如Bosi,M.、Attolini,G.、Negri,M.、Frigeri,C.、Buffagni,E.、Ferrari,C.、Rimoldi,T.、Cristofolini,L.、Aversa,L.、Tatti,R.、Verucchi,R.在(2013)Journal of Crystal Growth,383,84-94中所描述的。

[0089] 还在室温下对 $1.1 \times 1.1\text{cm}^2$ 的SiC/本征硅的碎片以及本征衬底302(后者在图3的示意性侧视图中示出)进行了补充霍尔测量。

[0090] 下面的表1显示了在室温下低掺杂的p-Si(100)衬底和3C-SiC/p-Si的 $1 \times 1\text{cm}^2$ 面积上的范德堡配置的霍尔测量的结果,证明了碳化硅薄膜与硅衬底的严重短路。

	p-Si	3C-SiC/p-Si
载流子类型	空穴	空穴
[0091] 薄层载流子浓度 (cm^{-2})	$1(\pm 0.2) \times 10^{14}$	$1(\pm 0.2) \times 10^{14}$
迁移率 (cm^2/Vs)	341(± 10)	357(± 10)
薄层电阻 (Ω/\square)	173 ± 10	166 ± 10

[0092] 发明人发现导电p型硅衬底上的SiC薄膜的电气特性(在生长时或在随后退火期间)令人惊讶地由厚硅衬底中的电荷载流子支配,具有相对高的迁移率,如图4所示。

[0093] 如上所述,外延生长的SiC中的扩展缺陷(诸如堆垛层错)的活性在文献中有所描述,以解释3C-SiC器件中的泄漏。然而,发明人认为堆垛层错不是泄漏的主要原因,至少因为对于高达5 μm 厚度的碳化硅薄膜(其中堆垛层错的密度降低了几个数量级)这种影响仍然是明显的,如下表2所示。确切地说,发明人将短路现象主要归因于在SiC/Si界面处的硅层中存在间隙碳。间隙碳是硅中的空穴陷阱,并且也可以作为n型掺杂剂(分别具有 $E_v+0.35\text{eV}$ 和 $E_c-0.25\text{eV}$ 的带隙电平)。

[0094] 在硅衬底的顶部部分中存在相对高含量的间隙C也与在SiC生长或SiC退火后硅衬底采用更凸的曲率这一观察一致,如A.Pradeepkumar等人在Applied Physics Letters 109,196102(2016)中所述,这表明在衬底的表面层中存在高压应力。

[0095] 漏电的第二个原因可能是硅上生长的SiC薄膜中的固有应变引起的带隙变化/减小。

	<i>p</i> -Si	3C-SiC (500nm)	5 μ 3C-SiC (5 μ)
[0096] 载流子类型	空穴	空穴	空穴
薄层载流子浓度 (cm^{-2})	$6(\pm 0.2)\times 10^{17}$	$8(\pm 0.2)\times 10^{17}$	$5(\pm 0.2)\times 10^{17}$
迁移率 (cm^2/Vs)	70(± 10)	50(± 10)	65(± 10)
[0097] 薄层电阻 (Ω/\square)	0.17(± 0.02)	0.17(± 0.02)	0.17(± 0.02)

[0098] 表1。在室温下用范德堡配置针对*p*-Si衬底(在SiC薄膜生长之前)、500nm薄的3C-SiC/Si和5 μ 厚的3C-SiC/Si所测量的电气特性证明即使对于厚SiC薄膜也存在电流泄漏和短路。

[0099] 现在转到在本征硅上生长的碳化硅,如图5所示,在具有150nm铝触点的TLM结构上使用电流-电压测量获得了对SiC/本征Si的泄漏电阻测量结果,并且结果总结在下表2中。电流-电压测量是在室温下进行的,以使用HP4145B半导体参数分析仪测量SiC和硅电阻(泄漏)。

触点间距 (μm)	泄漏电阻 ($\text{k}\Omega$)
40	75
60	80
80	85
[0100] 100	87
160	90
200	95
250	100
300	105

[0101] 表2。室温下针对SiC/本征Si TLM结构测量了硅电阻(泄漏)。结果是四次测量结果的平均值。

[0102] 与预期值(在MΩ范围内)相比,触点之间测量到的电阻较小,这表明3C-SiC/本征Si在SiC/Si界面区域中或周围仍有导电。

[0103] 截面透射电子显微镜显示了碳化硅和本征硅晶片之间的界面区域在纳米尺度上是高度非平面、不均匀、有缺陷且混合的(Si和C容易混溶)。由于本征硅衬底的薄层电阻非常高(~500kΩ/□),并且薄层电荷载流子的数量最小(10^{10}cm^{-2}),因此本发明人得出结论,SiC/本征Si的导电区域被限制在由于SiC生长而产生的界面层中。

[0104] 在本征硅的情况下,不存在电pn结,因为硅是高电阻性的,其中n型载流子略微占优势。因此,当使用导电的p-或n-Si衬底时,导电发生在整个硅衬底中,如图4示意性所示,而在本征衬底302中,泄漏被限制在高电导率的界面区域602中,如图6示意性所示。

[0105] 如上所述,发明人认为界面或表面(即,如果生长的SiC已经被去除)硅层的高电导率主要是由于在表面或界面硅层中存在电活性间隙碳。在SiC层的生长(以及任何后续的热处理)期间,间隙碳会从Si-SiC界面扩散到硅衬底中。间隙碳的深度分布(以及因此的电活性缺陷分布)可以按照热历史建模(即,温度随时间变化)。例如,最简单地,可以假设SiC是间隙碳的源,并且随到硅衬底中的深度而变化的间隙碳的浓度可以用它的平衡扩散率D来近似得到,(参见AK Tipping和RC Newman的Semiconductor Science&Technology 2,315(1987)),该平衡扩散率D由下式给出:

$$[0106] \quad D=0.44\exp(-0.87/kT)\text{cm}^2\text{s}^{-1}$$

[0107] 这一假设也得到技术计算机辅助设计(TCAD)仿真的支持,如A.Pradeepkumar等人在J.Appl.Phys.123,215103(2018)中的发明人的申请中所描述,其全部内容在此明确通过引用并入。

[0108] 为了证明硅的表面层是漏电的原因,然后使用Ni作为硬掩模,经由ICP使SiC/本征Si范德堡结构进行在SiC岛之间的硅的后续蚀刻。对所得结构重复范德堡测量。另外,SiC/本征Si TLM结构同样通过ICP进行刻蚀。然后在室温下重复电流-电压测量。

[0109] 对于在1350°C的温度下在p型硅衬底上生长的商用碳化NOVASiC样品,即使在完全蚀刻掉触点之间的SiC(3C-SiC(100)/Si(100))之后,触点仍然是电气短路的。这是预期的行为,因为导电发生在整个导电硅衬底上,如图12所示。

[0110] 如下表3所示,在碳化硅的样品生长在本征硅衬底上的情况下,对取自原始本征硅衬底的样品的测量结果具有约500kΩ/平方的高薄层电阻,而3C-SiC的生长之后的薄层电阻仅为约12kΩ/平方。如图8所示,在蚀刻仅去除碳化硅层(留下含有间隙碳的导电表面层)的情况下,薄层电阻不受影响,保持在12kΩ平方的相同值,确认碳化硅层不是高导电性的原因。然而,如图9所示,随着继续蚀刻以完全去除导电界面层至大约20μm的总去除厚度,薄层电阻返回到原始本征硅衬底的值,492kΩ/平方,确认只有硅的界面层是高电导率的原因。

[0111] 换句话说,在如上所述形成的本征Si上的3C-SiC的情况下,如图7所示,通过在该示例中去除硅的导电表面区域到至少约20微米的厚度,可以完全去除面内漏电。

	本征-Si	3C-SiC/ 本征-Si	3C-SiC/ 本征-Si (在去除SiC之后)	3C-SiC/ 本征-Si (在 20 μ 深度蚀刻之后)
[0112] 载流子类型	-	电子	电子	-
薄层载流子浓度 (cm ⁻²)	1(\pm 0.2) \times 10 ¹⁰	3(\pm 0.2) \times 10 ¹¹	4(\pm 0.2) \times 10 ¹¹	5 \times 10 ¹¹
迁移率 (cm ² /Vs)	1220(\pm 10)	1677(\pm 10)	1650(\pm 10)	34
薄层电阻 (Ω/\square)	500k \pm 3k	12k \pm 3k	12k \pm 3k	492k

[0113] 表3:对具有本征硅(i-Si)衬底的样品进行室温范德波和霍尔测量:仅比较i-Si衬底(如图3所示)、在硅上生长3C-SiC之后(图2)、在去除SiC之后(图8)以及在去除SiC和下层硅的20 μ m(图9)之后。类似的薄层电阻仅在i-Si中的深度蚀刻之后才发现,这表明在SiC生长之后形成了导电界面层。

[0114] 类似地,如图10所示,在约20 μ m硅深度蚀刻后,在SiC/本征Si TLM结构上重复上述泄漏电阻测量,并且结果总结在下表4中,并在图11中根据接触分离进行绘制。

	触点间距 (μ m)	泄漏电阻 (Ω)
	40	8.5 \times 10 ⁶
	60	8.5 \times 10 ⁶
[0115]	80	9.5 \times 10 ⁶
	4100	10 \times 10 ⁶
	160	-
	200	10 \times 10 ⁶
	250	-
[0116]	300	-

[0117] 表4。触点之间20 μ 深度蚀刻后室温下测量的硅电阻(泄漏)。

[0118] 在蚀刻掉触点之间约20 μ 的硅区域后,泄漏电阻增加到约10⁶ Ω ,这证实触点是电气隔离的,没有泄漏电流。

[0119] 从图11的曲线图中可以计算出在硅衬底中深度蚀刻之前硅的薄层电阻。给定接触宽度Z=500 μ m=0.05cm,并且曲线图的测量斜率=10⁶ Ω /cm,Si的薄层电阻Rsh=斜率*宽度=10⁶*0.05=50k Ω /平方,其接近于在沉积SiC薄膜之后观察到的、并且在完全去除薄膜之后仍然观察到的表3中的12k Ω 的SiC/Si薄层电阻,其低于对于本征硅的预期值。这再次证实了在SiC生长时形成导电/泄漏界面层,并且该导电/泄漏层可以通过深度蚀刻硅来去除。

[0120] 鉴于如上所述的间隙碳的作用,本发明人已经发现,当在高温下在硅上生长或沉积其他富碳材料时,也会发生漏电。例如,当在硅上生长一层金刚石或类金刚石碳(DLC)时,间隙碳将扩散到下面的硅中,以形成导电层,如已针对SiC证明的。因此,上述减法工艺

(subtractive process)同样适用于去除不需要的导电硅层,以实现硅上金刚石或DLC的相互间隔的岛之间的电气隔离。

[0121] 回到SiC隔离工艺的流程图中,在步骤102处,接收或形成在硅上包括富碳材料层(例如,其可以是碳化硅、金刚石或类金刚石碳)的衬底。如上所述,该衬底包括电绝缘材料上的导电硅界面层,并且导电硅界面层产生对富碳材料的大量漏电。因此,在步骤104处,选择性地去除衬底的区域以在硅上形成富碳材料的相互间隔的岛,其中选择性地去除衬底的区域的步骤包括从那些区域中去除富碳材料和硅的至少一部分(以及因此至少一部分的包含间隙碳的导电层),以在硅上的富碳材料的岛之间提供电气隔离。

[0122] 在上述实施例中,电绝缘材料是本征硅,其薄层在SiC的生长期间以及沿着与SiC的界面变成导电的。然而,如上所述,在替代实施例中,碳化硅生长在绝缘体上硅(SOI)衬底上。在这些实施例中,电气隔离可以通过不仅去除碳化硅层,而且去除整个下面的硅层来实现。如果硅层是未掺杂的并且比该层的导电部分厚,那么只需要去除硅层的导电部分,并且原始硅层的剩余部分可以可选地保留。类似地,在对电气隔离的要求不太严格的应用中,仅去除硅层的导电部分的一部分(即,留下导电硅层的比原始导电硅层更薄的剩余部分)是可接受的。然而,最直接的方法是去除碳化硅岛之间区域中的整个硅层,只留下其间的绝缘体,如图13中对于隐埋氧化物SOI衬底和图14中对于蓝宝石上硅或“SOS”衬底所示。

[0123] 如上所述,对于一些应用,例如,根据隔离要求,可能不需要去除硅层的导电部分的整个厚度。另外,尽管在上述实施例中,其中SiC在极高的温度(1350°C)下生长,但是导电硅层的厚度约为20微米,该厚度取决于形成SiC层的条件,并且不同的条件将产生具有其他厚度的导电表面层。因此,在任何给定情况下被去除的实际厚度取决于SiC的生长条件(以及因此的导电或缺陷层的性质)和所需的电气隔离的程度的组合。20微米的厚度值是一个相对极端的示例,其中导电层相对较厚(据信是由于在生长步骤的持续时间内,在高生长温度下间隙碳的相对较大的扩散长度),并且提供了最大的电气隔离。一般来说,预期在其它实施例中,去除的厚度将至少约为1微米,并且在约1-20微米的范围内。例如,在一个实施例中,去除的厚度可以是大约1微米;在另一个实施例中约2微米,在另一个实施例中约5微米,在另一个实施例中约10微米,并且在另一个实施例中约15微米。在任何给定情况下,厚度可以如上所述通过计算热处理期间间隙碳的预期扩散长度或深度分布、基于间隙碳在硅中的扩散率、根据下式来确定或至少被估计:

$$[0124] \quad D=0.44\exp(-0.87/kT) \text{ cm}^2\text{s}^{-1}$$

[0125] 和/或(更准确地说)通过针对不同的生长/处理条件根据蚀刻深度进行电气测量来确定或至少被估计。

[0126] 在不脱离本发明的范围的情况下,许多修改对于本领域技术人员来说是明显的。

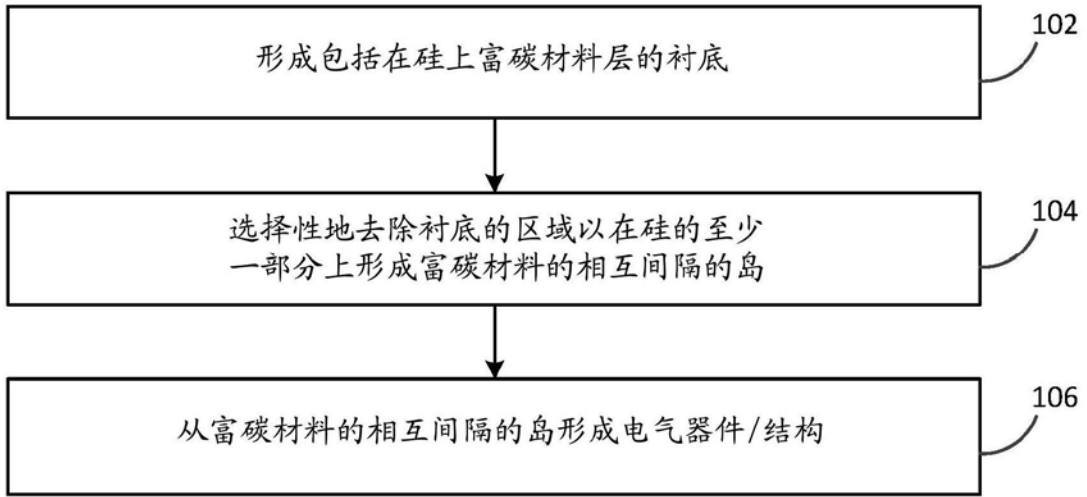


图1



图2



图3

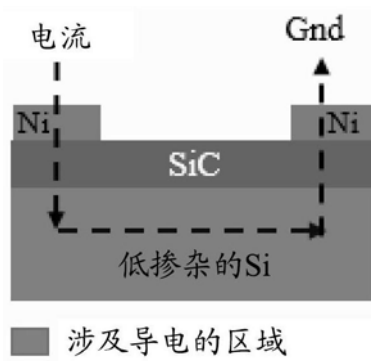


图4

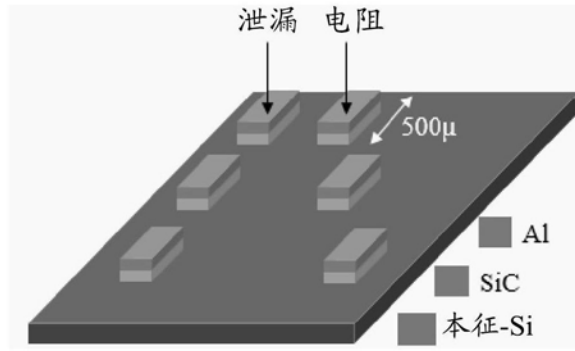


图5

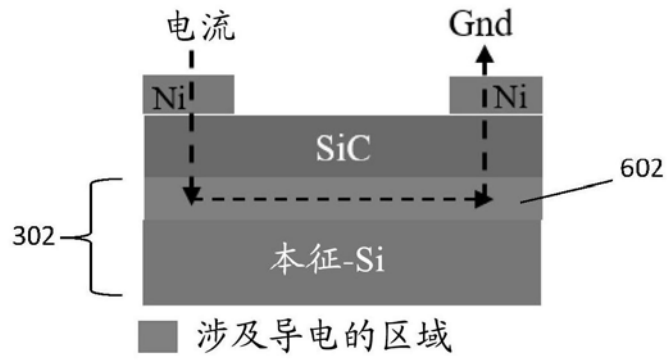


图6

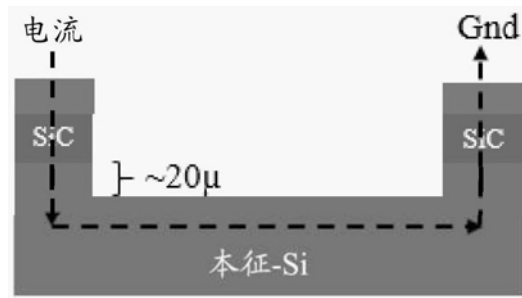


图7

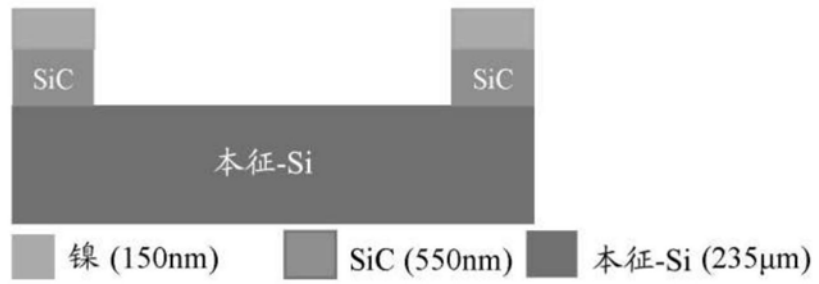


图8



图9

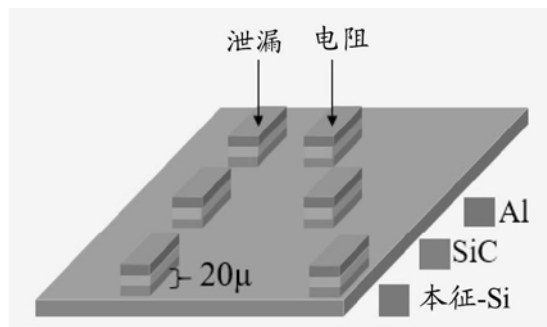


图10

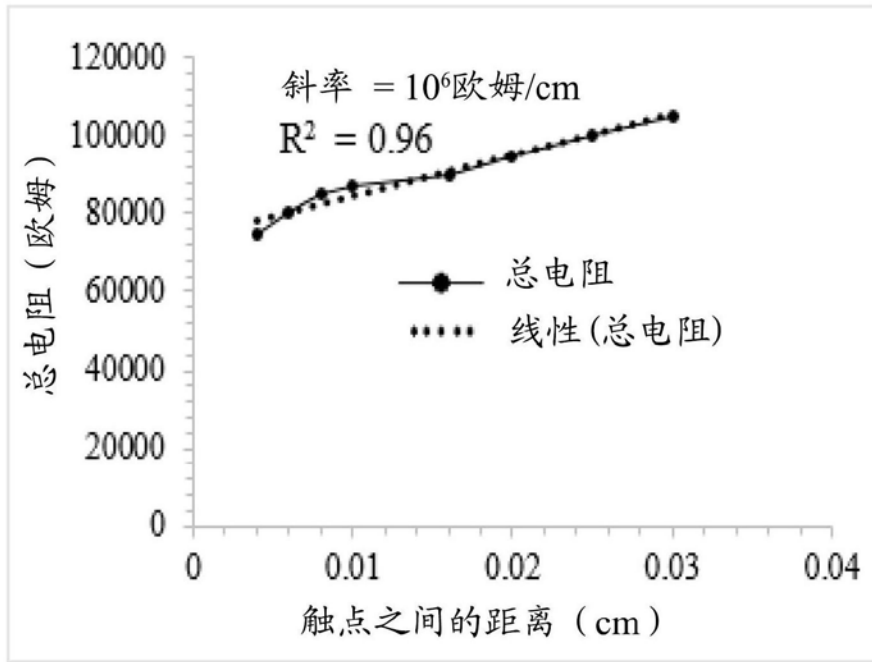


图11

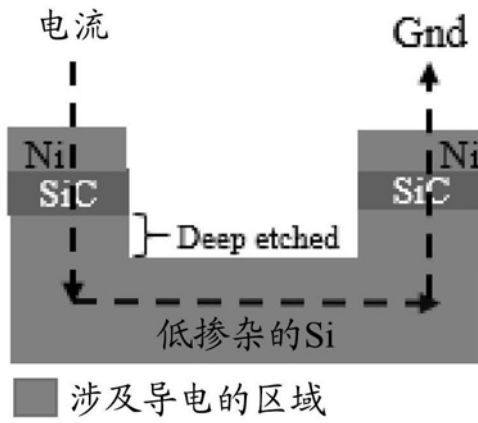


图12

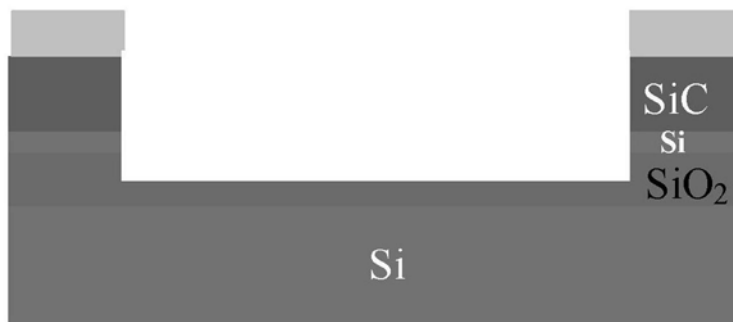


图13



图14