



(12)发明专利

(10)授权公告号 CN 104282522 B

(45)授权公告日 2017.01.18

(21)申请号 201410330530.2

H01L 21/02(2006.01)

(22)申请日 2014.07.11

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 104282522 A

TW 200841775 A, 2008.10.16,

US 2006/0102286 A1, 2006.05.18,

CN 103140915 A, 2013.06.05,

(43)申请公布日 2015.01.14

审查员 丁瑞平

(30)优先权数据

13/939,709 2013.07.11 US

(73)专利权人 朗姆研究公司

地址 美国加利福尼亚州

(72)发明人 乔伊迪普·古哈

(74)专利代理机构 上海胜康律师事务所 31263

代理人 李献忠

(51)Int.Cl.

H01J 37/32(2006.01)

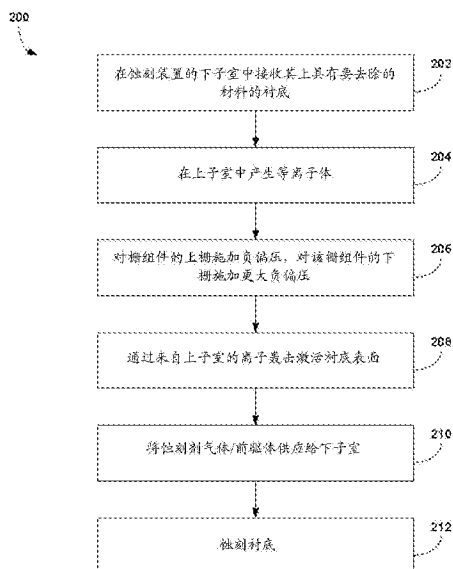
权利要求书3页 说明书15页 附图5页

(54)发明名称

具有离子加速器的双室等离子体蚀刻器

(57)摘要

本文的实施方式一般针对半导体处理方法和装置。更具体地,这些实施方式涉及具有离子加速器的双室等离子体蚀刻器。半成品半导体衬底被提供在反应室中。所述反应室被栅组件分割成上子室和下子室。等离子体被产生在上子室中,衬底被置于下子室中。栅组件包括至少两个栅,每个栅被负偏,且每个栅包括允许某些物质穿过的穿孔。最上栅被负偏以排斥电子。最下栅(相较于最上栅)被进一步负偏以加速从上子室到下子室的正离子。蚀刻气体被直接供应到下子室。蚀刻气体和离子根据需要进行与衬底的表面反应以蚀刻衬底。



1. 一种蚀刻衬底的方法,其包括:

(a)在反应器的反应室中接收其上具有要去除的材料的衬底,其中所述反应器包括:

(i)上子室和下子室,

(ii)栅组件,其位于所述反应室中从而将所述反应室分割成所述上子室和所述下子室,其中所述栅组件包括至少最上栅和最下栅,其中所述最上栅和最下栅与一或多个电源连接以独立地给所述栅提供负偏,且其中所述栅组件的每一个栅具有延伸穿过所述栅的厚度的穿孔,

(iii)至所述上子室的一或多个进口,

(iv)至所述下子室的一或多个进口,以及

(v)等离子体产生源,其被设计或配置为在所述上子室中产生等离子体,

(b)将等离子体产生气体供应到所述上子室并从所述等离子体产生气体产生所述等离子体,

(c)将负偏压施加给所述栅组件的至少所述最上栅和最下栅,其中施加给所述最下栅的偏压比施加给所述最上栅的偏压负压更大,并加速离子从所述上子室中的所述等离子体穿过所述栅组件朝向所述衬底,

(d)穿过所述至所述下子室的一或多个进口将蚀刻气体供应到所述下子室,以及

(e)蚀刻所述衬底以去除所述要去除的材料的至少一部分,

其中在操作(a)-(e)的过程中,所述下子室实质上没有等离子体。

2. 如权利要求1所述的方法,其中施加给所述最上栅的偏压在-0.5至-50V之间。

3. 如权利要求1所述的方法,其中施加给所述最下栅的偏压在-0.5至-2000V之间。

4. 如权利要求1所述的方法,其进一步包括在操作(c)的过程中改变施加给所述栅组件的至少一个栅的偏压。

5. 如权利要求1所述的方法,其中操作(d)中的所述蚀刻气体按脉冲式进行供应。

6. 如权利要求1所述的方法,其中所述等离子体产生气体包括惰性气体。

7. 如权利要求1所述的方法,其中所述等离子体产生气体包括反应气体。

8. 如权利要求1所述的方法,其中所述要去除的材料选自由Fe、Mn、Ni、Mg、Pt、Pd、Co、Ru、Cu、Ir以及它们的组合物组成的群组。

9. 如权利要求1所述的方法,其进一步包括将工艺气体供应到所述下子室并使所述工艺气体与所述要去除的材料进行反应以形成包括选自由氧化物、氮化物、氢化物、氯化物、氟化物、有机金属络合物或者它们的组合物组成的群组的材料的要去除的反应层。

10. 如权利要求9所述的方法,其进一步包括使所述要去除的反应层与所述蚀刻气体进行反应以去除所述要去除的反应层。

11. 如权利要求1所述的方法,其进一步包括在操作(b)-(e)中的至少一个操作的过程中移动所述栅组件的至少一个栅。

12. 如权利要求1所述的方法,其中存在于所述上子室中的离子加速穿过所述栅组件并与所述衬底的表面互相作用。

13. 一种蚀刻衬底的方法,其包括:

(a)在等离子体反应器的上部区域中产生等离子体;

(b)将第一负DC偏置施加到所述等离子体反应器中的第一栅且将第二负DC偏置施加到

所述等离子体反应器中的第二栅,所述第一和第二栅将所述等离子体反应器的所述上部区域和所述等离子体反应器的下部区域分开,并且将离子从所述等离子体加速到所述等离子体反应器的下部区域中的所述衬底的表面上,其中所述等离子体不与所述衬底接触;

(c)将蚀刻剂气体输送到所述衬底的所述表面,所述蚀刻剂气体在此起反应以从所述表面蚀刻金属或半导体并产生含有所述金属或半导体的一或多种原子和来自所述蚀刻剂气体的一或多种配体的挥发性副产品;以及

(d)在所述挥发性副产品实质上不与所述等离子体接触且所述挥发性副产品实质上不离解成较低挥发性的物质的情况下从所述等离子体反应器去除所述挥发性副产品。

14.如权利要求13所述的方法,其中(b)中的加速所述离子和(c)中的输送所述蚀刻剂气体循环发生。

15.如权利要求13所述的方法,其中所述蚀刻剂气体在(c)中起反应以蚀刻选自Fe、Mn、Ni、Mg、Pt、Pd、Co、Ru、Cu、Ir以及它们的组合物组成的群组的金属。

16.一种用于蚀刻衬底的装置,其包括:

(a)反应室,

(b)栅组件,其位于所述反应室中从而将所述反应室分割成上子室和下子室,其中所述栅组件包括至少最上栅和最下栅,且其中所述栅组件中的每一个栅具有延伸穿过所述栅的厚度的穿孔,

(c)电气连接件,所述电气连接件与所述栅组件的至少所述最上栅和最下栅连接以独立地给所述最上栅和最下栅提供负偏,

(d)至所述上子室的一或多个气体进口,

(e)至所述下子室的一或多个气体进口,

(f)等离子体产生源,其被设计或配置为在所述上子室中产生等离子体,

(g)至所述下子室的一或多个气体出口,其被设计或配置为从所述下子室去除气体,以及

(h)控制器,其被设计或配置为提供指令用于:

(i)将等离子体产生气体供应到所述上子室并从所述等离子体产生气体产生所述等离子体,

(ii)将负偏压施加给所述栅组件的至少所述最上栅和最下栅,其中施加给所述最下栅的偏压比施加给所述最上栅的偏压负压更大,并加速离子从所述上子室穿过所述栅组件且进入所述下子室,以及

(iii)将蚀刻气体供应到所述下子室。

17.如权利要求16所述的装置,其中所述栅组件被设计或配置为用作(d)和(e)中的进口中的一或多个。

18.如权利要求16所述的装置,其中所述上子室的高度与所述下子室的高度之比在0.1-10之间。

19.如权利要求16所述的装置,其中所述栅组件被设计为提供不同级别的离子通量给衬底表面的不同部分。

20.如权利要求16所述的装置,其中所述栅组件包括嵌在所述组件中的冷却通道。

21.如权利要求16所述的装置,其中所述栅组件的至少一个栅是能移动的。

22. 如权利要求16所述的装置,其中所述等离子体产生源包括设置在所述上子室上方的一或多个等离子体线圈。

23. 如权利要求16所述的装置,其中所述等离子体产生源是电容耦合等离子体源。

24. 如权利要求16所述的装置,其中所述栅组件包括多于两个的栅。

25. 如权利要求16所述的装置,其中(e)中的至所述下子室的所述一或多个进口中的至少一个将气相反应剂提供给所述下子室却不使所述气相反应剂穿过所述上子室。

具有离子加速器的双室等离子体蚀刻器

技术领域

[0001] 本发明涉及半导体制造工艺,尤其是涉及具有离子加速器的双室等离子体蚀刻器。

背景技术

[0002] 半导体的制造中常常采用的一种操作是蚀刻操作。在蚀刻操作中,从半成品集成电路部分或全部地去除一或多种材料。等离子体蚀刻往往被使用,尤其是在涉及的几何形状小、深宽比高、或者需要精确的图案转移的时候。

[0003] 通常,等离子体含有电子和正负离子以及一些自由基。这些自由基、正离子和负离子与衬底互相作用以在该衬底上蚀刻特征、表面和材料。

[0004] 随着从平面晶体管结构到3D晶体管结构(例如,用于逻辑器件的FinFET栅结构)以及诸如磁阻随机访问存储器(MRAM)之类的先进存储器结构的发展,等离子体蚀刻工艺需要越来越精准和均匀以便生产优质产品。传统蚀刻技术的一个问题是蚀刻副产品不是被清除掉而是有时会再沉积到表面上,而在该表面上是不希望有这样的沉积的。例如,所述副产品可沉积回衬底上(这种情况下它们会干扰进一步的蚀刻)或者沉积在蚀刻装置上。在许多情况下,再沉积的蚀刻副产品是其它蚀刻副产品的离解产物。

[0005] 衬底上的不希望有的沉积可引起许多问题,包括劣质的蚀刻结果(例如,非竖直的蚀刻轮廓、蚀刻不均匀性,等等)和不合标准的衬底(例如,不希望的沉积可形成短的蚀刻堆层)。装置上的不希望有的沉积可引起另外的问题,包括增加的清洁需求、较短的装置使用寿命以及效率较低的装置运行。

[0006] 因此,存在对在蚀刻过程中防止副产品的再沉积的改进的半导体制造方法和装置的需求。

发明内容

[0007] 本文的某些实施方式涉及用于蚀刻半导体的方法和装置。在这些实施方式的一个方面,提供了一种用于蚀刻半导体的方法,其包括步骤:(a)在反应器的反应室中接收其上具有要去除的材料的衬底,其中所述反应器包括:(i)上子室和下子室,(ii)栅组件,其位于所述反应室中,将所述反应室分割成上下子室,其中所述栅组件包括至少最上栅和最下栅,各自连接到电源以独立地给所述栅提供负偏(negative bias),其中每个栅具有延伸穿过所述栅的厚度的穿孔,(iii)至所述上子室的一或多个进口,(iv)至所述下子室的一或多个进口,以及(v)等离子体产生源,其被设计或配置为在所述上子室中产生等离子体,(b)将等离子体产生气体供应到所述上子室并从所述等离子体产生气体产生等离子体,(c)将负偏压施加给所述栅组件的至少所述最上栅和最下栅,其中施加给所述最下栅的偏压比施加给所述最上栅的偏压更负(more negative),(d)穿过所述至所述下子室的一或多个进口将蚀刻气体供应到所述下子室,以及(e)蚀刻所述衬底以去除所述要去除的材料的至少一部分,其中在操作(a)-(e)的过程中,所述下子室实质上没有等离子体。

[0008] 在一些情况下,施加给所述最上栅的偏压在约-0.5至-50V之间,或者在约-5至-50V之间。施加给所述最下栅的偏压可在约-0.5至-2000V之间。在一些实施方式中,在操作(c)的过程中改变施加给所述栅组件的至少一个栅的偏压。在某些情况下,蚀刻气体可在操作(d)的过程中按脉冲式(in pulses)进行供应。

[0009] 等离子体产生气体可包括惰性气体。在这些或其它情况下,等离子体产生气体可包括反应气体。所述要去除的材料选自由Fe、Mn、Ni、Mg、Pt、Pd、Co、Ru、Cu、Ir以及它们的组合物组成的群组。在一些实施方式中,所述方法可进一步包括将工艺气体供应到所述下子室并使所述工艺气体与所述要去除的材料进行反应以形成要去除的反应层。所述要去除的反应层可包括氧化物、氮化物、氢化物、氯化物、氟化物、有机金属络合物或者它们的组合物。所述方法可进一步包括使所述要去除的反应层与所述蚀刻气体进行反应以去除所述要去除的反应层。

[0010] 在不同实施方式中,所述方法可进一步包括在操作(b)-(e)中的至少一个操作的过程中移动所述栅组件的至少一个栅。所述移动可包括旋转。在一些情况下,存在于所述上子室中的离子加速穿过所述栅组件并与所述衬底的表面互相作用。

[0011] 在所公开的实施方案的另一方面,公开了一种用于蚀刻衬底的方法,所述方法包括:(a)在等离子体反应器的上部区域中产生等离子体,(b)将离子从所述等离子体加速到所述等离子体反应器的下部区域中的所述衬底的表面上,其中所述等离子体不与所述衬底接触,(c)将蚀刻剂气体输送到所述衬底的表面,所述蚀刻剂气体在该表面起反应以从该表面蚀刻金属或半导体并产生含有所述金属或半导体的一或多种原子和来自所述蚀刻剂气体的一或多种配体的挥发性副产品,以及(d)在所述挥发性副产品实质上不与所述等离子体接触且所述挥发性副产品实质上不离解成较低挥发性的物质的情况下从所述等离子体反应器去除所述挥发性副产品。在一些情况下,所述蚀刻剂气体在操作(c)中起反应以蚀刻选自由Fe、Mn、Ni、Mg、Pt、Pd、Co、Ru、Cu、Ir以及它们的组合物组成的群组的金属。

[0012] 在所公开的实施方案的又一方面,提供了一种用于蚀刻衬底的装置,其包括(a)反应室,(b)栅组件,其位于所述反应室中,将所述反应室分割成上子室和下子室,其中所述栅组件包括至少最上栅和最下栅,且其中所述栅组件中的每一个栅具有延伸穿过所述栅的厚度的穿孔,(c)电气连接件,其与所述栅组件的至少所述最上栅和最下栅连接以独立地给所述最上栅和最下栅提供负偏,(d)至所述上子室的一或多个气体进口,(e)至所述下子室的一或多个气体进口,(f)等离子体产生源,其被设计或配置为在所述上子室中产生等离子体,(g)至所述下子室的一或多个气体出口,其被设计或配置为从所述下子室去除气体,以及(h)控制器,其被设计或配置为提供指令用于:(i)将等离子体产生气体供应到所述上子室并从所述等离子体产生气体产生等离子体,(ii)将负偏压施加给所述栅组件的至少所述最上栅和最下栅,其中施加给所述最下栅的偏压比施加给所述最上栅的偏压更负,以及(iii)将蚀刻气体供应到所述下子室。

[0013] 在一些实施方式中,在一些情况下,所述上子室的高度与所述下子室的高度之比可在约0.1-10之间。所述栅组件可被设计或配置为用作(c)和(d)中的进口中的一或多个。所述栅组件还可被设计或配置为提供不同级别的离子通量给衬底表面的不同部分。所述栅组件还可包括嵌在所述组件中的冷却通道。在一些实施方式中,所述栅组件的至少一个栅是能移动的。进一步地,在一些实施方式中,所述栅组件可包括多于两个的栅。在不同实施

方式中,所述等离子体产生源包括设置在所述上子室上方的一或多个等离子体线圈。在其它实施方式中,所述等离子体产生源是电容耦合等离子体源。

[0014] 下面参考相关附图描述这些特征以及其它特征。

附图说明

[0015] 图1是根据各种公开实施方式的蚀刻装置的简化剖视图。

[0016] 图2是根据某些公开实施方式的图示蚀刻衬底的方法的流程图。

[0017] 图3A-F示出了制造过程中在各个阶段的半成品集成电路。

[0018] 图4A-B各自示出了根据本文不同实施方式的可用在栅组件中的栅的可能实施方式。

[0019] 图5示出了根据本文某些实施方式的蚀刻装置的简化剖视图。

具体实施方式

[0020] 在本申请中,术语“半导体晶片”、“晶片”、“衬底”、“晶片衬底”和“半成品集成电路”可替换使用。本领域普通技术人员可以理解,术语“半成品集成电路”可以指在硅晶片上制造集成电路的许多阶段中的任意阶段中的硅晶片。半导体器件工业中所使用的晶片或衬底通常具有200mm或300mm或450mm的直径。接下来的详细描述假定本发明是在晶片上实施。但是,本发明并不局限于此。工件可以有各种形状、尺寸和材料。在半导体晶片之外,可以利用本发明的其它工件包括诸如印刷电路板之类的各种制造品。

[0021] 在接下来的描述中,许多具体细节被阐述以便提供对这些实施方式的透彻理解。所公开的实施方式可在没有这些具体细节中的一些或全部的情况下实施。另一方面,公知的工艺操作没有被详细描述以免不必要模糊所公开的实施方式。虽然结合具体实施方式描述了所公开的实施方式,但可以理解的是,这并没有限制所公开的实施方式的意图。

[0022] 进一步地,虽然描述中常常涉及“上”和“下”元件(或者类似于“顶”和“底”、“左”和“右”,等等),但这些描述语是以非限制性方式使用的,只为清楚起见。本领域普通技术人员可以理解的是,也可以使用其它构造。例如,在某些实施方式中,本文描述为“上”和“下”的元件可以是“下”和“上”或者“左”和“右”。

[0023] 本文的实施方式一般针对半导体处理方法和装置。更具体地,这些实施方式涉及用于蚀刻半导体衬底的方法和装置。在实施所公开的技术时,衬底被提供在处理室中。图1示出了适当的处理装置100的简化剖视图。栅组件107将处理室分割成上子室101(产生等离子体处)和下子室103(放置衬底处,在许多实施方式中这里没有等离子体)。栅组件107包括至少两个栅105和106,每个栅在处理过程中通常具有负偏压。在处理过程中,上栅105(相较于地电位)可以负偏以排斥电子,而下栅106(相较于上栅)可以进一步负偏以使正离子朝向由晶片支撑件115支撑的衬底113加速。

[0024] 通过等离子体产生设备,等离子体主要或者仅仅在上子室101中产生。在图1的实施方式中,通过使用线圈109产生电感耦合等离子体,线圈109通过介电窗119与上子室101分开,但也可使用其它等离子体产生技术。用于产生等离子体的气体被称为等离子体产生气体。正离子穿过如图所示的上栅(即最上栅)105和下栅(即最下栅)106中的槽/孔,且在它们穿过时被下栅106加速。这些正离子撞击衬底113的表面,从而激活该表面以进行反应。工

艺气体进口111将工艺气体直接输送到下子室103。通过将一或多种工艺气体直接提供到下子室103,将它们与上子室101中的等离子体屏蔽开来。类似地,在工艺气体与衬底113反应之后,蚀刻副产品与上子室101中的等离子体屏蔽开来。这种屏蔽有助于防止蚀刻副产品的离解,且因此有助于防止所述副产品在衬底113和装置100上的再沉积。相反,所述副产品以挥发形式通过利用施加于该室的真空117从反应室去除。通过这种方式,可以得到优秀的蚀刻结果。虽然图1示出了两个真空源117,但在某些实施方式中只需要单个真空源。在一些情况下,单个真空源与下子室103的多个出口相连接。

[0025] 下面参考图5描述根据本公开的等离子体反应器的更多详细实施例。适于用作上下栅105和106的栅结构的实施例在图4A和4B中示出。

[0026] 方法

[0027] 图2提供了根据本文不同实施方式的用于蚀刻材料的流程图。工艺200开始于方框202,其中,其上具有要去除的材料的衬底被接收到反应室中。如上所述,该反应室被栅组件分割成上子室和下子室。衬底被接收在下子室中,且通常位于诸如静电卡盘之类的衬底架上。在方框204,等离子体被产生在上子室中。由于栅组件的存在,所述等离子体一般被约束于上子室且不会大幅扩散或者根本不扩散到下子室中。但是,等离子体中的某些物质(比如正离子和自由基)能够穿过栅,到达下子室,并与衬底相互作用,如下所述。

[0028] 在方框206,负偏压(相较于地电位)被施加给所述栅组件的栅中的每一个。负偏压被施加给所述组件的上栅以便将等离子体约束于上子室。这可通过排斥电子从而防止电子逸出(bleeding)到下子室中而实现。更大的负偏压被施加给所述组件的下栅以便使正离子加速穿过栅组件并朝向衬底的表面。离开栅组件的离子的能量由设置在下栅上的偏压决定。因此,下栅上的偏压可针对具体应用进行优化以提供希望的离子能量。在方框208,加速的正离子从栅组件行进穿过下子室并轰击衬底的表面以便激活该表面以进行反应。在方框210,一或多种蚀刻剂气体/前驱体被提供给下子室,在方框212,衬底被蚀刻。在一些情况下,方框210中提供的材料直接蚀刻衬底。在另外一些情况下,所提供的材料与其它材料(例如,其它反应剂气体)反应以产生蚀刻衬底的化合物。图2中相关的操作并非必须以所列顺序进行,在许多情况下,操作之间会有重叠。例如,蚀刻通常发生在方框212,但蚀刻剂气体仍在方框210被供应给所述室。此外,在某些实施方式中,方框204、206和208的操作同时执行。这三个操作可同时开始或者一个操作在另一个之前开始。

[0029] 图3A-F示出了图示根据具体实施方式的半导体微细加工方法的部分的剖视图。具体地,图3A-F涉及更广泛的制造环境(context),其中可进行图2中所描述的蚀刻工艺。该更广泛的半导体制造方法在名称为DRY ETCHING METHOD, MICROFABRICATION PROCESS AND DRY ETCHING MASK的美国专利No. 6,689,283和名称为DRY ETCHING METHOD FOR MAGNETIC MATERIAL的美国专利No. RE40,951中进一步讨论和描述,所述专利中的每一个通过参考全文并入此处。

[0030] 首先,如图3A中所示,待蚀刻的层12被沉积在形成于衬底10上的垫层11(under layer)上。在具体实施方式中,衬底是硅晶片,垫层11是钛,待蚀刻的层是钴-铂合金。然后,如图3B中所示,抗蚀剂层13被沉积在待蚀刻的层12上。抗蚀剂层13使用光刻技术进行微图案化。在特定情况下,图案化的抗蚀剂层13通过利用例如旋涂法涂布正性抗蚀剂、利用UV或电子束曝光设备曝光微图案并接着显影所曝光的抗蚀剂图案而被形成在层12上。

[0031] 然后,如图3C中所示,掩模层14被沉积在微图案化的抗蚀剂层13上。在一些情况下,掩模层由氮化钛(TiN)构成,其可通过反应溅射法进行沉积。接着,如图3D中所示,抗蚀剂层13通过剥离法(lift-off method)被去除以形成图案化掩模14'。更具体地,举例来说,所述剥离可利用超声清洗器通过将晶片浸入诸如四氢呋喃之类的溶剂中而执行。此后,根据本文其它部分所记载的技术干法蚀刻衬底以形成蚀刻后的层12',如图3E中所示。最后,可在蚀刻之后去除掩模层14,如图3F中所示。前面的描述在本质上仅仅是示例性的,示出了一种可实施所公开的实施方式的具体环境。

[0032] 蚀刻化学过程

[0033] 半导体蚀刻工艺的难度受蚀刻副产品及其离解产物的蒸气压的显著影响。事实上,低蒸气压离解产物的形成是蚀刻某些材料(例如,Fe、Mn、Ni、Mg、Pt、Pd、Co、Ru、Cu、Ir等)如此具有挑战性的主要原因。本文的技术解决了与这些难以蚀刻的材料相关的某些问题。本文的描述中可替换地使用术语直接副产品、蚀刻副产品和副产品。直接副产品的一个实例是下面反应1中的Pd(PF₃)₄。术语离解产物被理解为表示从直接蚀刻副产品的离解中得到的产物。在反应1的环境中,离解产物的一个实例是Pd(PF₃)₃。

[0034] 在蚀刻操作中去除的各种材料将基于与蚀刻气体的反应而形成挥发性的化合物。这些挥发性的反应产物往往是含金属的化合物,它们在一些情况下具有有机配体。下面的反应1和2示出了形成挥发性副产品的蚀刻反应的实例。

[0035] 反应1: Pd+4PF₃→Pd(PF₃)₄↑

[0036] 反应2: Co+1/2H₂+4CO→CoH(CO)₄↑

[0037] 反应3: Fe+5CO→Fe(CO)₅↑

[0038] 在反应1的情况下,Pd是待蚀刻的材料,PF₃是蚀刻化学品,Pd(PF₃)₄是挥发性副产品。类似地,在反应2的情况下,Co是待蚀刻的材料,CO和H₂是蚀刻化学品,CoH(CO)₄是挥发性副产品。从这样的副产品中去除一或多种配体会对蒸气压有显著的负面影响。例如,CoH(CO)₃具有比CoH(CO)₄低得多的蒸气压。由于CoH(CO)₃和类似离解产物的低蒸气压,这些材料很可能会再沉积在衬底和/或装置上。

[0039] 待蚀刻的材料可包含磁性材料,比如用在磁阻随机访问存储器器件中的那些材料。在某些情况下,待蚀刻的材料包括Fe、Mn、Ni、Mg、Pt、Pd、Co、Ru、Cu和/或Ir。在这些或其它情况下,用于蚀刻所述材料的反应剂包括三氟化磷(PF₃)、碳酰氟(COF₂)、一氧化碳(CO)、氧化氮(NO)、甲醇(CH₃OH)、乙醇(C₂H₅OH)、乙酰丙酮(C₅H₈O₂)、六氟乙酰丙酮(C₅H₂F₆O₂)、亚硫酸氯(SOCl₂)、亚硫酸氟(SOF₂)、乙酸(CH₃COOH)、吡啶(C₅H₅N)和/或甲酸(HCOOH)。在不同实施方式中,这些蚀刻反应剂的组合物被使用。例如,在一些情况下,CO+NO的组合物被用来形成金属的亚硝酰羰基。在另一种情况下,CO₂+NO₂的组合物被使用。在又一种情况下,吡啶与亚硫酸氯和/或亚硫酸氟组合。其它的组合也是可行的。这些材料和反应仅仅是示例性的且并不意在以任何方式限制这些实施方式。本领域普通技术人员可以理解,本文的技术可以与各种材料和反应一起使用。

[0040] 挥发性副产品的稳定性在该副产品暴露于等离子体环境时尤其是在暴露于等离子体环境中存在的高能电子时显著受损。这是成问题的,因为对于许多要成功的蚀刻反应而言,衬底的表面必须以某种方式被激活。这种激活常常通过对该表面的离子轰击来进行。

[0041] 不希望受到任何反应理论或机制的束缚,相信离子轰击可以通过在待蚀刻的金属

或其它材料上创建悬挂键和/或其它物理化学接收特征而产生活性部位(active site)。通过离子轰击的激活通常通过暴露于等离子体来完成。典型地,等离子体被产生在衬底正上方的区域中,而用来支撑衬底的静电卡盘可被负偏以将正离子吸引到衬底的表面上。在一些传统方法中,静电卡盘可被激励到一定程度使得卡盘本身能够在衬底的正上方产生等离子体。

[0042] 由于副产品往往非常大/体积大,在许多配体附着到中心原子的情况下,对等离子体中的能量粒子(特别是电子)而言,通过离解去除所述配体中的一或多种是比较常见的。甚至当单一配体被去除时,副产品通常不再是挥发性的,且因此很可能再沉积在衬底或装置上。

[0043] 本文的实施方式通过提供被栅组件分隔成上子室(用于等离子体产生)和下子室(用于衬底处理)的反应室来防止副产品以及相关离解产物的再沉积,所述栅组件屏蔽蚀刻化学品/副产品/离解产物以免暴露于等离子体环境。

[0044] 在一些情况下,在蚀刻工艺过程中供应给下子室的工艺气体不仅包括蚀刻剂气体也包括一或多种其它气体(可被称为第二工艺气体、第三工艺气体、附加工艺气体,等等)。所述附加气体可以是例如氧、氢或者氮。在其它情况下,所述附加气体可包括氯、氟或其它材料。举例来说,这种气体可以与衬底的表面反应以形成金属氧化物、金属氢化物、金属氮化物、金属氯化物、金属氟化物或者其它有机金属化合物。在一些情况下,这种氧化物/氢化物/氮化物/氯化物/氟化物等材料会比裸金属更容易蚀刻。所述附加气体可被连续供应或脉冲式供应。当被脉冲式供应时,第二工艺气体可按照脉冲式蚀刻气体和脉冲式第二工艺气体的交替重复循环进行供应。

[0045] 在另一实施方式中,驱使氧化物/氢化物/氮化物/氯化物/氟化物等的形成的材料以电离形式从上子室输送到下子室。在一些实施方式中,衬底的表面被暴露于化学惰性离子和化学活性离子的交替流。

[0046] 工艺气体到上下子室的输送可通过任何方式完成。在一实施方式中,进口喷嘴被设置在顶子室和下子室中。每个子室可以有多个进口。在一实施例中,围绕子室的周界设置许多进口以提供均匀的工艺气体流。在另一实施方式中,栅的一或多个用作喷头以将气体提供到上下子室中的任一个或者两个。在另一种情况下,工艺气体可通过延伸到各个子室中的中央喷嘴进行供应。本领域普通技术人员可以理解,在所公开的实施方式的范围内可以使用不同形式的气体输送。

[0047] 等离子体产生

[0048] 等离子体主要产生在上子室中,在一些情况下仅仅产生在上子室中。在某些情况下,等离子体由一或多种惰性气体(包括Ar、He、Ne、Kr和Xe)产生。在其它情况下,等离子体由诸如H₂、N₂、O₂等反应气体产生。在一些情况下,惰性气体和反应气体的组合物被用于产生等离子体。部分地基于所使用的蚀刻化学品和待蚀刻的材料,用于产生等离子体的气体可以进行选择以减少或消除反应室中的不希望有的反应。典型地,等离子体的角色是成为用于注入下子室中的离子的源。这些离子如本文其它部分所述可以是化学惰性或化学活性的。

[0049] 可利用各种类型的等离子体产生技术在上子室中产生等离子体。在一实施方式中,等离子体是例如通过利用位于上子室上方的线圈而产生的电感耦合等离子体。在另一

实施方式中,等离子体是电容耦合等离子体。作为选择,等离子体源可以是电子回旋共振(ECR)等离子体源或螺旋等离子体源。在电感耦合等离子体的情况下,可以使用范围广泛的激励频率。在某些情况下,激励频率是射频或微波频率。在一些实施方式中,耦合到上子室的等离子体源可通过磁场的施加而被加强。可根据本文的教导进行修改的等离子体产生反应器的一个实例是可从加利福尼亚州费利蒙市的朗姆研究公司(Lam Research Corporation)获得的Kiyoo反应器。

[0050] 在不同实施方式中,栅组件在等离子体的产生中没有发挥显著作用。但是,栅组件在将等离子体约束于上子室以及过滤出用于输送给下子室的物质方面发挥了作用。

[0051] 在反应器中设置栅组件

[0052] 栅组件被设置在反应室中,从而将该反应室分割成上下子室。适于修改以包括此处所述的栅组件的室的一个实例是来自加利福尼亚州费利蒙市的朗姆研究公司的Kiyoo反应器。为了提供背景,接下来的描述参考前面已进一步描述的图1进行。在某些实施方式中,栅组件107被设置在反应室的内底(interior base)上方约1-6英寸之间,或者在诸如基架之类的衬底支撑件115上方约1-6英寸之间(例如,在约1.5-3英寸之间)。在这些或其它实施方式中,栅可被设置在反应室的内顶(interior ceiling)下方约1-6英寸之间(例如,在约1.5-3英寸之间)。该顶(ceiling)往往配有介电窗。

[0053] 在某些实施方式中,上下子室的高度基本相同(例如,在约5%之内),但在其它实施方式中,这些高度可以更显著不同。上子室的高度与下子室的高度之比(h_u/h_l)亦称为子室高度比,可以在约0.1-10之间或者在约0.2-5之间。在一些实施方式中,子室高度比大于约1/6。

[0054] 栅不应被设置得过于靠近晶片,因为这会造成在晶片面上发生栅印刷。换句话说,在处理之后,栅中的槽/孔图案会不希望地出现在晶片的面上,在衬底表面上造成严重的蚀刻不均匀性。就许多应用而言,从衬底的顶部到下栅的底部有至少约1英寸的分隔距离便足够。

[0055] 栅组件设计

[0056] 各种设计可被用来实现栅组件。一般而言,栅组件包括至少两个栅。在许多实施方式中,栅组件包括2或3个栅。最上栅(有时称为上栅)是最靠近上子室的栅。最下栅(有时称为下栅)是最靠近衬底的栅。每个栅具有允许离子穿过栅从上子室到下子室的多个槽、孔和/或其它穿孔。栅结构的非限制性实例在图4A-B中示出。在一简单的实施方式中,栅是用丝网(wire mesh)构造的。丝402可形成如图4A中所示的纵横交叉的图案,其中开口空间404在丝402之间。替代地,丝402可形成如图4B中所示的蜘蛛网形状。许多其它的栅设计也是可行的。在一种情况下,例如,穿孔是T形的,且按交替设计彼此互锁。在另一种情况下,设计具有圆形的孔。在一些情况下,穿孔可被设计使得在等离子体产生过程中在栅中几乎不感生或一点也不感生电流。确保这种结果的一种设计是具有径向导向槽的栅。当装置不是被设计来防止这类问题时,电流可被感生以围绕栅大体圆形地流动或者在栅上按小涡流流动,导致寄生功耗增大。

[0057] 栅组件的栅中的穿孔应当允许上下子室之间的直接视线,且应当被配置为将等离子体约束在上子室中。在没有这样的视线的情况下,离子会与栅碰撞且会不能穿到下子室中以激活衬底的表面。在一些情况下,穿孔具有约0.5-10mm之间(例如约1-5mm之间)的主维

度。该主维度位于与工件平行的方向且跨越穿孔中的最长线性路径。本领域普通技术人员可以理解,在本公开的范围内可使用各种各样的穿孔设计。

[0058] 从上方观察,栅开口区域代表晶片或其它处理衬底的活性面上的总面积,通过栅开口区域有从具体栅的上方到下方的清晰视线。从上方观察,组件开口区域代表总面积,通过组件开口区域有穿过组件的所有栅的清晰视线。栅开口区域和组件开口区域二者可以以术语栅上的绝对面积或者以术语栅上的总面积的百分比来描述。例如,300mm直径的栅具有大约700cm²的面积。如果栅具有约350cm²的开口区域,那么它也可被认为是具有约50%的开口区域。在一些情况下,栅开口区域和组件开口区域相等。在其它情况下,组件开口区域低于一或多个栅的栅开口区域。在一些实施方式中,至少一个栅具有约30-75%之间的栅开口区域。在这些或其它实施方式中,栅组件开口区域在约0-75%之间。

[0059] 在一些情况下,栅/组件的开口区域被设计为提供不同级别的离子通量给衬底的不同部分。例如,当开口区域朝栅的中心集中时,相较于晶片的边缘,离子可在更大程度上激活晶片的中心区域。同样地,当组件开口区域集中在栅组件的边缘附近时,相较于晶片的中心,离子可在更大程度上激活晶片的边缘区域。这些技术在解决中心-边缘不均匀性时尤其有用,且在一些情况下可通过下面将进一步描述的可移动栅来实施。

[0060] 栅可由各种材料制成且可以被涂布或不被涂布。由于在蚀刻过程中要给栅施加偏压,所以用于构成栅或涂布栅的材料应当是导电的。在不同实施方式中,栅由金属或金属合金构成或者用金属或金属合金涂布。在一些情况下,栅可用硬碳材料涂布。在一些特定情况下,栅可用Y₂O₃、YF₃、YAG、氮化钛或CeO₂的层涂布。为了例如抗腐蚀,栅材料可以被阳极化或不被阳极化或者以其它方式钝化。

[0061] 栅应当足够坚硬使得它们在被置于反应室中时不会弯成弓形(bow)或以其它方式弯曲。这有助于确保均匀的蚀刻结果。

[0062] 相邻的栅之间有一些间隔距离。这种间隔距离通常相当小(例如,小于约5mm、小于约3mm或者小于约2mm)以便帮助防止电子逸出(bleed)到下子室中。该间隔距离贯穿栅的直径应当是均匀的,且这种均匀性可通过用足够坚硬的材料构造栅而实现。

[0063] 栅组件通常跨越室的整个水平剖面。当室是圆形(从上方或者面向工件观察)时,栅也会是圆形的。这使得栅能够有效地将反应室分割成两个子室。在某些设计中,栅的形状由衬底(通常是圆形晶片,但不是必须圆形晶片)的几何形状限定。众所周知,晶片往往具有不同尺寸,比如200mm、300mm、450mm,等等。对正方形或其它多边形衬底或较小/较大的衬底而言,其它形状也是可行的。因此,栅的横截面(从上方观察)可具有各种形状和尺寸。进一步地,虽然平坦的平面栅横截面(从侧面观察)适用于一些实施方式,但其它非平坦的横截面可适用于其它一些实施方式。例如,栅组件的一或多个栅可以是中凹的(dished)、有穹顶的、上下波动的(例如,正弦形、方波形、锯齿形(chevron shape))、倾斜的,等等。当使用非平面的横截面栅组件时,应当特别注意穿过栅的视线。没有穿过该组件的无障碍视线,离子便不能行进穿过该组件到下子室中。

[0064] 栅组件的每个栅的厚度平均可在1-50mm之间,或者在5-20mm之间。在一些情况下,该组件中的栅的厚度的总和在约2-75mm之间或者在约2-50mm之间。所述厚度在很大程度上取决于构造所述栅所选用的材料和这种材料的机械强度。如果栅太厚,或者如果栅中的穿孔太小,则该栅会阻挡太多离子穿过(即,有时离子会在栅中的穿孔的侧壁上与栅碰撞,而

不是穿过栅)。这会导致衬底的表面的激活不够充分,且蚀刻会不太成功。如果栅太薄,则会不够坚硬,会不能承受等离子体处理,且会需要非常频繁的更换。

[0065] 在一些实施方式中,栅组件包含气体输送孔。在这样的实施方式中,栅组件可服务于成为用于上子室和/或下子室的喷头的额外目的。在这些实施方式中,一或多个通道可被包括在上栅和/或下栅中。这些通道可进给来自进口(或多个进口)的气体,并将所述气体输送到栅中的多个出口孔。所述出口孔可形成将工艺气体输送到上下子室中的任一者或二者的气体分配喷头。

[0066] 在一些实施方式中,栅具有诸如含有用于允许穿过栅设置探测装置的特征的中心区域之类的区域。所述探测装置可被提供来在操作过程中探测与等离子体处理系统相关的工艺参数。探测工艺可包括光发射端点检测、干涉型端点检测、等离子体密度测量、离子密度测量以及其它度量探测操作。在某些实施方式中,栅的中心区域是开口的。在其它实施方式中,栅的中心区域包含光学透明材料(例如,石英、蓝宝石,等等)以允许光透过所述栅。

[0067] 在一些实施方式中,栅组件可包括嵌在栅中的冷却通道,这些冷却通道可用流动或非流动的冷却剂材料填充。在某些实施方式中,冷却材料是诸如氩或其它惰性气体之类的流体或者诸如去离子(DI)水、工艺冷却水、来自3M的fluoroinert™等液体,或者诸如全氟化碳、氢氟碳化物、氨和CO₂等制冷剂。在这些或其它实施方式中,栅组件可包括嵌入式加热元件和/或温度测量设备。冷却通道和嵌入式加热器允许精确的温度控制,从而允许粒子和壁条件方面的精密控制。在某些情况下,这种控制可被用于调节下子室中的条件。例如,当下栅或栅组件被维持在较冷的温度时,来自晶片的蚀刻副产品会优先沉积在下栅上,从而降低下子室中的蚀刻副产品的气相密度。替代地,下栅或栅组件可被维持在升高的温度(例如,80℃以上)以减少栅上的沉积和确保室能够保持相对洁净和/或减少无晶片自动清洁(WAC)过程中清洁室所需的时间。

[0068] 在某些实施方式中,栅中的一或多个相对于其它栅和/或相对于衬底可以是可移动的。这种移动可通过围绕垂直于栅的表面的轴的旋转和/或通过沿着该相同的轴上下移动栅来进行。这种移动可发生在处理不同的衬底之间,或者在单个衬底的处理过程中。这有助于提供范围广泛的处理条件,从而使得该装置更多样化(versatile)。通过移动栅组件的一或多个栅,下子室中的工艺条件可被调节以适合具体应用。例如,通过旋转栅中的一个,组件开口区域可变化,从而影响能够穿过该组件并与衬底互相作用的离子的数量。器件制造往往需要一系列的蚀刻操作,每个蚀刻操作在不同的蚀刻条件下进行。这样的条件可通过栅的定位而聚焦,这提供了一或多个额外的自由度。

[0069] 在特定实施方式中,一个栅在蚀刻过程中旋转以(a)在蚀刻工艺即将开始时提供更大的离子通量给衬底,(b)在蚀刻工艺即将结束时提供更大的离子通量给衬底,(c)提供离子通量的反复脉冲(即离子通量开/关),(d)提供高离子通量和低离子通量的反复脉冲(即离子通量低/高),或者(e)提供时间依赖和径向依赖的离子通量。在另一实施方式中,离子的通量在上述(a)-(d)中有相关变化,但该通量由输送给等离子体或栅组件的功率而不是栅的位置(或者由该功率和该位置二者)确定。

[0070] 为了实现(a)在蚀刻工艺即将开始时有更大的离子通量到衬底,栅可旋转以在蚀刻工艺即将开始时提供更大的组件开口区域。同样地,为了实现(b)在蚀刻工艺即将结束时有更大的离子通量到衬底,栅可旋转以在蚀刻工艺即将结束时提供更大的组件开口区域。

为了实现(c)离子通量的反复脉冲或者(d)高离子通量和低离子通量的反复脉冲,栅可在组件开口区域的交替图案之间旋转。例如,栅可在第一位置和第二位置之间旋转,其中第一位置实现第一数量的组件开口区域,第二位置实现第二数量的组件开口区域。当然,根据特定应用的需要可使用两个以上的栅位置。在实施(c)时,至少一个栅位置会对应于具有零组件开口区域(即,在该位置,没有离子能够穿过到达下子室)。在一些实施方式中,蚀刻剂在离子通量低或者为零的时间段输送到下子室。换句话说,衬底可在交替的步骤中暴露于蚀刻剂和离子。为了实现(e)时间依赖和径向依赖的离子通量,栅组件的栅必须被设计为一起工作使得栅的旋转导致组件开口区域从栅组件的一个部分(例如,边缘)到栅组件的另一个部分(例如,中心)的一定数量的位移。通过这种方式,栅可在处理过程中旋转以在工艺的不同部分提供不同级别的离子通量给衬底的不同部分。如所示,通量可另外由等离子体产生功率和施加给一或两个栅的偏压控制。

[0071] 可移动栅的使用特别有益,因为这在单个处理站中提供了晶片上的反应条件广泛的工艺窗。这种益处在于处理具有多个层和/或多种类型的暴露材料的复杂结构时尤其有用。如所述,往往需要针对要处理的每个层改变处理条件。

[0072] 偏置栅组件

[0073] 如上所述,栅组件包括至少两个栅,每个栅具有与电源连接的电气连接件,允许独立地控制施加给各个栅的偏压。在一些情况下,每个栅被连接到分开的电源(例如,DC电源)。在其它情况下,单个电源可提供功率给多个栅。在蚀刻过程中,负偏压被施加到组件中的每个栅。最上栅被负偏使得该栅排斥电子,从而保持电子被约束于上子室中的等离子体。这种约束有助于防止电子逸出(bleed)到下子室中。如此,下子室中的物质与上子室等离子体中的高能电子被屏蔽开来,且因此不会离解成很可能再沉积在衬底或装置上的非挥发性材料。相反,因为这些物质(尤其是大量的蚀刻副产品)被屏蔽,所以它们能保持挥发性并通过施加真空或其它扫除机构(例如,气体扫除器)从下子室被有效地扫除。在某些实施方式中,上栅可被偏置在约-0.5至-50V之间,或者在约-5至-50V之间。在特定实施方式中,上栅被偏置到约-6V。施加于上栅的适当的偏压取决于等离子体中的电子能量,等离子体中的电子能量取决于供应来产生该等离子体的压强和功率电平。当上子室中产生的等离子体具有较高的电子能量时,需要更大的偏压以将等离子体约束在该区域。如此,虽然上述偏压对许多应用而言是足够的,但在某些实施方式中,施加给上栅的偏压可以更大(例如,大于-50V的负偏)。

[0074] 相较于组件的最上栅,最下栅被进一步负偏/更加负偏(例如,如果上栅被偏置到-5V,那么施加给下栅的进一步的负偏可以是-10V)。这种偏置作用来使正离子从上子室加速进入下子室并朝向衬底的表面。这些加速的离子会具有垂直速度分量,且因此可有效地轰击衬底表面以激活它从而通过反应蚀刻化学过程进行蚀刻。通过这种方式,所述表面可被激活却不会将蚀刻化学品暴露于等离子体中的高能电子,否则会很可能离解某些化学物质。

[0075] 进一步地,加速离子会具有直接取决于施加给最下栅的偏压的能量。如此,离子能量可通过在最下栅上施加合适的偏压被调节到希望的水平。在一些实施方式中,离子能量被调节却不施加(或者不改变)给诸如静电卡盘之类的衬底支撑件的偏置。恰当数量的离子能量(并因此最下栅上的偏置)取决于被处理的特定衬底以及所使用的具体蚀刻条件。在一

些实施方式中,最下栅可被偏置在约-0.5至-2000V之间。在一具体实施方式中,最下栅被偏置到约-12V。

[0076] 贯穿蚀刻过程,施加给栅的偏置可以是恒定的或可变的。在一些情况下,只有施加给最下栅的偏置在蚀刻过程中被改变。因为离子能量由施加给最下栅的偏置决定,所以该栅上的偏置可被控制以在蚀刻过程中在不同的点提供具有不同能量的离子。在一实施例中,最下栅上的偏置最初被设置为用于激活衬底表面的相对较低的“激活偏压”(例如,-8V),之后在蚀刻工艺即将结束时被设置为较高的“去除偏压”(例如,在约-20至-1000V之间)以帮助从衬底去除蚀刻后的材料。在许多情况下,没有必要使用较高的去除偏压,因为蚀刻后的材料由于蚀刻副产品的挥发本性以及栅组件保护它们以免离解的事实而能被高效且有效地去除。

[0077] 在施加给栅的偏压可以变化的另一实施方式中,离子通量/能量被脉冲式地输送,这在下面“时序”部分中会进一步讨论。在这种情况下,栅组件(或者栅组件的至少最下栅)上的偏置可在两或更多个值之间变化以提供不同级别的离子通量和/或离子能量给下子室。在特定实施方式中,从上子室到下子室的离子通量是连续的,同时蚀刻剂气体被脉冲式地供应。在该实施方式中,离子能量可(通过改变栅组件的最下栅上的偏置)在蚀刻剂气体打开与关闭的时间之间变化。

[0078] 在一些实施方式中,在栅组件中使用多于两个的栅。在这种情况下,每个栅可具有不同程度的负偏。更靠近衬底的栅会具有更大程度的负偏,更靠近等离子体产生子室的栅会具有更低程度的负偏。通过这种方式,从上子室中的等离子体提取的正离子可被逐步加速穿过栅组件。在一特定实施方式中,栅组件包括4个独立的栅,其中栅A最靠近上子室,然后栅B,然后栅C,然后栅D最靠近衬底。栅A可被偏置到约-6V,栅B可被偏置到约-8V,栅C可被偏置到约-10V,而栅D可被偏置到约-12V。在一些情况下,施加给相邻栅的偏压之间的差大幅大于前面实施例中的差。

[0079] 偏置衬底架

[0080] 衬底往往由设置在下子室中的诸如静电卡盘之类的衬底架支撑。在常规操作中,这种静电卡盘可被负偏以将正离子吸引到衬底的表面。有时,所述卡盘被偏置到使得卡盘本身在衬底正上方产生等离子体这样的程度。

[0081] 在该实施方式中,衬底架(以及衬底)可以负偏或者可以不负偏。在某些实施方式中,衬底架没有必要被偏置,因为栅组件本身能有效地加速离子朝向衬底以进行激活。但在一些其它情况下,负偏可被施加给衬底架以帮助将正离子吸引到衬底表面。在偏置被施加给衬底架的一些情况下,偏置的程度可以足够低(在频率和/或功率方面)使得没有等离子体形成在下子室中。希望的是,在各种实施方式中,下子室没有等离子体以便防止蚀刻副产品的离解。为了防止在下子室中形成等离子体,施加给衬底架的偏压可具有相对较低的频率(例如,约400kHz或者约2MHz或者介于这些值之间的频率)。通常导致在衬底上方产生等离子体(当足够的功率被施加时)的频率的实例是13.56MHz。当施加给衬底支撑件的偏压在该值或在该值附近时,供应给衬底支撑件的功率可被维持得相对较低(例如,就单个300mm衬底而言低于约200W)以避免在下子室中产生大量等离子体。

[0082] 在一些实施方式中,在下子室中具有等离子体可能是有益的。在这些实施方式中,施加给衬底支撑件的RF偏置频率/功率可以足够大以在下子室中产生等离子体。在该实施

方式中,输送不同组分和/或流率的气体给上子室和下子室可以是有利的。一般而言,当等离子体存在于衬底上方时,施加给衬底支撑件的偏置会在衬底上产生自偏置。当没有等离子体存在于衬底上方时,施加给衬底支撑件的RF功率不会导致衬底上的自偏置。

[0083] 在一些实施方式中,衬底架上偏置可以是脉冲式的。这在其它参数(比如例如来自上子室的离子的通量)是脉冲式的时尤其有用。

[0084] 下子室中的条件

[0085] 在许多实施方式中,在处理过程中,下子室中不存在等离子体。如本文其它部分所述,这有助于防止挥发性蚀刻副产品的离解。

[0086] 下子室中的压强通常在约0.5-100毫托(mTorr)之间,或者在约0.5-5毫托之间。除了其它好处,在低压下操作有助于防止不希望有的气相反应发生。另外,下子室中的压强可以低于上子室中的压强,使得存在于下子室中的物质不扩散到上子室中。在交替的离子激活和蚀刻剂暴露循环发生的一种实施方式中,下子室中的压强可以稍微较高(相较于不循环的情况)。在这种方案中,应当注意确保下子室中的气体不会污染上子室中的等离子体。处理这个问题的一种技术是在激发等离子体之前清除上子室中的气体。衬底和/或下子室的温度可由衬底支撑件控制,衬底支撑件在许多情况下是静电卡盘。在各种情况下,衬底和/或下子室的温度应当被维持在约0-250℃之间。

[0087] 时序

[0088] 上面已详细描述图2提供了根据本文实施方式的蚀刻工艺的实施例。但是,在一些情况下,所述操作可按不同的顺序执行,一些操作可重叠,和/或一些操作可重复。

[0089] 不同的工艺条件可被脉冲式地提供(例如,蚀刻剂气体流、第二工艺气体流、施加给一或多个栅的偏置、施加给衬底架的偏置、从上子室到下子室的离子的通量,等等)。贯穿本公开所使用的“脉冲”表示在“开”和“关”状态之间、或者在“低”和“高”状态之间、或者在多于两个的这种状态之间变化,除非另有说明。

[0090] 在一实施例中,蚀刻剂气体可被脉冲式地提供。在其它情况下,蚀刻剂气体被连续提供。类似地,从上子室到下子室的离子通量可被脉冲式地或者连续地供应。在特定情况下,离子通量和蚀刻剂气体以交替脉冲的方式提供。换句话说,在几乎没有或者完全没有离子通量时供应蚀刻剂气体,然后,在几乎没有或者完全没有蚀刻剂气体被输送时提供离子通量。该方法可被重复直到达到希望的蚀刻深度。

[0091] 在一些情况下,衬底的表面在暴露于蚀刻剂气体之前用离子通量轰击。

[0092] 蚀刻反应器装置

[0093] 本文所描述的方法可由具有支持恰当负偏的至少两个栅的任何合适的等离子体蚀刻装置执行。合适的装置包括用于提供和维持本文所述的蚀刻条件的室和电子硬件。合适的装置有时还包括具有指令的控制器,所述指令用于指挥如上所述的硬件以及用于执行一系列适于蚀刻应用(例如,用于蚀刻MRAM结构或FET的栅极)的工艺操作。在一些实施方式中,所述装置可包括包含在处理工具中的一或多个处理站。

[0094] 图5提供了根据某些实施方式的电感耦合等离子体蚀刻装置500的剖视图。如前所述,本文的实施方式也可用非电感耦合等离子体实施。电感耦合等离子体蚀刻装置500包括在结构上由室壁501和窗511限定的整体蚀刻室,室壁501通常由不锈钢或铝制成。窗511通常由石英或其它介电材料制成。

[0095] 包括上栅(即最上栅)551和下栅(即最下栅)552的内部等离子体栅组件550将整体蚀刻室分割成上子室502和下子室503。栅551和552中的每一个含有延伸穿过所述栅的厚度的穿孔(未图示)。进一步地,栅551和552的每一个与它们自己的电源557和567连接。例如,上栅551通过连接件554与匹配电路555连接,而匹配电路555通过连接件556与电源557连接。类似地,下栅552通过连接件564与匹配电路565连接,同时匹配电路565通过连接件566与电源567连接。这些电源557和567将适当的偏压供应给栅551和552中的每一个。在某些其它实施方式中,使用更复杂的等离子体栅组件。在处理过程中,等离子体通常存在于上子室502中且不存在于下子室503中。

[0096] 卡盘517被设置在下子室503内靠近底部内表面。卡盘517被配置为接收并保持半导体晶片519,在半导体晶片519上执行蚀刻工艺。卡盘517可以是静电卡盘,用于在晶片存在时支撑晶片。在一些实施方式中,边缘环(未图示)围绕卡盘517且在晶片存在于卡盘517上时具有与晶片的上表面大致在同平面的上表面。卡盘517还包括静电电极以实现晶片的夹持和去夹持。为此目的可提供滤波器和DC夹持电源。也可提供用于使晶片抬升离开卡盘517的其它控制系统。卡盘517可用RF电源523充电。RF电源523通过连接件527连接到匹配电路521。匹配电路521通过连接件525连接到卡盘517。通过这种方式,RF电源523被连接到卡盘517。

[0097] 线圈533被设置在窗511上方。线圈533由导电材料制成且包括至少一个完整的匝。图5中所示的示例性线圈533包括三个匝。线圈533的横截面的具有“X”的符号表示线圈533旋转地延伸到页面(page)中。相反地,具有“•”的线圈533符号表示线圈533旋转地延伸到页面(page)之外。RF电源541被配置为供应RF功率给线圈533。总体上,RF电源541通过连接件545连接到匹配电路539。匹配电路539通过连接件543连接到线圈533。通过这种方式,RF电源541被连接到线圈533。任选的法拉第屏罩549被维持在线圈533与窗511之间。法拉第屏罩549被维持与线圈533间隔开的关系。法拉第屏罩549被置于窗511正上方。线圈533、法拉第屏罩549和窗511各自被配置为大体上彼此平行。法拉第屏罩可防止金属或其它物质沉积在等离子体室的介电窗上。

[0098] 工艺气体可通过位于上室中的主注入端口560以及通过侧注入端口570(有时也称为STG)进行供应。在不同实施方式中,蚀刻剂气体通过侧注入端口570供应,而用于产生等离子体的气体通过主注入端口560注入。气体排放端口未示出。此外,未图示的还有连接到室501以在操作性等离子体处理的过程中实现泵控制和从该室去除气态副产品的泵。

[0099] 将射频功率从RF电源541施加到线圈533以使RF电流流过线圈533。流过线圈533的RF电流围绕线圈533产生电磁场。该电磁场在上子室502内产生感应电流。所述感应电流作用于上子室502中存在的气体上从而在上子室502中产生等离子体。栅组件550限制能够迁移到下子室503中的等离子体物质的数量。

[0100] 各种离子和其它物质与晶片519的物理和化学作用选择性地蚀刻晶片的特征。挥发性的蚀刻副产品通过排放端口(未图示)从下子室503去除。重要的是,这些挥发性副产品基本上不暴露于等离子体中的高能电子,且因此不太可能离解成非挥发性的副产品。

[0101] 典型地,本文所公开的卡盘操作在范围介于约30摄氏度和约250摄氏度之间、优选地介于约30-150摄氏度之间的升高温度下。该温度取决于蚀刻工艺操作和具体配方。

[0102] 虽然没有图示,但室501在安装在洁净室或制造设备中时通常耦合到设备。设备包

括提供工艺气体、真空、温度控制以及环境粒子控制的管道装置。这些设备在安装到目标制造设备中时耦合到室501。另外，室501可耦合到转移室，转移室利用典型的自动操作使机器人能够传送半导体晶片进出室501。

[0103] 系统控制器

[0104] 在一些实施方式中，系统控制器(可包括一或多个物理或逻辑控制器)控制处理工具的操作中的一些或全部。该系统控制器通常包括一或多个存储器设备和一或多个处理器。所述处理器可包括中央处理器(CPU)或计算机、模块和/或数字输入/输出连接件、步进马达控制器板、以及其它类似部件。用于执行恰当的控制操作的指令在所述处理器上执行。这些指令可被存储在与控制器相关联的存储器设备上或者它们可通过网络提供。在某些实施方式中，系统控制器执行系统控制软件。

[0105] 系统控制软件可包括用于控制由处理工具执行的具体工艺的时间、工艺气体组分(例如，蚀刻剂气体的组分和用于产生等离子体的气体的组分)的混合、室压、室温、晶片温度、施加给卡盘/晶片和任何其它电极的电流和电势、施加给栅组件的每一个栅的偏置、晶片位置以及其它参数的指令。系统控制软件可按任何适合的方式进行配置。例如，可编写各种处理工具部件子程序或控件对象以控制执行各种处理工具工艺所需的处理工具部件的操作。系统控制软件可用任何合适的计算机可读程序语言编写代码。

[0106] 在一些实施方式中，系统控制软件包括用于控制上述各种参数的输入/输出控制(IOC)序列指令。例如，蚀刻工艺的每个阶段可包括由系统控制器执行的一或多个指令。用于设置用于等离子体产生工艺阶段的工艺条件的指令可被包括在相应的等离子体产生配方阶段中。在一些实施方式中，蚀刻配方阶段可以顺序排列，因此用于蚀刻工艺阶段的所有指令可与该工艺阶段同时执行。

[0107] 在一些实施方式中可采用其它计算机软件和/或程序。用于该目的的程序或程序段的实例包括衬底放置程序、等离子体气体组分控制程序、蚀刻气体组分控制程序、气体进口定时控制程序、栅组件偏置控制程序、栅组件位置控制程序、静电卡盘偏置控制程序、压强控制程序、加热器控制程序、加热器控制程序和电势/电流电源控制程序。本文所述的任何软件/程序可包含用于在蚀刻过程中修改相关参数的指令。在一实施例中，栅组件偏置控制程序可包含指令以在蚀刻过程中修改对栅组件的一或多个栅的偏置。因此，可在蚀刻工艺的过程中修改行进到下子室中的离子的离子能量。

[0108] 在一些情况下，控制器控制下列事项中的一或多个：将蚀刻剂气体输送到下子室、将等离子体产生气体输送到上子室、上子室中的等离子体产生条件、施加给栅组件的每一个栅的偏置，等等。例如，将气体输送到子室可以通过操纵某些阀以在特定时间打开和关闭而实现。这允许控制器控制气体输送的时间和所输送的气体的组分二者。控制器可通过例如操纵电源以在特定频率/功率电平提供功率给等离子体发生器(ICP反应器的线圈)来控制等离子体产生条件。进一步地，控制器可通过引导惰性气体(和/或一些实施方式中的反应气体)流进入上子室或者通过控制子室中的压强或者通过控制子室中的温度等来控制等离子体产生条件。控制器可基于传感器输出(例如，当电流、电流密度、电势、压强等达到某个阈值时)、操作的时序(例如，在工艺中在某些时间打开阀)或者基于从用户处接收的指令来控制这些方面。

[0109] 上述各种硬件和方法的实施方式可结合光刻图案化工具或工艺用于例如半导体

器件、显示器、LED、光伏板等的制造或生产。虽然不一定,但一般而言,这样的工具/工艺会在通用制造设备中被联合使用或管理。

[0110] 膜的光刻图案化通常包括下述步骤中的一些或全部,每个步骤使用许多可能的工具:(1)利用旋涂或喷涂工具将光致抗蚀剂施加在工件(例如,其上形成有氮化硅膜的衬底)上;(2)利用热板或炉子或其它合适的固化工具固化光致抗蚀剂;(3)利用诸如步进式晶片曝光器之类的工具将光致抗蚀剂暴露于可见光或UV光或x光;(4)利用诸如湿式清洗台或喷射显影器之类的工具显影该抗蚀剂以便选择性地去除抗蚀剂从而将其图案化;(5)利用干法或等离子体辅助蚀刻工具将抗蚀剂图案转印到底层膜或工件中;以及(6)利用诸如RF或微波等离子体抗蚀剂剥离器之类的工具移除该抗蚀剂。在一些实施方式中,可灰化硬掩模层(比如非晶碳层)和其它合适的硬掩模(比如抗反射层)可在施加光致抗蚀剂之前被沉积。

[0111] 应当理解的是,本文所述的配置和/或方法在本质上是示例性的,且这些具体的实施方式或实施例不能视为限制,因为众多的变化例是可行的。本文所述的具体程序或方法可代表任意数量的处理策略中的一种或多种。就其本身而言,所述各种操作可按所述顺序、按其它顺序、平行地、或者按照所省略的其它情况来执行。同样地,也可改变上述工艺的顺序。

[0112] 本公开的主题包括此处所公开的各种工艺、系统和配置、以及其它特征、功能、操作、和/或性质的所有的具备新颖性和创造性的组合和子组合,及其任意和所有的等同方式。

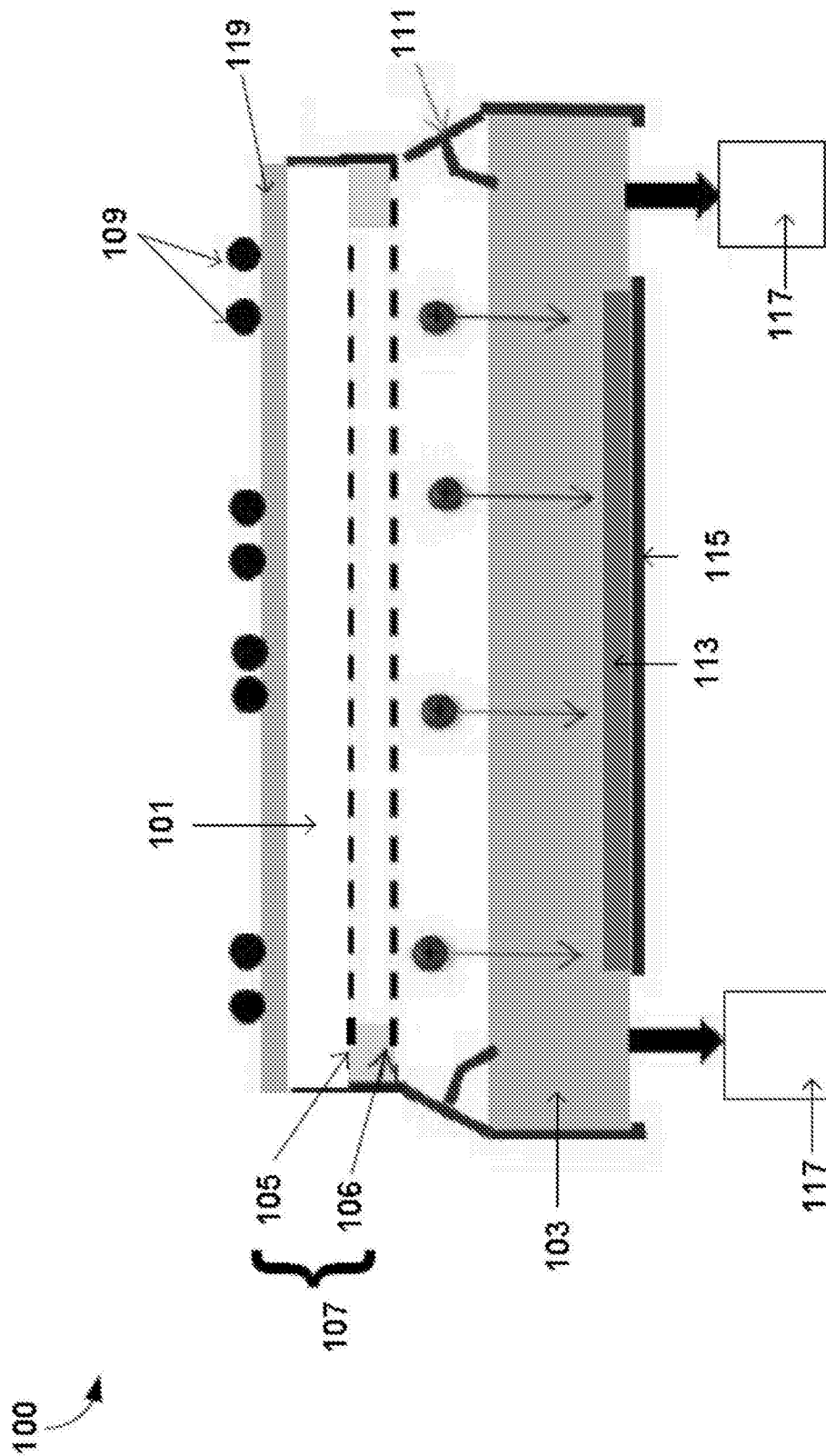


图1

200

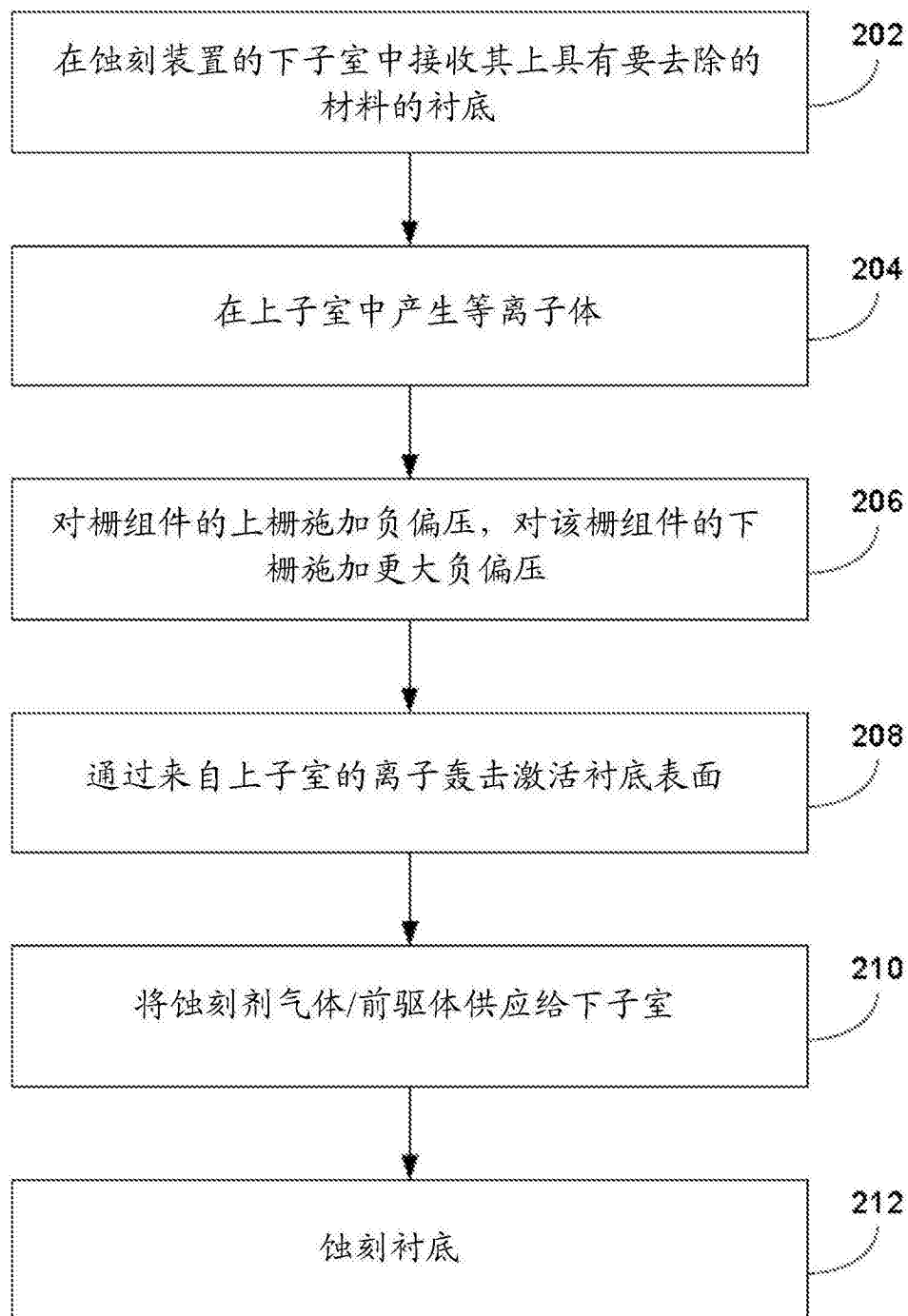


图2

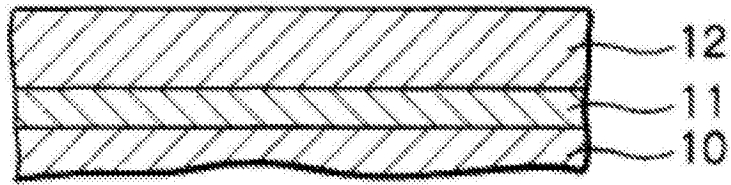


图3A

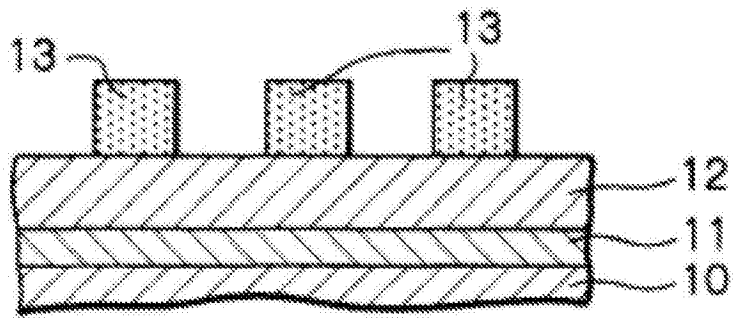


图3B

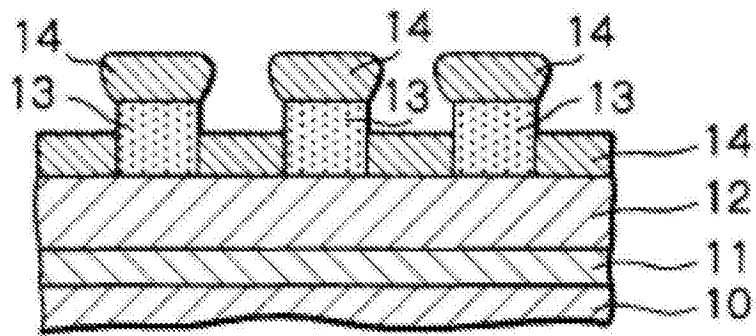


图3C

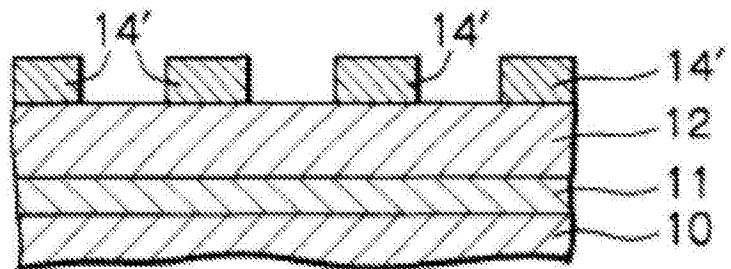


图3D

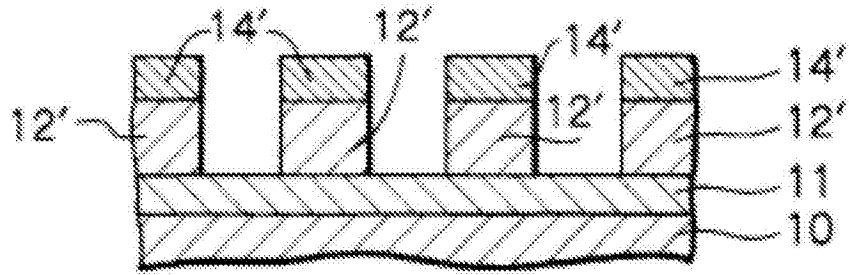


图3E

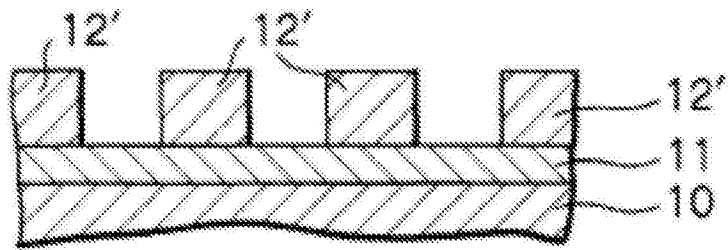


图3F

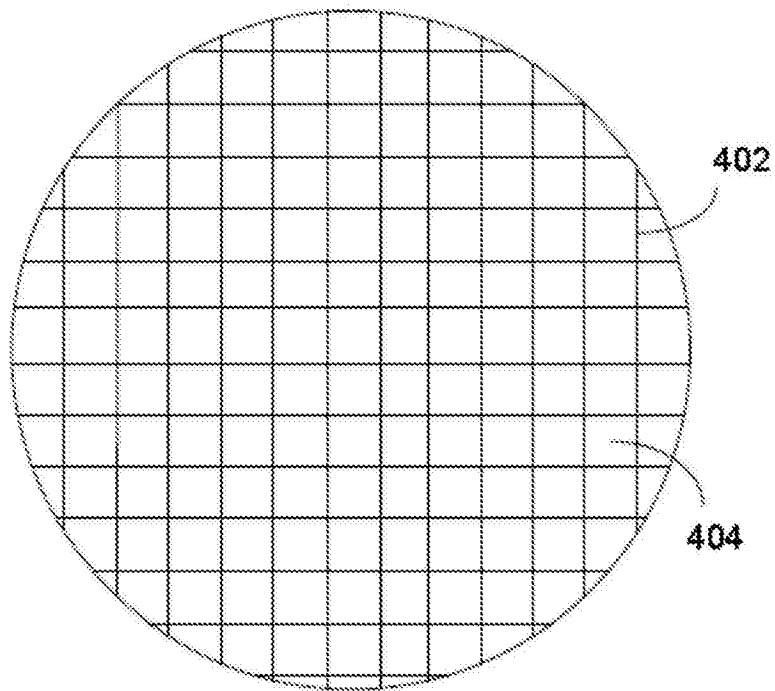


图4A

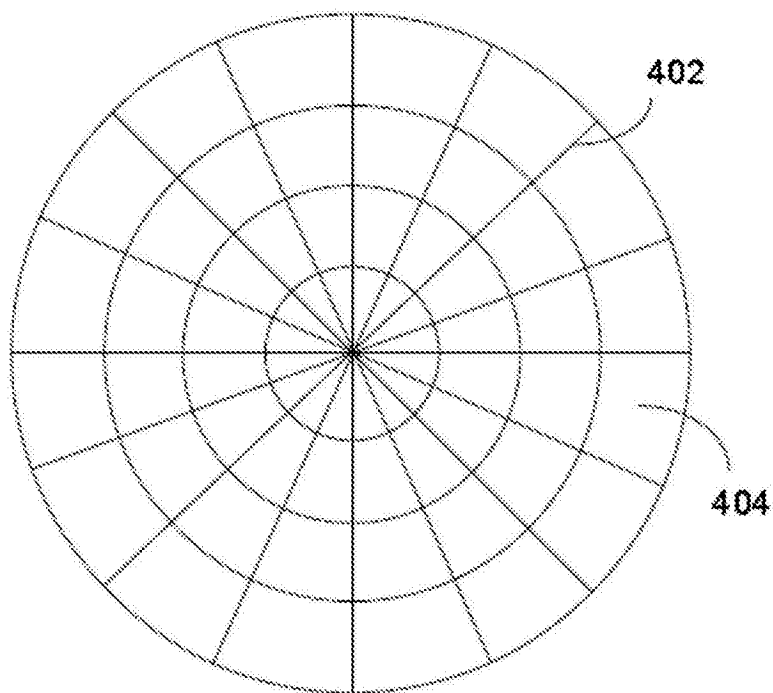


图4B

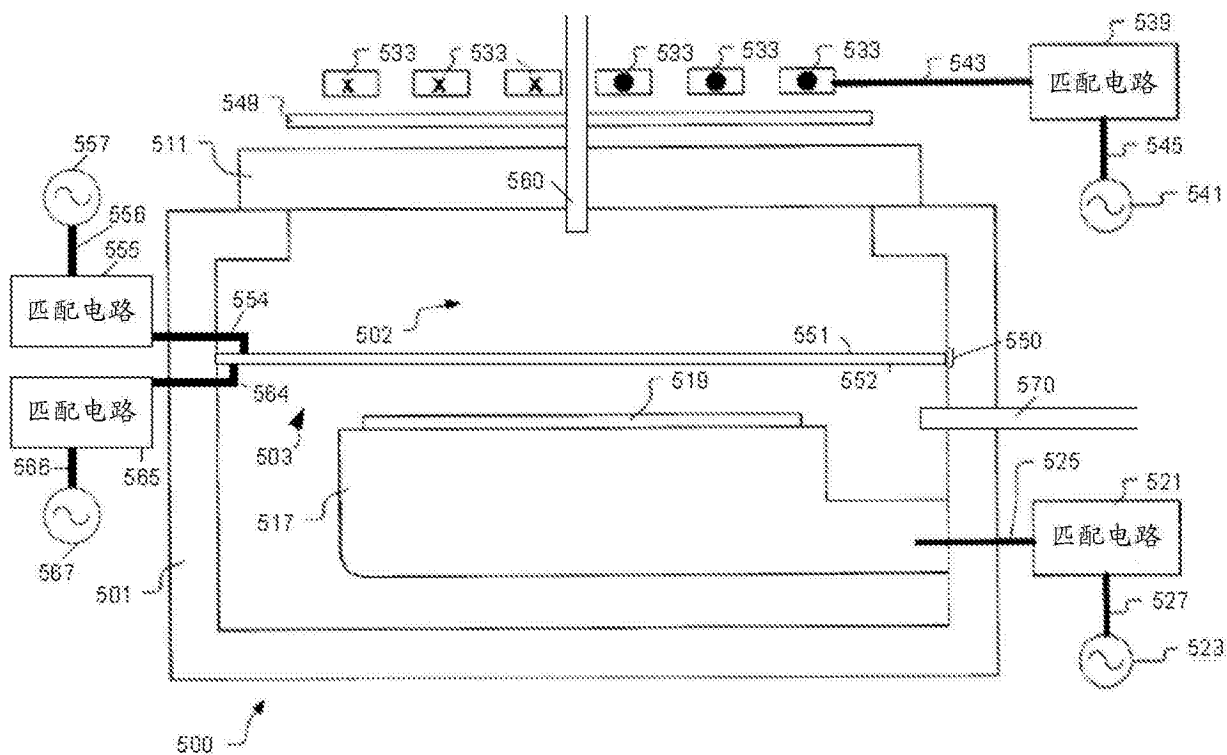


图5