

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 16.03.10.

30 Priorité :

43 Date de mise à la disposition du public de la
demande : 23.09.11 Bulletin 11/38.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : STMICROELECTRONICS (CROL-
LES 2) SAS Société par actions simplifiée — FR.

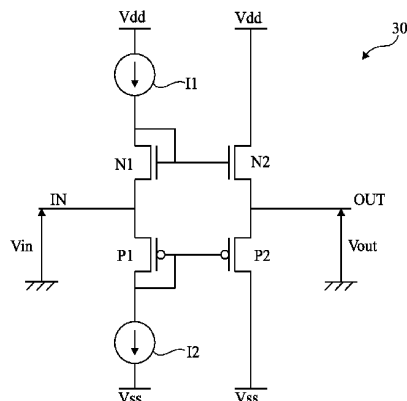
72 Inventeur(s) : DEGOIRAT HUBERT.

73 Titulaire(s) : STMICROELECTRONICS (CROLLES 2)
SAS Société par actions simplifiée.

74 Mandataire(s) : CABINET BEAUMONT.

54 ETAGE DE SORTIE D'UN CIRCUIT ELECTRONIQUE.

57 L'invention concerne un circuit électronique (30) comprenant: une première branche, placée entre deux bornes d'application (Vdd, Vss) d'une tension continue, comprenant une association série d'une première source de courant constant, d'un premier transistor MOS à canal N (N1) monté en diode, d'un premier transistor MOS à canal P (P1) monté en diode et d'une deuxième source de courant constant; une deuxième branche, parallèle à la première branche, comprenant une association série d'un deuxième transistor MOS à canal N (N2) en miroir de courant sur le premier transistor MOS à canal N et d'un deuxième transistor MOS à canal P (P2) en miroir de courant sur le deuxième transistor à canal P; et une borne d'entrée (IN) connectée entre les premiers transistors à canal N et à canal P et une borne de sortie (OUT) connectée entre les deuxièmes transistors à canal N et à canal P.



ETAGE DE SORTIE D'UN CIRCUIT ÉLECTRONIQUE

Domaine de l'invention

La présente invention concerne un étage de sortie d'un circuit électronique. La présente invention concerne également une application d'un tel étage de sortie à la formation d'un circuit diviseur de tension.

Exposé de l'art antérieur

Les étages de sortie des circuits électroniques, et notamment des circuits assurant des fonctions d'amplification, sont, de façon classique, des étages présentant une impédance de sortie faible. Ceci les distingue des étages de rangs précédents des circuits dont la sortie peut présenter une impédance élevée. De tels étages de sortie permettent, lorsqu'une charge est placée en sortie du circuit, de lui fournir une tension fixe et un courant adapté à sa consommation d'énergie.

Des circuits similaires peuvent être utilisés pour former des circuits diviseurs de tension.

La figure 1 illustre un circuit 10 assurant une fonction de diviseur de tension.

Le circuit 10 comprend une première branche connectée entre deux bornes Vdd et GND d'application d'une tension d'alimentation continue, la borne GND étant une borne de masse. La première branche comporte une association série, à partir de

la borne Vdd, d'une résistance Ra1, d'un transistor MOS Na1 à canal N, d'un transistor MOS Pa1 à canal P et d'une résistance Ra2. Les transistors Na1 et Pa1 sont montés en diode, c'est-à-dire que la grille et le drain du transistor Na1 sont connectées, et que la grille et le drain du transistor Pa1 sont connectées. Cette première branche forme un circuit diviseur de tension.

En parallèle de la première branche est placée une seconde branche comprenant une association série, entre les bornes Vdd et GND, d'un transistor Na2 en miroir de courant sur le transistor Na1, c'est-à-dire que les grilles des transistors Na1 et Na2 sont reliées, et d'un transistor Pa2 en miroir de courant sur le transistor Na2. Une borne de sortie OUTa du circuit correspond au point de connexion entre les transistors Na2 et Pa2. Une charge, un condensateur Ca dans l'exemple de la figure 1, est connectée entre la borne de sortie OUTa et la masse GND.

Le circuit 10 fonctionne comme suit. Dans la première branche, le potentiel en un point Aa situé entre les transistors Na1 et Pa1 est sensiblement égal au rapport $(Ra2 \times Vdd) / (Ra1 + Ra2)$, aux différences de tension de seuil entre les transistors Na1 et Pa1 près. Les miroirs de courant permettent que le courant circulant dans la première branche se retrouve dans la seconde branche, proportionnellement au rapport entre les termes W/L des transistors en miroir, W et L étant, respectivement, la largeur et la longueur du canal du transistor considéré, et que la tension sur la sortie OUTa soit sensiblement la même que celle au point Aa.

Lorsque la charge consomme de l'énergie, un courant proportionnel à cette consommation lui est fourni par la seconde branche du circuit. Ce circuit fonctionne correctement tant que la tension Vdd est bien supérieure à la somme des tensions de seuil des transistors Na1 et Pa1.

Un inconvénient du circuit de la figure 1 apparaît lorsque ce circuit est utilisé avec une tension d'alimentation

Vdd dite faible. Cette situation apparaît de plus en plus fréquemment. En effet, on cherche actuellement à former des circuits consommant de moins en moins d'énergie. Pour cela, une solution consiste à alimenter les circuits à l'aide de tensions d'alimentation dites faibles. Ceci est possible puisque les composants électroniques eux aussi consomment de moins en moins d'énergie pour fonctionner correctement. Cependant, en ce qui concerne les transistors MOS, leurs tensions de seuil évoluent à la baisse mais pas aussi rapidement que la baisse des tensions d'alimentation des circuits.

Ainsi, lorsque l'on diminue la tension d'alimentation, le courant dans la première branche diminue mais la chute de tension aux bornes des transistors Na1 et Pa1 reste sensiblement constante. Un problème se pose lorsque la tension d'alimentation atteint une valeur légèrement supérieure à la somme des tensions de seuil des transistors Na1 et Pa1. Dans ce cas, le courant circulant dans la première branche, et donc dans la seconde branche du circuit, diminue et peut ne pas être suffisant pour alimenter la charge Ca.

De plus, bien que l'on arrive maintenant à former, sur un même circuit, des transistors MOS à canal N présentant des caractéristiques identiques et des transistors MOS à canal P présentant des caractéristiques identiques, des dispersions apparaissent tout de même d'un circuit à un autre entre des transistors MOS de même type. Si on diminue la tension Vdd, le courant dans la première branche du circuit peut varier en fonction des tensions de seuil des transistors Na1 et Pa1, d'un circuit à un autre.

Pour vérifier si un circuit tel que celui de la figure 1 fonctionne correctement, des simulations sont réalisées en forçant les tensions de seuil des transistors du circuit à des valeurs extrêmes. Ces simulations permettent de tester les cas les plus défavorables, notamment lorsque les transistors Na1 et Pa1 ont des tensions de seuil importantes (transistors lents).

Dans ce cas, le courant dans chacune des branches du circuit peut devenir quasi-nul.

Pour augmenter le courant, on pourrait penser à diminuer la valeur des résistances Ra1 et Ra2. Cependant, dans ce cas, les variations des tensions de seuil des transistors Na1 et Pa1 influent fortement sur la valeur du courant dans le circuit. De plus, la diminution de la valeur des résistances Ra1 et Ra2 augmente la dissipation d'énergie dans ces résistances et donc la consommation d'énergie des circuits.

Enfin, du fait de la dispersion des tensions de seuil des transistors MOS, la tension de sortie peut varier légèrement entre différents circuits formés sur le modèle de la figure 1. En effet, entre des cas extrêmes où les transistors Na1/Na2 présentent une tension de seuil importante et où les transistors Pa1/Pa2 présentent une tension de seuil faible, et inversement, la tension OUT varie autour de la valeur $(Ra2 \times V_{dd}) / (Ra1 + Ra2)$ puisque la tension au point Aa varie.

Résumé

Un objet d'un mode de réalisation de la présente invention est de prévoir un étage de sortie d'un circuit électronique palliant tout ou partie des inconvénients susmentionnés.

Un autre objet d'un mode de réalisation de la présente invention est de prévoir un circuit diviseur de tension, susceptible d'être alimenté par une tension faible et peu sensible à la variation de tension de seuil des transistors MOS le constituant.

Ainsi, un mode de réalisation de la présente invention prévoit un circuit électronique comprenant : une première branche, placée entre deux bornes d'application d'une tension continue, comprenant une association série d'une première source de courant constant, d'un premier transistor MOS à canal N, d'un premier transistor MOS à canal P et d'une deuxième source de courant constant, les premiers transistors MOS à canal N et à canal P étant montés en diode ; une deuxième branche, parallèle

à la première branche, comprenant une association série d'un deuxième transistor MOS à canal N en miroir de courant sur le premier transistor MOS à canal N et d'un deuxième transistor MOS à canal P en miroir de courant sur le premier transistor à canal P ; et une borne d'entrée d'une tension d'entrée connectée entre les premiers transistors à canal N et à canal P et une borne de sortie d'une tension de sortie connectée entre les deuxièmes transistors à canal N et à canal P.

Selon un mode de réalisation de la présente invention, les première et deuxième sources de courant constant fournissent des courants de valeurs sensiblement identiques.

Selon un mode de réalisation de la présente invention, les première et deuxième sources de courant sont formées, respectivement, d'un premier et d'un deuxième circuit de type miroir de courant.

Un mode de réalisation de la présente invention prévoit en outre un circuit diviseur de tension, comprenant un circuit tel que ci-dessus, la borne d'entrée dudit circuit recevant une tension proportionnelle à une tension d'alimentation.

Brève description des dessins

Ces objets, caractéristiques et avantages, ainsi que d'autres seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, illustre un circuit diviseur de tension ;

la figure 2 illustre un circuit diviseur de tension selon un mode de réalisation de la présente invention ;

la figure 3 illustre un étage de sortie d'un circuit électronique selon un mode de réalisation de la présente invention ; et

la figure 4 illustre une variante du circuit de la figure 3.

Par souci de clarté, de mêmes éléments ont été désignés par de mêmes références aux différentes figures.

Description détaillée

Pour pallier aux inconvénients des circuits diviseurs de tension tels que celui de la figure 1, on propose un circuit dans lequel le pont diviseur de tension est formé dans une branche distincte de la branche comprenant les transistors formés en miroir de courant.

La figure 2 illustre un circuit 20 diviseur de tension. Ce circuit comprend trois branches parallèles entre deux bornes d'application d'une tension d'alimentation, dans l'exemple de la figure 2 une première borne sur laquelle est appliquée une tension continue Vdd et une seconde borne connectée à la masse GND.

Une première branche du circuit comprend une association série de deux résistances R1 et R2 formant un pont diviseur de tension. La borne commune entre les résistances R1 et R2 est connectée à un point A d'une deuxième branche, entre un transistor MOS N1 à canal N et un transistor MOS P1 à canal P. La seconde borne principale du transistor N1 est connectée à une première borne d'une première source de courant constant I1 dont la seconde borne est connectée à la borne Vdd. Le transistor N1 est monté en diode (grille connectée au drain).

La seconde borne du transistor P1 est connectée à une première borne d'une seconde source de courant constant I2 dont la seconde borne est connectée à la borne GND. Le transistor P1 est monté en diode (grille connectée au drain).

Une troisième branche du circuit comprend, entre les bornes Vdd et GND, une association série d'un transistor MOS N2 à canal N et d'un transistor MOS P2 à canal P. La grille du transistor N2, respectivement P2, est connectée à la grille du transistor N1, respectivement P1 (miroirs de courant).

Une borne de sortie du circuit, OUT, dont le potentiel est à une valeur Vout, est connectée à la borne commune aux transistors N2 et P2. Une charge, dans l'exemple représenté un

condensateur C , est connectée en sortie du circuit. On notera que cet exemple de charge n'est pas limitatif.

De préférence, les sources de courant constant I_1 et I_2 fournissent des courants constants de même intensité ou
5 d'intensités sensiblement identiques. On fixe ainsi le courant dans les transistors N_1 et P_1 à une même valeur, ce qui impose un courant nul entre les première et deuxième branches du circuit 20. Le potentiel au point A est proportionnel à V_{dd} du fait du pont diviseur de tension de la première branche.

10 Le circuit 20 permet avantageusement de réduire la tension d'alimentation V_{dd} au maximum, à savoir à la somme des tensions de seuil maximales des transistors N_1 et P_1 (en tenant compte de la dispersion des tensions de seuil des transistors formés sur une même plaquette semiconductrice), tout en assurant
15 un courant constant dans la troisième branche, susceptible d'être utilisé par la charge C . En effet, en imposant un courant constant dans la deuxième branche, on s'affranchit des problèmes de faible courant, et de variation du courant, de l'art antérieur.

20 De plus, le circuit de la figure 3 évite tout problème de fluctuation de la tension V_{out} en fonction des tensions de seuil entre les transistors MOS puisque la tension au point A, qui est "recopiée" sur la sortie du circuit, reste fixe et proportionnelle à la tension V_{dd} (en fonction du rapport
25 $R_2/(R_1+R_2)$).

La figure 3 illustre un circuit 30 représentant une généralisation du circuit 20 à la formation d'un étage de sortie d'un circuit électronique, par exemple d'un circuit amplifi-
30 cateur, présentant une impédance de sortie faible. Ce circuit peut notamment former un étage de sortie d'un amplificateur de classe AB.

Le circuit 30 comprend deux branches parallèles placées entre deux bornes V_{dd} et V_{ss} d'application d'une tension continue $V_{dd}-V_{ss}$.

La première branche du circuit comprend une association série d'une première source de courant constant I_1 , d'un transistor N1 à canal N, d'un transistor P1 à canal P et d'une seconde source de courant constant I_2 . La grille du transistor N1 est connectée à son drain et la grille du transistor P1 est connectée à son drain. Une borne d'entrée du circuit, I_N , destinée à recevoir une tension d'entrée V_{in} , est connectée au point de connexion entre les transistors N1 et P1.

La seconde branche du circuit 30 comprend une association série d'un transistor N2 à canal N et d'un transistor P2 à canal P, placés respectivement en miroir de courant sur les transistors N1 et P1. Le point de connexion entre les transistors N2 et P2 forme la borne de sortie OUT du circuit, qui fournit une tension de sortie V_{out} .

L'étage de sortie de circuit électronique 30 permet de tirer profit au maximum de la tension $V_{dd} - V_{ss}$ en limitant les pertes d'énergie, tout en évitant des variations de la tension de sortie liées aux variations des tensions de seuil de transistors MOS d'un circuit à un autre. De plus, cet étage de sortie permet d'alimenter correctement une charge placée en sortie du circuit.

La figure 4 illustre une structure possible permettant d'obtenir le fonctionnement du circuit 30.

Dans cette figure est représenté un circuit 40 illustrant un exemple de circuit formant les sources de courant constant I_1 et I_2 du circuit 30. Dans ce circuit, la source de courant constant I_1 comprend un transistor P3 à canal P placé entre la borne d'application de la tension V_{dd} et le transistor N1. Le transistor P3 est formé en miroir de courant avec un transistor P4 à canal P dont une première borne est connectée à la borne d'application de la tension V_{dd} . La grille du transistor P4 est connectée à la seconde borne du transistor P4 et à une première borne d'une source de courant constant I dont la seconde borne est connectée à une source de tension V_{ss} , ou à une source de tension d'une autre valeur que V_{ss} .

La source de courant I2 comprend un transistor N3 à canal N placé entre la borne d'application de la tension Vss et le transistor P1. Le transistor N3 est formé en miroir de courant avec un transistor N4 à canal N dont une première borne est connectée à la borne d'application de la tension Vss. La grille du transistor N4 est connectée à la seconde borne du transistor N4 et à une première borne d'une source de courant constant I dont la seconde borne est connectée à une source de tension Vdd, ou à une source de tension d'une autre valeur. On notera que les sources de courant associées aux transistors P4 et N4 pourront être en fait une même source, en formant un miroir de courant double avec les transistors N4 et P4.

De façon classique, dans des circuits électroniques tels que des amplificateurs opérationnels, des sources de courant sont généralement prévues, notamment pour la polarisation de paires différentielles. Ainsi, l'utilisation d'une ou de deux sources de courant supplémentaires pour la formation de l'étage de sortie du circuit ne pose pas de problème pratique de fabrication.

Des modes de réalisation particuliers de la présente invention ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art. En particulier, on notera que les sources de courant continu I1 et I2 des figures 2 et 3 pourront être formées par tout circuit connu de l'homme de l'art.

REVENDICATIONS

1. Circuit électronique (20, 30, 40) comprenant :
une première branche, placée entre deux bornes d'application (Vdd, Vss) d'une tension continue, comprenant une association série d'une première source de courant constant (I1), d'un premier transistor MOS à canal N (N1), d'un premier transistor MOS à canal P (P1) et d'une deuxième source de courant constant (I2), les premiers transistors MOS à canal N et à canal P (N1, P1) étant montés en diode ;
une deuxième branche, parallèle à la première branche, comprenant une association série d'un deuxième transistor MOS à canal N (N2) en miroir de courant sur le premier transistor MOS à canal N (N1) et d'un deuxième transistor MOS à canal P (P2) en miroir de courant sur le premier transistor à canal P (P1) ; et
une borne d'entrée (IN) d'une tension d'entrée (Vin) connectée entre les premiers transistors à canal N et à canal P et une borne de sortie (OUT) d'une tension de sortie (Vout) connectée entre les deuxièmes transistors à canal N et à canal P.
2. Circuit électronique selon la revendication 1, dans lequel les première et deuxième sources de courant constant (I1, I2) fournissent des courants de valeurs sensiblement identiques.
3. Circuit électronique selon la revendication 1 ou 2, dans lequel les première et deuxième sources de courant (I1, I2) sont formées, respectivement, d'un premier et d'un deuxième circuit de type miroir de courant.
4. Circuit diviseur de tension, comprenant un circuit électronique selon l'une quelconque des revendications 1 à 3, la borne d'entrée (IN) dudit circuit électronique recevant une tension proportionnelle à une tension d'alimentation.

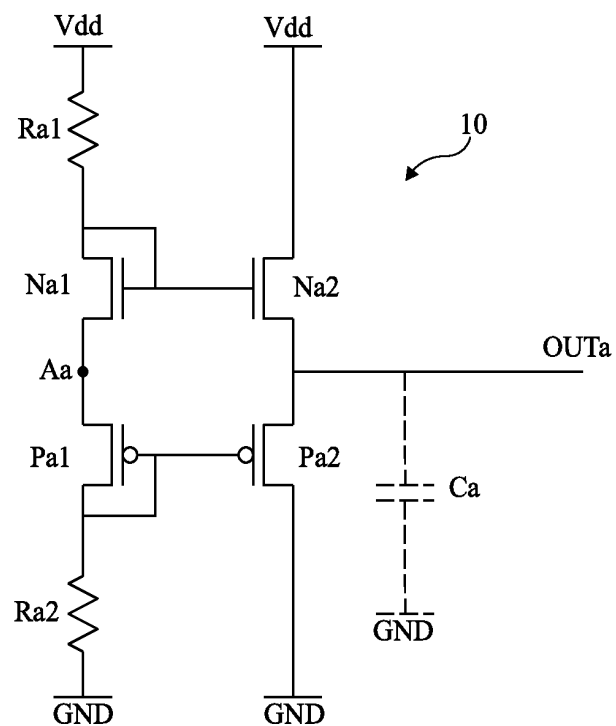


Fig 1

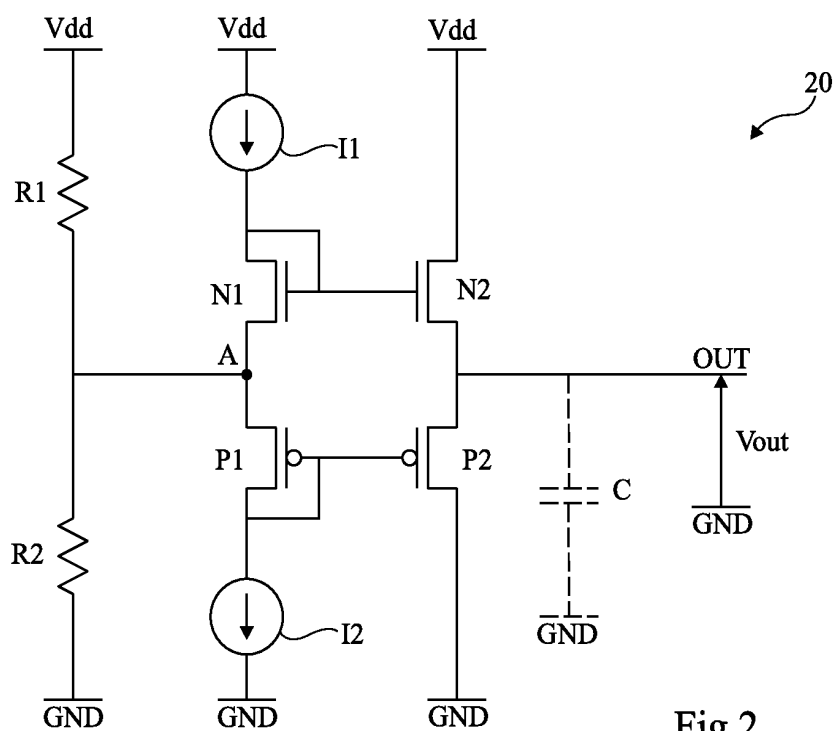


Fig 2

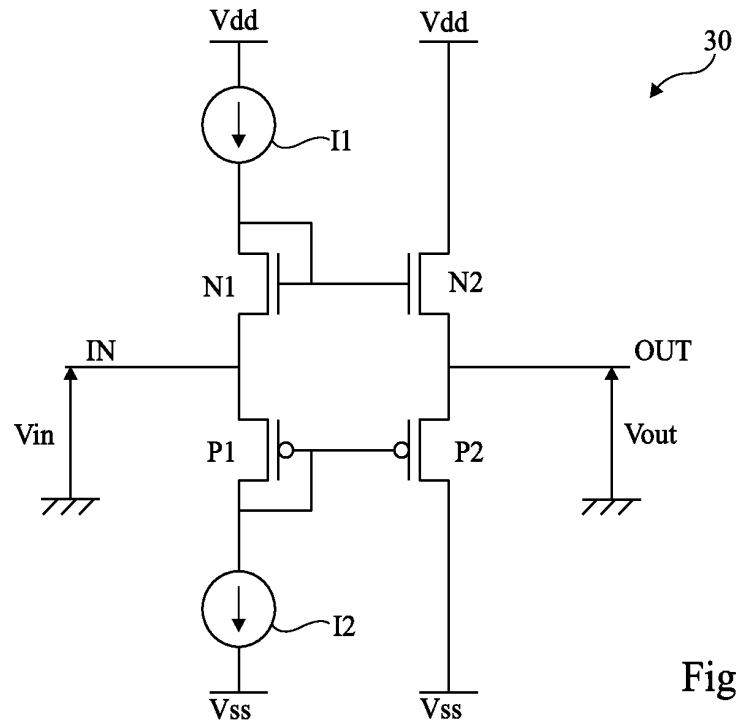


Fig 3

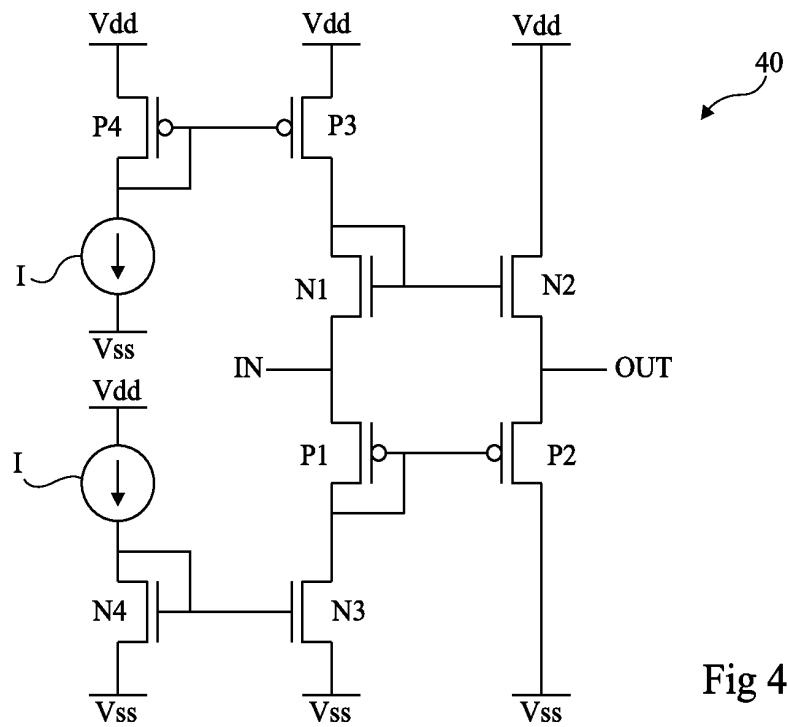


Fig 4



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 735035
FR 1051859

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 4 045 747 A (HSU SHENG TENG) 30 août 1977 (1977-08-30) * figure 1 *	1-4	H03H11/02 H03H11/24 H03F1/30 G05F1/10
X	US 6 297 672 B1 (OKAYASU TOSHIYUKI [JP]) 2 octobre 2001 (2001-10-02) * pages 2a, 3a *	1-4	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H03H G05F H03F
Date d'achèvement de la recherche		Examineur	
13 juillet 2010		Radomirescu, B-M	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un		à la date de dépôt et qui n'a été publié qu'à cette date	
autre document de la même catégorie		de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		
		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1051859 FA 735035**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **13-07-2010**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 4045747	A	30-08-1977	AUCUN	

US 6297672	B1	02-10-2001	CN 1216177 A	05-05-1999
			DE 19880406 C2	31-07-2003
			DE 19880406 T0	01-04-1999
			GB 2327162 A	13-01-1999
			JP 3711184 B2	26-10-2005
			JP 10242827 A	11-09-1998
			WO 9838739 A1	03-09-1998
			TW 406375 B	21-09-2000
