



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년02월08일

(11) 등록번호 10-2357805

(24) 등록일자 2022년01월26일

(51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 27/12 (2006.01)

(52) CPC특허분류  
H01L 29/7869 (2013.01)  
H01L 27/1225 (2013.01)

(21) 출원번호 10-2020-7024806(분할)

(22) 출원일자(국제) 2015년02월05일  
심사청구일자 2020년08월27일

(85) 번역문제출일자 2020년08월27일

(65) 공개번호 10-2020-0103893

(43) 공개일자 2020년09월02일

(62) 원출원 특허 10-2016-7024172  
원출원일자(국제) 2015년02월05일  
심사청구일자 2020년01월29일

(86) 국제출원번호 PCT/IB2015/050867

(87) 국제공개번호 WO 2015/118472  
국제공개일자 2015년08월13일

(30) 우선권주장  
JP-P-2014-022864 2014년02월07일 일본(JP)  
(뒷면에 계속)

(56) 선행기술조사문헌  
JP2006054425 A\*  
JP2009278115 A\*  
KR1020010014789 A\*  
KR1020120082800 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자  
고에즈카 준이치  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
진츄 마사미  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
(뒷면에 계속)

(74) 대리인  
양영준, 박충범

전체 청구항 수 : 총 7 항

심사관 : 임창연

(54) 발명의 명칭 반도체 장치

## (57) 요약

은 전류가 큰 산화물 반도체를 포함하는 반도체 장치를 제공한다. 반도체 장치는, 구동 회로부에 제공된 제1 트랜지스터와, 화소부에 제공된 제2 트랜지스터를 포함하고, 제1 트랜지스터와 제2 트랜지스터는 상이한 구조를 갖는다. 또한, 제1 트랜지스터와 제2 트랜지스터는 탑-게이트 구조를 갖는 트랜지스터들이다. 트랜지스터들 각각의 산화물 반도체 막에 있어서, 불순물 원소는 게이트 전극과 겹치지 않는 영역에 함유된다. 산화물 반도체 막 중에서 불순물 원소를 함유하는 영역은 저 저항 영역으로서 기능한다. 또한, 산화물 반도체 막 중에서 불순물 원소를 함유하는 영역은, 수소를 함유하는 막과 접한다. 구동 회로부에 제공된 제1 트랜지스터는, 산화물 반도체 막을 개재하여 2개의 게이트 전극을 포함한다.

(52) CPC특허분류

*H01L 27/1237* (2013.01)  
*H01L 27/124* (2013.01)  
*H01L 27/1251* (2013.01)  
*H01L 29/78603* (2013.01)  
*H01L 29/78645* (2021.01)  
*H01L 29/78648* (2013.01)  
*H01L 29/78696* (2013.01)

(72) 발명자

**시마 유키노리**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

**구로사키 다이ске**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

**나카다 마사타카**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

**야마자키 쉐페이**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
 시키가이샤 한도오파이 에네루기 켄큐쇼 내

(30) 우선권주장

|                  |             |        |
|------------------|-------------|--------|
| JP-P-2014-022865 | 2014년02월07일 | 일본(JP) |
| JP-P-2014-051134 | 2014년03월14일 | 일본(JP) |
| JP-P-2014-051138 | 2014년03월14일 | 일본(JP) |

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

기관 위의 제1 트랜지스터로서:

상기 기관 위의 도전막;

상기 도전막 위의 제1 절연막;

상기 제1 절연막 위의 제2 절연막;

상기 도전막과 중첩하는, 상기 제2 절연막 위의 제1 산화물 반도체 막;

상기 제1 산화물 반도체 막 위의 제1 게이트 절연막;

상기 제1 게이트 절연막 위의 제1 게이트 전극; 및

상기 제1 산화물 반도체 막 위의 제1 소스 전극 및 제1 드레인 전극을 포함하는, 상기 제1 트랜지스터;

상기 기관 위의 제2 트랜지스터로서:

상기 제2 절연막 위의 제2 산화물 반도체 막;

상기 제2 산화물 반도체 막 위의 제2 게이트 절연막;

상기 제2 게이트 절연막 위의 제2 게이트 전극; 및

상기 제2 산화물 반도체 막 위의 제2 소스 전극 및 제2 드레인 전극을 포함하는, 상기 제2 트랜지스터;

상기 제1 산화물 반도체 막, 상기 제1 게이트 절연막, 상기 제1 게이트 전극, 상기 제2 산화물 반도체 막, 상기 제2 게이트 절연막, 및 상기 제2 게이트 전극 위에서 접하는 제3 절연막을 포함하고,

상기 제1 소스 전극, 상기 제1 드레인 전극, 상기 제2 소스 전극, 및 상기 제2 드레인 전극은 상기 제1 게이트 전극 및 상기 제2 게이트 전극과 동일한 재료들을 포함하고,

상기 제1 게이트 절연막의 단부는 상기 제1 게이트 전극의 단부를 넘어 연장되어, 상기 제3 절연막이 상기 제1 게이트 절연막의 상면과 접하는, 반도체 장치.

#### 청구항 2

제1항에 있어서,

상기 제1 절연막은 질화물 절연막이고,

상기 제2 절연막은 산화물 절연막인, 반도체 장치.

#### 청구항 3

제1항에 있어서,

상기 제1 게이트 전극 및 상기 제2 게이트 전극 각각은 2층 구조를 갖는, 반도체 장치.

#### 청구항 4

제1항에 있어서,

상기 제1 게이트 전극 및 상기 제2 게이트 전극 각각은 알루미늄, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 하나 이상의 금속 원소를 포함하는, 반도체 장치.

#### 청구항 5

제1항에 있어서,

상기 도전막은 상기 제1 트랜지스터의 백-게이트 전극인, 반도체 장치.

#### 청구항 6

제1항에 있어서,

상기 제2 트랜지스터는 단일-게이트 구조(single-gate structure)를 갖는, 반도체 장치.

#### 청구항 7

제1항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 하나는 상기 반도체 장치의 구동 회로부에 위치되고, 상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 다른 하나는 상기 반도체 장치의 화소부에 위치되는, 반도체 장치.

#### 청구항 8

삭제

### 발명의 설명

#### 기술 분야

[0001] 본 발명의 일 실시예는, 산화물 반도체 막을 포함하는 반도체 장치 및 상기 반도체 장치를 포함하는 표시 장치에 관한 것이다.

[0002] 본 발명의 일 실시예는, 상기 기술 분야에 제한되지 않는다는 점에 주목해야 한다. 본 명세서 등에 개시된 본 발명의 일 실시예의 기술 분야는, 물건, 방법 또는, 제조 방법에 관한 것이다. 또한, 본 발명은, 공정(process), 기계(machine), 제조물(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명의 일 실시예는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 그 구동 방법 또는 그 제조 방법에 관한 것이다.

[0003] 본 명세서 등에 있어서, 반도체 장치는, 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치 및 기억 장치는, 각각 반도체 장치의 일 실시예이다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 전기 광학 장치, 발전 장치(박막 태양 전지, 유기 박막 태양 전지 등을 포함함) 및 전자 장치는, 각각 반도체 장치를 포함할 수 있다.

#### 배경 기술

[0004] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 지칭함)를 형성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC) 또는 화상 표시 장치(표시 장치) 등의 광범위의 전자 장치에 사용된다. 실리콘으로 대표되는 반도체 재료가, 트랜지스터에 사용될 수 있는 반도체 박막의 재료로서 널리 알려져 있다. 다른 재료로서는, 산화물 반도체가 주목을 받고 있다.

[0005] 예를 들어, 특허문헌 1은 산화물 반도체로서, In, Zn, Ga, Sn 등을 포함하는 비정질 산화물을 사용하여 트랜지스터를 제조하는 기술을 개시한다.

### 선행기술문헌

#### 특허문헌

[0006] (특허문헌 0001) 일본 특허 공개 제2006-165529호 공보

### 발명의 내용

#### 해결하려는 과제

[0007] 산화물 반도체 막을 포함하는 트랜지스터로서는, 역 스테거 트랜지스터(inverted staggered transistor)(보텀-게이트 구조를 갖는 트랜지스터라고도 지칭함), 평면 트랜지스터(planar transistor)(탑-게이트 구조를 갖는 트랜지스터라고도 지칭함) 등이 주어진다. 산화물 반도체 막을 포함하는 트랜지스터가 표시 장치에 사용되는 경우에, 평면 트랜지스터보다 역 스테거 트랜지스터가, 그 제조 공정이 비교적 간단하고 그 제조 비용이 낮게 유지될 수 있기 때문에, 더 자주 사용된다. 그러나, 표시 장치의 화면 대형화가 진행되거나, 표시 장치에 고해상도 화상이 제공되는 경우(예를 들어, 4k×2k 화소(수평 방향으로 3840 화소 및 수직 방향으로 2160 화소) 또는 8k×4k 화소(수평 방향으로 7680 화소 및 수직 방향으로 4320 화소)로 대표되는 고해상도 표시 장치인 경우), 역 스테거 트랜지스터의 게이트 전극과, 소스 및 드레인 전극들 사이에 존재하는 기생 용량에 의해 신호 지연 등이 증가하고, 따라서 표시 장치의 화질이 열화된다고 하는 문제가 있었다. 또한, 다른 문제로서, 역 스테거 트랜지스터의 점유 면적은, 평면 트랜지스터의 점유 면적보다 크다. 따라서, 산화물 반도체 막을 포함하는 평면 트랜지스터에 관련하여, 안정된 반도체 특성 및 높은 신뢰성을 갖는 구조를 지니며 간단한 제조 공정으로 형성되는 트랜지스터의 개발이 요망된다.

[0008] 상기 문제들을 감안하여, 본 발명의 일 실시예는, 산화물 반도체를 포함하는 신규의 반도체 장치를 제공하는 것이고, 특히 산화물 반도체를 포함하는 평면형(planar type) 반도체 장치를 제공하는 것이다. 또한, 산화물 반도체를 포함하는 온 전류가 큰 반도체 장치를 제공하거나, 산화물 반도체를 포함하는 오프 전류가 작은 반도체 장치를 제공하거나, 산화물 반도체를 포함하는 점유 면적이 작은 반도체 장치를 제공하거나, 산화물 반도체를 포함하는 안정된 전기적 특성을 갖는 반도체 장치를 제공하거나, 산화물 반도체를 포함하는 신뢰성이 높은 반도체 장치를 제공하거나, 신규의 반도체 장치를 제공하거나, 신규의 표시 장치를 제공하는 것을 목적으로 한다.

[0009] 상기 목적에 대한 설명은, 다른 목적의 존재를 배제하지 않는다는 점에 주목해야 한다. 본 발명의 일 실시예에서, 이들 목적 모두를 달성할 필요는 없다. 상기 목적들 외의 다른 목적들은, 명세서 등의 설명으로부터 명확해질 것이며, 이들로부터 유래될 수 있다.

### 과제의 해결 수단

[0010] 본 발명의 일 실시예는, 구동 회로부에 제공된 제1 트랜지스터 및 화소부에 제공된 제2 트랜지스터를 포함하는 반도체 장치이며; 제1 트랜지스터 및 제2 트랜지스터는 상이한 구조를 갖는다. 또한, 제1 트랜지스터 및 제2 트랜지스터는, 탑-게이트 구조를 갖는 트랜지스터들이다. 상기 트랜지스터들 각각의 산화물 반도체 막에 있어서, 게이트 전극과 겹치지 않는 영역들에 불순물 원소를 함유한다. 상기 불순물 원소를 함유하는 산화물 반도체 막의 영역들은, 저 저항 영역들로서 기능한다. 또한, 산화물 반도체 막의 상기 불순물 원소를 함유하는 영역들은, 수소를 함유하는 막(film containing hydrogen)과 접한다. 또한, 상기 수소를 함유하는 막의 개구부들을 통해 상기 불순물 원소를 함유하는 영역들과 접하는 소스 전극 및 드레인 전극으로서 기능하는 도전막들을, 제공할 수 있다.

[0011] 구동 회로부에 제공된 제1 트랜지스터는, 산화물 반도체 막을 개재해서 서로 겹치는 2개의 게이트 전극을 포함한다는 점에 주목해야 한다.

[0012] 불순물 원소로서, 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소 또는 희가스 원소가 주어진다.

[0013] 산화물 반도체 막은, 수소와, 불순물 원소로서 희가스 원소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인 및 염소 중 적어도 1개를 함유할 때, 도전성이 높아진다. 따라서, 산화물 반도체 막에 있어서, 게이트 전극과 겹치지 않는 영역에 상기 불순물 원소를 함유하는 영역들이 제공되고, 불순물 원소를 함유하는 영역들이 소스 전극 및 드레인 전극과 겹치지 않을 경우, 트랜지스터의 기생 저항 및 기생 용량을 저감할 수 있고, 높은 온 전류를 갖는 트랜지스터가 획득된다.

[0014] 또한, 구동 회로부에 제공된 제1 트랜지스터 및 화소부에 제공된 제2 트랜지스터는 금속 원소들의 원자비가 상이한 산화물 반도체 막을 포함할 수 있다.

[0015] 구동 회로부에 제공된 제1 트랜지스터 및 화소부에 제공된 제2 트랜지스터는 각각, 산화물 반도체 막 대신에, 제1 막 및 제2 막을 포함하는 다층막을 포함할 수 있다.

### 발명의 효과

[0016] 본 발명의 일 실시예는, 산화물 반도체를 포함하는 신규의 반도체 장치를 제공할 수 있다. 특히, 산화물 반도체를 포함하는 평면형 반도체 장치를 제공할 수 있다. 대안적으로, 산화물 반도체를 포함하는 온 전류가 큰 반

도체 장치를 제공할 수 있거나, 산화물 반도체를 포함하는 오프 전류가 작은 반도체 장치를 제공할 수 있거나, 산화물 반도체를 포함하는 점유 면적이 작은 반도체 장치를 제공할 수 있거나, 산화물 반도체를 포함하는 안정된 전기적 특성을 갖는 반도체 장치를 제공할 수 있거나, 산화물 반도체를 포함하는 신뢰성이 높은 반도체 장치를 제공할 수 있거나, 신규의 반도체 장치를 제공할 수 있거나, 신규의 표시 장치를 제공할 수 있다.

[0017] 이들 효과에 대한 설명은, 다른 효과의 존재를 배제하지 않는다는 점에 주목해야 한다. 본 발명의 일 실시예는, 반드시 상기 나열된 효과 모두를 달성할 필요는 없다. 다른 효과들은, 명세서, 도면, 청구항 등의 기재로부터 명확해질 것이며, 이들로부터 유래될 수 있다.

### 도면의 간단한 설명

[0018] 도 1의 (A) 및 도 1의 (B)는 반도체 장치의 일 실시예를 나타내는 상면도.  
 도 2의 (A) 및 도 2의 (B)는 반도체 장치의 일 실시예를 나타내는 단면도.  
 도 3의 (A) 및 도 3의 (B)는 반도체 장치의 일 실시예를 나타내는 단면도.  
 도 4의 (A) 및 도 4의 (B)는 반도체 장치의 일 실시예를 나타내는 단면도.  
 도 5의 (A) 및 도 5의 (B)는 반도체 장치의 제조 방법의 일 실시예를 나타내는 단면도.  
 도 6의 (A) 내지 도 6의 (C)는 반도체 장치의 제조 방법의 일 실시예를 나타내는 단면도.  
 도 7의 (A) 및 도 7의 (B)는 반도체 장치의 제조 방법의 일 실시예를 나타내는 단면도.  
 도 8의 (A) 및 도 8의 (B)는 반도체 장치의 일 실시예를 도시하는 상면도.  
 도 9의 (A) 및 도 9의 (B)는 반도체 장치의 일 실시예를 도시하는 단면도.  
 도 10의 (A) 및 도 10의 (B)는 반도체 장치의 일 실시예를 도시하는 단면도.  
 도 11의 (A) 및 도 11의 (B)는 반도체 장치의 제조 방법의 일 실시예를 나타내는 단면도.  
 도 12의 (A) 내지 도 12의 (C)는 반도체 장치의 제조 방법의 일 실시예를 나타내는 단면도.  
 도 13의 (A) 및 도 13의 (B)는 반도체 장치의 제조 방법의 일 실시예를 나타내는 단면도.  
 도 14의 (A) 및 도 14의 (B)는 본 발명의 일 실시예의 트랜지스터의 밴드 다이어그램을 도시하는 도면.  
 도 15의 (A) 및 도 15의 (B)는 본 발명의 일 실시예의 트랜지스터의 밴드 다이어그램을 도시하는 도면.  
 도 16의 (A) 내지 도 16의 (F)는 각각 트랜지스터의 구조를 설명하는 단면도.  
 도 17의 (A) 내지 도 17의 (F)는 각각 트랜지스터의 구조를 설명하는 단면도.  
 도 18의 (A) 내지 도 18의 (E)는 각각 트랜지스터의 구조를 설명하는 단면도.  
 도 19의 (A) 및 도 19의 (B)는 각각 트랜지스터의 구조를 설명하는 단면도.  
 도 20의 (A) 내지 도 20의 (D)는 각각 트랜지스터의 구조를 설명하는 단면도.  
 도 21의 (A) 및 도 21의 (B)는 트랜지스터의 제조 공정을 설명하는 단면도.  
 도 22의 (A) 내지 도 22의 (F)는 각각 트랜지스터의 구조를 설명하는 단면도.  
 도 23의 (A) 내지 도 23의 (F)는 각각 트랜지스터의 구조를 설명하는 단면도.  
 도 24의 (A) 내지 도 24의 (E)는 각각 트랜지스터의 구조를 설명하는 단면도.  
 도 25의 (A) 및 도 25의 (B)는 각각 트랜지스터의 구조를 설명하는 단면도.  
 도 26 의 (A) 내지 도 26의 (D)는 각각 트랜지스터의 구조를 설명하는 단면도.  
 도 27은 계산 모델을 도시하는 도면.  
 도 28의 (A) 및 도 28의 (B)는 각각 초기 상태와 최종 상태를 도시하는 도면.  
 도 29는 활성화 장벽을 도시하는 도면.

도 30의 (A) 및 도 30의 (B)는 각각 초기 상태와 최종 상태를 도시하는 도면.

도 31은 활성화 장벽을 도시하는 도면.

도 32는  $V_{0H}$ 의 천이 레벨을 도시하는 도면.

도 33의 (A) 내지 도 33의 (C)는 표시 장치를 나타내는 블록도 및 회로도.

도 34는 표시 장치의 일 실시예를 나타내는 상면도.

도 35의 (A) 및 도 35의 (B)는 각각 표시 장치의 일 실시예를 나타내는 단면도.

도 36의 (A) 및 도 36의 (B)는 각각 표시 장치의 일 실시예를 나타내는 단면도.

도 37은 발광 장치의 화소부의 구조를 나타내는 단면도.

도 38은 표시 모듈을 나타내는 도면.

도 39의 (A) 내지 도 39의 (G)는 전자 장치를 나타내는 도면.

도 40은 비저항의 온도 의존성을 나타내는 도면.

도 41의 (A) 내지 도 41의 (D)는 CAAC-OS의 단면의 Cs 보정 고해상도 TEM 상 및 CAAC-OS의 개략 단면도.

도 42의 (A) 내지 도 42의 (D)는 CAAC-OS의 평면의 Cs 보정 고해상도 TEM 상.

도 43의 (A) 내지 도 43의 (C)는 CAAC-OS 및 단결정 산화물 반도체의 XRD에 의한 구조적 해석을 도시하는 도면.

도 44의 (A) 및 도 44의 (B)는 CAAC-OS의 전자 회절 패턴을 도시하는 도면.

도 45는 In-Ga-Zn 산화물의 전자 조사에 의해 유발된 결정부(crystal part)의 변화를 도시하는 도면.

### 발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 명세서에 개시된 본 발명의 실시예들에 대하여 첨부 도면을 참조하여 설명한다. 본 발명은 이하의 설명에 제한되지 않으며, 본 기술분야의 숙련된 자는, 본 발명의 정신 및 범위로부터 벗어남 없이, 모드 및 상세 내용이 다양한 방식으로 변경될 수 있다는 것을 쉽사리 인식할 것인 점에 주목해야 한다. 따라서, 본 발명은 이하에 실시예들의 내용에 제한되는 것으로 해석되어서는 안 된다.
- [0020] 도면 등에 나타나 있는 각 구조의 위치, 크기, 범위 등은, 단순화를 위해, 정확하게 도시되어 있지 않은 경우가 몇몇 있다는 점에 주목해야 한다. 따라서, 개시된 발명은, 도면 등에 개시된 위치, 크기, 범위 등에 반드시 제한되는 것은 아니다.
- [0021] 본 명세서 등에 있어서, "제1", "제2", "제3" 등의 서수사는, 구성 요소의 혼동을 피하기 위하여 사용되고, 이들 용어는 구성 요소의 개수를 제한하는 것을 의미하지 않는다.
- [0022] 본 명세서 등에 있어서, "위(over)" 또는 "아래(below)" 등의 용어는, 반드시 구성 요소가 다른 구조 요소의 "바로 위" 또는 "바로 아래"에 위치되는 것을 의미하지 않는다는 점에 주목해야 한다. 예를 들어, "게이트 절연막 위의 게이트 전극"이라는 표현은, 게이트 절연막과 게이트 전극 사이에 추가 구성 요소가 존재하는 경우를 의미할 수 있다.
- [0023] 또한, 본 명세서 등에 있어서, "전극" 또는 "배선" 등의 용어는, 구성 요소의 기능을 제한하는 것이 아니다. 예를 들어, "전극"은 "배선"의 일부로서 사용되는 경우가 몇몇 있고, 그 반대도 성립한다. 또한, "전극" 또는 "배선"이라는 용어는, 집적 방식으로 형성된 복수의 "전극" 및 "배선"의 조합을 의미할 수도 있다.
- [0024] "소스" 및 "드레인"의 기능은, 종종 반대 극성의 트랜지스터를 사용할 때, 또는 회로 동작에 있어서 전류의 방향이 변화될 때, 서로 대체된다. 따라서, 본 명세서 등에 있어서는, "소스" 및 "드레인"이라는 용어는, 각각 드레인 및 소스를 표기하기 위해 사용될 수 있다.
- [0025] 본 명세서 등에 있어서, "전기적으로 접속된"이라는 용어는, 구성 요소들이 임의의 전기적 기능을 갖는 물체를 통해 접속되는 경우를 포함한다는 점에 주목해야 한다. "임의의 전기적 기능을 갖는 물체"에 관해서, 이 물체를 통해 접속되는 구성 요소들 사이에 전기 신호가 송신 및 수신될 수 있는 한, 특별한 제한이 존재하지 않는다. "임의의 전기적 기능을 갖는 물체"의 예는, 전극 및 배선뿐만 아니라, 트랜지스터 등의 스위칭 소자,



저항 소자, 인터터, 용량소자 및 각종 기능을 갖는 소자이다.

[0026] (실시예 1)

[0027] 본 실시예에서는, 반도체 장치 및 반도체 장치의 제조 방법의 일 실시예에 대하여, 도 1의 (A) 및 도 1의 (B), 도 2의 (A) 및 도 2의 (B), 도 3의 (A) 및 도 3의 (B), 도 4의 (A) 및 도 4의 (B), 도 5의 (A) 및 도 5의 (B), 도 6의 (A) 내지 도 6의 (C), 도 7의 (A) 및 도 7의 (B)를 참조하여 설명한다.

[0028] <반도체 장치의 구조 1>

[0029] 도 1의 (A) 및 도 1의 (B), 및 도 2의 (A) 및 도 2의 (B)에, 반도체 장치에 포함되는 트랜지스터들의 예로서, 각각 탑-게이트 구조를 갖는 트랜지스터들을 도시한다. 여기에서, 반도체 장치의 예로서 표시 장치를 설명한다. 또한, 표시 장치의 구동 회로부 및 화소부에 제공되는 트랜지스터들의 구조를 설명한다. 본 실시예에 설명된 표시 장치에서, 구동 회로부에서의 트랜지스터와 화소부에서의 트랜지스터는, 상이한 구조를 갖는다. 구동 회로부에서의 트랜지스터는, 듀얼-게이트 구조를 갖고, 화소부에서의 트랜지스터는 단일-게이트 구조를 갖는다.

[0030] 도 1의 (A) 및 도 1의 (B)는, 구동 회로부에 제공되는 트랜지스터(100a) 및 화소부에 제공되는 트랜지스터(100b)의 상면도이다. 도 2의 (A) 및 도 2의 (B)는, 트랜지스터(100a, 100b)의 단면도이다. 도 1의 (A)는, 트랜지스터(100a)의 상면도이고, 도 1의 (B)는, 트랜지스터(100b)의 상면도이다. 도 2의 (A)는, 도 1의 (A)의 일점 쇄선 A-B, 및 도 1의 (B)의 일점 쇄선 C-D를 따른 단면도이다. 도 2의 (B)는 도 1의 (A)의 일점 쇄선 G-H 및 도 1의 (B)의 일점 쇄선 I-J를 따른 단면도이다. 도 1의 (A) 및 도 1의 (B)에서는, 단순화를 위하여, 기관(101), 절연막(104), 절연막(126), 절연막(127) 등은 도시 생략되어 있다는 점에 주목해야 한다. 도 2의 (A)는 트랜지스터(100a 및 100b)의 채널 길이 방향의 단면도이고, 도 2의 (B)는 트랜지스터(100a 및 100b)의 채널 폭 방향의 단면도이다.

[0031] 이하 설명된 트랜지스터들의 상면도에 있어서, 트랜지스터(100a 및 100b)의 것과 마찬가지로, 일부 구성 요소들이 도시 생략되는 경우가 몇몇 있다. 또한, 일점 쇄선 A-B의 방향 및 일점 쇄선 C-D의 방향은 채널 길이 방향이라 불릴 수 있고, 일점 쇄선 G-H의 방향 및 일점 쇄선 I-J의 방향은 채널 폭 방향이라 불릴 수 있다.

[0032] 도 2의 (A) 및 도 2의 (B)에 도시한 트랜지스터(100a)는, 기관(101) 위에 도전막(102)과, 기관(101) 및 도전막(102) 위에 절연막(104)과, 절연막(104) 위에 산화물 반도체 막(105)과, 산화물 반도체 막(105)에 접하는 절연막(116)과, 절연막(116)을 개재해서 산화물 반도체 막(105)과 겹치는 도전막(119)을 포함한다.

[0033] 도전막(102 및 119)은, 게이트 전극으로서 기능한다. 즉, 트랜지스터(100a)는, 듀얼-게이트 구조를 갖는 트랜지스터이다. 절연막(104 및 116)은, 게이트 절연막으로서 기능한다.

[0034] 도시 생략되어 있지만, 도전막(102)은 산화물 반도체 막(105)의 전체 영역과 겹칠 수 있다는 점에 주목해야 한다.

[0035] 산화물 반도체 막(105)은, 도전막(102 및 119)과 겹치는 채널 영역(105a)과, 채널 영역(105a)을 개재하는 저 저항 영역(105b 및 105c)을 포함한다.

[0036] 트랜지스터(100a)에는, 저 저항 영역(105b, 105c)에 접하는 절연막(126)이 제공된다. 또한, 절연막(126) 위에 절연막(127)이 제공될 수 있다. 또한, 절연막(126 및 127)의 개구부(128 및 129)를 통해, 산화물 반도체 막(105)의 저 저항 영역(105b 및 105c)에 접하는 도전막(134 및 135)들이 제공된다.

[0037] 기관(101) 위에 질화물 절연막(161)이 제공되는 것이 바람직하다. 질화물 절연막(161)의 예는, 질화 실리콘 막 및 질화 알루미늄 막을 포함한다. 질화물 절연막(161)으로 기관(101)을 덮음으로써, 기관(101)에 포함되는 원소의 확산을 방지하는 것이 가능하게 된다.

[0038] 트랜지스터(100b)는, 기관(101) 위에 형성된 절연막(104) 위에 산화물 반도체 막(108); 산화물 반도체 막(108)에 접하는 절연막(117); 절연막(117)을 개재해서 산화물 반도체 막(108)과 겹치는 도전막(120)을 포함한다.

[0039] 도전막(120)은, 게이트 전극으로서 기능한다. 절연막(117)은, 게이트 절연막으로서 기능한다.

[0040] 산화물 반도체 막(108)은, 도전막(120)과 겹치는 채널 영역(108a)과, 채널 영역(108a)을 개재하는 저 저항 영역(108b 및 108c)을 포함한다.

[0041] 트랜지스터(100b)에는, 저 저항 영역(108b 및 108c)에 접하는 절연막(126)이 제공된다. 또한, 절연막(126) 위



에 절연막(127)이 제공될 수 있다. 또한, 절연막(126 및 127)의 개구부(130 및 131)를 통해, 산화물 반도체 막(108)의 저 저항 영역(108b 및 108c)에 접하는 도전막(136 및 137)이 제공된다.

[0042] 도전막(134, 135, 136 및 137)을 덮도록 질화물 절연막(162)을 제공하는 것이 바람직하다는 점에 주목해야 한다. 질화물 절연막(162)은, 외부로부터의 불순물의 확산을 방지할 수 있다.

[0043] 산화물 반도체 막(105)에 있어서, 도전막(119)과 겹치지 않는 영역에는, 산소 결손을 형성하는 원소가 포함된다. 산화물 반도체 막(108)에 있어서, 도전막(120)과 겹치지 않는 영역에는, 산소 결손을 형성하는 원소가 포함된다. 이하, 산화물 반도체 막에 있어서, 이것에 첨가됨으로써 산소 결손을 형성하는 원소들이 불순물 원소로서 설명된다. 불순물 원소의 전형적인 예는, 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소, 및 희가스 원소이다. 희가스 원소의 전형적인 예는, 헬륨, 네온, 아르곤, 크립톤 및 크세논이다.

[0044] 절연막(126)은 수소를 함유하는 막이며, 질화물 절연막이 그 전형적인 예이다. 질화물 절연막의 예는, 질화 실리콘 막, 및 질화 알루미늄 막을 포함한다. 절연막(126)은 산화물 반도체 막(105 및 108)에 접한다. 따라서, 절연막(126)에 함유된 수소가, 산화물 반도체 막(105 및 108) 내에 확산된다. 결과로서, 산화물 반도체 막(105 및 108)에 있어서, 절연막(126)과 접하는 영역에는, 많은 수소가 함유된다.

[0045] 불순물 원소가 산화물 반도체에 첨가되는 경우, 산화물 반도체 중의 금속 원소와 산소 사이의 결합(bond)이 절단되어, 산소 결손이 형성된다. 불순물 원소의 첨가에 의해 산소 결손이 형성된 산화물 반도체에 수소를 첨가하는 경우, 수소가 산소 결손 장소(site)에 들어가고, 전도대(conduction band) 근방에 도너 준위를 형성하고; 따라서 산화물 반도체의 도전율이 증가한다. 그 결과, 산화물 도전체가 형성될 수 있다. 따라서, 산화물 도전체는 투광성을 갖는다. 여기에서, 도전체가 되는 산화물 반도체를, 산화물 도전체라고 지칭한다.

[0046] 산화물 도전체는 축퇴 반도체이고, 전도대 에지(conduction band edge)와 페르미 준위(Fermi level)가 동일 또는 실질적으로 동일할 것이 제안된다. 이런 이유로, 산화물 도전체 막과, 소스 전극 및 드레인 전극으로서 기능하는 도전막 간에 오믹 접촉이 이루어지고; 따라서 산화물 도전체 막과, 소스 전극 및 드레인 전극으로서 기능하는 도전막 간에 접촉 저항을 저감할 수 있다.

[0047] 즉, 저 저항 영역(105b, 105c, 108b 및 108c)은, 소스 영역 및 드레인 영역으로서 기능한다.

[0048] 도전막(134, 135, 136 및 137)이 텅스텐, 티타늄, 알루미늄, 구리, 몰리브덴, 크롬, 탄탈륨, 혹은 이들 중 어느 것의 합금 등의 산소와 결합하기 쉬운 도전 재료를 사용하여 형성되는 경우에, 산화물 반도체 막에 함유된 산소가 도전막(134, 135, 136 및 137)에 함유된 도전 재료에 결합되고, 산화물 반도체 막(105 및 108)에 있어서 산소 결손이 형성된다. 또한, 도전막(134, 135, 136 및 137)을 형성하는 도전 재료의 구성 원소의 일부가 산화물 반도체 막(105 및 108) 내에 혼입되는 경우가 몇몇 있다. 결과로서, 도전막(134, 135, 136 및 137)과 접하는 저 저항 영역(105b, 105c, 108b 및 108c)은 도전성이 더 높아지고, 소스 영역 및 드레인 영역으로서 기능한다.

[0049] 불순물 원소가 희가스 원소이며, 산화물 반도체 막(105 및 108)이 스퍼터링 법에 의해 형성되는 경우에, 저 저항 영역(105b, 105c, 108b 및 108c)은 각각 희가스 원소를 포함한다. 또한, 저 저항 영역(105b, 105c, 108b 및 108c)의 희가스 원소 농도가, 채널 영역(105a 및 108a)의 것보다 높다. 이것들은, 산화물 반도체 막(105 및 108)이 스퍼터링 법에 의해 형성되는 경우에, 스퍼터링 가스로서 희가스를 사용하여서, 산화물 반도체 막(105 및 108)이 희가스를 포함하게 되는 것; 및 저 저항 영역(105b, 105c, 108b 및 108c)에 있어서 산소 결손을 형성하기 위하여, 의도적으로 희가스가 저 저항 영역(105b, 105c, 108b 및 108c)에 첨가되는 것이 원인이다. 채널 영역(105a 및 108a)에 첨가되는 것과는 상이한 희가스 원소가 저 저항 영역(105b, 105c, 108b 및 108c)에 첨가될 수 있다는 점에 주목해야 한다.

[0050] 저 저항 영역(105b 및 105c)은 절연막(126)과 접하기 때문에, 저 저항 영역(105b 및 105c)의 수소 농도는 채널 영역(105a)의 수소 농도보다 높다. 또한, 저 저항 영역(108b 및 108c)은 절연막(126)과 접하기 때문에, 저 저항 영역(108b 및 108c)의 수소 농도는 채널 영역(108a)의 수소 농도보다 높다.

[0051] 저 저항 영역(105b, 105c, 108b 및 108c)에 있어서, SIMS에 의해 측정된 수소 농도는,  $8 \times 10^{19} \text{ atoms/cm}^3$  이상,  $1 \times 10^{20} \text{ atoms/cm}^3$  이상, 또는  $5 \times 10^{20} \text{ atoms/cm}^3$  이상일 수 있다. 채널 영역(105a 및 108a)에 있어서, SIMS에 의해 측정된 수소 농도는,  $5 \times 10^{19} \text{ atoms/cm}^3$  이하,  $1 \times 10^{19} \text{ atoms/cm}^3$  이하,  $5 \times 10^{18} \text{ atoms/cm}^3$  이하,  $1 \times 10^{18} \text{ atoms/cm}^3$  이하,  $5 \times 10^{17} \text{ atoms/cm}^3$  이하, 또는  $1 \times 10^{16} \text{ atoms/cm}^3$  이하일 수 있다는 점에 주목해야 한다.

[0052] 저 저항 영역(105b, 105c, 108b 및 108c)은, 채널 영역(105a 및 108a)보다 수소 농도가 높아지고, 희가스 원소

의 첨가로 인해 채널 영역(105a 및 108a)보다 산소 결손이 많아진다. 따라서, 저 저항 영역(105b, 105c, 108b 및 108c)은 도전성이 더 높아지고, 소스 영역 및 드레인 영역으로서 기능한다. 저 저항 영역(105b, 105c, 108b 및 108c)의 비저항은, 전형적으로,  $1 \times 10^{-3} \Omega \text{cm}$  이상  $1 \times 10^{-4} \Omega \text{cm}$  미만, 또는  $1 \times 10^{-3} \Omega \text{cm}$  이상  $1 \times 10^{-1} \Omega \text{cm}$  미만 일 수 있다.

[0053] 저 저항 영역(105b, 105c, 108b 및 108c)에 있어서, 수소의 양이 산소 결손의 양과 동일하거나 적은 경우, 수소가 산소 결손에 의해 쉽게 포획(capture)되고, 채널 영역(105a 및 108a) 내에 쉽게 확산되지 않는다는 점에 주목해야 한다. 결과로서, 노멀리 오프 트랜지스터를 제조할 수 있다.

[0054] 또한, 저 저항 영역(105b, 105c, 108b 및 108c)에 있어서, 산소 결손의 양이 수소의 양보다 많은 경우에, 수소의 양을 제어함으로써, 저 저항 영역(105b, 105c, 108b 및 108c)의 캐리어 밀도를 제어할 수 있다. 대안적으로, 저 저항 영역(105b, 105c, 108b 및 108c)에 있어서, 수소의 양이 산소 결손의 양보다 많은 경우에, 산소 결손의 양을 제어함으로써, 저 저항 영역(105b, 105c, 108b 및 108c)의 캐리어 밀도를 제어할 수 있다. 저 저항 영역(105b, 105c, 108b 및 108c)의 캐리어 밀도가  $5 \times 10^{18} / \text{cm}^3$  이상, 또는  $1 \times 10^{19} / \text{cm}^3$  이상, 또는  $1 \times 10^{20} / \text{cm}^3$  이상인 경우, 트랜지스터들에서, 채널 영역(105a)과, 소스 및 드레인 전극들로서 기능하는 도전막(134 및 135) 사이, 및 채널 영역(108a)과, 소스 및 드레인 전극들로서 기능하는 도전막(136 및 137) 사이에서의 저항이 작고, 큰 온 전류가 획득될 수 있다는 점에 주목해야 한다.

[0055] 본 실시예에 설명된 트랜지스터(100a 및 100b)에 있어서, 채널 영역(105a)과, 소스 및 드레인 전극들로서 기능하는 도전막(134 및 135) 사이에는, 저 저항 영역(105b 및 105c)이 제공되고, 채널 영역(108a)과, 소스 및 드레인 전극들로서 기능하는 도전막(136 및 137) 사이에는, 저 저항 영역(108b 및 108c)이 제공되고; 따라서 트랜지스터들은 작은 기생 저항을 갖는다.

[0056] 또한, 트랜지스터(100a)에 있어서, 도전막(119)은, 도전막(134 및 135)과 겹치지 않고; 따라서 도전막(119)과, 각각의 도전막(134 및 135) 사이의 기생 용량을 저감할 수 있다. 트랜지스터(100b)에 있어서, 도전막(120)은 도전막(136 및 137)과 겹치지 않고; 따라서, 도전막(120)과, 각각의 도전막(136 및 137) 사이에 기생 용량을 저감할 수 있다.

[0057] 그 결과, 트랜지스터(100a 및 100b)는, 온 전류가 크고, 전계 효과 이동도가 높다.

[0058] 트랜지스터(100a)에 있어서, 도전막(119)을 마스크로 사용하여, 불순물 원소가 산화물 반도체 막(105)에 첨가된다. 트랜지스터(100b)에 있어서, 도전막(120)을 마스크로 사용하여, 불순물 원소가 산화물 반도체 막(108)에 첨가된다. 즉, 자기 배향 방식으로 저 저항 영역을 형성할 수 있다.

[0059] 트랜지스터(100a)에 있어서, 서로 접속되지 않은 도전막(102) 및 도전막(119)에, 상이한 전위를 인가하고; 이로써 트랜지스터(100a)의 임계 전압을 제어할 수 있다. 대안적으로, 도 1의 (A) 및 도 2의 (B)에 도시된 바와 같이, 개구부(113)를 통해 서로 접속된 도전막(102)과 도전막(119)에, 동일한 전위를 공급함으로써, 초기 특성의 변동을 저감할 수 있고, -GBT(negative gate bias-temperature) 스트레스 시험으로 인한 트랜지스터의 열화, 및 상이한 드레인 전압들에 있어서 온 전류의 상승 전압의 변화를 억제할 수 있다. 또한, 도 2의 (B)에 도시된 바와 같이, 도전막(102)과 도전막(119)이 서로 접속되는 경우, 도전막(102 및 119)의 전계가 산화물 반도체 막(105)의 상면 및 측면에 영향을 미치므로, 전체 산화물 반도체 막(105)에 있어서 캐리어가 흐른다. 즉, 캐리어가 흐르는 영역이 막 두께 방향으로 더 커져서, 캐리어 이동량이 증가한다. 결과로서, 트랜지스터(100a)의 온 전류 및 전계 효과 이동도가 증가한다. 트랜지스터(100a)는, 온 전류가 크기 때문에, 평면 면적이 작을 수 있다. 그 결과, 구동 회로부에 의한 점유 면적이 작은 협소화 베젤(narrow bezel)을 갖는 표시 장치를 제조할 수 있다.

[0060] 또한, 표시 장치에 있어서, 구동 회로부에 포함되는 트랜지스터와, 화소부에 포함되는 트랜지스터는, 상이한 채널 길이를 가질 수 있다.

[0061] 전형적으로, 구동 회로부에 포함되는 트랜지스터(100a)의 채널 길이는,  $2.5 \mu\text{m}$  미만, 또는  $1.45 \mu\text{m}$  이상  $2.2 \mu\text{m}$  이하일 수 있다. 화소부에 포함되는 트랜지스터(100b)의 채널 길이는,  $2.5 \mu\text{m}$  이상, 또는  $2.5 \mu\text{m}$  이상  $20 \mu\text{m}$  이하일 수 있다.

[0062] 구동 회로부에 포함되는 트랜지스터(100a)의 채널 길이가,  $2.5 \mu\text{m}$  미만, 바람직하게는  $1.45 \mu\text{m}$  이상  $2.2 \mu\text{m}$  이하인 경우, 화소부에 포함되는 트랜지스터(100b)와 비교하여, 전계 효과 이동도를 증가시킬 수 있고, 온 전류의 양을 증가시킬 수 있다. 그 결과, 고속 동작이 가능한 구동 회로부를 형성할 수 있다. 또한, 구동 회로부에 의한

점유 면적이 작은 표시 장치를 제조할 수 있다.

- [0063] 전계 효과 이동도가 높은 트랜지스터를 사용함으로써, 구동 회로부의 예로서의 신호선 구동 회로에 역다중화 회로를 형성할 수 있다. 역다중화 회로는, 하나의 입력 신호를 복수의 출력에 분배하고; 따라서 역다중화 회로를 사용하여 입력 신호용 입력 단자 수를 삭감할 수 있다. 예를 들어, 하나의 화소가 적색 서브 화소, 녹색 서브 화소 및 청색 서브 화소를 포함하고, 각 화소에 대응하는 역다중화 회로를 제공하는 경우, 입력 신호가 역다중화 회로에 의해 분배되어 각 서브 화소에 입력될 수 있다. 그 결과, 입력 단자 수를 1/3로 삭감할 수 있다.
- [0064] 온 전류가 큰 트랜지스터(100b)를 화소부에 제공하고; 이로써 배선수가 증가되는 대형 표시 장치 또는 고해상도 표시 장치에 있어서도, 배선들에서의 신호 지연을 저감할 수 있고, 표시 불균일을 억제할 수 있다.
- [0065] 상술된 바와 같이, 고속 동작이 가능한 트랜지스터를 사용하여 구동 회로부를 형성하고, 기생 용량이 작고 기생 저항이 작은 트랜지스터를 사용하여 화소부를 형성하는 경우, 더블 프레임 속도 구동(double-frame rate driving)이 가능한 고해상도 표시 장치를 제조할 수 있다.
- [0066] 도 2의 (A) 및 도 2의 (B)에 도시한 구조에 대하여 이하 상세히 설명한다.
- [0067] 기판(101)으로서는, 특별한 제한 없이, 각종 기판 중 어느 것을 사용할 수 있다. 기판의 예는, 반도체 기판(예를 들어, 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 강 기판, 스테인리스 강 호일을 포함하는 기판, 텅스텐 기판, 텅스텐 호일을 포함하는 기판, 가요성 기판, 부착 필름, 섬유성 재료를 포함하는 종이, 및 기재 필름을 포함한다. 유리 기판의 예는, 바륨 붕규산 유리 기판, 알루미늄 붕규산 유리 기판, 및 소다 석회 유리 기판이다. 가요성 기판, 부착 필름, 기재 필름 등의 예는, 이하와 같이, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 및 폴리에테르술폰(PES)으로 대표되는 플라스틱; 아크릴 등의 합성 수지; 폴리프로필렌; 폴리불화비닐; 폴리염화비닐; 폴리에스테르; 폴리아미드; 폴리이미드; 아라미드; 에폭시; 무기 증착 필름; 및 종이이다. 구체적으로, 반도체 기판, 단결정 기판, SOI 기판 등을 사용하여 트랜지스터를 형성하는 경우, 특성, 크기, 형상 등의 편차가 적고, 전류 공급 능력이 높고, 크기가 작은 트랜지스터를 제조하는 것이 가능하다. 이러한 트랜지스터를 이용하여 회로를 형성함으로써, 회로의 전력 소비를 저감할 수 있거나, 회로의 고집적화를 이루어 낼 수 있다.
- [0068] 기판(101)으로서, 가요성 기판을 사용할 수 있고, 가요성 기판 위에 바로 트랜지스터를 제공할 수 있다. 대안적으로, 기판(101)과 각 트랜지스터 사이에 박리 층을 제공할 수 있다. 박리층은, 해당 박리층 위에 형성된 반도체 장치의 일부 혹은 전부가 기판(101)으로부터 분리되고 다른 기판에 위에 전사되는 경우에, 사용될 수 있다. 그러한 경우에, 트랜지스터는 내열성이 낮은 기판 또는 가요성 기판에도 전사될 수 있다. 상기 박리층을 위해, 예를 들어, 텅스텐막과 산화 실리콘 막인 무기 막들을 포함하는 적층체, 또는 기판 위에 형성된 폴리이미드 등의 유기 수지막이 사용될 수 있다.
- [0069] 트랜지스터가 전사되는 기판의 예는, 또한, 트랜지스터들이 형성될 수 있는 상술한 기판 외에, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리이미드 필름 기판, 석재 기판, 목재 기판, 천 기판(천연 섬유(예를 들어, 견, 면 또는 마), 합성 섬유(예를 들어, 나일론, 폴리우레탄 또는 폴리에스테르), 재생 섬유(예를 들어, 아세테이트, 큐프라, 레이온 또는 재생 폴리에스테르) 등을 포함함), 피혁 기판, 고무 기판 등을 포함한다. 이러한 기판을 사용하는 경우, 특성이 우수한 트랜지스터, 또는 소비 전력이 작은 트랜지스터를 형성할 수 있거나, 내구성이 크고 내열성이 높은 장치를 제공할 수 있거나, 경량화 또는 박형화를 달성할 수 있다.
- [0070] 절연막(104)은, 산화물 절연막 또는 질화물 절연막을 사용하여 단층 또는 적층으로 형성될 수 있다. 산화물 반도체 막(105 및 108)과의 계면 특성을 향상시키기 위하여, 절연막(104) 중에서 적어도 산화물 반도체 막(105 및 108)과 접하는 영역은, 산화물 절연막을 사용하여 형성하는 것이 바람직하다는 점에 주목해야 한다. 가열에 의해 산소가 방출되는 산화물 절연막을 사용하여 절연막(104)이 형성되는 경우, 가열 처리에 의해, 절연막(104)에 함유된 산소를, 산화물 반도체 막(105 및 108)으로 이동시킬 수 있다. 절연막(104) 중에서 도전막(102)과 접하는 영역은, 질화물 절연막을 사용하여 형성하는 것이 바람직하고, 이 경우에, 도전막(102)에 함유된 금속 원소가 산화물 반도체 막(105 및 108)으로 이동하는 것을 방지할 수 있다.
- [0071] 절연막(104)의 두께는, 50nm 이상, 100nm 이상 3000nm 이하, 또는 200nm 이상 1000nm 이하일 수 있다. 절연막(104)의 두께를 증가시킴으로써, 절연막(104)으로부터의 방출되는 산소의 양이 증가될 수 있고, 절연막(104)과, 각각의 산화물 반도체 막(105 및 108)과의 계면에 있어서 계면 상태(interface state) 밀도, 및 산화물 반도체 막(105)에서의 채널 영역(105a) 및 산화물 반도체 막(108)에서의 채널 영역(108a)에 함유된 산소 결손을 저감할 수 있다.

- [0072] 절연막(104)은, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn 산화물 등 중 1개 이상을 사용하여, 단층 또는 적층으로 형성될 수 있다.
- [0073] 여기에서, 절연막(104)이, 절연막(104a 및 104b)을 적층하여 형성된다. 절연막(104a)으로서 질화물 절연막을 사용하는 경우, 도전막(102)에 함유된 금속 원소의 확산을 방지할 수 있다. 절연막(104b)으로서 산화물 절연막을 사용하는 경우, 예를 들어, 절연막(104)과, 각각의 산화물 반도체 막(105 및 108)과의 계면에서의 계면 상태 밀도를 저감할 수 있다.
- [0074] 산화물 반도체 막(105 및 108)은, 전형적으로, In-Ga 산화물, In-Zn 산화물, 또는 In-*M*-Zn 산화물(*M*은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 등의 금속 산화물을 사용하여 형성된다. 산화물 반도체 막(105 및 108)은, 투광성을 갖는다는 점에 주목해야 한다.
- [0075] 산화물 반도체 막(105 및 108)으로서 In-*M*-Zn 산화물을 사용하는 경우에, In 및 *M*의 합을 100atomic%로 가정할 때, In과 *M*의 비율은, 각각 25atomic% 이상 및 75atomic% 미만, 혹은 각각 34atomic% 이상 및 66atomic% 미만으로 설정되는 것이 바람직하다는 점에 주목해야 한다.
- [0076] 산화물 반도체 막(105 및 108)의 에너지 갭은, 각각 2eV 이상, 2.5eV 이상, 또는 3eV 이상이다.
- [0077] 산화물 반도체 막(105 및 108) 각각의 두께는, 3nm 이상 200nm 이하, 또는 3nm 이상 100nm 이하, 또는 3nm 이상 50nm 이하일 수 있다.
- [0078] 산화물 반도체 막(105 및 108)이 In-*M*-Zn 산화물(*M*은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임)을 함유하는 경우에, In-*M*-Zn 산화물의 막을 형성하기 위해 사용되는 스퍼터링 타겟의 금속 원소들의 원자비는 In≥*M* 및 Zn≥*M*을 만족하는 것이 바람직하다. 스퍼터링 타겟의 금속 원소들의 원자비로서, In:*M*:Zn=1:1:1, In:*M*:Zn=1:1:1.2, In:*M*:Zn=2:1:1.5, In:*M*:Zn=2:1:2.3, In:*M*:Zn=2:1:3, In:*M*:Zn=3:1:2 등이 바람직하다. 형성된 산화물 반도체 막(105 및 108)에서 금속 원소들의 원자비는, 상기 스퍼터링 타겟의 금속 원소들의 상기 원자비로부터, 오차로서 ±40% 범위 내에서 변동한다는 점에 주목해야 한다.
- [0079] 산화물 반도체 막(105 및 108)에, 14족에 속하는 원소들 중 하나인 실리콘 또는 탄소가 함유되는 경우, 산화물 반도체 막(105 및 108)에 있어서 산소 결손이 증가되고, 산화물 반도체 막(105 및 108)이 n형 막이 된다. 따라서, 산화물 반도체 막(105 및 108)에 있어서, 특히 채널 영역(105a 및 108a)에서, 실리콘 또는 탄소의 농도(SIMS에 의해 측정되는 농도)는,  $2 \times 10^{18} \text{ atoms/cm}^3$  이하, 또는  $2 \times 10^{17} \text{ atoms/cm}^3$  이하로 설정될 수 있다. 결과로서, 트랜지스터는 각각 포지티브 임계 전압(노멀리 오프 특성)을 갖는다.
- [0080] 또한, 산화물 반도체 막(105 및 108)에 있어서, 특히 채널 영역(105a 및 108a)에서, SIMS에 의해 측정되는 알칼리 금속 또는 알칼리 토금속의 농도는,  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 또는  $2 \times 10^{16} \text{ atoms/cm}^3$  일 수 있다. 알칼리 금속 및 알칼리 토금속은, 산화물 반도체와 결합될 때, 캐리어를 생성하고, 이 경우에 트랜지스터의 오프 전류가 증가될 수 있다. 따라서, 채널 영역(105a 및 108a)에서 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 결과로서, 트랜지스터는 각각 포지티브 임계 전압(노멀리 오프 특성)을 갖는다.
- [0081] 또한, 산화물 반도체 막(105 및 108)에 있어서, 특히 채널 영역(105a 및 108a)에 질소가 함유되는 경우, 캐리어로서 기능하는 전자가 발생되고, 캐리어 밀도가 증가되고, 산화물 반도체 막(105 및 108)이 n형 막이 되는 경우가 몇몇 있다. 따라서, 질소를 함유하는 산화물 반도체 막을 포함하는 트랜지스터는, 노멀리 온 특성을 가질 가능성이 있다. 따라서, 산화물 반도체 막에 있어서, 특히 채널 영역(105a 및 108a)에서, 가능한 많이 질소를 저감하는 것이 바람직하다. 예를 들어, SIMS에 의해 측정되는 질소의 농도는,  $5 \times 10^{18} \text{ atoms/cm}^3$  이하로 설정될 수 있다.
- [0082] 산화물 반도체 막(105 및 108)에 있어서, 특히 채널 영역(105a 및 108a)에서, 불순물 원소를 저감함으로써, 산화물 반도체 막의 캐리어 밀도를 저감할 수 있다. 산화물 반도체 막(105 및 108)에 있어서, 특히 채널 영역(105a 및 108a)에서, 캐리어 밀도는  $1 \times 10^{17} / \text{cm}^3$  이하, 또는  $1 \times 10^{15} / \text{cm}^3$  이하, 또는  $1 \times 10^{13} / \text{cm}^3$  이하, 또는  $8 \times 10^{11} / \text{cm}^3$  이하, 또는  $1 \times 10^{11} / \text{cm}^3$  이하, 바람직하게는  $1 \times 10^{10} / \text{cm}^3$  미만이고,  $1 \times 10^{-9} / \text{cm}^3$  이상으로 설정될 수 있다.
- [0083] 산화물 반도체 막(105 및 108)을 위해, 불순물 농도가 낮고 결합 준위(defect states) 밀도가 낮은 산화물 반도체 막을 각각 사용할 수 있고, 이 경우에, 트랜지스터는 더 우수한 전기적 특성을 갖는다. 여기에서, 불순물



농도가 낮고 결함 준위 밀도가 낮은 상태(산소 결손의 양이 적음)를, "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 지칭한다. 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체는, 적은 캐리어 발생원을 갖고, 따라서 낮은 캐리어 밀도를 갖게 되는 경우가 몇몇 있다. 따라서, 채널 영역이 형성된 산화물 반도체 막을 포함하는 트랜지스터는, 포지티브 임계 전압(노멀리 오프 특성)을 가질 가능성이 있다. 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체 막은, 낮은 결함 준위 밀도를 갖고, 따라서 낮은 트랩 상태 밀도를 갖게 되는 경우가 몇몇 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은, 극도로 작은 오프 전류를 갖고; 상기 오프 전류는, 1V 내지 10V의 소스 전극과 드레인 전극 사이의 전압(드레인 전압)에서, 반도체 파라미터 애널라이저의 측정 한계 이하인, 즉  $1 \times 10^{-13}$  A 이하일 수 있다. 따라서, 산화물 반도체 막에 채널 영역이 형성되는 트랜지스터는, 전기적 특성의 변동이 작고, 신뢰성이 높게 되는 경우가 몇몇 있다.

[0084] 산화물 반도체 막(105 및 108)은 각각, 예를 들어, 비단결정 구조를 가질 수 있다. 비단결정 구조는, 예를 들어, 후술하는 c축 배향 결정 산화물 반도체(CAAC-OS: c-axis aligned crystalline oxide semiconductor), 다결정 구조, 후술하는 미세결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조 중에서, 비정질 구조는 결함 준위 밀도가 가장 높고, 반면에 CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0085] 산화물 반도체 막(105 및 108)은, 비정질 구조를 갖는 영역, 미세결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2개 이상을 포함하는 혼합막일 수 있다는 점에 주목해야 한다. 혼합막은, 예를 들어 비정질 구조를 갖는 영역, 미세결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2개 이상을 포함하는 단층 구조를 갖는 경우가 몇몇 있다. 또한, 혼합막은, 예를 들어 비정질 구조를 갖는 영역, 미세결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS 영역, 및 단결정 구조를 갖는 영역 중 2개 이상의 적층 구조를 갖는 경우가 몇몇 있다.

[0086] 산화물 반도체 막(105)에서, 채널 영역(105a)과 저 저항 영역(105b 및 105c)은 상이한 결정성을 가질 수 있다는 점에 주목해야 한다. 산화물 반도체 막(108)에서, 채널 영역(108a)과 저 저항 영역(108b 및 108c)은 상이한 결정성을 가질 수 있다. 이들 경우는, 저 저항 영역(105b, 105c, 108b 및 108c)에 불순물 원소가 첨가될 때, 저 저항 영역(105b, 105c, 108b 및 108c)에 대한 손상이 그들의 결정성을 저하시키는 것이 원인이다.

[0087] 절연막(116 및 117)은, 산화물 절연막 또는 질화물 절연막을 사용하여 단층 또는 적층으로 형성될 수 있다. 산화물 반도체 막(105 및 108)과의 계면 특성을 향상시키기 위하여, 절연막(116 및 117) 중에서 적어도 산화물 반도체 막(105 및 108)과 각각 접하는 영역은, 산화물 절연막을 사용하여 형성하는 것이 바람직하다는 점에 주목해야 한다. 절연막(116 및 117)은, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, Ga-Zn 산화물 등 중에서 하나 이상을 사용하여 단층 또는 적층으로 형성될 수 있다.

[0088] 또한, 각각의 절연막(116 및 117)으로서, 산소, 수소, 물 등에 대해 블로킹 효과를 갖는 절연막을 제공함으로써, 산화물 반도체 막(105 및 108)으로부터 외부로의 산소의 확산과, 외부로부터 산화물 반도체 막(105 및 108)으로의 수소, 물 등의 인입을 방지하는 것이 가능하다. 산소, 수소, 물 등에 대해 블로킹 효과를 갖는 절연막으로서, 산화 알루미늄 막, 산화질화 알루미늄 막, 산화 갈륨 막, 산화질화 갈륨 막, 산화 이트륨 막, 산화질화 이트륨 막, 산화 하프늄 막, 산화질화 하프늄 막 등이 예로서 주어질 수 있다.

[0089] 절연막(116 및 117)은, 하프늄 실리케이트( $\text{HfSiO}_x$ ), 질소가 첨가된 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y\text{N}_z$ ), 질소가 첨가된 하프늄 알루미늄이트( $\text{HfAl}_x\text{O}_y\text{N}_z$ ), 산화 하프늄, 또는 산화이트륨 등의 high-k 재료를 사용하여 형성될 수 있어서, 트랜지스터의 게이트 누설 전류를 저감할 수 있게 된다.

[0090] 가열에 의해 산소가 방출되는 산화물 절연막을 사용하여 절연막(116 및 117)이 형성되는 경우, 가열 처리에 의해, 절연막(116 및 117)에 함유된 산소를, 각각 산화물 반도체 막(105 및 108)으로 이동시킬 수 있다.

[0091] 각각의 절연막(116 및 117)의 두께는, 5nm 이상 400nm 이하, 5nm 이상 300nm 이하, 또는 10nm 이상 250nm 이하일 수 있다.

[0092] 도전막(119 및 120)은, 알루미늄, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴, 니켈, 철, 코발트 및 텅스텐으로부터 선택된 금속 원소; 이들 금속 원소 중 어느 것을 성분으로서 함유한 합금; 이들 금속 원소 중 어느 것을 조합하여 함유한 합금 등을 사용하여 형성될 수 있다. 또한, 망간 및 지르코늄으로부터 선택된 하나 이상의 금속 원소를 사용할 수 있다. 또한, 도전막(119 및 120)은, 단층 구조, 또는 2층 이상을 포함하는 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 함유하는 알루미늄 막의 단층 구조; 망간을 함유하는 구리막의 단층 구조; 알루

미늄 막 위에 티타늄막을 적층하는 2층 구조; 질화 티타늄 막 위에 티타늄막을 적층하는 2층 구조; 질화 티타늄 막 위에 텅스텐막을 적층하는 2층 구조; 질화 탄탈막 또는 질화 텅스텐막 위에 텅스텐막을 적층하는 2층 구조; 망간을 함유하는 구리막 위에 구리막을 적층하는 2층 구조; 티타늄막, 알루미늄 막 및 티타늄막을 이 순서로 적층하는 3층 구조; 망간을 함유하는 구리막, 구리막 및 망간을 함유하는 구리막을 이 순서로 적층하는 3층 구조 등 중 어느 것이 사용될 수 있다. 또한, 알루미늄과, 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 하나 이상의 원소를 함유하는 합금막 혹은 질화막이 사용될 수 있다.

[0093] 대안적으로, 도전막(119 및 120)은, 인듐 주석 산화물, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화티타늄을 함유하는 인듐 산화물, 산화티타늄을 함유하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘을 포함하는 인듐 주석 산화물 등의 투광성 도전 재료를 사용하여 형성될 수 있다. 상기 투광성 도전 재료와, 상기 금속 원소를 사용하여 형성된 적층 구조를 갖는 것도 가능하다.

[0094] 각각의 도전막(119 및 120)의 두께는, 30nm 이상 500nm 이하, 또는 100nm 이상 400nm 이하일 수 있다.

[0095] 도전막(134, 135, 136 및 137)은, 소스 전극들 및 드레인 전극들로서 기능한다. 도전막(134, 135, 136 및 137)은, 도전막(119 및 120)을 위한 재료들과 구조들을 적절히 사용하여 형성될 수 있다.

[0096] 절연막(127)은, 산화물 절연막 또는 질화물 절연막을 사용하여 단층 또는 적층으로 형성될 수 있다. 가열에 의해 산소가 방출되는 산화물 절연막을 사용하여 절연막(127)이 형성되는 경우, 가열 처리에 의해 절연막(127)에 함유된 산소를, 산화물 반도체 막(105 및 108)으로 이동시킬 수 있다.

[0097] 절연막(127)은, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, Ga-Zn 산화물 등을 사용하여 단층 또는 적층으로 형성될 수 있다.

[0098] 절연막(127)의 두께는, 30nm 이상 500nm 이하, 또는 100nm 이상 400nm 이하일 수 있다.

[0099] <반도체 장치의 구조 2>

[0100] 다음에, 반도체 장치의 다른 구조에 대하여, 도 3의 (A) 및 도 3의 (B)를 참조하여 설명한다. 여기에서, 구동 회로부에 형성된 트랜지스터(100c)의 산화물 반도체 막과, 화소부에 형성된 트랜지스터(100d)의 산화물 반도체 막은, 상이한 금속 원소들의 원자비를 갖는다.

[0101] 트랜지스터(100c)에 포함된 산화물 반도체 막(105)에 있어서, In 원자의 비율은,  $M(M$ 은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 원자의 비율보다 크다. 산화물 반도체 막(105)이 In-M-Zn 산화물( $M$ 은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임)을 함유하는 경우에, 산화물 반도체 막(105)을 형성하기 위해, 금속 원소들의 원자비를  $In:M:Zn=x_1:y_1:z_1$ 로 하는 타겟이 사용되고,  $x_1/y_1$ 은 1 초과 6 이하인 것이 바람직하다. 타겟의 금속 원소들의 원자비의 전형적인 예는,  $In:M:Zn=2:1:1.5$ ,  $In:M:Zn=2:1:2.3$ ,  $In:M:Zn=2:1:3$ ,  $In:M:Zn=3:1:2$ ,  $In:M:Zn=3:1:3$ , 및  $In:M:Zn=3:1:4$ 이다.

[0102] 트랜지스터(100d)에 포함된 산화물 반도체 막(108)에 있어서, In 원자의 비율은,  $M(M$ 은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 원자의 비율 이하이다. 산화물 반도체 막(108)이 In-M-Zn 산화물( $M$ 은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임)을 함유하는 경우에, 산화물 반도체 막(108)을 형성하기 위해, 금속 원소들의 원자비를  $In:M:Zn=x_2:y_2:z_2$ 로 하는 타겟이 사용되고,  $x_2/y_2$ 는 1/6 이상 1 이하인 것이 바람직하고,  $z_2/y_2$ 는 1/3 이상 6 이하인 것이 바람직하고, 더 바람직하게는 1 이상 6 이하이다.  $z_2/y_2$ 가 1 이상 6 이하인 경우, 산화물 반도체 막(108)으로서 CAAC-OS 막이 쉽게 형성된다는 점에 주목해야 한다. 타겟의 금속 원소들의 원자비의 전형적인 예는,  $In:M:Zn=1:1:1$ ,  $In:M:Zn=1:1:1.2$ ,  $In:M:Zn=1:3:2$ ,  $In:M:Zn=1:3:4$ ,  $In:M:Zn=1:3:6$ ,  $In:M:Zn=1:3:8$ ,  $In:M:Zn=1:4:4$ ,  $In:M:Zn=1:4:5$ ,  $In:M:Zn=1:4:6$ ,  $In:M:Zn=1:4:7$ ,  $In:M:Zn=1:4:8$ ,  $In:M:Zn=1:5:5$ ,  $In:M:Zn=1:5:6$ ,  $In:M:Zn=1:5:7$ ,  $In:M:Zn=1:5:8$ , 및  $In:M:Zn=1:6:8$ 이다.

[0103] 트랜지스터(100c)에 포함된 산화물 반도체 막(105)에 있어서, In 원자의 비율은,  $M(M$ 은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 원자의 비율보다 크다. 따라서, 전계 효과 이동도가 높다. 전형적으로, 트랜지스터는,  $10\text{cm}^2/\text{V}\cdot\text{s}$  초과  $60\text{cm}^2/\text{V}\cdot\text{s}$  미만이고, 바람직하게는  $15\text{cm}^2/\text{V}\cdot\text{s}$  이상  $50\text{cm}^2/\text{V}\cdot\text{s}$  미만의 전계 효과 이동도를 갖는다. 하지만, 광 조사로 인해, 트랜지스터의 오프 전류가 증가한다. 따라서, 도전막(102)을 차광막으로서 기능하도록 제작할 수 있다. 대안적으로, 도전막(102)을 제공하지 않고, 구동 회로부에 차광막을 제공하는 경우, 전계 효과 이동도가 높고, 오프 전류가 작은 트랜지스터가 획득된다. 그 결과, 고속 동작이 가능한 구동 회로부를 형성할 수 있다.

- [0104] 트랜지스터(100b)에 포함된 산화물 반도체 막(108)에 있어서, In 원자의 비율은,  $MM$ 은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 원자의 비율 이하이다. 따라서, 산화물 반도체 막에 광이 조사되는 경우에도, 오프 전류의 증가량이 적다. 따라서, 화소부에 있어서 In 원자의 비율이,  $MM$ 은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 원자의 비율 이하인 산화물 반도체 막을 포함하는 트랜지스터를 제공함으로써, 광 조사로 인해 거의 열화되지 않고, 높은 표시 품질을 제공하는 화소부를 획득할 수 있다.
- [0105] <반도체 장치의 구조 3>
- [0106] 다음에, 반도체 장치의 다른 구조에 대하여, 도 4의 (A) 및 도 4의 (B)를 참조하여 설명한다. 여기에서, 구동 회로부에 형성된 트랜지스터(100e)와, 화소부에 형성된 트랜지스터(100f)에서, 게이트 전극으로서 기능하는 도전막(119 및 120)은 각각 적층 구조를 갖는다. 도 4의 (A)는, 채널 길이 방향의 트랜지스터(100e 및 100f)의 단면도를 도시하고, 도 4의 (B)는, 채널 폭 방향의 트랜지스터(100e 및 100f)의 단면도를 도시한다.
- [0107] 도전막(119)은, 절연막(116)에 접하는 도전막(119a)과, 도전막(119a)에 접하는 도전막(119b)을 포함한다. 도전막(119a)의 단부는, 도전막(119b)의 단부보다 외측에 위치된다. 즉, 도전막(119a)은, 그 단부가 도전막(119b)의 단부 너머로 확장되는 형상을 갖는다.
- [0108] 절연막(116)의 단부는, 도전막(119a)의 단부보다 외측에 위치된다. 즉, 절연막(116)은, 그 단부가 도전막(119a)의 단부 너머로 확장되는 형상을 갖는다. 또한, 절연막(116)의 측면은 만곡될 수 있다.
- [0109] 도전막(120)은, 절연막(117)에 접하는 도전막(120a)과, 도전막(120a)에 접하는 도전막(120b)을 포함한다. 도전막(120a)의 단부는, 도전막(120b)의 단부보다 외측에 위치된다. 즉, 도전막(120a)은, 그 단부가 도전막(120b)의 단부 너머로 확장되는 형상을 갖는다.
- [0110] 절연막(117)의 단부는, 도전막(120a)의 단부보다 외측에 위치된다. 즉, 절연막(117)은, 그 단부가 도전막(120a)의 단부 너머로 확장되는 형상을 갖는다. 또한, 절연막(117)의 측면은 만곡될 수 있다.
- [0111] 도전막(119a 및 120a)은, 티타늄, 탄탈륨, 몰리브덴, 텅스텐, 또는 이들 중 어느 것의 합금, 또는 질화 티타늄, 질화 탄탈륨, 질화 몰리브덴, 질화 텅스텐 등을 사용하여 형성될 수 있다. 대안적으로, 도전막(119a 및 120a)은, Cu-X 합금(X는, Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti 임) 등을 사용하여 형성될 수 있다.
- [0112] 도전막(119b 및 120b)은, 저저항 재료를 사용하여 형성된다. 도전막(119b 및 120b)은, 구리, 알루미늄, 금, 은, 텅스텐 등, 또는 이들 중 어느 것을 함유하는 합금, 또는 이들 중 어느 것을 주성분으로 함유하는 화합물 등을 사용하여 형성될 수 있다.
- [0113] 도전막(119a 및 120a)을 위해, Cu-X 합금(X는, Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti 임)을 사용하는 경우에, 절연막과 접하는 각각의 도전막(119a 및 120a)의 영역에, 가열 처리에 의해 피복막이 형성되는 경우가 몇몇 있다. 피복막은, X를 함유하는 화합물을 포함한다. X를 함유하는 화합물의 예는, X의 산화물 및 X의 질화물을 포함한다. 도전막(119a 및 120a)의 표면에 피복막이 형성되는 경우, 피복막이 블로킹 막으로서 기능하고, Cu-X 합금막 중의 Cu가 산화물 반도체 막에 들어가는 것을 방지할 수 있다.
- [0114] 산화물 반도체 막(105 및 108)의 채널 영역에서의 구리 농도가  $1 \times 10^{18} \text{ atoms/cm}^3$  이하인 경우, 산화물 반도체 막(105)과, 게이트 절연막으로서 기능하는 절연막(116)과의 계면, 및 산화물 반도체 막(108)과, 게이트 절연막으로서 기능하는 절연막(117)과의 계면에 있어서, 전자 트랩 상태 밀도를 저감할 수 있다는 점에 주목해야 한다. 결과로서, 각각 우수한 서브 임계 스윙 값(S 값)을 갖는 트랜지스터들을 제조할 수 있다.
- [0115] 도 4의 (A) 및 도 4의 (B)에 도시한 형상을 갖는 도전막(119 및 120) 및 절연막(116 및 117)을 트랜지스터(100e 및 100f)들에 제공하는 경우, 트랜지스터들 각각의 드레인 영역의 전계를 완화할 수 있다. 따라서, 트랜지스터의 임계 전압의 시프트(shift)와 같은, 드레인 영역의 전계로 인한 트랜지스터의 열화를 억제할 수 있다.
- [0116] <밴드 구조>
- [0117] 다음에, 본 실시예의 트랜지스터의 전형적인 예로서, 도 2의 (A)의 트랜지스터(100a)의 주어진 단면을 따른 밴드 구조에 대하여 설명한다.
- [0118] 도 14의 (A)에는, 도 2의 (A)의 트랜지스터(100a)의 채널 영역을 포함하는 O-P 단면에 있어서의 밴드 구조를 나타낸다. 절연막(104a), 절연막(104b) 및 절연막(116)은, 각각 채널 영역(105a)보다 충분히 큰 에너지 갭을 갖는다. 또한, 채널 영역(105a), 절연막(104a), 절연막(104b) 및 절연막(116)의 페르미 준위( $E_f$ 로 표기함)는, 그



들의 진성 페르미 준위( $E_i$ 로 표기함)와 동일한 것으로 가정한다. 또한, 도전막(102) 및 도전막(119)의 일 함수는, 페르미 준위와 동일한 것으로 가정한다.

- [0119] 게이트 전압을 트랜지스터의 임계 전압 이상으로 설정하는 경우, 전자가 채널 영역(105a)에 흐른다. 전도대 하단부에서의 에너지를  $E_c$ 로 표기하고, 가전자대 상단부에서의 에너지를  $E_v$ 로 표기한다는 점에 주목해야 한다.
- [0120] 다음에, 도 14의 (B)는, 도 2의 (A)의 트랜지스터(100a)의 소스 영역 또는 드레인 영역을 포함하는 Q-R 단면에 있어서의 밴드 구조를 도시한다. 저 저항 영역(105b 및 105c)은 축퇴 상태에 있는 것으로 가정한다는 점에 주목해야 한다. 또한, 저 저항 영역(105b)에 있어서, 채널 영역(105a)의 페르미 준위는 전도대 하단부의 에너지와 거의 동일한 것으로 가정한다. 저 저항 영역(105c)에도 동일하게 적용된다.
- [0121] 이때, 도전막(134)과 저 저항 영역(105b) 간에는, 에너지 장벽이 충분히 작기 때문에, 오믹 접촉이 이루어진다. 마찬가지로, 도전막(135)과 저 저항 영역(105c) 간에는, 에너지 장벽이 충분히 작기 때문에, 오믹 접촉이 이루어진다. 따라서, 도전막(134 및 135)과 채널 영역(105a) 사이에, 전자 전달이 원활하게 이루어진다.
- [0122] 상술된 바와 같이, 본 발명의 일 실시예의 트랜지스터는, 채널 저항이 작고, 소스 및 드레인 전극들과, 채널 영역 사이에서 전자 전달이 원활하게 이루어지는 트랜지스터이다. 즉, 트랜지스터는 우수한 스위칭 특성을 갖는다.
- [0123] <반도체 장치의 제조 방법 1>
- [0124] 다음에, 도 1의 (A) 및 도 1의 (B), 및 도 2의 (A) 및 도 2의 (B)에 도시한 트랜지스터(100a 및 100b)의 제조 방법에 대하여, 도 5의 (A) 및 도 5의 (B), 도 6의 (A) 내지 도 6의 (C), 및 도 7의 (A) 및 도 7의 (B)를 참조하여 설명한다.
- [0125] 트랜지스터(100a 및 100b)에 포함된 막들(즉, 절연막, 산화물 반도체 막, 도전막 등)은, 스퍼터링 법, 화학 기상 퇴적(CVD) 법, 진공 증착법, 펄스 레이저 퇴적(PLD) 법 중 어느 것에 의해 형성될 수 있다. 대안적으로, 도포법 또는 인쇄법이 사용될 수 있다. 스퍼터링 법, 플라즈마-강화된 화학 기상 퇴적(PECVD) 법은 성막 방법의 전형적인 예이지만, 열 CVD 법이 사용될 수도 있다. 열 CVD 법으로서, 예를 들어, 유기 금속 화학 퇴적(MOCVD) 법 또는 원자층 퇴적(ALD) 법이 사용될 수 있다.
- [0126] 열 CVD 법에 의한 퇴적은, 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 소스 가스와 산화제를 한 번에 챔버 내에 공급하고, 기판 근방 또는 기판 위에서 서로 반응시키는 방식으로, 행해질 수 있다. 따라서, 퇴적 시 플라즈마가 생성되지 않고; 따라서 열 CVD 법은 플라즈마 손상으로 인한 결함을 전혀 야기하지 않는다는 이점을 갖는다.
- [0127] ALD 법에 의한 퇴적은, 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 반응을 위한 소스 가스를 순차적으로 챔버 내에 도입하고, 그런 다음 가스 도입의 시퀀스를 반복하는 방식으로, 행해질 수 있다. 예를 들어, 개별 스위칭 밸브(고속 밸브라고도 지칭함)를 전환함으로써, 2 종류 이상의 소스 가스를 순차적으로 챔버 내에 공급한다. 예를 들어, 소스 가스들이 혼입되지 않도록, 제1 소스 가스를 도입하고, 제1 소스 가스의 도입과 동시에 또는 그 이후에, 불활성 가스(예를 들어, 아르곤 혹은 질소) 등을 도입하고, 그런 다음 제2 소스 가스를 도입한다. 제1 소스 가스와 불활성 가스를 동시에 도입하는 경우에, 불활성 가스는 캐리어 가스로서의 역할을 하며, 불활성 가스는 또한 제2 소스 가스의 도입과 동시에 도입될 수도 있다는 점에 주목해야 한다. 대안적으로, 불활성 가스의 도입 대신에, 진공 배기에 의해 제1 소스 가스를 배출하고, 그 후, 제2 소스 가스를 도입할 수 있다. 제1 소스 가스가 기판의 표면에 흡착되어 제1 단일 원자층을 형성하고; 그런 다음, 제2 소스 가스가 도입되어 제1 단일 원자층과 반응하고; 결과로서, 제1 단일 원자층 위에 제2 단일 원자층이 적층되어서, 박막이 형성되게 된다.
- [0128] 원하는 두께가 될 때까지, 가스 도입의 시퀀스를 복수 회 반복함으로써, 우수한 단차 피복성을 갖는 박막을 형성할 수 있다. 박막의 두께는, 가스 도입의 시퀀스의 반복 횟수에 의해 조절될 수 있고; 따라서 ALD 법은 막 두께를 정확하게 조절하는 것을 가능하게 하여서, 미세한 FET를 제조하는 경우에 적합하다.
- [0129] 도 5의 (A)에 도시된 바와 같이, 기판(101) 위에 도전막(102)을 형성하고, 도전막(102) 위에 절연막(104)을 형성한다. 다음에, 구동 회로부에서 절연막(104) 위에 산화물 반도체 막(105)을 형성하고, 화소부에서 절연막(104) 위에 산화물 반도체 막(108)을 형성한다.
- [0130] 도전막(102)은, 이하와 같이, 스퍼터링 법, 진공 증착법, 펄스 레이저 퇴적(PLD) 법, 열 CVD 법 등에 의해 도전막을 형성하고, 이 도전막 위에 리소그래피 공정에 의해 마스크를 형성하고, 그런 다음 에칭 처리를 행하는 것

에 의해 형성된다.

- [0131] 대안적으로, ALD를 채용하는 퇴적 장치에 의해 도전막으로서 텅스텐막을 형성할 수 있다. 그러한 경우에,  $WF_6$  가스와  $B_2H_6$  가스를 순차적으로 2회 이상 도입하여 초기 텅스텐막을 형성하고, 그런 다음,  $WF_6$  가스와  $H_2$  가스를 한 번에 도입하여서, 텅스텐막을 형성하게 된다.  $B_2H_6$  가스 대신에  $SiH_4$  가스를 사용할 수 있다는 점에 주목해야 한다.
- [0132] 도전막(102)은, 상기 형성 방법 대신에, 전해 도금법, 인쇄법, 잉크젯 법 등으로 형성될 수 있다는 점에 주목해야 한다.
- [0133] 여기에서, 스퍼터링 법에 의해, 도전막(102)으로서 100nm 두께의 텅스텐막을 형성한다.
- [0134] 절연막(104)은, 스퍼터링 법, CVD 법, 증착법, 펄스 레이저 퇴적(PLD) 법, 인쇄법, 도포법 등에 의해 적절히 형성될 수 있다. 절연막(104)은, 기판(101) 위에 절연막을 형성하고, 그런 다음 이 절연막에 산소를 첨가하는 방식으로, 형성될 수 있다. 절연막에 첨가되는 산소의 예는, 산소 라디칼, 산소 원자, 산소 원자 이온, 산소 분자 이온 등을 포함한다. 산소의 첨가 방법으로서, 이온 도핑법, 이온 주입법, 플라즈마 처리법 등이 주어질 수 있다. 대안적으로, 절연막 위에 산소의 방출을 억제하는 막을 형성한 후, 이 막을 통해 산소가 절연막에 첨가될 수 있다.
- [0135] 절연막(104)으로서, 가열 처리에 의해 산소가 방출될 수 있는 산화 실리콘 막 또는 산화질화 실리콘 막은, 이하의 조건: 진공 배기된 플라즈마 CVD 장치의 처리실 내에 위치한 기판을, 180℃ 이상 280℃ 이하, 또는 200℃ 이상 240℃ 이하의 온도로 유지하는 것, 처리실 내에 소스 가스를 도입함으로써, 압력을 100Pa 이상 250Pa 이하, 또는 100Pa 이상 200Pa 이하로 하는 것, 및 처리실에 제공된 전극에  $0.17W/cm^2$  이상  $0.5W/cm^2$  이하, 또는  $0.25W/cm^2$  이상  $0.35W/cm^2$  이하의 고주파 전력을 공급하는 것에 의해, 형성될 수 있다.
- [0136] 여기에서, 절연막(104a)과 절연막(104b)을 적층하여 절연막(104)을 형성한다. 절연막(104a)으로서, 플라즈마 CVD 법에 의해, 100nm 두께의 질화 실리콘 막을 형성하고, 절연막(104b)으로서, 플라즈마 CVD 법에 의해 300nm 두께의 산화질화 실리콘 막을 형성한다.
- [0137] 산화물 반도체 막(105 및 108)의 형성 방법에 대하여 이하 설명한다. 스퍼터링 법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법, 열 CVD 법 등에 의해, 절연막(104) 위에 산화물 반도체 막을 형성한다. 다음에, 가열 처리에 의해, 절연막(104)에 함유된 산소를 산화물 반도체 막으로 이동시킨다. 그런 다음, 리소그래피 공정에 의해, 산화물 반도체 막 위에 마스크를 형성한 후, 이 마스크를 사용하여 산화물 반도체 막을 부분적으로 에칭한다. 따라서, 도 5의 (A)에 나타난 바와 같은, 산화물 반도체 막(105 및 108)을 형성할 수 있다. 그 후, 마스크를 제거한다. 가열 처리는, 산화물 반도체 막의 일부를 에칭함으로써 산화물 반도체 막(105 및 108)을 형성한 후에, 행해질 수 있다는 점에 주목해야 한다.
- [0138] 대안적으로, 산화물 반도체 막(105 및 108)을 형성하기 위해 인쇄법을 사용함으로써, 소자 분리된 산화물 반도체 막(105 및 108)을 바로 형성할 수 있다.
- [0139] 스퍼터링 법에 의해, 산화물 반도체 막을 형성하는 경우에, 플라즈마를 발생하기 위한 전원 장치로서, RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 사용할 수 있다. AC 전원 장치 또는 DC 전원 장치를 사용하여 CAAC-OS 막을 형성할 수 있다는 점에 주목해야 한다. 산화물 반도체 막을 형성할 때, AC 전원 장치 또는 DC 전원 장치를 사용하는 스퍼터링 법이, RF 전원 장치를 사용하는 스퍼터링 법보다 바람직하고, 그 이유는 산화물 반도체 막이 막 두께, 막 조성, 또는 결정성에 있어서 균일할 수 있기 때문에 그러하다.
- [0140] 스퍼터링 가스로서, 회가스(전형적으로 아르곤), 산소 가스, 또는 회가스와 산소의 혼합 가스를 적절히 사용한다. 회가스와 산소의 혼합 가스를 사용하는 경우에, 회가스에 대한 산소의 비율을 증가시키는 것이 바람직하다.
- [0141] 또한, 형성될 산화물 반도체 막의 조성에 따라, 타겟이 적절히 선택될 수 있다.
- [0142] 예를 들어, 산화물 반도체 막이, 스퍼터링 법에 의해, 150℃ 이상 750℃ 이하, 또는 150℃ 이상 450℃ 이하, 또는 200℃ 이상 350℃ 이하의 기판 온도에서 형성되는 경우에, CAAC-OS 막이 형성될 수 있다. 기판 온도가 25℃ 이상 150℃ 미만인 경우에, 미세결정 산화물 반도체 막이 형성될 수 있다.
- [0143] 후술될 CAAC-OS 막의 퇴적을 위해서, 이하의 조건이 사용되는 것이 바람직하다.

- [0144] 성막 동안 불순물의 인입을 억제함으로써, 불순물에 의해 결정 상태가 깨지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(예를 들어, 수소, 물, 이산화탄소 또는 질소)의 농도를 저감할 수 있다. 또한, 성막 가스 중의 불순물 농도를 저감할 수 있다. 구체적으로는, 노점이  $-80^{\circ}\text{C}$  이하, 또는  $-100^{\circ}\text{C}$  이하인 성막 가스를 사용한다.
- [0145] 성막 시에 플라즈마 손상을 저감하기 위해서, 성막 가스 중의 산소 비율을 증가시키고, 전력을 최적화하는 것이 바람직하다. 성막 가스 중의 산소 비율은, 30 체적% 이상, 또는 100 체적%이다.
- [0146] 또한, 산화물 반도체 막을 형성한 후에, 가열 처리를 행할 수 있어, 산화물 반도체 막이 탈수소화 또는 탈수화 되게 된다. 가열 처리는, 전형적으로,  $150^{\circ}\text{C}$  이상 기판 변형점(strain point of the substrate) 미만,  $250^{\circ}\text{C}$  이상  $450^{\circ}\text{C}$  이하, 또는  $300^{\circ}\text{C}$  이상  $450^{\circ}\text{C}$  이하의 온도에서 행해진다.
- [0147] 가열 처리는, 헬륨, 네온, 아르곤, 크세논 또는 크립톤 등의 희가스, 혹은 질소를 함유하는 불활성 가스 분위기 하에서 행해진다. 대안적으로, 가열 처리는, 먼저 불활성 가스 분위기하에서, 그런 다음 산소 분위기하에서 행해질 수 있다. 상기 불활성 분위기 및 산소 분위기는, 수소, 물 등을 함유하지 않는 것이 바람직하다. 처리 시간은, 3분부터 24시간까지이다.
- [0148] 이 가열 처리를 위해, 전기로, RTA 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 가열 시간이 단시간 이라면, 가열 처리는 기판 변형점 이상의 온도에서 행해질 수 있다. 따라서, 가열 처리 시간을 단축할 수 있다.
- [0149] 산화물 반도체 막을 가열하면서 성막하거나, 산화물 반도체 막을 형성한 후에 가열 처리를 행함으로써, 산화물 반도체 막에 있어서, SIMS에 의해 측정되는 수소 농도는,  $5 \times 10^{19} \text{ atoms/cm}^3$  이하,  $1 \times 10^{19} \text{ atoms/cm}^3$  이하,  $5 \times 10^{18} \text{ atoms/cm}^3$  이하,  $1 \times 10^{18} \text{ atoms/cm}^3$  이하,  $5 \times 10^{17} \text{ atoms/cm}^3$  이하, 또는  $1 \times 10^{16} \text{ atoms/cm}^3$  이하일 수 있다.
- [0150] 예를 들어, ALD를 채용하는 성막 장치를 사용하여 산화물 반도체 막, 예를 들어  $\text{InGaZnO}_x (x > 0)$  막을 형성하는 경우에,  $\text{In}(\text{CH}_3)_3$  가스와  $\text{O}_3$  가스를 순차적으로 2회 이상 도입하여  $\text{InO}_2$  층을 형성하고,  $\text{Ga}(\text{CH}_3)_3$  가스와  $\text{O}_3$  가스를 한 번에 도입하여  $\text{GaO}$  층을 형성하고, 그런 다음  $\text{Zn}(\text{CH}_3)_2$  가스와  $\text{O}_3$  가스를 한 번에 도입하여  $\text{ZnO}$  층을 형성한다. 이들 층의 순서는 이 예에 제한되지 않는다는 점에 주목해야 한다. 이들 가스를 혼합하여,  $\text{InGaO}_2$  층 또는  $\text{InZnO}_2$  층,  $\text{GaInO}$  층,  $\text{ZnInO}$  층, 또는  $\text{GaZnO}$  층 등의 혼합 화합물 층을 형성할 수 있다.  $\text{O}_3$  가스 대신에, Ar 등의 불활성 가스로 버블링함으로써 획득된  $\text{H}_2\text{O}$  가스를 사용할 수 있을지라도, H를 함유하지 않는  $\text{O}_3$  가스를 사용하는 것이 바람직하다는 점에 주목해야 한다.  $\text{In}(\text{CH}_3)_3$  가스 대신에,  $\text{In}(\text{C}_2\text{H}_5)_3$  가스를 사용할 수 있다.  $\text{Ga}(\text{CH}_3)_3$  가스 대신에,  $\text{Ga}(\text{C}_2\text{H}_5)_3$  가스를 사용할 수 있다. 또한,  $\text{Zn}(\text{CH}_3)_2$  가스를 사용할 수 있다.
- [0151] 여기에서, 스퍼터링 법에 의해, 35nm 두께의 산화물 반도체 막을 형성하고, 그런 다음 가열 처리에 의해, 절연막(104)에 함유된 산소를, 산화물 반도체 막으로 이동시킨다. 다음에, 이 산화물 반도체 막 위에 마스크를 형성하고, 산화물 반도체 막의 일부를 선택적으로 에칭한다. 이런 방식으로, 산화물 반도체 막(105 및 108)을 형성한다. 산화물 반도체 막으로서, In-Ga-Zn 산화물 막( $\text{In}:\text{Ga}:\text{Zn}=1:1:1.2$ )을 형성한다.
- [0152] 가열 처리가,  $350^{\circ}\text{C}$  초과  $650^{\circ}\text{C}$  이하, 또는  $450^{\circ}\text{C}$  이상  $600^{\circ}\text{C}$  이하의 온도에서 행해지는 경우, 후술된 CAAC의 비율이, 60% 이상 100% 미만, 80% 이상 100% 미만, 90% 이상 100% 미만, 또는 95% 이상 98% 이하인 산화물 반도체 막을 획득하는 것이 가능하다. 또한, 수소, 물 등의 함유량이 적은 산화물 반도체 막을 획득하는 것이 가능하다. 즉, 불순물 농도가 낮고, 결함 준위 밀도가 낮은 산화물 반도체 막을 형성할 수 있다.
- [0153] 다음에, 도 5의 (B)에 도시된 바와 같이, 절연막(104) 및 산화물 반도체 막(105 및 108) 위에 절연막(115)을 형성한다. 다음에, 절연막(115) 위에 도전막(119 및 120)을 형성한다.
- [0154] 예를 들어, 저저항 재료를 사용하여 도전막(119 및 120)을 형성하는 경우에, 저저항 재료가 산화물 반도체 막에 인입하는 것에 의해, 트랜지스터의 전기적 특성의 불량이 초래된다. 본 실시예에서는, 도전막(119 및 120)을 형성하기 전에 절연막(115)을 형성하고; 따라서 산화물 반도체 막(105 및 108) 각각의 채널 영역이 도전막(119 및 120)과 접하지 않는다. 따라서, 트랜지스터의 전기적 특성, 전형적으로는, 임계 전압의 변동이 억제될 수 있다.
- [0155] 절연막(115)으로서, 산화 실리콘 막 또는 산화질화 실리콘 막을, CVD 법에 의해 형성할 수 있다. 이 경우에,

소스 가스로서, 실리콘을 함유하는 성막 가스 및 산화 가스를 사용하는 것이 바람직하다. 실리콘을 함유하는 성막 가스의 전형적인 예는, 실란, 디실란, 트릴실란, 및 불화 실란을 포함한다. 산화 가스의 예는, 산소, 오존, 일산화이질소, 및 이산화질소를 포함한다.

- [0156] 결합이 적은 산화질화 실리콘 막은, 절연막(115)으로서, CVD 법에 의해 이하의 조건: 성막 가스에 대한 산화 가스의 비율을 20배 초과 100배 미만, 또는 40배 이상 80배 이하로 하는 것, 및 처리실 내의 압력을 100Pa 미만, 또는 50Pa 이하로 하는 것에 의해, 형성될 수 있다.
- [0157] 치밀한 산화 실리콘 막 또는 산화질화 실리콘 막은, 절연막(115)으로서, 이하의 조건: 진공 배기된 플라즈마 CVD 장치의 처리실 내에 위치된 기판을 280℃ 이상 400℃ 이하의 온도로 유지하는 것, 처리실 내에 소스 가스를 도입함으로써 처리실 내의 압력을 20Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 250Pa 이하로 하는 것, 및 처리실에 제공된 전극에 고주파 전력을 공급하는 것에 의해, 형성될 수 있다.
- [0158] 절연막(115)은, 마이크로파를 사용하는 플라즈마 CVD 법에 의해 형성될 수 있다. 마이크로파는 300MHz 내지 300GHz의 주파수 범위 내의 파를 가리킨다. 마이크로파를 사용하는 경우에, 전자 온도가 낮고, 전자 에너지가 작다. 또한, 공급 전력에서, 전자의 가속에 사용되는 전력 비율이 적고, 따라서 보다 많은 분자의 해리 및 전리에 전력이 사용될 수 있다. 따라서, 밀도가 높은 플라즈마(고밀도 플라즈마)가 여기될 수 있다. 따라서, 성막 표면 및 퇴적물은 플라즈마에 의해 덜 손상되고, 결합이 적은 절연막(115)이 형성될 수 있다.
- [0159] 대안적으로, 절연막(115)은, 유기 실란 가스를 사용하는 CVD 법에 의해 형성될 수 있다. 유기 실란 가스로서는, 이하의 실리콘 함유 화합물: 테트라에틸 오르토실리케이트(TEOS: 화학식  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ); 테트라메틸실란(TMS: 화학식  $\text{Si}(\text{CH}_3)_4$ ); 테트라메틸시클로테트라실록산(TMCTS); 옥타메틸시클로테트라실록산(OMCTS); 헥사메틸디실라잔(HMDS), 트리에톡시실란( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ); 트리스디메틸아미노실란( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 중 어느 것을 사용할 수 있다. 유기 실란 가스를 사용하는 CVD 법에 의해, 피복성이 높은 절연막(115)을 형성할 수 있다.
- [0160] 절연막(115)으로서 산화 갈륨 막을 형성하는 경우에, MOCVD 법을 이용할 수 있다.
- [0161] 절연막(115)으로서, MOCVD 법 또는 ALD 법 등의 열 CVD 법에 의해, 산화 하프늄 막을 형성하는 경우에, 2 종류의 가스, 즉, 용매와 하프늄 전구체 화합물을 함유하는 액체(테트라키스(디메틸아미드)하프늄(TDMAH)으로 대표되는 하프늄 알콕시드 용액)를 기화시켜 획득된 소스 가스와, 산화제로서의 오존( $\text{O}_3$ )을 사용한다. 테트라키스(디메틸아미드)하프늄의 화학식은  $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ 이라는 점에 주목해야 한다. 다른 재료 액의 예는, 테트라키스(에틸메틸아미드)하프늄을 포함한다.
- [0162] 절연막(115)으로서, MOCVD 법 또는 ALD 법 등의 열 CVD 법에 의해, 산화 알루미늄 막을 형성하는 경우에, 2 종류의 가스, 즉 용매와 알루미늄 전구체 화합물을 함유하는 액체(예를 들어, 트리메틸알루미늄(TMA))을 기화시켜 획득된 소스 가스와, 산화제로서의  $\text{H}_2\text{O}$ 를 사용한다. 트리메틸알루미늄의 화학식은  $\text{Al}(\text{CH}_3)_3$ 이라는 점에 주목해야 한다. 다른 재료 액의 예는, 트리스(디메틸아미드)알루미늄, 트라이소부틸알루미늄, 및 알루미늄 트리스(2, 2, 6, 6-테트라메틸-3, 5-헵타디오네이트)를 포함한다. ALD 법은, 피복성이 우수하고, 막 두께가 작은 절연막(115)을 가능하게 한다는 점에 주목해야 한다.
- [0163] 절연막(115)으로서, MOCVD 법 또는 ALD 법 등의 열 CVD 법에 의해, 산화 실리콘 막을 형성하는 경우에, 헥사클로로디실란을 성막 표면에 흡착시켜, 흡착물에 함유된 염소를 제거하고, 산화성 가스(예를 들어,  $\text{O}_2$  또는 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.
- [0164] 여기에서, 절연막(115)으로서, 플라즈마 CVD 법에 의해 100nm 두께의 산화질화 실리콘 막을 형성한다.
- [0165] 여기에서, 도전막 위에 리소그래피 공정에 의해 마스크(122 및 123)를 형성하고, 그런 다음, 이 도전막을 에칭함으로써, 도전막(119 및 120)을 형성한다.
- [0166] 도전막(119 및 120)은, 상기 형성 방법 대신에, 전해 도금법, 인쇄법, 잉크젯법 등에 의해 형성될 수 있다는 점에 주목해야 한다.
- [0167] 다음에, 도 6의 (A)에 도시된 바와 같이, 마스크(122 및 123)를 남긴 채, 절연막(115)을 에칭하여, 절연막(116 및 117)을 형성한다.
- [0168] 다음에, 도 6의 (B)에 도시된 바와 같이, 마스크(122 및 123)를 남긴 채, 산화물 반도체 막(105 및 108)에 불순



물 원소(125)를 첨가한다. 결과로서, 산화물 반도체 막에 있어서 마스크(122 및 123)로 덮여 있지 않은 영역에 불순물 원소가 첨가된다. 불순물 원소(125)의 첨가에 의해, 산화물 반도체 막에는 산소 결손이 형성된다는 점에 주목해야 한다.

- [0169] 대안적으로, 마스크(122 및 123)를 제거한 후, 불순물 원소(125)를 산화물 반도체 막에 첨가하는 것이 가능한 두께의 막(전형적으로는, 질화물 절연막, 산화물 절연막 등)을 형성하고, 불순물 원소(125)를 산화물 반도체 막에 첨가할 수 있다. 불순물 원소(125)를 산화물 반도체 막에 첨가하는 것이 가능한 두께는, 0.1nm 이상 50nm 이하, 또는 1nm 이상 10nm 이하이다.
- [0170] 불순물 원소(125)의 첨가 방법으로서, 이온 도핑법, 이온 주입법, 플라즈마 처리 등이 주어질 수 있다. 플라즈마 처리의 경우에, 첨가될 불순물 원소를 함유하는 가스 분위기에서 플라즈마를 발생시켜 플라즈마 처리를 행함으로써, 불순물 원소를 첨가할 수 있다. 상기 플라즈마를 발생시키기 위해, 건식 에칭 장치, 플라즈마 CVD 장치, 고밀도 플라즈마 CVD 장치 등을 사용할 수 있다. 플라즈마 처리의 경우에, 평행 평판 전극의 캐소드 측에 기관(101)을 설치할 수 있고, 기관(101) 측에 바이어스를 인가하도록, RF 전력을 공급할 수 있다. 해당 RF 전력으로서, 예를 들어 전력 밀도는  $0.1\text{W}/\text{cm}^2$  이상  $2\text{W}/\text{cm}^2$  이하이다. 그 결과, 산화물 반도체 막(105 및 108)에 첨가되는 불순물 원소의 양을 증가시킬 수 있고, 산화물 반도체 막(105 및 108)에 보다 많은 산소 결손을 형성할 수 있다.
- [0171] 불순물 원소(125)의 소스 가스로서,  $\text{B}_2\text{H}_6$ ,  $\text{PH}_3$ ,  $\text{CH}_4$ ,  $\text{N}_2$ ,  $\text{NH}_3$ ,  $\text{AlH}_3$ ,  $\text{AlCl}_3$ ,  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{F}_2$ ,  $\text{HF}$ ,  $\text{H}_2$  및 회가스 중 하나 이상을 사용할 수 있다는 점에 주목해야 한다. 대안적으로, 회가스에 의해 희석된  $\text{B}_2\text{H}_6$ ,  $\text{PH}_3$ ,  $\text{N}_2$ ,  $\text{NH}_3$ ,  $\text{AlH}_3$ ,  $\text{AlCl}_3$ ,  $\text{F}_2$ ,  $\text{HF}$  및  $\text{H}_2$  중 하나 이상을 사용할 수 있다. 회가스에 의해 희석된  $\text{B}_2\text{H}_6$ ,  $\text{PH}_3$ ,  $\text{N}_2$ ,  $\text{NH}_3$ ,  $\text{AlH}_3$ ,  $\text{AlCl}_3$ ,  $\text{F}_2$ ,  $\text{HF}$  및  $\text{H}_2$ 에 중 하나 이상을 사용하는 불순물 원소(125)를 산화물 반도체 막(105 및 108)에 첨가함으로써, 회가스와, 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인 및 염소 중 하나 이상을, 한 번에 산화물 반도체 막(105 및 108)에 첨가할 수 있다.
- [0172] 대안적으로, 회가스를 산화물 반도체 막(105 및 108)에 첨가한 후,  $\text{B}_2\text{H}_6$ ,  $\text{PH}_3$ ,  $\text{CH}_4$ ,  $\text{N}_2$ ,  $\text{NH}_3$ ,  $\text{AlH}_3$ ,  $\text{AlCl}_3$ ,  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{F}_2$ ,  $\text{HF}$  및  $\text{H}_2$  중 하나 이상을 산화물 반도체 막(105 및 108)에 첨가할 수 있다.
- [0173] 더 대안적으로,  $\text{B}_2\text{H}_6$ ,  $\text{PH}_3$ ,  $\text{CH}_4$ ,  $\text{N}_2$ ,  $\text{NH}_3$ ,  $\text{AlH}_3$ ,  $\text{AlCl}_3$ ,  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{F}_2$ ,  $\text{HF}$  및  $\text{H}_2$  중 하나 이상을 산화물 반도체 막(105 및 108)에 첨가한 후, 회가스를 산화물 반도체 막(105 및 108)에 첨가할 수 있다.
- [0174] 불순물 원소(125)의 첨가는, 가속 전압 및 도즈 등의 주입 조건을 적절히 설정함으로써 제어될 수 있다. 예를 들어, 이온 주입법에 의해 아르곤을 첨가하는 경우에, 가속 전압을 10kV로 설정하고, 도즈를  $1 \times 10^{13} \text{ions}/\text{cm}^2$  이상  $1 \times 10^{16} \text{ions}/\text{cm}^2$  이하, 예를 들어,  $1 \times 10^{14} \text{ions}/\text{cm}^2$ 로 설정할 수 있다. 이온 주입법에 의해, 인 이온을 첨가하는 경우에, 가속 전압을 30kV로 설정하고, 도즈를  $1 \times 10^{13} \text{ions}/\text{cm}^2$  이상  $5 \times 10^{16} \text{ions}/\text{cm}^2$  이하, 예를 들어  $1 \times 10^{15} \text{ions}/\text{cm}^2$ 로 설정할 수 있다.
- [0175] 결과로서, 산화물 반도체 막(105)에 저 저항 영역(105b 및 105c)을 형성할 수 있다. 또한, 산화물 반도체 막(108)에 저 저항 영역(108b 및 108c)을 형성할 수 있다. 그 후, 마스크(122 및 123)를 제거한다.
- [0176] 도전막(119 및 120)을 노출시킨 채, 불순물 원소(125)를 첨가하는 경우, 도전막(119 및 120)의 일부가 박리되어, 절연막(116 및 117)의 측면에 부착된다는 점에 주목해야 한다. 이는 트랜지스터의 누설 전류를 증가시키는 결과를 가져온다. 따라서, 마스크(122 및 123)로 도전막(119 및 120)을 덮은 채, 산화물 반도체 막(105 및 108)에 불순물 원소(125)를 첨가함으로써, 도전막(119 및 120)의 일부가 절연막(116 및 117)의 측면에 부착되는 것을 방지할 수 있다. 대안적으로, 마스크(122 및 123)를 제거한 후, 산화물 반도체 막(105 및 108)에 불순물 원소(125)를 첨가할 수 있다.
- [0177] 그 후, 가열 처리를 행하여, 불순물 원소(125)가 첨가된 영역의 도전성을 더 증가시킬 수 있다. 가열 처리는, 전형적으로, 150℃ 이상 기판 변형점 미만, 250℃ 이상 450℃ 이하, 또는 300℃ 이상 450℃ 이하의 온도에서 행해진다.
- [0178] 다음에, 도 6의 (C)에 도시된 바와 같이, 절연막(104), 산화물 반도체 막(105 및 108), 절연막(116 및 117), 및 도전막(119 및 120) 위에 절연막(126)을 형성한다.



- [0179] 절연막(126)의 형성 방법으로서, 스퍼터링 법, CVD 법, 진공 증착법, 펄스 레이저 퇴적(PLD) 법 등이 주어진다. 실란 및 암모니아를 소스 가스로서 사용하거나, 실란 및 질소를 소스 가스로서 사용하는 플라즈마 CVD 법에 의해, 수소를 함유하는 질화 실리콘 막을 형성할 수 있다는 점에 주목해야 한다. 또한, 플라즈마 CVD 법을 사용함으로써, 산화물 반도체 막(105 및 108)이 손상될 수 있고, 산화물 반도체 막(105 및 108)에 산소 결손이 형성될 수 있다.
- [0180] 절연막(126)에는 수소가 함유되어 있기 때문에, 산화물 반도체 막(105 및 108)에 있어서, 불순물 원소가 첨가된 영역과 절연막(126)이 접하는 경우, 절연막(126)에 함유된 수소가, 산화물 반도체 막(105 및 108)에 있어서, 불순물 원소가 첨가된 영역으로 이동한다. 불순물 원소가 첨가된 영역에는 산소 결손이 포함되기 때문에, 산화물 반도체 막(105 및 108)에 저 저항 영역을 형성할 수 있다.
- [0181] 대안적으로, 절연막(126) 대신에 알루미늄 막 혹은 산화 알루미늄 막을 형성하고, 그런 다음 가열 처리를 행함으로써, 산화물 반도체 막(105 및 108)에 함유된 산소가 알루미늄 막 혹은 산화 알루미늄 막과 반응한다. 따라서, 절연막(126)으로서 산화 알루미늄 막이 형성되고, 산화물 반도체 막(105 및 108)의 저 저항 영역(105b, 105c, 108b 및 108c)에 산소 결손이 형성된다. 결과로서, 저 저항 영역(105b, 105c, 108b 및 108c)의 도전성을 더 증가시킬 수 있다.
- [0182] 여기에서, 절연막(126)으로서, 100nm 두께의 질화 실리콘 막을 플라즈마 CVD 법에 의해 형성한다.
- [0183] 그 후, 가열 처리를 행하여, 저 저항 영역(105b, 105c, 108b 및 108c)의 도전성을 더 증가시킬 수 있다. 가열 처리는, 전형적으로, 150℃ 이상 기판 변형점 미만, 250℃ 이상 450℃ 이하, 또는 300℃ 이상 450℃ 이하의 온도에서 행해진다.
- [0184] 다음에, 도 7의 (A)에 도시된 바와 같이, 절연막(127)을 형성할 수 있다. 절연막(127)은, 도전막(119)과 나중 형성된 도전막(134 및 135) 사이, 및 도전막(120)과 나중 형성된 도전막(136 및 137) 사이에 있어서 기생 용량을 저감할 수 있다.
- [0185] 다음에, 절연막(126 및 127)에 개구부(128 및 129)를 형성하고, 저 저항 영역의 일부를 노출시키고, 그런 다음 도전막(134, 135, 136 및 137)을 형성한다. 또한, 질화물 절연막(162)을 형성하는 것이 바람직하다(도 7의 (B) 참조).
- [0186] 도전막(134, 135, 136 및 137)은, 도전막(119 및 120)의 형성 방법과 마찬가지로 방법에 의해 적절히 형성될 수 있다. 질화물 절연막(162)은, 스퍼터링 법, CVD 법 등에 의해 적절히 형성될 수 있다.
- [0187] 상술된 공정을 통해, 트랜지스터(100a 및 100b)를 제조할 수 있다.
- [0188] <반도체 장치의 제조 방법 2>
- [0189] 다음에, 도 3의 (A) 및 도 3의 (B)에 도시된 트랜지스터(100c 및 100d)의 제조 방법에 대하여 설명한다.
- [0190] 도 5의 (A)에 도시된 산화물 반도체 막을 형성하는 단계에 있어서, 먼저, 구동 회로부의 절연막(104) 위에 In-M-Zn 산화물(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 타겟을 사용하여 산화물 반도체 막(105)을 형성한다. 타겟의 금속 원소들의 원자비가 In:M:Zn=  $x_1:y_1:z_1$ 인 경우,  $x_1/y_1$ 은 1 초과 6 이하인 것이 바람직하다.
- [0191] 다음에, 화소부의 절연막(104) 위에 In-M-Zn 산화물(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 타겟을 사용하여 산화물 반도체 막(108)을 형성한다. 타겟의 금속 원소들의 원자비가 In:M:Zn= $x_2:y_2:z_2$ 인 경우,  $x_2/y_2$ 는 1/6 이상 1 이하이다.
- [0192] 그 후, 도 5의 (B), 도 6의 (A) 내지 도 6의 (C), 및 도 7의 (A) 및 도 7의 (B)의 것들과 마찬가지로의 단계들이 행해진다. 이런 방식으로, 트랜지스터(100c 및 100d)를 제조할 수 있다.
- [0193] 본 실시예에 설명된 트랜지스터에서는, 소스 전극 및 드레인 전극으로서 기능하는 도전막이, 게이트 전극으로서 기능하는 도전막과 겹치지 않고, 따라서 기생 용량을 저감할 수 있고, 온 전류가 크다. 또한, 본 실시예에 설명된 트랜지스터에서는, 저 저항 영역을 안정적으로 형성할 수 있고; 따라서 종래의 트랜지스터와 비교하여 온 전류가 더 크고, 트랜지스터의 전기적 특성의 변동이 더 저감된다.
- [0194] 본 실시예에 설명된 구조 및 방법 등은, 다른 실시예들에 설명된 구조들 및 방법들 등 중 어느 것과 적절히 조

합하여 사용될 수 있다.

[0195] (실시예 2)

[0196] 본 실시예에서는, 반도체 장치 및 그 제조 방법의 일 실시예에 대하여 도 8의 (A) 및 도 8의 (B), 도 9의 (A) 및 도 9의 (B), 도 10의 (A) 및 도 10의 (B), 도 11의 (A) 및 도 11의 (B), 도 12의 (A) 내지 도 12의 (C), 도 13의 (A) 및 도 13의 (B)를 참조하여 설명한다.

[0197] <반도체 장치의 구조 1>

[0198] 도 8의 (A) 및 도 8의 (B), 및 도 9의 (A) 및 도 9의 (B)에, 반도체 장치에 포함되는 트랜지스터들의 예로서, 각각 탑-게이트 구조를 갖는 트랜지스터를 도시한다. 여기에서, 반도체 장치의 예로서 표시 장치를 사용하여 설명한다. 또한, 표시 장치의 구동 회로부 및 화소부에 제공되는 트랜지스터들의 구조를 설명한다. 본 실시예에 설명된 표시 장치에서, 구동 회로부의 트랜지스터와 화소부의 트랜지스터는, 상이한 구조를 지닌다. 구동 회로부의 트랜지스터는 듀얼-게이트 구조를 갖고, 화소부의 트랜지스터는 단일-게이트 구조를 갖는다.

[0199] 도 8의 (A) 및 도 8의 (B)는, 구동 회로부에 제공된 트랜지스터(100o) 및 화소부에 제공된 트랜지스터(100p)의 상면도이다. 도 9의 (A) 및 도 9의 (B)는, 트랜지스터(100o 및 100p)의 단면도이다. 도 9의 (A) 및 도 9의 (B)는, 각각 트랜지스터(100o 및 100p)의 상면도이다. 도 9의 (A)는, 도 8의 (A)의 일점 쇄선 A-B, 및 도 8의 (B)의 일점 쇄선 C-D를 따른 단면도이다. 도 9의 (B)는, 도 8의 (A)의 일점 쇄선 G-H, 및 도 8의 (B)의 일점 쇄선 I-J를 따른 단면도이다.

[0200] 도 9의 (A) 및 도 9의 (B)에 도시된 트랜지스터(100o)는, 기판(101) 위에 도전막(102)과, 기판(101) 및 도전막(102) 위에 절연막(104)과, 절연막(104) 위에 다층막(107)과, 다층막(107)에 접하는 절연막(116)과, 절연막(116)을 개재해서 다층막(107)과 접치는 도전막(119)을 포함한다. 트랜지스터(100o)는, 실시예 1에 설명된 트랜지스터(100a)의 구조를 갖고, 여기서 산화물 반도체 막(105)은 다층막(107)으로 대체되어 있다. 여기에서, 다층막(107)에 대하여 상세히 설명한다. 실시예 1에 설명된 것들과 동일한 구성 요소들의 상세한 설명에 대해서, 실시예 1의 트랜지스터(100a)의 설명을 참조할 수 있다.

[0201] 다층막(107)은, 도전막(102 및 119)과 접치는 채널 영역(107a)과, 채널 영역(107a)을 개재하는 저 저항 영역(107b 및 107c)을 포함한다. 채널 영역(107a)은, 절연막(104)에 접하는 채널 영역(105a)과, 채널 영역(105a)에 접하는 채널 영역(106a)을 포함한다. 저 저항 영역(107b)은, 절연막(104)에 접하는 저 저항 영역(105b)과, 저 저항 영역(105b)에 접하는 저 저항 영역(106b)을 포함한다. 저 저항 영역(107c)은, 절연막(104)에 접하는 저 저항 영역(105c)과, 저 저항 영역(105c)에 접하는 저 저항 영역(106c)을 포함한다. 도 9의 (A) 및 도 9의 (B)에 도시 생략되어 있더라도, 채널 영역(105a), 저 저항 영역(105b) 및 저 저항 영역(105c)을 포함하는 산화물 반도체 막을 산화물 반도체 막(105)이라고 지칭하고, 채널 영역(106a), 저 저항 영역(106b) 및 저 저항 영역(106c)를 포함하는 산화물 반도체 막을 산화물 반도체 막(106)이라고 지칭한다는 점에 주목해야 한다. 즉, 다층막(107)은, 산화물 반도체 막(105) 및 산화물 반도체 막(106)을 포함하는 적층체이다.

[0202] 위로부터 보았을 때, 산화물 반도체 막(105)의 단부 외측에 산화물 반도체 막(106)의 단부가 위치한다는 점에 주목해야 한다. 즉, 산화물 반도체 막(106)은, 산화물 반도체 막(105)의 상면 및 측면을 덮는다.

[0203] 트랜지스터(100o)에는, 저 저항 영역(107b 및 107c)에 접하는 절연막(126)이 제공된다. 또한, 절연막(126) 위에 절연막(127)이 제공될 수 있다. 또한, 절연막(126 및 127)의 개구부(128 및 129)를 통해, 다층막(107)의 저 저항 영역(107b 및 107c)에 접하는 도전막(134 및 135)이 제공된다.

[0204] 트랜지스터(100p)는, 기판(101) 위에 형성된 절연막(104) 위에 다층막(110)과, 다층막(110)에 접하는 절연막(117)과, 절연막(117)을 개재해서 다층막(110)과 접치는 도전막(120)을 포함한다. 트랜지스터(100p)는, 실시예 1에 설명된 트랜지스터(100b)의 구조를 갖고, 여기서 산화물 반도체 막(108)은 다층막(110)으로 대체되어 있다. 여기에서, 다층막(110)에 대하여 상세히 설명한다. 실시예 1에 설명된 것들과 동일한 구성 요소들의 상세한 설명에 대해서, 실시예 1의 트랜지스터(100b)의 설명을 참조할 수 있다.

[0205] 다층막(110)은, 도전막(120)과 접치는 채널 영역(110a)과, 채널 영역(110a)을 개재하는 저 저항 영역(110b 및 110c)을 포함한다. 채널 영역(110a)은, 절연막(104)에 접하는 채널 영역(108a)과, 채널 영역(108a)에 접하는 채널 영역(109a)을 포함한다. 저 저항 영역(110b)은, 절연막(104)에 접하는 저 저항 영역(108b)과, 저 저항 영역(108b)에 접하는 저 저항 영역(109b)을 포함한다. 저 저항 영역(110c)은, 절연막(104)에 접하는 저 저항 영역(108c)과, 저 저항 영역(108c)에 접하는 저 저항 영역(109c)을 포함한다. 도 9의 (A) 및 도 9의 (B)에 도시

생략되어 있더라도, 채널 영역(108a), 저 저항 영역(108b) 및 저 저항 영역(108c)을 포함하는 산화물 반도체 막을 산화물 반도체 막(108)이라고 지칭하고, 채널 영역(109a), 저 저항 영역(109b) 및 저 저항 영역(109c)을 포함하는 산화물 반도체 막을 산화물 반도체 막(109)이라고 지칭한다는 점에 주목해야 한다. 즉, 다층막(110)은, 산화물 반도체 막(108) 및 산화물 반도체 막(109)을 포함하는 적층체이다.

[0206] 위로부터 보았을 때, 산화물 반도체 막(108)의 단부 외측에 산화물 반도체 막(109)의 단부가 위치된다는 점에 주목해야 한다. 즉, 산화물 반도체 막(109)은, 산화물 반도체 막(108)의 상면 및 측면을 덮는다.

[0207] 트랜지스터(100p)에는, 저 저항 영역(110b 및 110c)에 접하는 절연막(126)이 제공된다. 또한, 절연막(126) 위에 절연막(127)이 제공될 수 있다. 또한, 절연막(126 및 127)의 개구부(130 및 131)를 통해, 다층막(110)의 저 저항 영역(110b 및 110c)에 접하는 도전막(136 및 137)이 제공된다.

[0208] 다층막(107)에 있어서, 도전막(119)과 겹치지 않는 영역에는, 산소 결손을 형성하는 원소가 포함된다. 다층막(110)에 있어서, 도전막(120)과 겹치지 않는 영역에는, 산소 결손을 형성하는 원소가 포함된다. 산소 결손을 형성하는 원소로서는, 실시예 1에 주어진 불순물 원소들 중 어느 것을 사용할 수 있다.

[0209] 절연막(126)은 수소를 함유하는 막이며, 그 전형적인 예는 질화물 절연막이다. 질화물 절연막의 예는, 질화 실리콘 막, 질화 알루미늄 막을 포함한다. 절연막(126)은 다층막(107 및 110)과 접한다. 따라서, 절연막(126)에 함유된 수소가 다층막(107 및 110) 내에 확산된다. 결과로서, 다층막(107 및 110)에 있어서, 절연막(126)과 접하는 영역에는, 많은 수소가 함유된다.

[0210] 불순물 원소가 산화물 반도체에 첨가되는 경우, 산화물 반도체 중의 금속 원소와 산소 사이의 결합이 절단되어, 산소 결손이 형성된다. 불순물 원소의 첨가에 의해 산소 결손이 형성된 산화물 반도체에 수소를 첨가하는 경우, 산소 결손 장소에 수소가 들어가고, 전도대 근방에 도너 준위를 형성하고; 따라서 산화물 반도체의 도전율이 증가한다. 그 결과, 산화물 도전체가 형성될 수 있다. 따라서, 산화물 도전체는 투광성을 갖는다.

[0211] 산화물 도전체는, 축퇴 반도체이고, 전도대 에지와 페르미 준위가 일치 또는 실질적으로 일치할 것이 제안된다. 이런 이유로, 산화물 도전체 막과 소스 전극 및 드레인 전극으로서 기능하는 도전막 간에 오믹 접촉이 이루어지고; 따라서 산화물 도전체 막과 소스 전극 및 드레인 전극으로서 기능하는 도전막 간에 접촉 저항을 저감할 수 있다.

[0212] 즉, 저 저항 영역(107b, 107c, 110b 및 110c)은, 소스 영역 및 드레인 영역으로서 기능한다.

[0213] 도전막(134, 135, 136 및 137)이 텅스텐, 티타늄, 알루미늄, 구리, 몰리브덴, 크롬, 탄탈륨, 혹은 이들 중 어느 것의 합금 등의 산소와 결합하기 쉬운 도전 재료를 사용하여 형성되는 경우에, 산화물 반도체 막에 함유된 산소가 도전막(134, 135, 136 및 137)에 함유된 도전 재료에 결합되고, 다층막(107 및 110)에 있어서, 산소 결손이 형성된다. 또한, 도전막(134, 135, 136 및 137)을 형성하는 도전 재료의 구성 원소의 일부가 다층막(107 및 110) 내에 혼입되는 경우가 몇몇 있다. 결과로서, 도전막(134, 135, 136 및 137)과 접하는 저 저항 영역(107b, 107c, 110b 및 110c)은 도전성이 더 높아지고, 소스 영역 및 드레인 영역으로서 기능한다.

[0214] 불순물 원소가 희가스 원소이며, 다층막(107 및 110)이 스퍼터링 법에 의해 형성되는 경우에, 저 저항 영역(107b, 107c, 110b 및 110c)은 각각 희가스 원소를 포함한다. 또한, 저 저항 영역(107b, 107c, 110b 및 110c)의 희가스 원소 농도가, 채널 영역(107a 및 110a)의 것보다 높다. 이것들은, 다층막(107 및 110)이 스퍼터링 법에 의해 형성되는 경우에, 스퍼터링 가스로서 희가스를 사용하여서, 다층막(107 및 110)이 희가스를 포함하게 되는 것; 및 저 저항 영역(107b, 107c, 110b 및 110c)에 있어서, 산소 결손을 형성하기 위하여, 의도적으로 희가스가 저 저항 영역(107b, 107c, 110b 및 110c)에 첨가되는 것이 원인이다. 채널 영역(107a 및 110a)에 첨가되는 것과는 상이한 희가스 원소가 저 저항 영역(107b, 107c, 110b 및 110c)에 첨가될 수 있다는 점에 주목해야 한다.

[0215] 저 저항 영역(107b 및 107c)은 절연막(126)과 접하기 때문에, 저 저항 영역(107b 및 107c)의 수소 농도는 채널 영역(107a)의 수소 농도보다 높다. 또한, 저 저항 영역(110b 및 110c)은 절연막(126)과 접하기 때문에, 저 저항 영역(110b 및 110c)의 수소 농도는 채널 영역(110a)의 수소 농도보다 높다.

[0216] 저 저항 영역(107b, 107c, 110b 및 110c)에 있어서, SIMS에 의해 측정된 수소 농도는,  $8 \times 10^{19} \text{ atoms/cm}^3$  이상,  $1 \times 10^{20} \text{ atoms/cm}^3$  이상, 또는  $5 \times 10^{20} \text{ atoms/cm}^3$  이상일 수 있다. 채널 영역(107a 및 110a)에 있어서, SIMS에 의해 측정된 수소 농도는,  $5 \times 10^{19} \text{ atoms/cm}^3$  이하,  $1 \times 10^{19} \text{ atoms/cm}^3$  이하,  $5 \times 10^{18} \text{ atoms/cm}^3$  이하,  $1 \times 10^{18} \text{ atoms/cm}^3$

이하,  $5 \times 10^{17} \text{ atoms/cm}^3$  이하, 또는  $1 \times 10^{16} \text{ atoms/cm}^3$  이하일 수 있다는 점에 주목해야 한다.

- [0217] 저 저항 영역(107b, 107c, 110b 및 110c)은, 채널 영역(107a 및 110a)보다 수소 농도가 높아지고, 희가스 원소의 첨가로 인해 채널 영역(107a 및 110a)보다 산소 결손이 많아진다. 따라서, 저 저항 영역(107b, 107c, 110b 및 110c)은 도전성이 더 높아지고, 소스 영역 및 드레인 영역으로서 기능한다. 저 저항 영역(107b, 107c, 110b 및 110c)의 비저항은, 전형적으로,  $1 \times 10^{-3} \Omega \text{ cm}$  이상  $1 \times 10^4 \Omega \text{ cm}$  미만, 또는  $1 \times 10^{-3} \Omega \text{ cm}$  이상  $1 \times 10^{-1} \Omega \text{ cm}$  미만일 수 있다.
- [0218] 저 저항 영역(107b, 107c, 110b 및 110c)에 있어서, 수소의 양이 산소 결손의 양과 동일하거나 적은 경우, 수소가 산소 결손에 의해 쉽게 포획되고, 채널 영역(107a 및 110a) 내에 쉽게 확산되지 않는다는 점에 주목해야 한다. 결과로서, 노멀리 오프 트랜지스터를 제조할 수 있다.
- [0219] 또한, 저 저항 영역(107b, 107c, 110b 및 110c)에 있어서, 산소 결손의 양이 수소의 양보다 많은 경우에, 수소의 양을 제어함으로써, 저 저항 영역(107b, 107c, 110b 및 110c)의 캐리어 밀도를 제어할 수 있다. 대안적으로, 저 저항 영역(107b, 107c, 110b 및 110c)에 있어서, 수소의 양이 산소 결손의 양보다 많은 경우에, 산소 결손의 양을 제어함으로써, 저 저항 영역(107b, 107c, 110b 및 110c)의 캐리어 밀도를 제어할 수 있다. 저 저항 영역(107b, 107c, 110b 및 110c)의 캐리어 밀도가  $5 \times 10^{18} / \text{cm}^3$  이상, 또는  $1 \times 10^{19} / \text{cm}^3$  이상, 또는  $1 \times 10^{20} / \text{cm}^3$  이상인 경우, 트랜지스터들에서, 채널 영역(107a)과 소스 및 드레인 전극들로서 기능하는 도전막(134 및 135) 사이, 및 채널 영역(110a)과, 소스 및 드레인 전극들로서 기능하는 도전막(136 및 137) 사이에서의 저항이 작고, 큰 온 전류가 획득될 수 있다는 점에 주목해야 한다.
- [0220] 본 실시예에 설명된 트랜지스터(100o 및 100p)에 있어서, 채널 영역(107a)과, 소스 및 드레인 전극들로서 기능하는 도전막(134 및 135) 사이에는, 저 저항 영역(107b 및 107c)이 제공되고, 채널 영역(110a)과, 소스 및 드레인 전극들로서 기능하는 도전막(136 및 137) 사이에는, 저 저항 영역(110b 및 110c)이 제공되고; 따라서 트랜지스터들은 작은 기생 저항을 갖는다.
- [0221] 또한, 트랜지스터(100o)에 있어서, 도전막(119)은, 도전막(134 및 135)과 겹치지 않고; 따라서 도전막(119)과, 각각의 도전막(134 및 135) 사이에 기생 용량을 저감할 수 있다. 트랜지스터(100p)에 있어서, 도전막(120)은 도전막(136 및 137)과 겹치지 않고; 따라서, 도전막(120)과, 각각의 도전막(136 및 137) 사이에 기생 용량을 저감할 수 있다. 결과로서, 기관(101)으로서 대면적 기관을 사용한 경우에, 도전막(119, 120, 134, 135, 136 및 137)에 있어서 신호 지연을 저감할 수 있다.
- [0222] 그 결과, 트랜지스터(100o 및 100p)는, 온 전류가 크고, 전계 효과 이동도가 높다.
- [0223] 트랜지스터(100o)에 있어서, 도전막(119)을 마스크로 사용하여, 불순물 원소가 다층막(107)에 첨가된다. 트랜지스터(100p)에 있어서, 도전막(120)을 마스크로 사용하여, 불순물 원소가 다층막(110)에 첨가된다. 즉, 자기 배향 방식으로 저 저항 영역을 형성할 수 있다.
- [0224] 트랜지스터(100o)에 있어서, 서로 접촉되지 않은 도전막(102) 및 도전막(119)에, 상이한 전위를 공급하고; 이로써 트랜지스터(100o)의 임계 임계 전압을 제어할 수 있다. 대안적으로, 도 9의 (B)에 도시된 바와 같이, 서로 접촉된 도전막(102)과 도전막(119)에, 동일한 전위를 인가함으로써, 초기 특성의 변동을 저감할 수 있고, -GBT 스트레스 시험으로 인한 트랜지스터의 열화, 및 상이한 드레인 전압들에 있어서 온 전류의 상승 전압의 변화를 억제할 수 있다. 또한, 도 9의 (B)에 도시된 바와 같이, 도전막(102)과 도전막(119)이 서로 접촉되는 경우, 도전막(102 및 119)의 전계가 다층막(107)의 상면 및 측면에 영향을 미치므로, 전체 다층막(107)에 있어서 캐리어가 흐른다. 즉, 캐리어가 흐르는 영역이 막 두께 방향으로 더 커져서, 캐리어 이동량이 증가한다. 결과로서, 트랜지스터(100o)의 온 전류 및 전계 효과 이동도가 증가한다. 트랜지스터(100o)는, 온 전류가 크기 때문에, 평면 면적이 작을 수 있다. 그 결과, 구동 회로부에 의한 점유 면적이 작은 협소화 베젤을 갖는 표시 장치를 제조할 수 있다.
- [0225] 또한, 표시 장치에 있어서, 구동 회로부에 포함되는 트랜지스터와, 화소부에 포함되는 트랜지스터는, 상이한 채널 길이를 가질 수 있다.
- [0226] 전형적으로, 구동 회로부에 포함되는 트랜지스터(100o)의 채널 길이는,  $2.5 \mu\text{m}$  미만, 또는  $1.45 \mu\text{m}$  이상  $2.2 \mu\text{m}$  이하일 수 있다. 화소부에 포함되는 트랜지스터(100p)의 채널 길이는,  $2.5 \mu\text{m}$  이상, 또는  $2.5 \mu\text{m}$  이상  $20 \mu\text{m}$  이하일 수 있다.



- [0227] 구동 회로부에 포함되는 트랜지스터(100o)의 채널 길이가,  $2.5\mu\text{m}$  미만, 바람직하게는  $1.45\mu\text{m}$  이상  $2.2\mu\text{m}$  이하인 경우, 화소부에 포함되는 트랜지스터(100p)와 비교하여, 전계 효과 이동도를 증가시킬 수 있고, 온 전류의 양을 증가시킬 수 있다. 그 결과, 고속 동작이 가능한 구동 회로부를 형성할 수 있다. 또한, 구동 회로부에 의한 점유 면적이 작은 표시 장치를 제조할 수 있다.
- [0228] 전계 효과 이동도가 높은 트랜지스터를 사용함으로써, 구동 회로부의 예로서의 신호선 구동 회로에 역다중화 회로를 형성할 수 있다. 역다중화 회로는, 하나의 입력 신호를 복수의 출력에 분배하고; 따라서 역다중화 회로를 사용하여 입력 신호용 입력 단자 수를 삭감할 수 있다. 예를 들어, 하나의 화소가, 적색 서브 화소, 녹색 서브 화소 및 청색 서브 화소를 포함하고, 각 화소에 대응하는 역다중화 회로를 제공하는 경우, 입력 신호가 역다중화 회로에 의해 분배되어 각 서브 화소에 입력될 수 있다. 그 결과, 입력 단자 수를 1/3로 삭감할 수 있다.
- [0229] 온 전류가 큰 트랜지스터(100p)를 화소부에 제공하고; 이로써, 배선수가 증가되는 대형 표시 장치 또는 고해상도 표시 장치에 있어서도, 배선들에서의 신호 지연을 저감할 수 있고, 표시 불균일을 억제할 수 있다.
- [0230] 상술된 바와 같이, 고속 동작이 가능한 트랜지스터를 사용하여 구동 회로부를 형성하고, 기생 용량이 작고 기생 저항이 작은 트랜지스터를 사용하여 화소부를 형성하는 경우, 더블 프레임 속도 구동이 가능한 고해상도 표시 장치를 제조할 수 있다.
- [0231] 도 9의 (A) 및 도 9의 (B)에 도시한 구조에 대하여 이하 상세히 설명한다.
- [0232] 트랜지스터(100o)에 있어서, 다층막(107)에 포함되는 산화물 반도체 막(105)과 산화물 반도체 막(106)은, 상이한 조성을 갖는다. 트랜지스터(100p)에 있어서, 다층막(110)에 포함되는 산화물 반도체 막(108)과 산화물 반도체 막(109)은, 상이한 조성을 갖는다. 다층막(107)에 포함되는 산화물 반도체 막(105)과 다층막(110)에 포함되는 산화물 반도체 막(108)은, 동일한 조성을 갖는다. 또한, 다층막(107)에 포함되는 산화물 반도체 막(106)과 다층막(110)에 포함되는 산화물 반도체 막(109)은, 동일한 조성을 갖는다. 즉, 산화물 반도체 막(105) 및 산화물 반도체 막(108)은 동시에 형성되고, 산화물 반도체 막(106) 및 산화물 반도체 막(109)은 동시에 형성된다.
- [0233] 트랜지스터(100o)의 채널이 산화물 반도체 막(105)에 형성된다. 트랜지스터(100p)의 채널이 산화물 반도체 막(108)에 형성된다. 따라서, 산화물 반도체 막(105 및 108)은, 산화물 반도체 막(106 및 109)보다 큰 두께를 갖는다.
- [0234] 산화물 반도체 막(105 및 108) 각각의 두께는,  $3\text{nm}$  이상  $200\text{nm}$  이하,  $10\text{nm}$  이상  $50\text{nm}$  이하, 또는  $20\text{nm}$  이상  $35\text{nm}$  이하이다. 산화물 반도체 막(106 및 109) 각각의 두께는,  $3\text{nm}$  이상  $200\text{nm}$  이하,  $3\text{nm}$  이상  $100\text{nm}$  이하,  $10\text{nm}$  이상  $100\text{nm}$  이하, 또는  $30\text{nm}$  이상  $50\text{nm}$  이하이다.
- [0235] 산화물 반도체 막(105, 106, 108 및 109)은, 각각 적어도 In을 함유하는 금속 산화물을 사용하여 형성되고, 전형적으로, In-Ga 산화물, In-M-Zn 산화물(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 등을 사용하여 형성된다. 산화물 반도체 막(105 및 108)은, 산화물 반도체 막(106 및 109)보다 큰 인듐 함유량을 갖고; 따라서 트랜지스터(100o 및 100p) 각각에 매립 채널을 형성할 수 있다. 따라서, 트랜지스터(100o 및 100p) 각각의 임계 전압의 변동을 저감할 수 있고, 채널 저항을 저감할 수 있다. 이하 <밴드 구조>에서, 상세 내용을 설명한다.
- [0236] 산화물 반도체 막(105 및 108)에 있어서, In 원자의 비율은,  $M$ (M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 원자의 비율보다 크다. 산화물 반도체 막(105 및 108)이 In-M-Zn 산화물(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임)을 함유하는 경우에, 산화물 반도체 막(105 및 108)을 형성하기 위하여, 금속 원소들의 원자비를  $\text{In}:M:\text{Zn} = x_1:y_1:z_1$ 로 갖는 타겟이 사용되고,  $x_1/y_1$ 은 1 초과 6 이하인 것이 바람직하다. 타겟의 금속 원소들의 원자비의 전형적인 예는,  $\text{In}:M:\text{Zn}=2:1:1.5$ ,  $\text{In}:M:\text{Zn}=2:1:2.3$ ,  $\text{In}:M:\text{Zn}=2:1:3$ ,  $\text{In}:M:\text{Zn}=3:1:2$ ,  $\text{In}:M:\text{Zn}=3:1:3$ ,  $\text{In}:M:\text{Zn}=3:1:4$ 이다.
- [0237] 산화물 반도체 막(106 및 109)에 있어서, In 원자의 비율은,  $M$ (M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 원자의 비율 이하이다. 산화물 반도체 막(106 및 109)이 In-M-Zn 산화물(M은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임)을 함유하는 경우에, 산화물 반도체 막(106 및 109)을 형성하기 위해, 금속 원소들의 원자비를  $\text{In}:M:\text{Zn}=x_2:y_2:z_2$ 로 하는 타겟이 사용되고,  $x_2/y_2$ 는  $1/6$  이상 1 이하인 것이 바람직하고,  $z_2/y_2$ 는  $1/3$  이상 6 이하인 것이 바람직하고, 더 바람직하게는 1 이상 6 이하이다.  $z_2/y_2$ 가 1 이상 6 이하인 경우, 산화물 반도체 막(106 및 109)으로서 CAAC-OS 막이 쉽게 형성된다는 점에 주목해야 한다. 타겟의 금속 원소들의 원자비의 전형적인 예는,  $\text{In}:M:\text{Zn}=1:1:1$ ,  $\text{In}:M:\text{Zn}=1:1:1.2$ ,  $\text{In}:M:\text{Zn}=1:3:2$ ,  $\text{In}:M:\text{Zn}=1:3:4$ ,  $\text{In}:M:\text{Zn}=1:3:6$ ,



In:M:Zn=1:3:8, In:M:Zn=1:4:4, In:M:Zn=1:4:5, In:M:Zn=1:4:6, In:M:Zn=1:4:7, In:M:Zn=1:4:8, In:M:Zn=1:5:5, In:M:Zn=1:5:6, In:M:Zn=1:5:7, In:M:Zn=1:5:8, 및 In:M:Zn=1:6:8이다.

[0238] In 원자의 비율이  $M$ ( $M$ 은, Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf 임) 원자의 비율보다 큰, 산화물 반도체 막(105 및 108) 각각에 채널이 형성되기 때문에, 트랜지스터(100o 및 100p)는, 전계 효과 이동도가 높다. 전형적으로, 트랜지스터는,  $10\text{cm}^2/\text{V}\cdot\text{s}$  초과  $60\text{cm}^2/\text{V}\cdot\text{s}$  미만이고, 바람직하게는  $15\text{cm}^2/\text{V}\cdot\text{s}$  이상  $50\text{cm}^2/\text{V}\cdot\text{s}$  미만의 전계 효과 이동도를 갖는다. 하지만, 광 조사로 인해, 트랜지스터의 오프 전류가 증가한다. 따라서, 트랜지스터(100o)와 같이, 도전막(102) 및 도전막(119)로 다층막(107)의 채널 영역(107a)를 둘러싸으로써, 전계 효과 이동도가 높고 오프 전류가 작은 트랜지스터가 획득된다. 또한, 트랜지스터(100p)와 겹치도록 차광막을 형성함으로써, 전계 효과 이동도가 높고 오프 전류가 작은 트랜지스터가 획득된다. 그 결과, 고속 동작이 가능한 트랜지스터를 제조할 수 있다.

[0239] 다층막(107 및 110)에 있어서, 14족에 속하는 원소들 중 하나인 실리콘 또는 탄소, 알칼리 금속 또는 알칼리 토 금속, 질소, 불순물 원소 등의 농도를 저감하는 것이 바람직하다. 전형적으로, 다층막(107 및 110)이, 산화물 반도체 막(105 및 108)의 것과 실질적으로 동일한, 14족에 속하는 원소들 중 하나인 실리콘 또는 탄소, 알칼리 금속 또는 알칼리 토금속, 질소, 불순물 원소 등의 농도를 갖는 경우에, 트랜지스터(100o 및 100p)는, 각각 포지티브 임계 전압(노멀리-오프 특성)을 갖는다.

[0240] 다층막(107 및 110)에 있어서, 특히 채널 영역(107a 및 110a)에서, 채널 영역(105a 및 108a)과 마찬가지로, 불순물 원소를 저감함으로써, 산화물 반도체 막의 캐리어 밀도를 저감할 수 있다.

[0241] 다층막(107 및 110)을 위해, 각각 불순물 농도가 낮고 결함 준위 밀도가 낮은 산화물 반도체 막을 사용할 수 있고, 이 경우에 트랜지스터는 더 우수한 전기적 특성을 가질 수 있다. 여기에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 상태(산소 결손의 양이 적음)를, "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 지칭한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는, 적은 캐리어 발생원을 갖고, 따라서 낮은 캐리어 밀도를 갖게 되는 경우가 몇몇 있다. 따라서, 채널 영역이 형성된 산화물 반도체 막을 포함하는 트랜지스터는, 포지티브 임계 전압(노멀리 오프 특성)을 가질 가능성이 있다. 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체 막은, 낮은 결함 준위 밀도를 갖고, 따라서 낮은 트랩 상태 밀도를 갖게 되는 경우가 몇몇 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체 막은, 극도로 작은 오프 전류를 갖고; 상기 오프 전류는, 1V 내지 10V의 소스 전극과 드레인 전극 사이의 전압(드레인 전압)에서, 반도체 파라미터 애널라이저의 측정 한계 이하인, 즉  $1\times 10^{-13}\text{A}$  이하일 수 있다. 따라서, 산화물 반도체 막에 채널 영역이 형성되는 트랜지스터는, 전기적 특성의 변동이 작고, 신뢰성이 높게 되는 경우가 몇몇 있다.

[0242] 산화물 반도체 막(106 및 109)은, 산화물 반도체 막(105 및 108)의 결정 구조들 중 어느 것을 적절히 가질 수 있다.

[0243] 다층막(107)에 있어서, 채널 영역(107a)과, 저 저항 영역(107b 및 107c)은, 상이한 결정성을 가질 수 있다는 점에 주목해야 한다. 다층막(110)에 있어서, 채널 영역(110a)과, 저 저항 영역(110b 및 110c)은 상이한 결정성을 가질 수 있다. 이들 경우는, 저 저항 영역(107b, 107c, 110b 및 110c)에 불순물 원소가 첨가될 때, 저 저항 영역(107b, 107c, 110b 및 110c)에 대한 손상이 결정성을 저하시키는 것이 원인이다.

[0244] <반도체 장치의 구조 2>

[0245] 다음에, 반도체 장치의 다른 구조에 대하여, 도 10의 (A) 및 도 10의 (B)를 참조하여 설명한다. 여기에서, 구동 회로부에 형성된 트랜지스터(100q)와, 화소부에 형성된 트랜지스터(100r)에서, 게이트 전극으로서 기능하는 도전막(119 및 120)은 각각 적층 구조를 갖는다. 도 10의 (A)는, 채널 길이 방향의 트랜지스터(100q 및 100r)의 단면도를 도시하고, 도 10의 (B)는, 채널 폭 방향의 트랜지스터(100q 및 100r)의 단면도를 도시한다. 트랜지스터(100q)는, 실시예 1에 설명된 트랜지스터(100e)의 구조를 갖고, 여기서 산화물 반도체 막(105)은 다층막(107)으로 대체되어 있다. 실시예 1에 설명된 것들과 동일한 구성 요소들의 상세한 설명에 대해서, 실시예 1의 트랜지스터(100e)의 설명을 참조할 수 있다. 트랜지스터(100r)는, 실시예 1에 설명된 트랜지스터(100f)의 구조를 갖고, 여기서 산화물 반도체 막(108)은 다층막(110)으로 대체되어 있다. 실시예 1에 설명된 것들과 동일한 구성 요소들의 상세한 설명에 대해서, 실시예 1의 트랜지스터(100f)의 설명을 참조할 수 있다.

[0246] 도전막(119)은, 절연막(116)에 접하는 도전막(119a)과, 도전막(119a)에 접하는 도전막(119b)을 포함한다. 도전막(119a)의 단부는, 도전막(119b)의 단부보다 외측에 위치된다. 즉, 도전막(119a)은, 그 단부가 도전막(119b)

의 단부 너머로 확장되는 형상을 갖는다.

- [0247] 절연막(116)의 단부는, 도전막(119a)의 단부보다 외측에 위치된다. 즉, 절연막(116)은, 그 단부가 도전막(119a)의 단부 너머로 확장되는 형상을 갖는다. 또한, 절연막(116)의 측면은 만곡될 수 있다.
- [0248] 도전막(120)은, 절연막(117)에 접하는 도전막(120a)과, 도전막(120a)에 접하는 도전막(120b)를 포함한다. 도전막(120a)의 단부는, 도전막(120b)의 단부보다 외측에 위치된다. 즉, 도전막(120a)은, 그 단부가 도전막(120b)의 단부 너머로 확장되는 형상을 갖는다.
- [0249] 절연막(117)의 단부는, 도전막(120a)의 단부보다 외측에 위치된다. 즉, 절연막(117)은, 그 단부가 도전막(120a)의 단부 너머로 확장되는 형상을 갖는다. 또한, 절연막(117)의 측면은 만곡될 수 있다.
- [0250] 도 10의 (A) 및 도 10의 (B)에 도시한 형상을 갖는 도전막(119 및 120) 및 절연막(116 및 117)을 트랜지스터(100q 및 100r)들에 제공하는 경우, 트랜지스터들 각각의 드레인 영역의 전계를 완화할 수 있다. 따라서, 트랜지스터의 임계 전압의 시프트와 같은, 드레인 영역의 전계로 인한 트랜지스터의 열화를 억제할 수 있다.
- [0251] <밴드 구조>
- [0252] 다음에, 본 실시예의 트랜지스터의 전형적인 예로서, 도 8의 (A) 및 도 8의 (B), 및 도 9의 (A) 및 도 9의 (B)의 트랜지스터(100o)의 주어진 단면을 따른 밴드 구조에 대하여 설명한다.
- [0253] 도 15의 (A)에는, 도 9의 (A)의 트랜지스터(100o)의 채널 영역을 포함하는 O-P 단면에 있어서의 밴드 구조를 나타낸다. 채널 영역(106a)은, 채널 영역(105a)보다 조금 큰 에너지 갭을 갖는다. 절연막(104a), 절연막(104b) 및 절연막(116)은, 각각 채널 영역(106a) 및 채널 영역(105a)보다도 충분히 에너지 갭을 갖는다. 또한, 채널 영역(106a), 채널 영역(105a), 절연막(104a), 절연막(104b) 및 절연막(116)의 페르미 준위( $E_f$ 로 표기함)는, 그들의 진성 페르미 준위( $E_i$ 로 표기함)와 동일한 것으로 가정한다. 또한, 도전막(102) 및 도전막(119)의 일 함수는, 페르미 준위와 동일한 것으로 가정한다.
- [0254] 게이트 전압을 트랜지스터의 임계 전압 이상으로 설정하는 경우, 채널 영역(106a)과 채널 영역(105a)의 전도대 하단부의 에너지들 사이의 차이에 의해, 전자가 우선적으로 채널 영역(105a)에 흐른다. 즉, 채널 영역(105a)에 전자가 매립될 것으로 예상된다. 전도대 하단부에서의 에너지를  $E_c$ 로 표기하고, 가전자대 상단부에서의 에너지를  $E_v$ 로 표기한다는 점에 주목해야 한다.
- [0255] 따라서, 본 발명의 일 실시예의 트랜지스터에서는, 전자의 매립에 의해 계면 산란(interface scattering)의 영향을 저감한다. 따라서, 본 발명의 일 실시예의 트랜지스터의 채널 저항이 작다.
- [0256] 다음에, 도 15의 (B)는, 도 9의 (A)의 트랜지스터(100o)의 소스 영역 또는 드레인 영역을 포함하는 Q-R 단면에 있어서의 밴드 구조를 도시한다. 저 저항 영역(105b, 105c, 106b 및 106c)은 축퇴 상태에 있는 것으로 가정한다는 점에 주목해야 한다. 즉, 저 저항 영역(105b, 105c, 106b 및 106c)에 있어서, 페르미 준위  $E_f$ 는 전도대 하단부의 에너지  $E_c$ 와 거의 동일하다. 또한, 저 저항 영역(105b)에 있어서, 전도대 하단부의 에너지는 채널 영역(105a)의 페르미 준위와 거의 동일한 것으로 가정한다. 또한, 저 저항 영역(106b)에 있어서, 전도대 하단부의 에너지는 채널 영역(106a)의 페르미 준위와 거의 동일한 것으로 가정한다. 저 저항 영역(105c) 및 저 저항 영역(106c)에도 동일하게 적용된다.
- [0257] 이때, 도전막(134)과 저 저항 영역(106b) 간에는, 에너지 장벽이 충분히 작기 때문에, 오믹 접촉이 이루어진다. 또한, 저 저항 영역(106b)과 저 저항 영역(105b) 간에 오믹 접촉이 이루어진다. 마찬가지로, 도전막(135)과 저 저항 영역(106c) 간에는, 에너지 장벽이 충분히 작기 때문에, 오믹 접촉이 이루어진다. 또한, 저 저항 영역(106c)과 저 저항 영역(105c) 간에 오믹 접촉이 이루어진다. 따라서, 도전막(134 및 135)과, 채널 영역(106a 및 105a) 사이에, 전자 전달이 원활하게 이루어진다.
- [0258] 상술된 바와 같이, 본 발명의 일 실시예의 트랜지스터는, 채널 저항이 작고, 소스 및 드레인 전극들과, 채널 영역 사이에서 전자 전달이 원활하게 이루어지는 트랜지스터이다. 즉, 트랜지스터는 우수한 스위칭 특성을 갖는다.
- [0259] <반도체 장치의 제조 방법 1>
- [0260] 다음에, 도 8의 (A) 및 도 8의 (B), 및 도 9의 (A) 및 도 9의 (B)에 도시한 트랜지스터(100o 및 100p)의 제조 방법에 대하여, 도 11의 (A) 및 도 11의 (B), 도 12의 (A) 내지 도 12의 (C), 및 도 13의 (A) 및 도 13의 (B)를 참조하여 설명한다.

- [0261] 트랜지스터(100o 및 100p)에 포함된 막들(즉, 절연막, 산화물 반도체 막, 도전막 등)은, 실시예 1에 설명된 트랜지스터들에 포함된 막들의 형성 방법에 의해 적절히 형성될 수 있다.
- [0262] 도 11의 (A)에 도시된 바와 같이, 실시예 1의 것과 마찬가지로 방식으로, 기판(101) 위에 도전막(102)을 형성하고, 도전막(102) 위에 절연막(104)을 형성한다. 다음에, 구동 회로부의 절연막(104) 위에 산화물 반도체 막(105)을 형성하고, 화소부의 절연막(104) 위에 산화물 반도체 막(108)을 형성한다. 다음에, 구동 회로부의 절연막(104) 및 산화물 반도체 막(105) 위에 산화물 반도체 막(106)을 형성하고, 화소부의 절연막(104) 및 산화물 반도체 막(108) 위에 산화물 반도체 막(109)을 형성한다.
- [0263] 여기에서, 도전막(102)으로서, 100nm 두께의 텅스텐막을 스퍼터링 법에 의해 형성한다.
- [0264] 여기에서, 절연막(104a)과 절연막(104b)을 적층하여 절연막(104)을 형성한다. 절연막(104a)으로서 100nm 두께의 질화 실리콘 막을 플라즈마 CVD 법에 의해 형성하고, 절연막(104b)으로서 300nm 두께의 산화질화 실리콘 막을 플라즈마 CVD 법에 의해 형성한다.
- [0265] 산화물 반도체 막(105, 106, 108 및 109)은, 실시예 1에 설명된 산화물 반도체 막(105 및 108)의 것과 마찬가지로 방식으로 형성될 수 있다.
- [0266] 또한, 실시예 1의 것과 마찬가지로, 산화물 반도체 막을 형성한 후, 가열 처리를 행할 수 있어, 산화물 반도체 막이 탈수소화 또는 탈수화되게 된다.
- [0267] 여기에서, 스퍼터링 법에 의해, 35nm 두께의 산화물 반도체 막을 형성한다. 다음에, 당해 산화물 반도체 막 위에 마스크를 형성하고, 산화물 반도체 막의 일부를 선택적으로 에칭한다. 이런 방식으로, 산화물 반도체 막(105 및 108)을 형성한다. 산화물 반도체 막으로서, In-Ga-Zn 산화물 막(In:Ga:Zn=3:1:2)을 형성한다.
- [0268] 다음에, 구동 회로부에 있어서, 산화물 반도체 막(105) 위에 산화물 반도체 막(106)을 형성하고, 화소부에 있어서, 산화물 반도체 막(108) 위에 산화물 반도체 막(109)을 형성한다. 따라서, 산화물 반도체 막(105)과 산화물 반도체 막(106)을 이 순서로 적층한 다층막(107)을 형성한다. 또한, 산화물 반도체 막(108)과 산화물 반도체 막(109)을 이 순서로 적층한 다층막(110)을 형성한다.
- [0269] 이 단계에 있어서, 산화물 반도체 막(105)의 상면 및 측면을 덮도록 산화물 반도체 막(106)을 형성함으로써, 소스 전극 및 드레인 전극으로서 기능하는 도전막들을 형성하는 나중 단계에 있어서, 산화물 반도체 막(105)이 에칭되는 것을 방지한다는 점에 주목해야 한다. 또한, 산화물 반도체 막(108)의 상면 및 측면을 덮도록 산화물 반도체 막(109)을 형성함으로써, 소스 전극 및 드레인 전극들로서 기능하는 도전막들을 형성하는 나중 단계에 있어서, 산화물 반도체 막(108)이 에칭되는 것을 방지한다. 이것은, 트랜지스터의 채널 폭 방향에 있어서의 산화물 반도체 막(105 및 108)의 길이 변동을 저감할 수 있기 때문에 바람직하다.
- [0270] 여기에서, 스퍼터링 법에 의해, 20nm 두께의 산화물 반도체 막을 형성한다. 다음에, 산화물 반도체 막 위에 마스크를 형성하고, 산화물 반도체 막의 일부를 선택적으로 에칭한다. 이런 방식으로, 산화물 반도체 막(106 및 109)을 형성한다. 산화물 반도체 막(106 및 109)으로서, In-Ga-Zn 산화물 막(In:Ga:Zn=1:1:1.2)을 형성한다.
- [0271] 다음에, 가열 처리에 의해, 절연막(104)에 함유된 산소를 산화물 반도체 막으로 이동시킨다. 가열 처리는, 산화물 반도체 막(106 및 109)이 되는 산화물 반도체 막을 형성한 후이며, 이 산화물 반도체 막을 에칭하여 산화물 반도체 막(106 및 109)을 형성하기 전에, 행해질 수 있다는 점에 주목해야 한다.
- [0272] 가열 처리가, 350℃ 초과 650℃ 이하, 또는 450℃ 이상 600℃ 이하의 온도에서 행해지는 경우, 후술된 CAAC 비율이, 60% 이상 100% 미만, 80% 이상 100% 미만, 90% 이상 100% 미만, 95% 이상 98% 이하인 산화물 반도체 막을 획득하는 것이 가능하다. 또한, 수소, 물 등의 함유량이 적은 산화물 반도체 막을 획득하는 것이 가능하다. 즉, 불순물 농도가 낮고, 결함 준위 밀도가 낮은 산화물 반도체 막을 형성할 수 있다.
- [0273] 다음에, 도 11의 (B)에 도시된 바와 같이, 실시예 1의 것과 마찬가지로 방식으로, 절연막(104) 및 다층막(107 및 110) 위에, 절연막(115)을 형성한다. 다음에, 실시예 1의 것과 마찬가지로 방식으로, 절연막(115) 위에 도전막(119 및 120)을 형성한다.
- [0274] 여기에서, 절연막(115)으로서, 플라즈마 CVD 법에 의해 100nm 두께의 산화질화 실리콘 막을 형성한다.
- [0275] 여기에서, 도전막 위에 리소그래피 공정에 의해 마스크(122 및 123)를 형성하고, 그런 다음, 이 도전막을 에칭함으로써, 도전막(119 및 120)을 형성한다.

- [0276] 다음에, 도 12의 (A)에 도시된 바와 같이, 실시예 1의 것과 마찬가지로 방식으로, 마스크(122 및 123)를 남긴 채, 절연막(115)을 에칭하여, 절연막(116 및 117)을 형성한다.
- [0277] 다음에, 도 12의 (B)에 도시된 바와 같이, 실시예 1의 것과 마찬가지로 방식으로, 마스크(122 및 123)를 남긴 채, 다층막(107 및 110)에 불순물 원소(125)를 첨가한다. 결과로서, 다층막(107 및 110)에 있어서 마스크(122 및 123)로 덮여 있지 않은 영역에 불순물 원소가 첨가된다. 불순물 원소(125)의 첨가에 의해, 다층막(107 및 110)에는 산소 결손이 형성된다는 점에 주목해야 한다.
- [0278] 결과로서, 다층막(107)에 저 저항 영역(107b 및 107c)을 형성할 수 있다. 또한, 다층막(110)에 저 저항 영역(110b 및 110c)을 형성할 수 있다. 그 후, 마스크(122 및 123)를 제거한다.
- [0279] 도전막(119 및 120)을 노출시킨 채, 불순물 원소(125)를 첨가하는 경우, 도전막(119 및 120)의 일부가 박리되어, 절연막(116 및 117)의 측면에 부착된다는 점에 주목해야 한다. 이는 트랜지스터의 누설 전류를 증가시킨다. 따라서, 마스크(122 및 123)로 도전막(119 및 120)을 덮은 채, 다층막(107 및 110)에 불순물 원소(125)를 첨가함으로써, 도전막(119 및 120)의 일부가 절연막(116 및 117)의 측면에 부착되는 것을 방지할 수 있다. 대안적으로, 마스크(122 및 123)를 제거한 후, 다층막(107 및 110)에 불순물 원소(125)를 첨가할 수 있다.
- [0280] 그 후, 실시예 1의 것과 마찬가지로 방식으로, 가열 처리를 행하여, 불순물 원소(125)가 첨가된 영역의 도전성을 더 증가시킬 수 있다.
- [0281] 다음에, 도 12의 (C)에 도시된 바와 같이, 실시예 1의 것과 마찬가지로 방식으로, 절연막(104), 다층막(107 및 110), 절연막(116 및 117), 도전막(119 및 120) 위에 절연막(126)을 형성한다.
- [0282] 여기에서, 절연막(126)으로서 100nm 두께의 질화 실리콘 막을 플라즈마 CVD 법에 의해 형성한다.
- [0283] 그 후, 실시예 1의 것과 마찬가지로 방식으로, 가열 처리를 행하여, 저 저항 영역(107b, 107c, 110b 및 110c)의 도전성을 더 증가시킬 수 있다. 가열 처리는, 전형적으로, 150℃ 이상 기판 변형점 미만, 250℃ 이상 450℃ 이하, 또는 300℃ 이상 450℃ 이하의 온도에서 행해진다.
- [0284] 다음에, 도 13의 (A)에 도시된 바와 같이, 실시예 1의 것과 마찬가지로 방식으로, 절연막(127)을 형성할 수 있다. 절연막(127)은, 도전막(119)과 나중 형성된 도전막(134 및 135) 사이, 및 도전막(120)과 나중 형성된 도전막(136 및 137) 사이에 있어서 기생 용량을 저감할 수 있다.
- [0285] 다음에, 실시예 1의 것과 마찬가지로 방식으로, 절연막(126 및 127)에 개구부를 형성하고, 저 저항 영역의 일부를 노출시키고, 그런 다음 도전막(134, 135, 136 및 137)을 형성한다. 또한, 질화물 절연막(162)을 형성하는 것이 바람직하다(도 13의 (B) 참조).
- [0286] 도전막(134, 135, 136 및 137)은, 도전막(119 및 120)의 형성 방법과 마찬가지로 방법에 의해 적절히 형성될 수 있다. 질화물 절연막(162)은, 스퍼터링 법, CVD 법 등에 의해 적절히 형성될 수 있다.
- [0287] 상술된 공정을 통해, 트랜지스터(100o 및 100p)를 제조할 수 있다.
- [0288] 본 실시예에 설명된 트랜지스터에서는, 소스 전극 및 드레인 전극으로서 기능하는 도전막이, 게이트 전극으로서 기능하는 도전막과 겹치지 않고, 따라서 기생 용량을 저감할 수 있고, 온 전류가 크다. 또한, 본 실시예에 설명된 트랜지스터에서는, 저 저항 영역을 안정적으로 형성할 수 있고; 따라서 종래의 트랜지스터와 비교하여 온 전류가 더 크고, 트랜지스터의 전기적 특성의 변동이 더 저감된다.
- [0289] 본 실시예에 설명된 구조 및 방법 등은, 다른 실시예들에 설명된 구조들 및 방법들 등 중 어느 것과 적절히 조합하여 사용될 수 있다.
- [0290] (실시예 3)
- [0291] 본 실시예에서는, 상기 실시예들에 설명된 트랜지스터들의 변형예에 대하여, 도 16의 (A) 내지 도 16의 (F), 도 17의 (A) 내지 도 17의 (F), 도 18의 (A) 내지 도 18의 (E), 도 19의 (A) 및 도 19의 (B), 도 20의 (A) 내지 도 20의 (D), 도 22의 (A) 내지 도 22의 (F), 도 23의 (A) 내지 도 23의 (F), 도 24의 (A) 내지 도 24의 (E), 도 25의 (A) 및 도 25의 (B), 및 도 26의 (A) 내지 도 26의 (D)를 참조하여 설명한다. 처음에, 실시예 1에 설명된 트랜지스터들의 변형예에 대하여 설명한다. 먼저, 전형적인 예로서 화소부에 형성된 트랜지스터에 대하여 설명한다. 도 16의 (A) 내지 도 16의 (F)에 도시된 트랜지스터들은, 각각 기판(101) 위에 절연막(104) 위에 산화물 반도체 막(108)과, 산화물 반도체 막(108)에 접하는 절연막(117)과, 절연막(117)과 접하며 산화물 반도체



막(108)과 중첩하는 도전막(120)을 포함한다.

- [0292] 트랜지스터들은, 각각 산화물 반도체 막(108)에 접하는 절연막(126)과 절연막(126)에 접하는 절연막(127)을 포함한다. 절연막(126) 및 절연막(127)의 개구부(130 및 131)를 통해, 산화물 반도체 막(108)과 접하는 도전막(136 및 137)이 또한 포함된다. 도전막(136 및 137)은, 소스 전극 및 드레인 전극으로서 기능한다는 점에 주목해야 한다.
- [0293] 도 16의 (A)에 도시된 트랜지스터에 있어서, 산화물 반도체 막(108)은, 도전막(120)과 겹치는 영역에 형성된 채널 영역(108a)과, 채널 영역(108a)을 개재하며 불순물 원소를 함유하는 영역 저 저항 영역(108b 및 108c)을 포함한다. 도전막(136 및 137)은, 각각 저 저항 영역(108b 및 108c)과 접한다.
- [0294] 대안적으로, 도 16의 (B)에 도시된 트랜지스터와 마찬가지로, 산화물 반도체 막(108) 중에서 도전막(136 및 137)과 각각 접하는 영역(108d 및 108e)에, 반드시 불순물 원소를 첨가할 필요는 없다. 이 경우에, 불순물 원소를 함유하는 영역, 즉 저 저항 영역(108b 및 108c)을 제공한다. 저 저항 영역(108b 및 108c)은 각각 도전막(136 및 137)과 접하는 영역(108d 및 108e) 중 하나와 채널 영역(108a) 사이에 제공된다. 도전막(136 및 137)에 전압이 인가되는 경우, 영역(108d 및 108e)은 도전성을 갖고; 따라서 영역(108d 및 108e)은 소스 영역 및 드레인 영역으로서 기능한다.
- [0295] 도 16의 (B)에 도시된 트랜지스터는, 도전막(136 및 137)을 형성한 후, 도전막(120) 및 도전막(136 및 137)을 마스크로 사용하여, 불순물 원소를 산화물 반도체 막에 첨가함으로써, 형성될 수 있다는 점에 주목해야 한다.
- [0296] 도전막(120)의 단부는, 테이퍼 형상을 가질 수 있다. 즉, 절연막(117)과 도전막(120)이 서로 접하는 면과, 도전막(120)의 측면이 이루는 각도  $\theta_1$ 이,  $90^\circ$  미만,  $10^\circ$  이상  $85^\circ$  이하,  $15^\circ$  이상  $85^\circ$  이하,  $30^\circ$  이상  $85^\circ$  이하,  $45^\circ$  이상  $85^\circ$  이하, 또는  $60^\circ$  이상  $85^\circ$  이하일 수 있다. 각도  $\theta_1$ 이,  $90^\circ$  미만,  $10^\circ$  이상  $85^\circ$  이하,  $15^\circ$  이상  $85^\circ$  이하,  $30^\circ$  이상  $85^\circ$  이하,  $45^\circ$  이상  $85^\circ$  이하, 또는  $60^\circ$  이상  $85^\circ$  이하인 경우, 절연막(117) 및 도전막(120)의 측면들에 있어서 절연막(126)의 피복성을 향상시킬 수 있다.
- [0297] 다음에, 저 저항 영역(108b 및 108c)의 변형예들에 대하여 설명한다. 도 16의 (C) 내지 도 16의 (F)는, 각각 도 16의 (A)에 도시된 산화물 반도체 막(108) 근방의 확대도이다. 여기에서, 채널 길이 L은, 한 쌍의 저 저항 영역 사이의 간격을 지시한다.
- [0298] 도 16의 (C)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(108a)과 저 저항 영역(108b 및 108c) 간의 경계가, 절연막(117)을 개재하여, 도전막(120)의 단부와 일치 또는 실질적으로 일치된다. 즉, 위로부터 보았을 때, 채널 영역(108a)과 저 저항 영역(108b 및 108c) 간의 경계가, 도전막(120)의 단부와 일치 또는 실질적으로 일치된다.
- [0299] 대안적으로, 도 16의 (D)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(108a)은, 도전막(120)의 단부와 겹치지 않는 영역을 갖는다. 이 영역은 오프셋 영역으로서 기능한다. 채널 길이 방향에 있어서의 오프셋 영역의 길이를  $L_{off}$  라고 지칭한다. 복수의 오프셋 영역이 제공되는 경우에,  $L_{off}$ 는 하나의 오프셋 영역의 길이를 지시한다는 점에 주목해야 한다.  $L_{off}$ 는, 채널 길이 L에 포함된다.  $L_{off}$ 는, 채널 길이 L의 20% 미만, 10% 미만, 5% 미만, 또는 2% 미만이라는 점에 주목해야 한다.
- [0300] 대안적으로, 도 16의 (E)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 저 저항 영역(108b 및 108c)은, 각각 절연막(117)을 개재하여, 도전막(120)과 겹치는 영역을 갖는다. 이 영역은 오버랩 영역으로서 기능한다. 채널 길이 방향에 있어서의 오버랩 영역의 길이를  $L_{ov}$ 라고 지칭한다.  $L_{ov}$ 는, 채널 길이 L의 20% 미만, 10% 미만, 5% 미만, 또는 2% 미만이다.
- [0301] 대안적으로, 도 16의 (F)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(108a)과 저 저항 영역(108b) 사이에 저 저항 영역(108f), 및 채널 영역(108a)과 저 저항 영역(108c) 사이에 저 저항 영역(108g)을 제공한다. 저 저항 영역(108f 및 108g)은, 저 저항 영역(108b 및 108c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는다. 여기에서, 저 저항 영역(108f 및 108g)은, 절연막(117)과 겹치지만, 그들은 절연막(117) 및 도전막(120)과 겹칠 수 있다.
- [0302] 도 16의 (C) 내지 도 16의 (F)에 있어서는, 도 16의 (A)에 도시된 트랜지스터에 대하여 설명하고 있지만; 도 16의 (B)에 도시된 트랜지스터는, 도 16의 (C) 내지 도 16의 (F)의 구조들 중 어느 것을 적절히 채용할 수 있다는 점에 주목해야 한다.



- [0303] 도 17의 (A)에 도시된 트랜지스터에서, 절연막(117)의 단부는, 도전막(120)의 단부보다 외측에 위치된다. 즉, 절연막(117)은, 그 단부가 도전막(120)의 단부 너머로 확장되는 형상을 갖는다. 채널 영역(108a)으로부터 절연막(126)을 멀리 떨어뜨려 놓을 수 있고; 따라서 절연막(126)에 함유된 질소, 수소 등이, 채널 영역(108a)에 인입하는 것을 억제할 수 있다.
- [0304] 도 17의 (B)에 도시된 트랜지스터에서는, 절연막(117) 및 도전막(120)이 각각 테이퍼 형상을 갖고, 이들 테이퍼 형상의 각도는 서로 상이하다. 즉, 절연막(117)과 도전막(120)이 서로 접하는 면과, 도전막(120)의 측면이 이루는 각도  $\theta_1$ 은, 산화물 반도체 막(108)과 절연막(117)이 서로 접하는 면과, 절연막(117)의 측면이 이루는 각도  $\theta_2$ 와 상이하다. 각도  $\theta_2$ 는,  $90^\circ$  미만,  $30^\circ$  이상  $85^\circ$  이하, 또는  $45^\circ$  이상  $70^\circ$  이하일 수 있다. 예를 들어, 각도  $\theta_2$ 가 각도  $\theta_1$ 보다 작은 경우, 절연막(126)의 피복성이 향상된다. 반면에, 각도  $\theta_2$ 가 각도  $\theta_1$ 보다 큰 경우, 트랜지스터를 미세화할 수 있다.
- [0305] 다음에, 저 저항 영역(108b 및 108c)의 변형예들에 대하여, 도 17의 (C) 내지 도 17의 (F)를 참조하여 설명한다. 도 17의 (C) 내지 도 17의 (F)는, 각각 도 17의 (A)에 도시된 산화물 반도체 막(108) 근방의 확대도이다.
- [0306] 도 17의 (C)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(108a)과 저 저항 영역(108b 및 108c) 간의 경계가, 절연막(117)을 개재하여, 도전막(120)의 단부와 일치 또는 실질적으로 일치된다. 즉, 위로부터 보았을 때, 채널 영역(108a)과 저 저항 영역(108b 및 108c) 간의 경계가, 도전막(120)의 단부와 일치 혹은 실질적으로 일치된다.
- [0307] 대안적으로, 도 17의 (D)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(108a)은, 도전막(120)과 겹치지 않는 영역을 갖는다. 이 영역은 오프셋 영역으로서 기능한다. 즉, 위로부터 보았을 때, 저 저항 영역(108b 및 108c)의 단부가, 절연막(117)의 단부와 일치 또는 실질적으로 일치되고, 도전막(120)의 단부와 겹치지 않는다.
- [0308] 대안적으로, 도 17의 (E)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 저 저항 영역(108b 및 108c)은, 각각 절연막(117)을 개재하여, 도전막(120)과 겹치는 영역을 갖는다. 이 영역을 오버랩 영역이라고 지칭한다. 즉, 위로부터 보았을 때, 저 저항 영역(108b 및 108c)의 단부는, 도전막(120)과 겹친다.
- [0309] 대안적으로, 도 17의 (F)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(108a)과 저 저항 영역(108b) 사이에 저 저항 영역(108f), 및 채널 영역(108a)과 저 저항 영역(108c) 사이에 저 저항 영역(108g)을 제공한다. 저 저항 영역(108f 및 108g)은, 저 저항 영역(108b 및 108c)보다 낮은 불순물 원소 농도 및 높은 비저항을 갖는다. 여기에서, 저 저항 영역(108f 및 108g)은, 절연막(117)과 겹치지만, 그들은 절연막(117) 및 도전막(120)과 겹칠 수 있다.
- [0310] 도 17의 (C) 내지 도 17의 (F)에 있어서는, 도 17의 (A)에 도시된 트랜지스터에 대하여 설명하고 있지만, 도 17의 (B)에 도시된 트랜지스터는, 도 17의 (C) 내지 도 17의 (F)의 구조들 중 어느 것을 적절히 채용할 수 있다는 점에 주목해야 한다.
- [0311] 도 18의 (A)에 도시된 트랜지스터에서, 도전막(120)은, 절연막(117)에 접하는 도전막(120a)과, 도전막(120a)에 접하는 도전막(120b)을 포함하는 적층 구조를 갖는다. 도전막(120a)의 단부는, 도전막(120b)의 단부보다 외측에 위치된다. 즉, 도전막(120a)은, 그 단부가 도전막(120b)의 단부 너머로 확장되는 형상을 갖는다.
- [0312] 다음에, 저 저항 영역(108b 및 108c)의 변형예들에 대하여 설명한다. 도 18의 (B) 내지 도 18의 (E), 및 도 19의 (A) 및 도 19의 (B)는, 각각 도 18의 (A)에 도시된 산화물 반도체 막(108) 근방의 확대도이다.
- [0313] 도 18의 (B)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(108a)과 저 저항 영역(108b 및 108c) 간의 경계가, 절연막(117)을 개재하여, 도전막(120)에서의 도전막(120a)의 단부와 일치 또는 실질적으로 일치된다. 즉, 위로부터 보았을 때, 채널 영역(108a)과 저 저항 영역(108b 및 108c) 간의 경계가, 도전막(120)의 단부와 일치 또는 실질적으로 일치된다.
- [0314] 대안적으로, 도 18의 (C)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(108a)은, 도전막(120)과 겹치지 않는 영역을 갖는다. 이 영역은 오프셋 영역으로서 기능한다. 즉, 위로부터 보았을 때, 저 저항 영역(108b 및 108c)의 단부는, 도전막(120)의 단부와 겹치지 않는다.
- [0315] 도 18의 (D)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 저 저항 영역(108b 및 108c)은, 각각 도전막(120), 구체적으로는 도전막(120a)과 겹치는 영역을 갖는다. 이 영역을 오버랩 영역이라고 지칭한다. 즉,

위로부터 보았을 때, 저 저항 영역(108b 및 108c)의 단부는, 도전막(120a)과 겹친다.

- [0316] 대안적으로, 도 18의 (E)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(108a)과 저 저항 영역(108b) 사이에 저 저항 영역(108f), 및 채널 영역(108a)과 저 저항 영역(108c) 사이에 저 저항 영역(108g)을 제공한다. 도전막(120a)을 통해 저 저항 영역(108f 및 108g)에 불순물 원소가 첨가되고; 따라서 저 저항 영역(108f 및 108g)은, 저 저항 영역(108b 및 108c)보다 낮은 불순물 원소 농도 및 높은 비저항을 갖는다. 여기에서, 저 저항 영역(108f 및 108g)은, 도전막(120a)과 겹치지만, 그들은 도전막(120a) 및 도전막(120b)과 겹칠 수 있다.
- [0317] 도 19의 (A)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 도전막(120a)의 단부는, 도전막(120b)의 단부보다 외측에 위치될 수 있고, 도전막(120a)은 테이퍼 형상을 가질 수 있다. 즉, 절연막(117)과 도전막(120a)이 서로 접하는 면과, 도전막(120a)의 측면이 이루는 각도는,  $90^\circ$  미만,  $5^\circ$  이상  $45^\circ$  이하, 또는  $5^\circ$  이상  $30^\circ$  이하일 수 있다.
- [0318] 또한, 절연막(117)의 단부는, 도전막(120a)의 단부보다 외측에 위치될 수 있다.
- [0319] 또한, 절연막(117)의 측면은 만곡될 수 있다.
- [0320] 절연막(117)은 테이퍼 형상을 가질 수 있다. 즉, 산화물 반도체 막(108)과 절연막(117)이 서로 접하는 면과, 절연막(117)의 측면이 이루는 각도는,  $90^\circ$  미만, 바람직하게는  $30^\circ$  이상  $90^\circ$  미만일 수 있다.
- [0321] 도 19의 (A)에 도시된 산화물 반도체 막(108)은, 채널 영역(108a)과, 채널 영역(108a)을 개재하는 저 저항 영역(108f 및 108g)과, 저 저항 영역(108f 및 108g)을 개재하는 저 저항 영역(108h 및 108i)과, 저 저항 영역(108h 및 108i)을 개재하는 저 저항 영역(108b 및 108c)을 포함한다. 절연막(117) 및 도전막(120a)을 통해 저 저항 영역(108f, 108g, 108h 및 108i)에 불순물 원소가 첨가되고; 따라서 저 저항 영역(108f, 108g, 108h 및 108i)은, 저 저항 영역(108b 및 108c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는다.
- [0322] 도 19의 (B)에 도시된 산화물 반도체 막(108)은, 채널 영역(108a)과, 채널 영역(108a)을 개재하는 저 저항 영역(108h 및 108i)과, 저 저항 영역(108h 및 108i)을 개재하는 저 저항 영역(108b 및 108c)을 포함한다. 절연막(117)을 통해 저 저항 영역(108h 및 108i)에 불순물 원소가 첨가되고; 따라서 저 저항 영역(108h 및 108i)은, 저 저항 영역(108b 및 108c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는다.
- [0323] 채널 길이 방향에 있어서, 채널 영역(108a)은 도전막(120b)과 겹치고, 저 저항 영역(108f 및 108g)은, 도전막(120b)의 외측으로 돌출되는 도전막(120a)과 겹치고, 저 저항 영역(108h 및 108i)은, 도전막(120a)의 외측으로 돌출되는 절연막(117)과 겹치고, 저 저항 영역(108b 및 108c)은 절연막(117)의 외측에 위치된다는 점에 주목해야 한다.
- [0324] 도 18의 (E), 및 도 19의 (A) 및 도 9의 (B)에 도시된 바와 같이, 산화물 반도체 막(108)은, 저 저항 영역(108b 및 108c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는 저 저항 영역(108f, 108g, 108h 및 108i)을 포함하고, 이로써 드레인 영역의 전계가 완화될 수 있다. 따라서, 트랜지스터의 임계 전압의 시프트와 같은, 드레인 영역의 전계로 인한 트랜지스터의 열화를 억제할 수 있다.
- [0325] 도 20의 (A)에 도시된 트랜지스터는, 채널 영역(108a) 및 저 저항 영역(108b 및 108c)을 포함하는 산화물 반도체 막(108)을 포함한다. 저 저항 영역(108b 및 108c)은, 각각 채널 영역(108a)의 두께보다 작은 두께의 영역을 포함한다. 전형적으로, 저 저항 영역(108b 및 108c)은, 각각 채널 영역(108a)의 두께보다 작은 두께, 0.1nm 이상 5nm 이하의 영역을 포함한다.
- [0326] 도 20의 (B)에 도시된 트랜지스터에서, 산화물 반도체 막(108)에 접하는 절연막(104 및 117) 중 적어도 하나는, 다층 구조를 갖는다. 예를 들어, 절연막(104)은, 절연막(104a)과, 절연막(104a) 및 산화물 반도체 막(108)에 접하는 절연막(104b)을 포함한다. 예를 들어, 절연막(117)은, 산화물 반도체 막(108)에 접하는 절연막(117a)과, 절연막(117a)에 접하는 절연막(117b)을 포함한다.
- [0327] 절연막(104b 및 117a)은, 질소 산화물의 함유량이 적고, 결합 준위 밀도가 낮은 산화물 절연막을 사용하여 형성될 수 있다. 질소 산화물의 함유량이 적고, 결합 준위 밀도가 낮은 산화물 절연막은, 구체적으로, 진공 준위보다 4.6eV 이상 8eV 이하에 위치한 결합 준위 밀도가 낮은 산화물 절연막이며, 즉, 질소 산화물에 기인하는 결합 준위 밀도가 낮은 산화물 절연막이다. 질소 산화물의 함유량이 적고, 결합 준위 밀도가 낮은 산화물 절연막으로서, 질소 산화물을 거의 방출하지 않는 산화질화 실리콘 막, 질소 산화물을 거의 방출하지 않는 산화질화 알루미늄 막 등을 사용할 수 있다. 절연막(104b 및 117a) 각각의 평균 두께는, 0.1nm 이상 50nm 이하, 또는

0.5nm 이상 10nm 이하이다.

- [0328] 질소 산화물의 방출량이 적은 산화질화 실리콘 막은, 열 탈착 분광분석법(TDS: thermal desorption spectroscopy) 분석에 있어서, 암모니아의 방출량이 질소 산화물의 방출량보다 많은 막이고; 전형적으로는, 암모니아의 방출량은  $1 \times 10^{18}$  molecules/cm<sup>3</sup> 이상  $5 \times 10^{19}$  molecules/cm<sup>3</sup> 이하이라는 점에 주목해야 한다. 암모니아의 방출량은, 막의 표면 온도가 50℃ 이상 650℃ 이하, 바람직하게는, 50℃ 이상 550℃ 이하로 되는 가열 처리에 의해 방출되는 암모니아의 양이다라는 점에 주목해야 한다.
- [0329] 절연막(104a 및 117b)은, 가열에 의해 산소를 방출하는 산화물 절연막을 사용하여 형성될 수 있다. 절연막(104a 및 117b) 각각의 평균 두께는, 5nm 이상 1000nm 이하, 또는 10nm 이상 500nm 이하이라는 점에 주목해야 한다.
- [0330] 가열에 의해 산소를 방출하는 산화물 절연막의 전형적인 예는, 산화질화 실리콘 막 및 산화질화 알루미늄 막을 포함한다.
- [0331] 질소 산화물(NO<sub>x</sub>; x는 0 이상 2 이하, 바람직하게는 1 이상 2 이하임), 전형적으로, NO<sub>2</sub> 또는 NO는, 절연막(104) 및 절연막(117) 등에 준위를 형성한다. 이 준위는, 산화물 반도체 막(108)의 에너지 갭 내에 형성된다. 따라서, 질소 산화물이, 절연막(104)과 산화물 반도체 막(108)과의 계면, 절연막(117)과 산화물 반도체 막(108)과의 계면, 및 절연막(104)과 절연막(117)과의 계면으로 확산되는 경우, 이 준위에 의해 전자가 절연막(104) 측 및 절연막(117)측에 있어서 포획된다. 결과로서, 포획된 전자가, 절연막(104)과 산화물 반도체 막(108)과의 계면, 절연막(117)과 산화물 반도체 막(108)과의 계면, 및 절연막(104)과 절연막(117)과의 계면 근방에 머무르고; 따라서 트랜지스터의 임계 전압이 포지티브 방향으로 시프트된다.
- [0332] 질소 산화물은, 가열 처리 시에 암모니아 및 산소와 반응한다. 절연막(104a 및 117b)에 함유된 질소 산화물은, 가열 처리 시에, 절연막(104b 및 117a)에 함유된 암모니아와 반응하기 때문에, 절연막(104a 및 117b)에 함유된 질소 산화물이 저감된다. 따라서, 전자는, 절연막(104)과 산화물 반도체 막(108)과의 계면, 절연막(117)과 산화물 반도체 막(108)과의 계면, 및 절연막(104)과 절연막(117)과의 계면에 거의 포획되지 않는다.
- [0333] 절연막(104b 및 117a)으로서, 질소 산화물의 함유량이 적고, 결합 준위 밀도가 낮은 산화물 절연막을 사용함으로써, 트랜지스터의 임계 전압의 시프트를 저감할 수 있고, 이는 트랜지스터의 전기적 특성의 적은 변화를 초래한다.
- [0334] 트랜지스터의 제조 공정의 가열 처리, 전형적으로는, 300℃ 이상 기판 변형점 미만의 온도에서의 가열 처리에 의해, 절연막(104b 및 117a)의 100K 이하에서의 ESR 스펙트럼에 있어서, 2.037 이상 2.039 이하의 g값(g-factor)에서 나타나는 제1 신호, 2.001 이상 2.003 이하의 g값에서 나타나는 제2 신호, 및 1.964 이상 1.966 이하의 g값에서 나타나는 제3 신호를 관찰한다는 점에 주목해야 한다. X 밴드를 사용하는 ESR 측정에 의해 획득되는, 제1 신호 및 제2 신호의 스플릿 폭, 및 제2 신호 및 제3 신호의 스플릿 폭은, 각각 대략 5mT이다. 2.037 이상 2.039 이하의 g값에서 나타나는 제1 신호, 2.001 이상 2.003 이하의 g값에서 나타나는 제2 신호, 및 1.964 이상 1.966 이하의 g값에서 나타나는 제3 신호의 스핀 밀도 합계는,  $1 \times 10^{18}$  spins/cm<sup>3</sup> 미만이고, 전형적으로는,  $1 \times 10^{17}$  spins/cm<sup>3</sup> 이상  $1 \times 10^{18}$  spins/cm<sup>3</sup> 미만이다.
- [0335] 100K 이하의 ESR 스펙트럼에 있어서 2.037 이상 2.039 이하의 g값에서 나타나는 제1 신호, 2.001 이상 2.003 이하의 g값에서 나타나는 제2 신호, 및 1.964 이상 1.966 이하의 g값에서 나타나는 제3 신호는, 이산화질소(NO<sub>2</sub>)에 기인하는 신호들에 대응한다. 즉, 2.037 이상 2.039 이하의 g값에서 나타나는 제1 신호, 2.001 이상 2.003 이하의 g값에서 나타나는 제2 신호, 및 1.964 이상 1.966 이하의 g값에서 나타나는 제3 신호의 스핀 밀도 합계가 적을수록, 산화물 절연막에 있어서 질소 산화물의 함유량이 적어진다.
- [0336] 트랜지스터의 제조 공정의 가열 처리, 전형적으로는, 300℃ 이상 기판 변형점 미만의 온도에서의 가열 처리 후에, 질소 산화물의 함유량이 적고, 결합 준위 밀도가 낮은 산화물 절연막은, SIMS(secondary ion mass spectrometry)에 의해 측정되는  $6 \times 10^{20}$  atoms/cm<sup>3</sup> 이하의 질소 농도를 갖는다.
- [0337] 220℃ 이상, 280℃ 이상, 또는 350℃ 이상의 기판 온도에서, 실란 및 일산화이질소를 사용하는 플라즈마 CVD 법에 의해, 질소 산화물의 함유량이 적고, 결합 준위 밀도가 낮은 산화물 절연막을 형성함으로써, 치밀하고 단단한 막을 형성할 수 있다.

- [0338] 도 20의 (C)에 도시된 트랜지스터는, 산화물 반도체 막(108), 절연막(117) 및 도전막(120)과, 절연막(126) 사이에, 절연막(141)을 포함한다. 절연막(141)은, 도 20의 (B)에 도시된 절연막(104b 및 117a)으로서, 질소 산화물의 함유량이 적고, 결합 준위 밀도가 낮은 산화물 절연막을 사용하여 형성될 수 있다.
- [0339] 대안적으로, 채널 길이 방향의 단면도에 있어서, 채널 영역(108a)과 저 저항 영역(108b) 사이에 저 저항 영역(108f), 및 채널 영역(108a)과 저 저항 영역(108c) 사이에 저 저항 영역(108g)을 제공한다. 저 저항 영역(108f 및 108g)은, 저 저항 영역(108b 및 108c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는다. 여기에서, 저 저항 영역(108f 및 108g)은, 절연막(117) 및 도전막(120)의 측면들에 접하는 절연막(141)과 겹친다. 저 저항 영역(108f 및 108g)은, 절연막(126) 및 도전막(120)과 겹칠 수 있다는 점에 주목해야 한다.
- [0340] 도 20의 (D)에 도시된 트랜지스터에서, 절연막(117)은, 산화물 반도체 막(108)의 채널 영역(108a)에 접하고, 저 저항 영역(108b 및 108c)에 접한다는 점에 주목해야 한다. 또한, 절연막(117)에 있어서, 저 저항 영역(108b 및 108c)과 접하는 영역의 두께가, 채널 영역(108a)과 접하는 영역의 두께보다 얇고, 전형적으로, 절연막(117)의 평균 두께는, 0.1nm 이상 50nm 이하, 또는 0.5nm 이상 10nm 이하이다. 결과로서, 절연막(117)을 통해 산화물 반도체 막(108)에 불순물 원소가 첨가될 수 있고, 또한 절연막(126)에 함유된 수소를, 절연막(117)을 통해 산화물 반도체 막(108)으로 이동시킬 수 있다. 따라서, 저 저항 영역(108b 및 108c)을 형성할 수 있다.
- [0341] 또한, 절연막(104)은, 절연막(104a 및 104b)의 다층 구조를 갖고; 예를 들어, 가열에 의해 산소를 방출하는 산화물 절연막을 사용하여 절연막(104a)을 형성하고, 질소 산화물의 함유량이 적고, 결합 준위 밀도가 낮은 산화물 절연막을 사용하여 절연막(104b)을 형성한다. 또한, 질소 산화물의 함유량이 적고, 결합 준위 밀도가 낮은 산화물 절연막을 사용하여 절연막(117)을 형성한다. 즉, 질소 산화물의 함유량이 적고, 결합 준위 밀도가 낮은 산화물 절연막으로, 산화물 반도체 막(108)을 덮을 수 있다. 결과로서, 절연막(104a)에 함유된 산소를, 가열 처리에 의해 산화물 반도체 막(108)으로 이동시키고, 산화물 반도체 막(108)의 채널 영역(108a)에 함유된 산소 결손을 저장하면서, 절연막(104b 및 117)과, 산화물 반도체 막(108)과의 계면에 있어서의 캐리어 트랩을 저장할 수 있다. 그 결과, 트랜지스터의 임계 전압의 시프트를 저장할 수 있고, 이는 트랜지스터의 전기적 특성의 적은 변화를 초래한다.
- [0342] 다음에, 실시예 2에 설명된 트랜지스터의 변형예들에 대하여, 도 22의 (A) 내지 도 22의 (F), 도 23의 (A) 내지 도 23의 (F), 도 24의 (A) 내지 도 24의 (E), 도 25의 (A) 및 도 25의 (B), 및 도 26의 (A) 내지 도 26의 (D)를 참조하여 설명한다. 여기에서, 전형적인 예로서 화소부에 형성되는 트랜지스터에 대하여 설명한다. 도 22의 (A) 내지 도 22의 (F)에 도시된 트랜지스터들은, 각각 기판(101) 위에 절연막(104) 위에 다층막(110)과, 다층막(110)에 접하는 절연막(117)과, 절연막(117)과 접하고 다층막(110)과 중첩하는 도전막(120)을 포함한다.
- [0343] 트랜지스터들은, 각각 다층막(110)에 접하는 절연막(126)과, 절연막(126)에 접하는 절연막(127)을 포함한다. 절연막(126) 및 절연막(127)의 개구부(130 및 131)를 통해 다층막(110)과 접하는 도전막(136 및 137)이, 또한 포함된다.
- [0344] 도 22의 (A)에 도시된 트랜지스터에서, 다층막(110)은, 도전막(120)과 겹치는 영역에 형성되는 채널 영역(110a)과, 채널 영역(110a)을 개재하고 불순물 원소를 함유하는 저 저항 영역(110b 및 110c)을 포함한다. 도전막(136 및 137)은, 각각 저 저항 영역(110b 및 110c)과 접한다.
- [0345] 대안적으로, 도 22의 (B)에 도시된 트랜지스터와 같이, 다층막(110) 중에서 도전막(136 및 137)과 각각 접하는 영역(110d 및 110e)에, 반드시 불순물 원소를 첨가할 필요는 없다. 이 경우에, 불순물 원소를 함유하는 영역, 즉 저 저항 영역(110b 및 110c)을 제공한다. 저 저항 영역(110b 및 110c)은 도전막(136 및 137)과 접하는 영역(110d 및 110e)과 채널 영역(110a) 사이에 제공된다. 도전막(136 및 137)에 전압이 인가되는 경우, 영역(110d 및 110e)은 도전성을 갖고; 따라서 영역(110d 및 110e)은 소스 영역 및 드레인 영역으로서 기능한다.
- [0346] 도 22의 (B)에 도시된 트랜지스터는, 도전막(136 및 137)을 형성한 후, 도전막(120) 및 도전막(136 및 137)을 마스크로 사용하여, 불순물 원소를 산화물 반도체 막에 첨가하는 방식으로 형성될 수 있다는 점에 주목해야 한다.
- [0347] 도전막(120)의 단부는, 테이퍼 형상을 가질 수 있다. 즉, 절연막(117)과 도전막(120)이 서로 접하는 면과, 도전막(120)의 측면이 이루는 각도  $\theta_1$ 이,  $90^\circ$  미만,  $10^\circ$  이상  $85^\circ$  이하,  $15^\circ$  이상  $85^\circ$  이하,  $30^\circ$  이상  $85^\circ$  이하,  $45^\circ$  이상  $85^\circ$  이하, 또는  $60^\circ$  이상  $85^\circ$  이하일 수 있다. 각도  $\theta_1$ 이,  $90^\circ$  미만,  $10^\circ$  이상  $85^\circ$  이하,  $15^\circ$  이상  $85^\circ$  이하,  $30^\circ$  이상  $85^\circ$  이하,  $45^\circ$  이상  $85^\circ$  이하, 또는  $60^\circ$  이상  $85^\circ$  이하인 경우, 절연막(117) 및 도전막(120)의 측면들에 있어서의 절연막(126)의 피복성을 향상시킬 수 있다.



- [0348] 다음에, 저 저항 영역(110b 및 110c)의 변형예들에 대하여 설명한다. 도 22의 (C) 내지 도 22의 (F)는, 각각 도 22의 (A)에 도시된 다층막(110) 근방의 확대도이다. 채널 길이  $L$ 은, 한 쌍의 저 저항 영역 사이의 간격을 지시한다.
- [0349] 도 22의 (C)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(110a)과 저 저항 영역(110b 및 110c) 간의 경계가, 절연막(117)을 개재하여, 도전막(120)의 단부와 일치 또는 실질적으로 일치된다. 즉, 위로 부터 보았을 때, 채널 영역(110a)과 저 저항 영역(110b 및 110c) 간의 경계가, 도전막(120)의 단부와 일치 또는 실질적으로 일치된다.
- [0350] 대안적으로, 도 22의 (D)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(110a)은, 도전막(120)의 단부와 겹치지 않는 영역을 갖는다. 이 영역은 오프셋 영역으로서 기능한다. 채널 길이 방향에 있어서의 오프셋 영역의 길이를  $L_{off}$ 라고 지칭한다. 복수의 오프셋 영역이 제공되는 경우에,  $L_{off}$ 는 하나의 오프셋 영역의 길이를 지시한다는 점에 주목해야 한다.  $L_{off}$ 는, 채널 길이  $L$ 에 포함된다.  $L_{off}$ 는, 채널 길이  $L$ 의 20% 미만, 10% 미만, 5% 미만, 또는 2% 미만이라는 점에 주목해야 한다.
- [0351] 대안적으로, 도 22의 (E)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 저 저항 영역(110b 및 110c)은, 각각 절연막(117)을 개재하여, 도전막(120)과 겹치는 영역을 갖는다. 이 영역은 오버랩 영역으로서 기능한다. 채널 길이 방향에 있어서의 오버랩 영역의 길이를  $L_{ov}$ 라고 지칭한다.  $L_{ov}$ 는, 채널 길이  $L$ 의 20% 미만, 10% 미만, 5% 미만, 또는 2% 미만이다.
- [0352] 대안적으로, 도 22의 (F)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(110a)과 저 저항 영역(110b) 사이에 저 저항 영역(110f), 및 채널 영역(110a)과 저 저항 영역(110c) 사이에 저 저항 영역(110g)을 제공한다. 저 저항 영역(110f 및 110g)은, 저 저항 영역(110b 및 110c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는다. 여기에서, 저 저항 영역(110f 및 110g)은, 절연막(117)과 겹치지만, 그들은 절연막(117) 및 도전막(120)과 겹칠 수 있다.
- [0353] 도 22의 (C) 내지 도 22의 (F)에 있어서는, 도 22의 (A)에 도시된 트랜지스터에 대하여 설명하고 있지만; 도 22의 (B)에 도시된 트랜지스터는, 도 22의 (C) 내지 도 22의 (F)의 구조들 중 어느 것을 적절히 채용할 수 있다는 점에 주목해야 한다.
- [0354] 도 23의 (A)에 도시된 트랜지스터에서, 절연막(117)의 단부는, 도전막(120)의 단부보다 외측에 위치된다. 즉, 절연막(117)은, 그 단부가 도전막(120)의 단부 너머로 확장되는 형상을 갖는다. 채널 영역(110a)으로부터 절연막(126)을 멀리 떨어뜨려 놓을 수 있고; 따라서 절연막(126)에 함유된 질소, 수소 등이, 채널 영역(110a)에 인입하는 것을 억제할 수 있다.
- [0355] 도 23의 (B)에 도시된 트랜지스터에서는, 절연막(117) 및 도전막(120)이 각각 테이퍼 형상을 갖고, 이들 테이퍼 형상의 각도는 서로 상이하다. 즉, 절연막(117)과 도전막(120)이 서로 접하는 면과, 도전막(120)의 측면이 이루는 각도  $\theta_1$ 은, 다층막(110)과 절연막(117)이 서로 접하는 면과, 절연막(117)의 측면이 이루는 각도  $\theta_2$ 와 상이하다. 각도  $\theta_2$ 는,  $90^\circ$  미만,  $30^\circ$  이상  $85^\circ$  이하, 또는  $45^\circ$  이상  $70^\circ$  이하일 수 있다. 예를 들어, 각도  $\theta_2$ 가 각도  $\theta_1$ 보다 작은 경우, 절연막(126)의 피복성이 향상된다. 반면에, 각도  $\theta_2$ 가 각도  $\theta_1$ 보다 큰 경우, 트랜지스터를 미세화할 수 있다.
- [0356] 다음에, 저 저항 영역(110b 및 110c)의 변형예들에 대하여, 도 23의 (C) 내지 도 23의 (F)를 참조하여 설명한다. 도 23의 (C) 내지 도 23의 (F)는, 각각 도 23의 (A)에 도시된 다층막(110) 근방 확대도이다.
- [0357] 도 23의 (C)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(110a)과 저 저항 영역(110b 및 110c) 간의 경계가, 절연막(117)을 개재하여, 도전막(120)의 단부와 일치 또는 실질적으로 일치된다. 즉, 위로 부터 보았을 때, 채널 영역(110a)과 저 저항 영역(110b 및 110c) 간의 경계가, 도전막(120)의 단부와 일치 혹은 실질적으로 일치된다.
- [0358] 대안적으로, 도 23의 (D)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(110a)은, 도전막(120)과 겹치지 않는 영역을 갖는다. 이 영역은 오프셋 영역으로서 기능한다. 즉, 위로 부터 보았을 때, 저 저항 영역(110b 및 110c)의 단부가, 절연막(117)의 단부와 일치 또는 실질적으로 일치되고, 도전막(120)의 단부와 겹치지 않는다.
- [0359] 대안적으로, 도 23의 (E)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 저 저항 영역(110b 및 110



c)은, 각각 절연막(117)을 개재하여, 도전막(120)과 겹치는 영역을 갖는다. 이 영역을 오버랩 영역이라고 지칭한다. 즉, 위로부터 보았을 때, 저 저항 영역(110b 및 110c)의 단부는, 도전막(120)과 겹친다.

[0360] 대안적으로, 도 23의 (F)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(110a)과 저 저항 영역(110b) 사이에 저 저항 영역(110f), 및 채널 영역(110a)과 저 저항 영역(110c) 사이에 저 저항 영역(110g)을 제공한다. 저 저항 영역(110f 및 110g)은, 저 저항 영역(110b 및 110c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는다. 여기에서, 저 저항 영역(110f 및 110g)은, 절연막(117)과 겹치지만, 그들은 절연막(117) 및 도전막(120)과 겹칠 수 있다.

[0361] 도 23의 (C) 내지 도 23의 (F)에 있어서는, 도 23의 (A)에 도시된 트랜지스터에 대하여 설명하고 있지만, 도 23의 (B)에 도시된 트랜지스터는, 도 23의 (C) 내지 도 23의 (F)의 구조들 중 어느 것을 적절히 채용할 수 있다는 점에 주목해야 한다.

[0362] 도 24의 (A)에 도시된 트랜지스터에서, 도전막(120)은, 절연막(117)에 접하는 도전막(120a)과, 도전막(120a)에 접하는 도전막(120b)을 포함하는 적층 구조를 갖는다. 도전막(120a)의 단부는, 도전막(120b)의 단부보다 외측에 위치된다. 즉, 도전막(120a)은, 그 단부가 도전막(120b)의 단부 너머로 확장되는 형상을 갖는다.

[0363] 다음에, 저 저항 영역(110b 및 110c)의 변형예들에 대하여 설명한다. 도 24의 (B) 내지 도 24의 (E), 도 25의 (A) 및 도 25의 (B)는, 각각 도 24의 (A)에 도시된 다층막(110) 근방의 확대도이다.

[0364] 도 24의 (B)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(110a)과 저 저항 영역(110b 및 110c) 간의 경계가, 절연막(117)을 개재하여, 도전막(120)에서의 도전막(120a)의 단부와 일치 또는 실질적으로 일치된다. 즉, 위로부터 보았을 때, 채널 영역(110a)과 저 저항 영역(110b 및 110c) 간의 경계가, 도전막(120)의 단부와 일치 또는 실질적으로 일치된다.

[0365] 대안적으로, 도 24의 (C)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(110a)은, 도전막(120)과 겹치지 않는 영역을 갖는다. 이 영역은 오프셋 영역으로서 기능한다. 즉, 위로부터 보았을 때, 저 저항 영역(110b 및 110c)의 단부는, 도전막(120)의 단부와 겹치지 않는다.

[0366] 도 24의 (D)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 저 저항 영역(110b 및 110c)은, 각각 도전막(120), 구체적으로는, 도전막(120a)과 겹치는 영역을 갖는다. 이 영역을 오버랩 영역이라고 지칭한다. 즉, 위로부터 보았을 때, 저 저항 영역(110b 및 110c)의 단부는, 도전막(120a)과 겹친다.

[0367] 대안적으로, 도 24의 (E)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 채널 영역(110a)과 저 저항 영역(110b) 사이에 저 저항 영역(110f), 및 채널 영역(110a)과 저 저항 영역(110c) 사이에 저 저항 영역(110g)을 제공한다. 도전막(120a)을 통해 저 저항 영역(110f 및 110g)에 불순물 원소가 첨가되고; 따라서 저 저항 영역(110f 및 110g)은, 저 저항 영역(110b 및 110c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는다. 여기에서, 저 저항 영역(110f 및 110g)은, 도전막(120a)과 겹치지만, 그들은 도전막(120a) 및 도전막(120b)과 겹칠 수 있다.

[0368] 도 25의 (A)에 도시된 바와 같이, 채널 길이 방향의 단면도에 있어서, 도전막(120a)의 단부는, 도전막(120b)의 단부보다 외측에 위치될 수 있고, 도전막(120a)은 테이퍼 형상을 가질 수 있다. 즉, 절연막(117)과 도전막(120a)이 서로 접하는 면과, 도전막(120a)의 측면이 이루는 각도는,  $90^{\circ}$  미만,  $5^{\circ}$  이상  $45^{\circ}$  이하, 또는  $5^{\circ}$  이상  $30^{\circ}$  이하일 수 있다.

[0369] 또한, 절연막(117)의 단부는, 도전막(120a)의 단부보다 외측에 위치될 수 있다.

[0370] 또한, 절연막(117)의 측면은 만곡될 수 있다.

[0371] 절연막(117)은 테이퍼 형상을 가질 수 있다. 즉, 다층막(110)과 절연막(117)이 서로 접하는 면과, 절연막(117)의 측면이 이루는 각도는,  $90^{\circ}$  미만, 바람직하게는  $30^{\circ}$  이상  $90^{\circ}$  미만일 수 있다.

[0372] 도 25의 (A)에 도시된 다층막(110)은, 채널 영역(110a)과, 채널 영역(110a)을 개재하는 저 저항 영역(110f 및 110g)과, 저 저항 영역(110f 및 110g)을 개재하는 저 저항 영역(110h 및 110i)과, 저 저항 영역(110h 및 110i)을 개재하는 저 저항 영역(110b 및 110c)을 포함한다. 절연막(117) 및 도전막(120a)을 통해 저 저항 영역(110f, 110g, 110h 및 110i)에 불순물 원소가 첨가되고; 따라서 저 저항 영역(110f, 110g, 110h 및 110i)은, 저 저항 영역(110b 및 110c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는다.

[0373] 도 25의 (B)에 도시된 다층막(110)은, 채널 영역(110a)과, 채널 영역(110a)을 개재하는 저 저항 영역(110h 및

110i)과, 저 저항 영역(110h 및 110i)을 개재하는 저 저항 영역(110b 및 110c)을 포함한다. 절연막(117)을 통해 저 저항 영역(110h 및 110i)에 불순물 원소가 첨가되고; 따라서 저 저항 영역(110h 및 110i)은, 저 저항 영역(110b 및 110c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는다.

[0374] 채널 길이 방향에 있어서, 채널 영역(110a)은 도전막(120b)과 겹치고, 저 저항 영역(110f 및 110g)는, 도전막(120b)의 외측으로 돌출되는 도전막(120a)과 겹치고, 저 저항 영역(110h 및 110i)은, 도전막(120a)의 외측으로 돌출되는 절연막(117)과 겹치고, 저 저항 영역(110b 및 110c)은 절연막(117)의 외측에 위치된다는 점에 주목해야 한다.

[0375] 도 24의 (E), 및 도 25의 (A) 및 도 25의 (B)에 도시된 바와 같이, 다층막(110)은, 저 저항 영역(110b 및 110c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는 저 저항 영역(110f, 110g, 110h 및 110i)을 포함하고, 이로써 드레인 영역의 전계가 완화될 수 있다. 따라서, 트랜지스터의 임계 전압의 시프트와 같은, 드레인 영역의 전계로 인한 트랜지스터의 열화를 억제할 수 있다.

[0376] 도 26의 (A)에 도시된 트랜지스터는, 채널 영역(110a) 및 저 저항 영역(110b 및 110c)을 포함하는 다층막(110)을 포함한다. 저 저항 영역(110b 및 110c)은, 각각 채널 영역(110a)의 두께보다 작은 두께의 영역을 포함한다. 전형적으로, 저 저항 영역(110b 및 110c)은, 각각 채널 영역(110a)의 두께보다 작은 두께, 0.1nm 이상 5nm 이하의 영역을 포함한다.

[0377] 도 26의 (B)에 도시된 트랜지스터에서, 다층막(110)에 접하는 절연막(104 및 117) 중 적어도 하나는, 다층 구조를 갖는다. 예를 들어, 절연막(104)은, 절연막(104a)과, 절연막(104a) 및 다층막(110)에 접하는 절연막(104b)을 포함한다. 절연막(117)은, 다층막(110)에 접하는 절연막(117a)과, 절연막(117a)에 접하는 절연막(117b)을 포함한다.

[0378] 절연막(104b 및 117a)은, 질소 산화물의 함유량이 적고, 결함 준위 밀도가 낮은 산화물 절연막을 사용하여 형성될 수 있다.

[0379] 도 26의 (C)에 도시된 트랜지스터는, 다층막(110), 절연막(117) 및 도전막(120)과, 절연막(126) 사이에, 절연막(141)을 포함한다. 절연막(141)은, 도 26의 (B)에 도시된 절연막(104b 및 117a)으로서, 질소 산화물의 함유량이 적고, 결함 준위 밀도가 낮은 산화물 절연막을 사용하여 형성될 수 있다.

[0380] 대안적으로, 채널 길이 방향의 단면도에 있어서, 채널 영역(110a)과 저 저항 영역(110b) 사이에 저 저항 영역(110f), 및 채널 영역(110a)과 저 저항 영역(110c) 사이에 저 저항 영역(110g)을 제공한다. 저 저항 영역(110f 및 110g)은, 저 저항 영역(110b 및 110c)보다 낮은 불순물 원소 농도, 및 높은 비저항을 갖는다. 여기에서, 저 저항 영역(110f 및 110g)은, 절연막(117) 및 도전막(120)의 측면에 접하는 절연막(141)과 겹친다. 저 저항 영역(110f 및 110g)은, 절연막(126) 및 절연막(141)과 겹칠 수 있다는 점에 주목해야 한다.

[0381] 도 26의 (D)에 도시된 트랜지스터에서, 절연막(117)은, 다층막(110)의 채널 영역(110a)에 접하고, 저 저항 영역(110b 및 110c)에 접한다는 점에 주목해야 한다. 또한, 절연막(117)에 있어서, 저 저항 영역(110b 및 110c)과 접하는 영역의 두께가, 채널 영역(110a)과 접하는 영역의 두께보다 얇고, 전형적으로, 절연막(117)의 평균 두께는, 0.1nm 이상 50nm 이하, 또는 0.5nm 이상 10nm 이하이다. 결과로서, 절연막(117)을 통해 다층막(110)에 불순물 원소가 첨가될 수 있고, 또한 절연막(126)에 함유된 수소를, 절연막(117)을 통해 다층막(110)으로 이동시킬 수 있다. 따라서, 저 저항 영역(110b 및 110c)을 형성할 수 있다.

[0382] 또한, 절연막(104)은, 절연막(104a 및 104b)의 다층 구조를 갖고: 예를 들어, 가열에 의해 산소를 방출하는 산화물 절연막을 사용하여 절연막(104a)을 형성하고, 질소 산화물의 함유량이 적고, 결함 준위 밀도가 낮은 산화물 절연막을 사용하여 절연막(104b)을 형성한다. 또한, 질소 산화물의 함유량이 적고, 결함 준위 밀도가 낮은 산화물 절연막을 사용하여 절연막(117)을 형성한다. 즉, 질소 산화물의 함유량이 적고, 결함 준위 밀도가 낮은 산화물 절연막으로, 다층막(110)을 덮을 수 있다. 결과로서, 절연막(104a)에 함유된 산소를, 가열 처리에 의해 다층막(110)으로 이동시키고, 다층막(110)의 채널 영역(110a)에 함유된 산소 결손을 저감하면서, 절연막(104b 및 117)과, 다층막(110)과의 계면에 있어서의 캐리어 트랩을 저감할 수 있다. 그 결과, 트랜지스터의 임계 전압의 시프트를 저감할 수 있고, 이는 트랜지스터의 전기적 특성의 적은 변화를 초래한다.

[0383] (실시예 4)

[0384] 여기에서, 절연막 위에, 산소의 방출을 억제하는 막을 형성한 후, 이 막을 통해 상기 절연막에 산소를 첨가하는 방법에 대하여, 도 21의 (A) 및 도 21의 (B)를 참조하여 설명한다.

- [0385] 도 21의 (A)에 도시된 바와 같이, 기판(101) 위에 절연막(104)을 형성한다.
- [0386] 다음에, 절연막(104) 위에, 산소의 방출을 억제하는 막(145)을 형성한다. 다음에, 막(145)을 통해 절연막(104)에 산소(146)를 첨가한다.
- [0387] 산소의 방출을 억제하는 막(145)은, 이하의 도전 재료: 알루미늄, 크롬, 탄탈륨, 티타늄, 몰리브덴, 니켈, 철, 코발트, 텅스텐으로부터 선택된 금속 원소; 상술한 금속 원소를 성분으로서 함유하는 합금; 상술한 금속 원소들 중 어느 것을 조합하여 함유하는 합금; 상술한 금속 원소를 함유하는 금속 질화물; 상술한 금속 원소를 함유하는 금속 산화물; 상술한 금속 원소를 함유하는 질화산화 금속(metal nitride oxide) 등 중 어느 것을 사용하여 형성된다.
- [0388] 산소의 방출을 억제하는 막(145)의 두께는, 1nm 이상 20nm 이하, 또는 2nm 이상 10nm 이하일 수 있다.
- [0389] 막(145)을 통해 절연막(104)에 산소(146)를 첨가하는 방법으로서, 이온 도핑법, 이온 주입법, 플라즈마 처리법 등이 주어진다. 기판(101) 측에 바이어스를 인가한 상태에서 발생한 플라즈마에 막(145)을 노출시키는 것은, 절연막(104)에 첨가되는 산소 첨가량을 증가시킬 수 있기 때문에 바람직하다는 점에 주목해야 한다. 이러한 플라즈마 처리에 사용되는 장치의 예로서, 애싱 장치가 주어진다.
- [0390] 절연막(104) 위에 막(145)을 제공한 채, 절연막(104)에 산소를 첨가함으로써, 막(145)은, 절연막(104)로부터 산소의 방출을 억제하는 보호막으로서의 역할을 한다. 따라서, 절연막(104)에 보다 많은 산소를 첨가할 수 있다.
- [0391] 플라즈마 처리에 의해 산소를 첨가하는 경우에, 마이크로파에 의해 산소를 여기시켜 고밀도 산소 플라즈마를 발생시킴으로써, 절연막(104)에 첨가되는 산소량을 증가시킬 수 있다.
- [0392] 그 후, 막(145)을 제거하고; 그 결과, 도 21의 (B)에 도시된 바와 같이, 기판(101) 위에, 산소가 첨가된 절연막(104)을 형성할 수 있다.
- [0393] (실시예 5)
- [0394] 본 실시예에서는, 산화물 반도체 막의 저 저항 영역에 형성되는  $V_0H$ 에 대하여 설명한다.
- [0395] <(1)  $V_0H$ 의 형성 용이성 및 안정성>
- [0396] 산화물 반도체 막(이하, IGZO라고 지칭함)이 완전 결정인 경우에, 실온에서는, H는, 우선적으로 a-b 평면을 따라 확산한다. 450℃의 가열 처리 시에, H는, a-b 평면을 따라 c축 방향으로 확산한다. 여기에서, IGZO에 산소 결손  $V_0$ 가 존재하는 경우, H는 산소 결손  $V_0$ 에 쉽게 인입하는지에 대하여 계산을 수행했다. 산소 결손  $V_0$ 에 H가 있는 상태를  $V_0H$ 라고 지칭한다.
- [0397] 계산을 위해, 도 27에 도시된 InGaZnO<sub>4</sub> 결정 모델을 사용했다.  $V_0H$ 에서 H가  $V_0$ 로부터 방출되고, 산소와 결합하는 반응 경로를 따라서 활성화 장벽( $E_a$ )을, NEB(nudged elastic band)법에 의해 계산했다. 계산 조건을 표 1에 도시한다.

표 1

|          |         |
|----------|---------|
| 소프트웨어    | VASP    |
| 계산 방법    | NEB 방법  |
| 기능적      | GGA-PBE |
| 슈도 전위    | PAW     |
| 컷-오프 에너지 | 500 eV  |
| K 점들     | 2×2×3   |

[0398]

- [0399] 또한, InGaZnO<sub>4</sub> 결정 모델에 있어서, 도 27에 도시하는 바와 같이, 산소와 결합된 금속 원소들에서 서로 상이한 산소 장소 1 내지 4 및 결합된 금속 원소들의 수가 존재한다. 여기에서, 산소 결손 V<sub>0</sub>를 형성하기 쉬운 산소 장소 1 및 2에 대하여 계산을 수행했다.
- [0400] 먼저, 산소 결손 V<sub>0</sub>를 형성하기 쉬운 산소 장소: 3개의 In 원자 및 1개의 Zn 원자와 결합한 산소 장소 1에 대하여 계산을 수행했다.
- [0401] 도 28의 (A)는 초기 상태의 모델을 도시하고, 도 28의 (B)는 최종 상태의 모델을 도시한다. 도 29는 초기 상태 및 최종 상태에 있어서, 계산된 활성화 장벽(E<sub>a</sub>)을 도시한다. 여기에서, 초기 상태는, 산소 결손 V<sub>0</sub> 중에 H가 존재하는 상태(V<sub>0</sub>H)를 지칭하고, 최종 상태는, 산소 결손 V<sub>0</sub>와, 1개의 Ga 원자 및 2개의 Zn 원자와 결합한 산소에 H가 결합한 상태(H-O)를 포함하는 구조를 지칭한다는 점에 주목해야 한다.
- [0402] 계산 결과로부터, 산소 결손 V<sub>0</sub>중의 H가 다른 산소 원자와 결합하는 것은, 대략 1.52eV의 에너지를 필요로 하고, O와 결합한 H가 산소 결손 V<sub>0</sub>에 진입하는 것은, 대략 0.46eV의 에너지를 필요로 한다.
- [0403] 상기 계산에 의해 획득된 활성화 장벽(E<sub>a</sub>)과 수학식 1을 사용하여 반응 빈도(Γ)를 계산했다. 수학식 1에 있어서, k<sub>B</sub>는 볼츠만 정수를 나타내고, T는 절대 온도를 나타낸다.

### 수학식 1

$$\Gamma = \nu \exp\left(-\frac{E_a}{k_B T}\right)$$

- [0404]
- [0405] 빈도 인자  $\nu=10^{13}$  [1/sec]라고 가정하고 350℃에서의 반응 빈도를 계산했다. 도 28의 (A)에 도시된 모델로부터 도 28의 (B)에 도시된 모델로의 H 전달 빈도는,  $5.52 \times 10^0$  [1/sec]이었고, 반면에 도 28의 (B)에 도시된 모델로부터 도 28의 (A)에 도시된 모델로의 H 전달 빈도는,  $1.82 \times 10^9$  [1/sec]이었다. 이는, IGZO층을 확산하는 H는, 근처에 산소 결손 V<sub>0</sub>가 있으면 V<sub>0</sub>H를 형성하기 쉽고, H는, 일단 V<sub>0</sub>H를 형성하면, 산소 결손 V<sub>0</sub>로부터 방출되기 어렵다는 것을 제시한다.
- [0406] 다음에, 산소 결손 V<sub>0</sub>를 형성하기 쉬운 산소 장소: 1개의 Ga 원자와 2개의 Zn 원자와 결합한 산소 장소 2에 대하여 계산을 수행했다.
- [0407] 도 30의 (A)는 초기 상태의 모델을 도시하고, 도 30의 (B)는 최종 상태의 모델을 도시한다. 도 31은 초기 상태 및 최종 상태에 있어서, 계산된 활성화 장벽(E<sub>a</sub>)을 도시한다. 여기에서, 초기 상태는, 산소 결손 V<sub>0</sub> 중에 H가 존재하는 상태(V<sub>0</sub>H)를 지칭하고, 최종 상태는, 산소 결손 V<sub>0</sub>와, 1개의 Ga 원자 및 2개의 Zn 원자와 결합한 산소에 H가 결합한 상태(H-O)를 포함하는 구조를 지칭한다는 점에 주목해야 한다.
- [0408] 계산 결과로부터, 산소 결손 V<sub>0</sub>중의 H가 다른 산소 원자와 결합하는 것은, 대략 1.75eV의 에너지를 필요로 하고, O와 결합한 H가 산소 결손 V<sub>0</sub>에 진입하는 것은, 대략 0.35eV의 에너지를 필요로 한다.
- [0409] 상기 계산에 의해 획득된 활성화 장벽(E<sub>a</sub>)과 상기 수학식 1을 사용하여 반응 빈도(Γ)를 계산했다.
- [0410] 빈도 인자  $\nu=10^{13}$  [1/sec]라고 가정하고 350℃에서의 반응 빈도를 계산했다. 도 30의 (A)에 도시된 모델로부터 도 30의 (B)에 도시된 모델로의 H 전달 빈도는,  $7.53 \times 10^{-9}$  [1/sec]이었고, 반면에 도 30의 (B)에 도시된 모델로부터 도 30의 (A)에 도시된 모델로의 H 전달 빈도는,  $1.44 \times 10^{10}$  [1/sec]이었다. 이는, H는, 일단 V<sub>0</sub>H를 형성하면, 산소 결손 V<sub>0</sub>로부터 방출되기 어렵다는 것을 제시한다.
- [0411] 상기 결과로부터, 가열 처리 시에, IGZO층의 H는 확산하기 쉽고, 산소 결손 V<sub>0</sub>가 존재하면, H는 산소 결손 V<sub>0</sub> 중



에 인입하여  $V_0H$  를 형성하기 쉽다는 것을 알았다.

[0412] <(2)  $V_0H$ 의 천이 레벨>

[0413] IGZO 중에 있어서 산소 결손  $V_0$ 와 H가 존재하는 경우에, <(1)  $V_0H$ 의 형성 용이성 및 안정성>에서 설명한 NEB법에 의한 계산은, 산소 결손  $V_0$ 와 H가 IGZO에 존재하는 경우에, 산소 결손  $V_0$ 와 H가  $V_0H$ 를 형성하기 쉽고,  $V_0H$ 는 안정된다는 것을 지시한다.  $V_0H$ 가 캐리어 트랩에 관련되는지를 결정하기 위해서,  $V_0H$ 의 천이 레벨을 계산했다.

[0414] 이 계산에 사용된 모델은, InGaZnO<sub>4</sub> 결정 모델(112 원자)이다. 도 27에 도시된 산소 장소 1 및 2에 대한  $V_0H$  모델을 작성하여, 천이 레벨을 계산했다. 계산 조건을 표 2에 도시한다.

표 2

| 소프트웨어     | VASP                                |
|-----------|-------------------------------------|
| 모델        | InGaZnO <sub>4</sub> 결정 모델(112 원자들) |
| 기능적       | HSE06                               |
| 교환 항의 혼합율 | 0.25                                |
| 슈도 전위     | GGA-PBE                             |
| 컷-오프 에너지  | 800 eV                              |
| K 점들      | 1×1×1                               |

[0415]

[0416] 실험값에 가까운 밴드 갭을 갖도록, 교환 항(exchange terms)의 혼합비를 조정했다. 결과로서, 결함이 없는 InGaZnO<sub>4</sub> 결정 모델의 밴드 갭은, 실험값, 3.15eV에 가까운 3.08eV가 되었다.

[0417] 결함 D를 갖는 모델의 천이 레벨( $\varepsilon(q/q')$ )은, 이하의 수학적식 2에 의해 계산될 수 있다.  $\Delta E(D^q)$ 는 결함 D의 전하 q에 있어서의 형성 에너지를 나타내며, 수학적식 3에 의해 계산된다는 점에 주목해야 한다.

### 수학적식 2

$$\varepsilon(q/q') = \frac{\Delta E(D^q) - \Delta E(D^{q'})}{q' - q}$$

[0418]

### 수학적식 3

$$\Delta E(D^q) = E_{\text{tot}}(D^q) - E_{\text{tot}}(\text{bulk}) + \sum_i \Delta n_i \mu_i + q(\varepsilon_{\text{VBM}} + \Delta V_q + E_F)$$

[0419]

[0420] 수학적식 2 및 수학적식 3에 있어서,  $E_{\text{tot}}(D^q)$ 는, 결함 D를 갖는 모델의 전하 q에 있어서의 전체 에너지를 나타내고,  $E_{\text{tot}}(\text{bulk})$ 는, 결함이 없는 모델(완전 결정)의 전체 에너지를 나타내고,  $\Delta n_i$ 는, 결함에 기여하는 원자 i의 개수의 변화를 나타내고,  $\mu_i$ 는, 원자 i의 화학적 전위를 나타내고,  $\varepsilon_{\text{VBM}}$ 는, 결함이 없는 모델의 가전자대 상단부의 에너지를 나타내고,  $\Delta V_q$ 는, 정전기 전위에 관한 보정 항(correction term)을 나타내고,  $E_F$ 는, 페르미 에너지를 나타낸다.

- [0421] 도 32는 상기 수학적식으로부터 획득된  $V_0H$ 의 전이 레벨을 도시한다. 도 32의 수치들은, 전도대 하단부로부터의 깊이를 나타낸다. 도 32에서, 산소 장소 1에서  $V_0H$ 의 전이 레벨은, 전도대 하단부로부터 0.05eV에 존재하고, 산소 장소 2에서  $V_0H$ 의 전이 레벨은, 전도대 하단부로부터 0.11eV에 존재한다. 따라서, 이들  $V_0H$ 는 전자 트랩에 관련될 것이고, 즉,  $V_0H$ 는 도너로서 행동하는 것을 알았다. 또한,  $V_0H$ 를 포함하는 IGZO는, 도전성을 갖는다는 것을 알았다.
- [0422] <산화물 도전체 막>
- [0423]  $V_0H$ 를 포함하는 산화물 도전체 막의 비저항의 온도 의존성에 대하여 도 40을 참조하여 설명한다.
- [0424] 본 실시예에서, 각각 산화물 도전체 막을 포함하는 시료들을 제조했다. 산화물 도전체 막으로서, 산화물 반도체 막을 질화 실리콘 막에 접하게 함으로써 형성된 산화물 도전체 막( $OC_{SiN_x}$ ), 도핑 장치를 이용하여 산화물 반도체 막에 아르곤을 첨가한 후에, 이 산화물 반도체 막을 질화 실리콘 막에 접하게 함으로써 형성된 산화물 도전체 막( $OC_{Ar}$  도프+ $SiN_x$ ), 또는 플라즈마 처리 장치를 이용하여 산화물 반도체 막을 아르곤 플라즈마에 노출시킨 후에, 이 산화물 반도체 막을 질화 실리콘 막에 접하게 함으로써 형성된 산화물 도전체 막( $OC_{Ar}$  플라즈마+ $SiN_x$ )을 형성했다. 질화 실리콘 막은 수소를 포함한다는 점에 주목해야 한다.
- [0425] 산화물 도전체 막( $OC_{SiN_x}$ )을 포함하는 시료의 제조 방법에 대하여 이하와 같이 나타낸다. 유리 기판 위에, 400nm 두께의 산화질화 실리콘 막을 플라즈마 CVD 법에 의해 형성한 후, 산소 플라즈마에 노출시키고, 산소 이온을 산화질화 실리콘 막에 첨가함으로써, 가열에 의해 산소를 방출하는 산화질화 실리콘 막을 형성했다. 다음에, 가열에 의해 산소를 방출하는 산화질화 실리콘 막 위에, In의 Ga 및 Zn 에 대한 원자비가 1:1:1.2인 스퍼터링 타겟을 사용한 스퍼터링 법에 의해, 100nm 두께의 In-Ga-Zn 산화물 막을 형성했고, 450℃의 질소 분위기에서 가열 처리를 행한 후, 450℃의 질소 및 산소의 혼합 가스 분위기에서 가열 처리를 행했다. 다음에, 플라즈마 CVD 법에 의해, 100nm 두께의 질화 실리콘 막을 형성했다. 그 후, 350℃의 질소 및 산소의 혼합 가스 분위기에서 가열 처리를 행했다.
- [0426] 산화물 도전체 막( $OC_{Ar}$  도프+ $SiN_x$ )을 포함하는 시료의 제조 방법에 대하여 이하와 같이 나타낸다. 유리 기판 위에, 400nm 두께의 산화질화 실리콘 막을 플라즈마 CVD 법에 의해 형성한 후, 산소 플라즈마에 노출시키고, 산소 이온을 산화질화 실리콘 막에 첨가함으로써, 가열에 의해 산소를 방출하는 산화질화 실리콘 막을 형성했다. 다음에, 가열에 의해 산소를 방출하는 산화질화 실리콘 막 위에, In의 Ga 및 Zn 에 대한 원자비가 1:1:1.2인 스퍼터링 타겟을 사용한 스퍼터링 법에 의해, 100nm 두께의 In-Ga-Zn 산화물 막을 형성했고, 450℃의 질소 분위기에서 가열 처리를 행한 후, 450℃의 질소 및 산소의 혼합 가스 분위기에서 가열 처리를 행했다. 다음에, 도핑 장치를 사용하여, In-Ga-Zn 산화물 막에, 10kV의 가속 전압에서,  $5 \times 10^{14}/cm^2$ 의 도즈의 아르곤을 첨가하고, In-Ga-Zn 산화물 막에 산소 결손을 형성했다. 그 후, 플라즈마 CVD 법에 의해, 100nm 두께의 질화 실리콘 막을 형성했다. 후속하여, 350℃의 질소 및 산소의 혼합 가스 분위기에서 가열 처리를 행했다.
- [0427] 산화물 도전체 막( $OC_{Ar}$  플라즈마+ $SiN_x$ )을 포함하는 시료의 제조 방법에 대하여 이하와 같이 나타낸다. 유리 기판 위에, 400nm 두께의 산화질화 실리콘 막을 플라즈마 CVD 법에 의해 형성한 후, 산소 플라즈마에 노출시킴으로써, 가열에 의해 산소를 방출하는 산화질화 실리콘 막을 형성했다. 다음에, 가열에 의해 산소를 방출하는 산화질화 실리콘 막 위에, In의 Ga 및 Zn 에 대한 원자비가 1:1:1.2인 스퍼터링 타겟을 사용한 스퍼터링 법에 의해, 100nm 두께의 In-Ga-Zn 산화물 막을 형성했고, 450℃의 질소 분위기에서 가열 처리를 행한 후, 450℃의 질소 및 산소의 혼합 가스 분위기에서 가열 처리를 행했다. 다음에, 플라즈마 처리 장치에 있어서, 아르곤 플라즈마를 발생시켜, 가속시킨 아르곤 이온을 In-Ga-Zn 산화물 막에 충돌시킴으로써, In-Ga-Zn 산화물 막에 산소 결손을 형성했다. 그 후, 플라즈마 CVD 법에 의해, 100nm 두께의 질화 실리콘 막을 형성했다. 후속하여, 350℃의 질소 및 산소의 혼합 가스 분위기에서 가열 처리를 행했다.
- [0428] 다음에, 도 40은 시료들의 측정된 비저항을 도시한다. 여기서, 비저항은, 4개 단자를 사용하는 반데르포우(Van-der-Pauw)법에 의해 측정되었다. 도 40에 있어서, 횡축은 측정 온도를 나타내고, 종축은 비저항을 나타낸다. 산화물 도전체 막( $OC_{SiN_x}$ )의 측정 결과를 정사각형으로 표시하고, 산화물 도전체 막( $OC_{Ar}$  도프+ $SiN_x$ )의 측정 결과를 원형으로 표시하고, 산화물 도전체 막( $OC_{Ar}$  플라즈마+ $SiN_x$ )의 측정 결과를 삼각형으로 표시한다.

- [0429] 도시 생략되어 있더라도, 질화 실리콘 막과 접하지 않는 산화물 반도체 막은, 측정이 곤란할 정도의 높은 비저항을 갖는다는 점에 주목해야 한다. 따라서, 산화물 도전체 막은, 산화물 반도체 막보다 낮은 비저항을 갖는 것을 알았다.
- [0430] 도 40에 따르면, 산화물 도전체 막(OC\_Ar 도프+SiN<sub>x</sub>) 및 산화물 도전체 막(OC\_Ar 플라즈마+SiN<sub>x</sub>)이, 산소 결손 및 수소를 함유하는 경우에, 비저항의 변동이 작다. 전형적으로, 80K 이상 290K 이하의 온도에서, 비저항의 변동은,  $\pm 20\%$  미만이다. 대안적으로, 150K 이상 250K 이하의 온도에서, 비저항의 변동은,  $\pm 10\%$  미만이다. 즉, 산화물 도전체는 축퇴 반도체이고, 전도대의 에지와 페르미 준위가 일치 또는 실질적으로 일치할 것이 제안된다. 따라서, 산화물 도전체 막을 트랜지스터의 소스 영역 및 드레인 영역으로서 사용하는 경우, 산화물 도전체 막과, 소스 전극 및 드레인 전극으로서 기능하는 도전막이 접하는 부분에서 오믹 접촉이 발생하여, 산화물 도전체 막과, 소스 전극 및 드레인 전극으로서 기능하는 도전막 간에 접촉 저항을 저감할 수 있다. 또한, 산화물 도전체는, 비저항의 온도 저항성이 낮고; 따라서 산화물 도전체 막과, 소스 전극 및 드레인 전극으로서 기능하는 도전막 간에 접촉 저항의 변동량이 적고, 신뢰성이 높은 트랜지스터를 획득할 수 있다.
- [0431] (실시예 6)
- [0432] 본 실시예에서는, 본 발명의 일 실시예의 반도체 장치에 포함되는 산화물 반도체 막의 구조에 대하여 이하 상세히 설명한다.
- [0433] 본 명세서에 있어서, "평행"이라는 용어는, 2개 직선이 이루는 각도가  $-10^\circ$  이상  $10^\circ$  이하인 것을 지시하고, 따라서, 그 각도가  $-5^\circ$  이상  $5^\circ$  이하인 경우도 포함한다. "실질적으로 평행"이라는 용어는, 2개 직선이 이루는 각도가  $-30^\circ$  이상  $30^\circ$  이하인 것을 지시한다. "수직"이라는 용어는, 2개 직선이 이루는 각도가  $80^\circ$  이상  $100^\circ$  이하인 것을 지시하고, 따라서 그 각도가  $85^\circ$  이상  $95^\circ$  이하인 경우도 포함한다. "실질적으로 수직"이라는 용어는, 2개 직선이 이루는 각도가  $60^\circ$  이상  $120^\circ$  이하인 것을 지시한다.
- [0434] 본 명세서에 있어서, 삼방정계 및 능면정계(trigonal and rhombohedral crystal systems)는 육방정계(hexagonal crystal system)에 포함된다.
- [0435] <산화물 반도체의 구조>
- [0436] 산화물 반도체의 구조에 대하여 이하 설명한다.
- [0437] 산화물 반도체는, 단결정 산화물 반도체와 비단결정 산화물 반도체로 나뉜다. 비단결정 산화물 반도체의 예는, CAAC-OS, 다결정 산화물 반도체, 나노결정질 산화물 반도체(nc-OS: nanocrystalline oxide semiconductor), 의사 비정질 산화물 반도체(a-like OS: amorphous-like Oxide Semiconductor), 및 비정질 산화물 반도체를 포함한다.
- [0438] 다른 관점으로부터, 산화물 반도체는, 비정질 산화물 반도체와 결정성 산화물 반도체로 나뉜다. 결정성 산화물 반도체의 예는, 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 nc-OS를 포함한다.
- [0439] 비정질 구조는, 일반적으로, 준안정화되고 고정되지 않은 것, 및 등방적이고 불균질 구조를 갖지 않는 것으로서 정의된다는 것이 알려져 있다. 즉, 비정질 구조는, 유연한 결합 각도와 단거리 질서성을 갖지만, 장거리 질서성은 갖지 않는다.
- [0440] 이는, 본질적으로 안정한 산화물 반도체는 완전한 비정질(completely amorphous) 산화물 반도체로서 간주될 수 없다는 것을 의미한다. 또한, 등방적이지 않은 산화물 반도체(예를 들어, 미소한 영역에서 주기 구조를 갖는 산화물 반도체)는 완전한 비정질 산화물 반도체로 간주될 수 없다. a-like OS는, 미소한 영역에서 주기 구조를 갖지만, 동시에 공동(void)을 갖고, 불안정한 구조를 갖는다는 점에 주목해야 한다. 그로 인해, a-like OS는 비정질 산화물 반도체의 것과 마찬가지로 물리적 성질을 갖는다.
- [0441] <CAAC-OS>
- [0442] 먼저, CAAC-OS에 대하여 설명한다.
- [0443] CAAC-OS는, 복수의 c축 배향 결정부(펠릿(pellets)이라고도 지칭함)를 갖는 산화물 반도체들 중 하나이다.
- [0444] 투과형 전자 현미경(TEM: transmission electron microscope)을 사용하여 획득된, CAAC-OS의 명시야 상(bright-field image)과 회절 패턴(diffraction pattern)의 복합 분석 상(고해상도 TEM 상이라고도 지칭함)에 있어서, 복수의 펠릿을 관찰할 수 있다. 그러나, 고해상도 TEM 상에 있어서, 펠릿들 간의 경계, 즉 결정립계

(grain boundary)가 명확하게 관찰되지 않는다. 따라서, CAAC-OS에 있어서, 결정립계로 인한 전자 이동도의 저하가 일어날 가능성이 적다.

- [0445] TEM으로 관찰된 CAAC-OS에 대하여 이하 설명한다. 도 41의 (A)는, 시료 표면에 대해 실질적으로 평행한 방향으로부터 관찰된 CAAC-OS의 단면의 고해상도 TEM 상을 도시한다. 고해상도 TEM 상은 구면 수차 보정(spherical aberration corrector) 기능을 사용하여 획득된다. 구면 수차 보정 기능을 사용하여 획득된 고해상도 TEM 상을, 특히, Cs 보정 고해상도 TEM 상이라고 지칭한다. Cs 보정 고해상도 TEM 상은, 예를 들어, 원자 해상도 분석 전자 현미경(JEOL Ltd사에 의해 제조된 JEM-ARM200F)을 사용하여 획득될 수 있다.
- [0446] 도 41의 (B)는, 도 41의 (A)의 영역(1)의 확대된 Cs 보정 고해상도 TEM 상이다. 도 41의 (B)는, 펠릿에서 금속 원자들이 층상(layered manner)으로 배치되어 있는 것을 도시한다. 각각의 금속 원자 층은, CAAC-OS가 형성되는 표면(이하, 이 표면을 피형성면이라고도 지칭함) 또는 CAAC-OS의 상면의 불균일을 반영하고 있는 구성을 갖고, CAAC-OS의 피형성면 또는 상면에 대해 평행하게 배치되어 있다.
- [0447] 도 41의 (B)에 도시된 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 도 41의 (C)에서, 특징적인 원자 배열을 보조 선으로 표기한다. 도 41의 (B) 및 도 41의 (C)는, 펠릿의 크기가 대략 1nm 이상 3nm 이하이고, 펠릿들의 기울기에 기인하는 간극의 크기는 대략 0.8nm인 것을 증명한다. 따라서, 펠릿을, 나노 결정(nc: nanocrystal)이라고 지칭할 수도 있다. 또한, CAAC-OS를, CAC(c-axis aligned nanocrystals)를 포함하는 산화물 반도체라고 지칭할 수도 있다.
- [0448] 여기에서, Cs 보정 고해상도 TEM 상에 따라, 기판(5120) 위에 CAAC-OS의 펠릿(5100)의 개략적 배치는, 벽돌 또는 블록이 적층되는 것 같은 구조로 도시된다(도 41의 (D) 참조). 도 41의 (C)에서 관찰되는 펠릿들이 기울어진 부분은, 도 41의 (D)에 도시된 영역(5161)에 대응한다.
- [0449] 도 42의 (A)는, 시료 표면에 대해 실질적으로 수직인 방향으로부터 관찰된 CAAC-OS의 평면의 Cs 보정 고해상도 TEM 상을 도시한다. 도 42의 (B), 도 42의 (C) 및 도 42의 (D)는, 각각 도 42의 (A)의 영역(1), 영역(2) 및 영역(3)의 확대된 Cs 보정 고해상도 TEM 상이다. 도 42의 (B), 도 42의 (C) 및 도 42의 (D)는, 펠릿에서 금속 원자들이 삼각 형상, 사각 형상 또는 육각 형상의 구성으로 배치되어 있는 것을 지시한다. 그러나, 상이한 펠릿들 간에, 금속 원자들의 배치의 규칙성은 존재하지 않는다.
- [0450] 다음에, X선 회절(XRD: X-ray diffraction)에 의해 분석된 CAAC-OS에 대하여 설명한다. 예를 들어, InGaZnO<sub>4</sub> 결정을 포함하는 CAAC-OS의 구조를, 면외 법(out-of-plane method)에 의해 분석하는 경우, 도 43의 (A)에 도시된 바와 같이, 회절각( $2\theta$ )이 31° 부근일 때에 피크가 나타난다. 이 피크는, InGaZnO<sub>4</sub> 결정의 (009) 평면으로부터 유래되고, 이는 CAAC-OS에서 결정들이 c축 배향성을 갖고, c축이 CAAC-OS의 피형성면 또는 상면에 대해 실질적으로 수직인 방향으로 배향되어 있는 것을 지시한다.
- [0451] 면외 법에 의한 CAAC-OS의 구조 분석에서는,  $2\theta$ 가 31° 부근일 때의 피크에 더하여,  $2\theta$ 가 36° 부근일 때에, 다른 피크가 나타날 수 있다는 점에 주목해야 한다.  $2\theta$ 가 36° 부근일 때의 피크는, CAAC-OS의 일부에, c축 배향성을 갖지 않은 결정이 포함되어 있는 것을 지시한다. 면외 법에 의해 분석된 CAAC-OS에서는,  $2\theta$ 가 31° 부근일 때에 피크가 나타나고,  $2\theta$ 가 36° 부근일 때에 피크가 나타나지 않는 것이 바람직하다.
- [0452] 한편, c축에 대해 실질적으로 수직인 방향으로 X선 빔이 시료에 입사되는 면내 법(in-plane method)에 의한 CAAC-OS의 구조 분석에서는,  $2\theta$ 가 56° 부근일 때 피크가 나타난다. 이 피크는, InGaZnO<sub>4</sub> 결정의 (110) 평면에 기인한다. CAAC-OS의 경우에는,  $2\theta$ 를 56° 부근에 고정하고, 시료 표면의 법선 벡터를 축( $\phi$  축)으로서 사용하여 시료를 회전시키면서 분석( $\phi$  스캔)을 행하면, 도 43의 (B)에 도시된 바와 같이, 피크가 명확하게 관찰되지 않는다. 반면에, InGaZnO<sub>4</sub>의 단결정 산화물 반도체의 경우에,  $2\theta$ 를 56° 부근에 고정하여  $\phi$  스캔을 행하면, 도 43의 (C)에 도시된 바와 같이, (110) 평면과 등가인 결정면으로부터 유래되는 6개 피크가 관찰된다. 따라서, XRD를 사용한 구조 분석은, CAAC-OS에서, a축 및 b축의 방향이 불규칙하게 지향되어 있는 것을 도시한다.
- [0453] 다음에, 전자 회절에 의해 분석된 CAAC-OS에 대하여 설명한다. 예를 들어, InGaZnO<sub>4</sub> 결정을 포함하는 CAAC-OS 위에 시료 표면에 대해 평행한 방향으로 프로브 직경이 300nm인 전자 빔을 입사시키면, 도 44의 (A)에 도시한 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 지칭함)이 관찰될 수 있다. 이 회절 패턴에는, InGaZnO<sub>4</sub> 결정의 (009) 평면으로부터 유래되는 스폿이 포함된다. 따라서, 전자 회절은 또한, CAAC-OS에 포함되는 펠릿이 c



축 배향성을 갖고, c축이 CAAC-OS의 피형성면 또는 상면에 대해 실질적으로 수직인 방향으로 배향되어 있는 것을 지시한다. 한편, 도 44의 (B)는, 동일한 시료 위에, 시료 표면에 대해 수직인 방향으로 프로브 직경이 300nm인 전자 빔을 입사시키는 방식으로 획득된 회절 패턴을 도시한다. 도 44의 (B)에 도시된 바와 같이, 고리형(ring-like) 회절 패턴이 관찰된다. 따라서, 전자 회절은 또한, CAAC-OS에 포함되는 펄렛의 a축 및 b축은 규칙적 배향성을 갖지 않은 것을 지시한다. 도 44의 (B)에서의 제1 링은, InGaZnO<sub>4</sub> 결정의 (010) 평면 및 (100) 평면 등으로부터 유래되는 것으로 생각된다. 도 44의 (B)에서의 제2 링은, (110) 평면 등으로부터 유래되는 것으로 생각된다.

[0454] 산술된 바와 같이, CAAC-OS는 고결정성을 갖는 산화물 반도체이다. 불순물의 인입, 결함의 생성 등은 산화물 반도체의 결정성을 저하시킨다. 이는 CAAC-OS가 소량의 불순물 및 결함(예를 들어, 산소 결손)을 갖고 있는 것을 의미한다.

[0455] 불순물은, 산화물 반도체의 주성분 이외의 원소, 예를 들면, 수소, 탄소, 실리콘, 또는 전이 금속 원소를 의미한다는 점에 주목해야 한다. 예를 들어, 산화물 반도체에 포함된 금속 원소보다도 산소와의 결합력이 강한 원소(구체적으로는, 실리콘 등)는, 산화물 반도체로부터 산소를 추출하며, 이는 산화물 반도체의 원자 배열의 무질서, 및 결정성을 저하시키는 결과를 가져온다. 철 또는 니켈 등의 중금속, 아르곤, 이산화탄소 등은, 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 어지럽히고, 결정성을 저하시키는 요인이 된다.

[0456] 불순물 또는 결함을 갖는 산화물 반도체의 특성은, 광 또는 열 등에 의해 변동될 수 있다. 산화물 반도체에 함유되는 불순물은, 예를 들어, 캐리어 트랩 또는 캐리어 발생원의 역할을 할 수 있다. 또한, 산화물 반도체 중의 산소 결손은, 캐리어 트랩의 역할을 하거나, 또는 수소를 포획하면 캐리어 생성원의 역할을 한다.

[0457] 소량의 불순물 및 산소 결손을 갖는 CAAC-OS는, 낮은 캐리어 밀도(구체적으로,  $8 \times 10^{11}/\text{cm}^3$  미만, 바람직하게는  $1 \times 10^{11}/\text{cm}^3$  미만, 더 바람직하게는  $1 \times 10^{10}/\text{cm}^3$  미만이고,  $1 \times 10^{-9}/\text{cm}^3$  이상임)를 갖는 산화물 반도체이다. 그러한 산화물 반도체를, 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체라고 지칭한다. CAAC-OS는, 낮은 불순물 농도, 및 낮은 결함 준위 밀도를 갖는다. 따라서, CAAC-OS는 안정된 특성을 갖는 산화물 반도체라고 지칭될 수 있다.

[0458] <nc-OS>

[0459] 다음에, nc-OS에 대하여 설명한다.

[0460] nc-OS는, 고해상도 TEM 상에 있어서, 결정부가 관찰되는 영역과, 결정부가 명확하게 관찰되지 않는 영역을 갖는다. 대부분의 경우, nc-OS에 포함되는 결정부의 크기는, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하이다. 결정부를 포함하는 산화물 반도체로서, 그 결정부의 크기가 10nm 초과 100nm 이하인 상기 산화물 반도체를, 미세결정 산화물 반도체라고 지칭한다는 점에 주목해야 한다. nc-OS의 고해상도 TEM 상에서는, 예를 들어, 결정립계를 명확하게 관측할 수 없는 경우가 몇몇 있다. 나노 결정의 기원은, CAAC-OS의 펄렛의 기원과 동일할 가능성이 있다는 점에 주목해야 한다. 따라서, 이하의 설명에서는, nc-OS의 결정부를 펄렛이라고 지칭할 수 있다.

[0461] nc-OS에서, 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 크기를 갖는 영역, 특히 1nm 이상 3nm 이하의 크기를 갖는 영역)은, 주기적인 원자 배열을 갖는다. nc-OS에서, 상이한 펄렛들 간에 결정 지향성의 규칙성이 존재하지 않는다. 따라서, 막 전체의 지향성이 불규칙하다. 따라서, 분석 방법에 따라, nc-OS는 a-like OS 또는 비정질 산화물 반도체와 구별되지 않을 수 있다. 예를 들어, nc-OS에 대해, 펄렛의 크기보다 큰 직경의 X선 빔을 사용하는 면외 법에 의한 분석이 행해지는 경우, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS에 대해, 펄렛의 크기보다 큰 프로브 직경(예를 들어, 50nm 이상)의 전자 빔을 사용하는 전자 회절이 행해지는 경우, 할로 패턴과 같은 회절 패턴이 관찰된다. 한편, 펄렛의 크기에 근접하거나, 펄렛보다 작은 프로브 직경의 전자 빔이 적용되는 경우, nc-OS의 나노빔 전자 회절 패턴에서 스폿이 나타난다. 또한, nc-OS의 나노빔 전자 회절 패턴에서, 원형(고리) 패턴에서 고회도를 갖는 영역이 나타나는 경우가 몇몇 있다. 또한 nc-OS의 나노빔 전자 회절 패턴에서, 고리형 영역 내에 복수의 스폿이 나타나는 경우가 몇몇 있다.

[0462] 산술된 바와 같이, 펄렛(나노 결정)들 간에 결정 지향성의 규칙성이 존재하지 않기 때문에, nc-OS를, RANC(random aligned nanocrystals)를 포함하는 산화물 반도체 또는 NANC(non-aligned nanocrystals)를 포함하는 산화물 반도체라고 지칭할 수도 있다.

- [0463] nc-OS는, 비정질 산화물 반도체와 비교하여, 규칙성이 높은 산화물 반도체이다. 따라서, nc-OS는, a-like OS 및 비정질 산화물 반도체보다도 결함 준위 밀도가 낮아질 가능성이 있다. nc-OS에서는, 상이한 펄릿들 간에 결정 지향성의 규칙성이 존재하지 않는다는 점에 주목해야 한다. 따라서, nc-OS는, CAAC-OS보다 높은 결함 준위 밀도를 갖는다.
- [0464] <a-like OS>
- [0465] a-like OS는, nc-OS와 비정질 산화물 반도체의 구조들의 중간 구조를 갖는다.
- [0466] a-like OS의 고해상도 TEM 상에 있어서, 공동(void)이 관찰될 수 있다. 또한, 고해상도 TEM 상에 있어서, 결정 부가 명확하게 관찰되는 영역과, 결정부가 관찰되지 않는 영역이 존재한다.
- [0467] a-like OS는, 그것이 공동을 포함하기 때문에, 불안정한 구조를 갖는다. a-like OS가, CAAC-OS 및 nc-OS와 비교하여, 불안정한 구조를 가진다는 것을 증명하기 위하여, 전자 조사에 기인하는 구조의 변화에 대하여 이하 설명한다.
- [0468] 전자 조사가 행해질 시료로서, a-like OS(시료 A라고 지칭함), nc-OS(시료 B라고 지칭함) 및 CAAC-OS(시료 C라고 지칭함)를 준비한다. 시료 각각은, In-Ga-Zn 산화물이다.
- [0469] 먼저, 각각의 시료의 고해상도 단면의 TEM 상을 획득한다. 고해상도 단면의 TEM 상은, 모든 시료가 결정부를 가지는 것을 나타낸다.
- [0470] 어느 부분을 결정부로 간주할지에 대해서는, 이하와 같이 결정한다는 점에 주목해야 한다. 예를 들어, InGaZnO<sub>4</sub> 결정의 단위 셀은 3개의 In-O층 및 6개의 Ga-Zn-O 층을 포함하는 9개의 층이 c축 방향으로 적층된 구조를 갖는 것이 알려져 있다. 인접한 층들 사이의 거리는 (009) 평면의 격자 간격(d값이라고도 지칭함)과 동등하다. 그 값은 결정 구조 분석으로부터 0.29nm로 계산된다. 따라서, 격자 줄무늬(fringes)들 사이의 격자 간격이 0.28nm 이상 0.30nm 이하인 부분은 InGaZnO<sub>4</sub>의 결정부로서 간주될 수 있다. 격자 줄무늬들 각각은, InGaZnO<sub>4</sub> 결정의 a-b 평면에 대응한다.
- [0471] 도 45는, 각각의 시료의 결정부(22 점 내지 45 점에서)의 평균 크기를 도시한다. 또한, 결정부 크기는 격자 줄무늬의 길이에 대응한다는 점에 주목해야 한다. 도 45는, a-like OS에서의 결정부 크기가 누적 전자 조사량(cumulative electron dose)의 증가에 따라 증가하는 것을 지시한다. 구체적으로는, 도 45에서 (1)로 도시된 바와 같이, TEM에 의한 관찰 개시 시, 대략 1.2nm의 결정부(초기 핵이라고도 지칭함)가 누적 전자 조사량이  $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 이 될 때는 대략 2.6nm 크기까지 성장한다. 반면에, nc-OS 및 CAAC-OS에서의 결정부 크기는, 전자 조사 개시 시부터 누적 전자 조사량이  $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 이 될 때까지, 거의 변화를 나타내지 않는다. 구체적으로는, 도 45의 (2) 및 (3)로 도시된 바와 같이, 누적 전자 조사량과 상관없이, nc-OS 및 CAAC-OS에서의 평균 결정 크기는, 각각 대략 1.4nm 및 2.1nm 이다.
- [0472] 이런 방식으로, a-like OS에서의 결정부의 성장은 전자 조사에 의해 유발된다. 반면에, nc-OS 및 CAAC-OS에서는, 결정부의 성장이 전자 조사에 의해 거의 유발되지 않는다. 따라서, a-like OS는, nc-OS 및 CAAC-OS와 비교하여, 불안정한 구조를 갖는다.
- [0473] a-like OS는, 그것이 공동을 포함하기 때문에, nc-OS 및 CAAC-OS보다 낮은 밀도를 갖는다. 구체적으로는, a-like OS의 밀도는, 동일한 조성을 갖는 단결정 산화물 반도체의 밀도 78.6% 이상 92.3% 미만이다. nc-OS 및 CAAC-OS 각각의 밀도는, 동일한 조성을 갖는 단결정 산화물 반도체의 밀도 92.3% 이상 100% 미만이다. 단결정 산화물 반도체의 밀도 78% 미만이 되는 밀도를 갖는 산화물 반도체를 성막하는 것은 곤란하다는 점에 주목해야 한다.
- [0474] 예를 들어, In:Ga:Zn=1:1:1의 원자비를 갖는 산화물 반도체의 경우에, 능면정 구조를 갖는 단결정 InGaZnO<sub>4</sub>의 밀도는,  $6.357\text{g}/\text{cm}^3$  이다. 따라서, In:Ga:Zn=1:1:1의 원자비를 갖는 산화물 반도체의 경우에, a-like OS의 밀도는,  $5.0\text{g}/\text{cm}^3$  이상  $5.9\text{g}/\text{cm}^3$  미만이다. 예를 들어, In:Ga:Zn=1:1:1의 원자비를 갖는 산화물 반도체의 경우에, nc-OS의 밀도 및 CAAC-OS 각각의 밀도는  $5.9\text{g}/\text{cm}^3$  이상  $6.3\text{g}/\text{cm}^3$  미만이다.
- [0475] 특정한 조성을 갖는 산화물 반도체가 단결정 구조에 존재할 수 없을 가능성이 있다는 점에 주목해야 한다. 그러한 경우에, 상이한 조성을 갖는 단결정 산화물 반도체를 적절한 비로 조합함으로써, 원하는 조성을 갖는 단결

정 산화물 반도체의 밀도와 동등한 밀도를 계산하는 것이 가능하게 된다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도는, 상이한 조성을 갖는 단결정 산화물 반도체의 조합 비율에 따른 가중 평균을 이용해서 계산될 수 있다. 밀도를 계산하기 위해 가능한 한 적은 종류의 단결정 산화물 반도체를 사용하는 것이 바람직하다는 점에 주목해야 한다.

- [0476] 상술된 바와 같이, 산화물 반도체들은, 다양한 구조 및 다양한 특성을 갖는다. 산화물 반도체는, 예를 들어, 비정질 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2개 이상을 포함하는 적층이 될 수 있다는 점에 주목해야 한다.
- [0477] 본 실시예에 설명된 구조들 및 방법들은, 다른 실시예들에 설명된 구조들 및 방법들 중 어느 것과 적절히 조합하여 사용될 수 있다.
- [0478] (실시예 7)
- [0479] 본 실시예에서는, 본 발명의 일 실시예의 반도체 장치를 사용하여 형성될 수 있는 표시 장치에 대하여 도 33의 (A) 내지 도 33의 (C)를 참조하여 설명한다.
- [0480] 도 33의 (A)에 도시된 표시 장치는, 표시 소자의 화소들을 포함하는 영역(이하, 화소부(542)라고 지칭함)과, 화소부(542)의 외측에 제공되고, 화소들을 구동하기 위한 회로를 갖는 회로부(이하, 구동 회로부(544)라고 지칭함)와, 각각 소자를 보호하는 기능을 갖는 회로들(이하, 보호 회로(546)라고 지칭함)과, 단자부(547)를 포함한다. 보호 회로(546)는, 반드시 제공될 필요가 없다는 점에 주목해야 한다.
- [0481] 구동 회로부(544)의 일부 또는 전부는, 화소부(542)가 형성되어 있는 기판 위에 형성되는 것이 바람직하고, 이 경우에 부품수 및 단자수를 저감시킬 수 있다. 구동 회로부(544)의 일부 또는 전부가, 화소부(542)가 형성되어 있는 기판 위에 형성되지 않은 경우에는, 구동 회로부(544)의 일부 또는 전부는, COG(chip on glass) 또는 TAB(tape automated bonding)에 의해, 실장될 수 있다.
- [0482] 화소부(542)는,  $X$  행( $X$ 는 2 이상의 자연수임)  $Y$  열( $Y$ 는 2 이상의 자연수임)로 배치된 표시 소자들을 구동하기 위한 복수의 회로(이하, 이러한 회로를 화소 회로(541)라고 지칭함)을 포함한다. 구동 회로부(544)는, 화소를 선택하는 신호(주사 신호)를 공급하기 위한 회로(이하, 게이트 드라이버(544a)라고 지칭함), 및 화소의 표시 소자를 구동하는 신호(데이터 신호)를 공급하기 위한 회로(이하, 소스 드라이버(544b)라고 지칭함) 등의 구동 회로를 포함한다.
- [0483] 게이트 드라이버(544a)는, 시프트 레지스터 등을 포함한다. 게이트 드라이버(544a)는, 단자부(547)를 통해 시프트 레지스터를 구동하기 위한 신호를 수신하고, 신호를 출력한다. 예를 들어, 게이트 드라이버(544a)는, 개시 펄스 신호, 클럭 신호 등을 수신하고, 펄스 신호를 출력한다. 게이트 드라이버(544a)는, 주사 신호가 공급되는 배선들(이하, 주사선 GL<sub>1</sub> 내지 GL <sub>$X$</sub> 이라고 지칭함)의 전위를 제어하는 기능을 갖는다. 주사선 GL<sub>1</sub> 내지 GL <sub>$X$</sub> 를 별도로 제어하기 위해, 복수의 게이트 드라이버(544a)를 제공할 수 있다는 점에 주목해야 한다. 대안적으로, 게이트 드라이버(544a)는, 초기화 신호를 공급하는 기능을 갖는다. 이에 제한되지 않고, 게이트 드라이버(544a)는, 다른 신호를 공급할 수 있다.
- [0484] 소스 드라이버(544b)는, 시프트 레지스터 등을 포함한다. 소스 드라이버(544b)는, 단자부(547)를 통해, 시프트 레지스터를 구동하기 위한 신호뿐만 아니라, 데이터 신호가 유래되는 신호(화상 신호)를 수신한다. 소스 드라이버(544b)는, 화상 신호에 기초하여 화소 회로(541)에 기입될 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스 드라이버(544b)는, 개시 펄스, 클럭 신호 등의 입력에 의해 생성되는 펄스 신호에 따라, 데이터 신호의 출력을 제어하는 기능을 갖는다. 또한, 소스 드라이버(544b)는, 데이터 신호가 공급되는 배선들(이하, 신호선 DL<sub>1</sub> 내지 DL <sub>$Y$</sub> 라고 지칭함)의 전위를 제어하는 기능을 갖는다. 대안적으로, 소스 드라이버(544b)는, 초기화 신호를 공급하는 기능을 갖는다. 이에 제한되지 않고, 소스 드라이버(544b)는, 다른 신호를 공급할 수 있다.
- [0485] 소스 드라이버(544b)는, 예를 들어, 복수의 아날로그 스위치 등을 포함한다. 소스 드라이버(544b)는, 복수의 아날로그 스위치를 순차적으로 턴온함으로써, 화상 신호를 시분할하여 획득한 신호들을, 데이터 신호들로서 출력할 수 있다. 소스 드라이버(544b)는, 시프트 레지스터 등을 포함할 수 있다.
- [0486] 복수의 화소 회로(541) 각각에는, 주사 신호가 공급되는 복수의 주사선 GL 중 하나와, 데이터 신호가 공급되는 복수의 신호선 DL 중 하나를 통해, 펄스 신호 및 데이터 신호가 입력된다. 복수의 화소 회로(541) 각각에서, 데이터 신호의 기입 및 유지는, 게이트 드라이버(544a)에 의해 제어된다. 예를 들어,  $m$ 번째 행 및  $n$ 번째 열의 화소 회로(541)에는, 주사선 GL <sub>$m$</sub> ( $m$ 은  $X$  이하의 자연수임)을 통해 게이트 드라이버(544a)로부터 펄스 신호가 입

력되고, 주사선  $GL_m$ 의 전위에 따라서 신호선  $DL_n$ ( $n$ 은  $Y$  이하의 자연수임)을 통해 소스 드라이버(544b)로부터 데이터 신호가 입력된다.

- [0487] 도 33의 (A)에 도시된 보호 회로(546)는, 예를 들어, 게이트 드라이버(544a)와 화소 회로(541) 사이의 주사선  $GL$ 에 접속된다. 대안적으로, 보호 회로(546)는, 소스 드라이버(544b)와 화소 회로(541) 사이의 신호선  $DL$ 에 접속될 수 있다. 대안적으로, 보호 회로(546)는, 게이트 드라이버(544a)와 단자부(547) 사이의 배선에 접속될 수 있다. 대안적으로, 보호 회로(546)는, 소스 드라이버(544b)와 단자부(547) 사이의 배선에 접속될 수 있다. 단자부(547)는, 전원, 제어 신호, 및 화상 신호를, 외부 회로로부터 표시 장치에 입력하기 위한 단자들을 갖는 부분을 의미한다는 점에 주목해야 한다.
- [0488] 보호 회로(546)는, 이 보호 회로에 접속된 배선에 특정한 범위 외의 전위가 인가되는 경우, 이 보호 회로에 접속된 해당 배선을 다른 배선과 전기적으로 접속하는 회로이다.
- [0489] 도 33의 (A)에 도시된 바와 같이, 화소부(542)와 구동 회로부(544)에 보호 회로(546)들을 제공함으로써, 방전(ESD: electro static discharge) 등에 의해 발생하는 과전류에 대한 표시 장치의 내성을 향상시킬 수 있게 된다. 보호 회로(546)의 구성은, 이에 제한되지 않고, 예를 들어, 보호 회로(546)는 게이트 드라이버(544a)에 접속될 수 있거나, 보호 회로(546)는 소스 드라이버(544b)에 접속될 수 있다는 점에 주목해야 한다. 대안적으로, 보호 회로(546)는 단자부(547)에 접속될 수 있다.
- [0490] 도 33의 (A)에서는, 구동 회로부(544)가 게이트 드라이버(544a) 및 소스 드라이버(544b)를 포함하는 예를 도시하고 있지만; 그 구조는 이에 제한되지 않는다. 예를 들어, 게이트 드라이버(544a)만을 형성할 수 있고, 소스 구동 회로를 형성한 별도로 준비된 기관(예를 들어, 단결정 반도체 막 또는 다결정 반도체 막이 형성된 구동 회로 기관)을 실장할 수 있다.
- [0491] 도 33의 (A)의 복수의 화소 회로(541) 각각은, 예를 들어, 도 33의 (B)에 도시된 구조를 가질 수 있다.
- [0492] 도 33의 (B)에 도시된 화소 회로(541)는, 액정 소자(570)와, 트랜지스터(550)와, 용량소자(560)를 포함한다.
- [0493] 트랜지스터(550)로서, 상기 실시예들에서 설명한 트랜지스터들 중 어느 것을 적절히 사용할 수 있다.
- [0494] 액정 소자(570)의 한 쌍 전극 중 한쪽의 전위는, 화소 회로(541)의 사양에 따라 적절히 설정된다. 액정 소자(570)의 배향 상태는, 기입된 데이터에 따른다. 복수의 화소 회로(541) 각각에 포함되는 액정 소자(570)의 한 쌍 전극 중 한쪽에 공통 전위를 공급할 수 있다. 또한, 1개 행의 화소 회로(541)에서의 액정 소자(570)의 한 쌍 전극 중 한쪽에 공급되는 전위는, 다른 행의 화소 회로(541)에서의 액정 소자(570)의 한 쌍 전극 중 한쪽에 공급되는 전위와 상이할 수 있다.
- [0495]  $m$ 번째 행 및  $n$ 번째 열의 화소 회로(541)에 있어서, 트랜지스터(550)의 소스 전극 및 드레인 전극 중 한쪽은, 신호선  $DL_n$ 에 전기적으로 접속되고, 다른 한쪽은, 액정 소자(570)의 한 쌍 전극 중 다른 한쪽에 전기적으로 접속된다. 트랜지스터(550)의 게이트 전극은, 주사선  $GL_m$ 에 전기적으로 접속된다. 트랜지스터(550)는, 턴온 또는 턴오프됨으로써, 데이터 신호의 기입 여부를 제어하는 기능을 갖는다.
- [0496] 용량소자(560)의 한 쌍 전극 중 한쪽은, 전위가 공급되는 배선(이하, 전위 공급선  $VL$ 이라고 지칭함)에 전기적으로 접속되고, 다른 한쪽은, 액정 소자(570)의 한 쌍 전극 중 다른 한쪽에 전기적으로 접속된다. 전위 공급선  $VL$ 의 전위는, 화소 회로(541)의 사양에 따라 적절히 설정된다. 용량소자(560)는, 기입된 데이터를 축적하기 위한 축적 용량소자로서 기능한다.
- [0497] 예를 들어, 도 33의 (B)의 화소 회로(541)를 포함하는 표시 장치에서는, 도 33의 (A)에 도시된 게이트 드라이버(544a)에 의해 행마다 순차적으로 화소 회로(541)를 선택함으로써, 트랜지스터(550)가 턴온되고, 데이터 신호가 기입된다.
- [0498] 트랜지스터(550)가 턴오프되는 경우, 데이터가 기입된 화소 회로(541)는, 유지 상태가 된다. 이 동작을 행마다 순차적으로 행함으로써, 화상을 표시할 수 있다.
- [0499] 대안적으로, 도 33의 (A)의 복수의 화소 회로(541) 각각은, 예를 들어, 도 33의 (C)에 도시된 구조를 가질 수 있다.
- [0500] 도 33의 (C)에 도시된 화소 회로(541)는, 트랜지스터(552 및 554)와, 용량소자(562)와, 발광 소자(572)를 포함한다. 여기에서, 트랜지스터(552 및 554) 중 한쪽 또는 양쪽에, 상기 실시예들에서 설명한 트랜지스터들 중 어느 것을 적절히 사용할 수 있다.



- [0501] 트랜지스터(552)의 소스 전극 및 드레인 전극 중 한쪽은, 데이터 신호가 공급되는 배선(신호선 DL<sub>n</sub>)에 전기적으로 접속된다. 트랜지스터(552)의 게이트 전극은, 게이트 신호가 공급되는 배선(주사선 GL<sub>m</sub>)에 전기적으로 접속된다.
- [0502] 트랜지스터(552)는, 턴온 또는 턴오프됨으로써, 데이터 신호의 기입 여부를 제어하는 기능을 갖는다.
- [0503] 용량소자(562)의 한 쌍 전극 중 한쪽은, 전위가 공급되는 배선(이하, 전위 공급선 VL<sub>a</sub>라고 지칭함)에 전기적으로 접속되고, 다른 한쪽은, 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 한쪽에 전기적으로 접속된다.
- [0504] 용량소자(562)는, 기입된 데이터를 축적하기 위한 축적 용량소자로서 기능한다.
- [0505] 트랜지스터(554)의 소스 전극 및 드레인 전극 중 한쪽은, 전위 공급선 VL<sub>a</sub>에 전기적으로 접속된다. 또한, 트랜지스터(554)의 게이트 전극은, 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 한쪽에 전기적으로 접속된다.
- [0506] 발광 소자(572)의 애노드 및 캐소드 중 한쪽은, 전위 공급선 VL<sub>b</sub>에 전기적으로 접속되고, 다른 한쪽은, 트랜지스터(554)의 소스 전극 및 드레인 전극 중 다른 한쪽에 전기적으로 접속된다.
- [0507] 발광 소자(572)로서는, 예를 들어, 유기 전자발광 소자(organic electroluminescent element)(유기 EL 소자라고도 지칭함) 등이 사용될 수 있다. 발광 소자(572)는, 유기 EL 소자에 제한되지 않고, 무기 재료를 포함하는 무기 EL 소자가 사용될 수 있다는 점에 주목해야 한다.
- [0508] 전위 공급선 VL<sub>a</sub> 및 전위 공급선 VL<sub>b</sub> 중 한쪽에는, 고 전원 전위 VDD가 공급되고, 다른 한쪽에는, 저 전원 전위 VSS가 공급된다.
- [0509] 도 33의 (C)의 화소 회로(541)를 포함하는 표시 장치에서는, 예를 들어, 도 33의 (A)에 도시된 게이트 드라이버(544a)에 의해 행마다 순차적으로 화소 회로(541)를 선택함으로써, 트랜지스터(552)가 턴온되고, 데이터 신호가 기입된다.
- [0510] 트랜지스터(552)가 턴오프되는 경우, 데이터가 기입된 화소 회로(541)는, 유지 상태가 된다. 또한, 기입된 데이터 신호의 전위에 따라 트랜지스터(554)의 소스 전극과 드레인 전극의 사이에 흐르는 전류량이 제어된다. 발광 소자(572)는, 흐르는 전류량에 따른 휘도로 발광한다. 이 동작을 행마다 순차적으로 행함으로써, 화상을 표시할 수 있다.
- [0511] 본 실시예에 설명된 구조는, 다른 실시예들에 설명된 구조들 중 어느 것과 적절히 조합하여 사용될 수 있다.
- [0512] (실시예 8)
- [0513] 본 실시예에서는, 상기 실시예들에 설명된 트랜지스터들 중 어느 것을 포함하는 표시 장치의 예에 대하여, 도 34, 도 35의 (A) 및 도 35의 (B), 및 도 36의 (A) 및 도 36의 (B)를 참조하여 이하 설명한다.
- [0514] 도 34는, 표시 장치의 예의 상면도이다. 도 34에 도시된 표시 장치(700)는, 제1 기판(701) 위에 제공된 화소부(702)와, 제1 기판(701) 위에 제공된 소스 구동 회로부(704) 및 게이트 구동 회로부(706)와, 화소부(702), 소스 구동 회로부(704) 및 게이트 구동 회로부(706)를 둘러싸도록 제공된 시일재(712)와, 제1 기판(701)에 대향하도록 제공된 제2 기판(705)을 포함한다. 제1 기판(701)과 제2 기판(705)은, 시일재(712)에 의해 밀봉되어 있다. 즉, 화소부(702), 소스 구동 회로부(704) 및 게이트 구동 회로부(706)는, 제1 기판(701)과, 시일재(712)와, 제2 기판(705)에 의해 밀봉되어 있다. 도 34에 도시 생략되어 있더라도, 제1 기판(701)과 제2 기판(705) 사이에는, 표시 소자가 제공된다.
- [0515] 표시 장치(700)에 있어서, 제1 기판(701) 위에 위치되고 시일재(712)에 의해 둘러싸여 있는 영역과는 상이한 영역에, 화소부(702), 소스 구동 회로부(704) 및 게이트 구동 회로부(706)와 전기적으로 접속되는 FPC 단자부(708)가 제공된다. 또한, FPC 단자부(708)에는 FPC(716)가 접속되고, 각종 신호 등이, FPC(716)를 통해 화소부(702), 소스 구동 회로부(704) 및 게이트 구동 회로부(706)에 공급된다. 또한, 화소부(702), 소스 구동 회로부(704), 게이트 구동 회로부(706) 및 FPC 단자부(708)에는 신호선(710)이 접속된다. 각종 신호 등이, FPC(716)로부터 신호선(710)을 통해 화소부(702), 소스 구동 회로부(704), 게이트 구동 회로부(706) 및 FPC 단자부(708)에 공급된다.
- [0516] 복수의 게이트 구동 회로부(706)를 표시 장치(700)에 제공할 수 있다. 소스 구동 회로부(704) 및 게이트 구동 회로부(706)를 제1 기판(701) 위에 형성하고, 화소부(702)도 이 기판 위에 형성한 표시 장치(700)의 예에 대하여



여 설명하고 있지만; 그 구조는 이에 제한되지 않는다. 예를 들어, 게이트 구동 회로부(706)만을 제1 기판(701) 위에 형성할 수 있거나, 소스 구동 회로부(704)만을 제1 기판(701) 위에 형성할 수 있다. 이 경우에, 소스 구동 회로 또는 게이트 구동 회로 등이 형성된 기판(예를 들어, 단결정 반도체 막 또는 다결정 반도체 막을 사용하여 형성된 구동 회로 기판)을, 제1 기판(701) 위에 실장할 수 있다. 별도로 준비된 구동 회로 기판의 접속 방법에 관해서, 특별한 제한이 존재하지 않으며, COG 방법, 배선 결합 방법 등을 사용할 수 있다는 점에 주목해야 한다.

[0517] 표시 장치(700)에 포함된 화소부(702), 소스 구동 회로부(704) 및 게이트 구동 회로부(706)는, 복수의 트랜지스터를 포함한다. 복수의 트랜지스터로서, 본 발명의 실시예들의 반도체 장치인 트랜지스터들 중 어느 것을 사용할 수 있다.

[0518] 표시 장치(700)는, 각종 소자들 중 어느 것을 포함할 수 있다. 소자의 예는, 액정 소자, 전자발광(EL: electroluminescence) 소자(예를 들어, 유기 및 무기 재료를 포함하는 EL 소자, 유기 EL 소자, 또는 무기 EL 소자), LED(예를 들어, 백색 LED, 적색 LED, 녹색 LED, 또는 청색 LED), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출체(electron emitter), 전자 잉크, 전기 영동 소자, 격자 광선 밸브(GLV: grating light valve), 플라즈마 디스플레이 패널(PDP: plasma display panel), 미소 전자 기계 시스템(MEMS: micro electro mechanical system)을 사용한 표시 소자, DMD(digital micromirror device), DMS(digital micro shutter), MIRASOL(등록 상표), IMOD(interferometric modulator display) 소자, MEMS 셔터 표시 소자, 광간섭 방식 MEMS 표시 소자, 전기습윤(electrowetting) 소자, 압전 세라믹 디스플레이, 및 탄소 나노튜브를 사용한 표시 소자를 포함한다. 상기의 것 이외에, 전기적 또는 자기적 효과에 의해, 명암비, 휘도, 반사율, 투과율 등이 변화되는 표시 매체를 포함할 수 있다. EL 소자를 갖는 표시 장치의 예는, EL 디스플레이를 포함한다는 점에 주목해야 한다. 전자 방출체를 포함하는 표시 장치의 예는, 전계 방출 디스플레이(FED) 및 SED 방식 평판 디스플레이(SED: surface-conduction electron-emitter display)를 포함한다. 액정 소자를 포함하는 표시 장치의 예는, 액정 디스플레이(예를 들어, 투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이)를 포함한다. 전자 잉크 또는 전기 영동 소자를 포함하는 표시 장치의 예는, 전자 종이이다. 반투과형 액정 디스플레이 또는 반사형 액정 디스플레이의 경우에, 화소 전극의 일부 또는 전부는, 반사 전극으로서 기능한다. 예를 들어, 화소 전극의 일부 또는 전부는, 알루미늄, 은 등을 함유하도록 형성된다. 그러한 경우에, 반사 전극 아래에, SRAM 등의 기억 회로를 제공할 수 있고, 이는 소비 전력의 저감을 초래한다.

[0519] 표시 장치(700)에서의 표시 방식으로, 프로그래시브 방식 또는 인터레이스 방식 등을 채용할 수 있다. 또한, 컬러 표시 시에 화소에서 제어되는 컬러 요소는, 3개의 컬러: R, G, 및 B(R, G, 및 B는 각각 적색, 녹색, 및 청색에 대응함)에 제한되지 않는다. 예를 들어, R 화소, G 화소, B 화소, 및 W(백색) 화소의 4개 화소를 포함할 수 있다. 대안적으로, 컬러 요소는, 펜타일(PenTile) 배열에서와 같이, R, G, 및 B 중 2개의 컬러로 이루어질 수 있다. 컬러 요소들 중 2개의 컬러는, 상이할 수 있다. 대안적으로, RGB에, 노란색, 청록색, 주홍색(magenta) 등 중 1개 이상을 추가할 수 있다. 또한, 컬러 성분의 개별 도트에 따라, 표시 영역의 크기가 상이할 수 있다. 본 개시된 발명의 실시예들은, 컬러 표시용 표시 장치에 제한되는 것이 아니고; 개시된 발명은 흑백 표시용 표시 장치에 적용될 수도 있다.

[0520] 본 실시예에 있어서는, 표시 소자로서 액정 소자 및 EL 소자를 포함하는 구조들에 대하여, 도 35의 (A) 및 도 35의 (B), 및 도 36의 (A) 및 도 36의 (B)를 참조하여 설명한다. 도 35의 (A) 및 도 35의 (B)는, 도 34에 도시된 일점 쇄선 Q-R을 따른 단면도들이고, 각각 표시 소자로서 액정 소자를 포함하는 구조를 도시하고, 반면에 도 36의 (A) 및 도 36의 (B)는, 도 34에 도시된 일점 쇄선 Q-R을 따른 단면도들이며, 각각 표시 소자로서 EL 소자를 포함하는 구조를 도시한다는 점에 주목해야 한다.

[0521] 도 35의 (A) 및 도 36의 (A)는, 제1 기판(701), 및 제2 기판(705)에 유리 등을 사용하는, 높은 기계적 강도를 갖는 표시 장치(700)를 도시한다. 도 35의 (B) 및 도 36의 (B)는, 제1 기판(701) 및 제2 기판(705)에 플라스틱 등을 사용하는, 가요성 표시 장치(700a)를 도시한다. 제1 기판(701)은, 트랜지스터(750 및 752) 및 용량소자(790)가 형성된 절연막(719)에 접착제(720)를 이용하여 고정된다. 제2 기판(705)은, 착색막(736), 차광막(738) 등이 형성된 절연막(739)에 접착제(740)를 이용하여 고정된다.

[0522] 먼저, 도 35의 (A) 및 도 35의 (B), 및 도 36의 (A) 및 도 36의 (B)에 도시된 공통 부분들에 대하여 설명한 후, 상이한 부분들에 대하여 설명한다.

[0523] <표시 장치의 공통 부분들>

- [0524] 도 35의 (A) 및 도 35의 (B), 및 도 36의 (A) 및 도 36의 (B)에 도시된 표시 장치(700 및 700a)는, 각각 리드 배선부(711)와, 화소부(702)와, 소스 구동 회로부(704)와, FPC 단자부(708)를 포함한다. 리드 배선부(711)는, 신호선(710)을 포함한다는 점에 주목해야 한다. 화소부(702)는, 트랜지스터(750) 및 용량소자(790)를 포함한다. 소스 구동 회로부(704)는, 트랜지스터(752)를 포함한다.
- [0525] 상기 실시예들에 설명된 트랜지스터들의 구조들 중 어느 것을, 트랜지스터(750 및 752)에 적절히 적용할 수 있다.
- [0526] 본 실시예에서 사용된 트랜지스터들은, 각각 산소 결손의 형성을 억제한 고순도의 산화물 반도체 막을 포함한다. 이 트랜지스터에서, 오프 상태에 있어서의 전류(오프 전류)를 작게 만들 수 있다. 따라서, 화상 신호 등의 전기 신호를, 장 기간 동안 유지할 수 있고, 온 상태에서의 기입 간격을 길게 설정할 수 있다. 따라서, 리프래시 동작의 빈도를 저감할 수 있고, 이는 소비 전력을 억제하는 효과를 초래한다.
- [0527] 또한, 본 실시예에서 사용된 트랜지스터는, 비교적 높은 전계 효과 이동도를 가질 수 있고, 따라서 고속 동작이 가능하다. 예를 들어, 이러한 고속 동작이 가능한 트랜지스터를, 액정 표시 장치에 사용함으로써, 화소부의 스위칭 트랜지스터와, 구동 회로부의 드라이버 트랜지스터를 1개의 기판 위에 형성할 수 있다. 즉, 실리콘 웨이퍼 등을 사용하여 형성된 반도체 장치가, 구동 회로로서 추가적으로 필요하지 않고, 이로써 반도체 장치의 부품의 개수를 삭감할 수 있다. 또한, 화소부에 있어서도, 고속 구동이 가능한 트랜지스터를 사용함으로써, 고품질 화상을 제공할 수 있다.
- [0528] 도 35의 (A) 및 도 35의 (B), 및 도 36의 (A) 및 도 36의 (B)에 있어서, 트랜지스터(750), 트랜지스터(752) 및 용량소자(790) 위에 절연막(766) 및 평탄화 절연막(770)을 제공한다.
- [0529] 절연막(766)은, 상기 실시예들에 설명된 절연막(126)과 마찬가지로의 재료 및 방법을 사용하여 형성될 수 있다. 평탄화 절연막(770)은, 폴리이미드 수지, 아크릴 수지, 폴리이미드 아미드 수지, 벤조시클로부텐 수지, 폴리아미드 수지, 또는 에폭시 수지를 등의 내열성 유기 재료를 사용하여 형성될 수 있다. 이들 재료로 형성되는 복수의 절연막을 적층시킴으로써, 평탄화 절연막(770)을 형성할 수 있다는 점에 주목해야 한다. 대안적으로, 평탄화 절연막(770)을 형성하지 않는 구조를 채용할 수 있다.
- [0530] 신호선(710)은, 트랜지스터(750 또는 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 동일한 공정에서 형성된다. 신호선(710)은, 트랜지스터(750 또는 752)의 게이트 전극으로서 기능하는 도전막을 사용하여 형성될 수 있다는 점에 주목해야 한다. 구리 원소를 함유하는 재료를 사용하여 신호선(710)을 형성하는 경우에, 배선 저항으로 인한 신호 지연 등이 저감되고, 이는 대형 화면 표시를 가능하게 한다.
- [0531] FPC 단자부(708)는, 접속 전극(760), 이방성 도전막(780) 및 FPC(716)를 포함한다. 접속 전극(760)은, 트랜지스터(750 및 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 동일한 공정에서 형성된다는 점에 주목해야 한다. 접속 전극(760)은, 이방성 도전막(780)을 통해, FPC(716)에 포함된 단자에 전기적으로 접속된다.
- [0532] 예를 들어, 제1 기판(701) 및 제2 기판(705)으로서, 유리 기판을 사용할 수 있다. 제1 기판(701) 및 제2 기판(705)으로서, 가요성 기판을 사용할 수 있다. 가요성 기판의 예는, 플라스틱 기판을 포함한다.
- [0533] 제1 기판(701)과 제2 기판(705) 사이에는, 구조체(778)를 제공한다. 구조체(778)는, 절연막의 선택적 에칭에 의해 획득된 기둥 형상의 스페이서이며, 제1 기판(701)과 제2 기판(705) 사이의 두께(셀 갭)를 제어하기 위해 제공된다. 대안적으로, 구조체(778)로서, 구형상의 스페이서를 사용할 수 있다.
- [0534] 또한, 제2 기판(705) 측에는, 블랙 매트릭스로서 기능하는 차광막(738)과, 컬러 필터로서 기능하는 착색막(736)과, 차광막(738) 및 착색막(736)에 접하는 절연막(734)이 제공된다.
- [0535] <표시 소자로서 액정 소자를 사용하는 표시 장치의 구조예>
- [0536] 도 35의 (A) 및 도 35의 (B)에 도시된 표시 장치(700 및 700a)는, 각각 액정 소자(775)를 포함한다. 액정 소자(775)는, 도전막(772), 도전막(774) 및 액정층(776)을 포함한다. 도전막(774)은, 제2 기판(705) 측에 제공되고, 대향 전극으로서 기능한다. 도 35의 (A) 및 도 35의 (B)에 도시된 표시 장치(700 및 700a)는, 도전막(772)과 도전막(774)에 인가되는 전압에 따라, 액정층(776)의 배향 상태의 변화에 의해, 투과성 또는 비투과성이 제어되는 방식으로 화상을 표시할 수 있다.
- [0537] 도전막(772)은, 트랜지스터(750)에 포함된 소스 전극 및 드레인 전극으로서 기능하는 도전막에 접속된다. 도전막(772)은, 평탄화 절연막(770) 위에 형성되어, 화소 전극, 즉 표시 소자의 1개의 전극으로서 기능한다. 도전

막(772)은, 반사 전극으로서 기능한다. 도 35의 (A) 및 도 35의 (B)에 도시된 표시 장치(700 및 700a)는, 도전막(772)에 의해 외부 광을 반사시켜 착색막(736)을 통해 화상을 표시하는, 소위 반사형 컬러 액정 표시 장치이다.

- [0538] 가시광을 투과시키는 도전막 또는 가시광을 반사시키는 도전막을, 도전막(772)에 사용할 수 있다. 예를 들어, 인듐(In), 아연(Zn), 및 주석(Sn)으로부터 선택된 1 종류를 포함하는 재료를, 가시광을 투과시키는 도전막에 사용하는 것이 바람직하다. 예를 들어, 알루미늄 또는 은을 포함하는 재료를, 가시광을 반사시키는 도전막에 사용할 수 있다. 본 실시예에 있어서, 가시광을 반사시키는 도전막을, 도전막(772)에 사용한다.
- [0539] 도 35의 (A) 및 도 35의 (B)에 도시된 표시 장치(700 및 700a)에 있어서는, 화소부(702)의 평탄화 절연막(770)의 일부에 요철(projections and depressions)을 제공한다는 점에 주목해야 한다. 이 요철은, 예를 들어 평탄화 절연막(770)을 유기 수지막 등을 사용하여 형성하고, 이 유기 수지막의 표면 위에 볼록부 또는 오목부를 형성하는 방식으로, 형성될 수 있다. 반사 전극으로서 기능하는 도전막(772)은, 상기 요철을 따라 형성된다. 따라서, 외부 광이 도전막(772)에 입사하는 경우에, 도전막(772)의 표면에서 광이 난반사됨으로써, 시인성을 향상시킬 수 있다.
- [0540] 도 35의 (A) 및 도 35의 (B)에 도시된 표시 장치(700 및 700a)는, 예로서 반사형 컬러 액정 표시 장치이지만, 표시 방식은 이에 제한되지 않는다는 점에 주목해야 한다. 예를 들어, 도전막(772)이 가시광을 투과시키는 도전막인, 투과형 컬러 액정 표시 장치를 사용할 수 있다. 투과형 컬러 액정 표시 장치의 경우에, 평탄화 절연막(770) 위에, 요철을 반드시 제공할 필요는 없다.
- [0541] 도 35의 (A) 및 도 35의 (B)에 도시 생략되어 있더라도, 액정층(776)과 접하는 도전막(772) 측에, 그리고 액정층(776)과 접하는 도전막(774) 측에, 배향막을 제공할 수 있다. 도 35의 (A) 및 도 35의 (B)에 도시 생략되어 있더라도, 편광 부재, 위상차 부재, 또는 반사 방지 부재 등의 광학 부재(광학 기관) 등을 적절히 제공할 수 있다. 예를 들어, 편광 기관 및 위상차 기관을 사용함으로써, 원형 편광을 채용할 수 있다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 사용할 수 있다.
- [0542] 표시 소자로서 액정 소자를 사용하는 경우에, 써모트로픽(thermotropic) 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반 강유전성 액정 등을 사용할 수 있다. 이러한 액정 재료는, 조건에 따라, 콜레스테릭 상, 스멕틱 상, 큐빅 상, 키랄 네마틱 상, 등방 상 등을 나타낸다.
- [0543] 대안적으로, 횡전계 방식을 채용하는 경우에, 배향막이 불필요한 블루 상(blue phase)을 나타내는 액정을 사용할 수 있다. 블루 상은 액정 상들 중 하나인데, 이는 콜레스테릭 액정의 온도를 상승시키면서, 콜레스테릭 상이 등방 상으로 전이하기 직전에 발현하는 상이다. 블루 상은 좁은 온도 범위 범위에서만 발현되기 때문에, 온도 범위를 향상시키기 위해, 수 중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층에 사용한다. 블루 상을 나타내는 액정, 및 키랄제를 포함하는 액정 조성물은, 응답 속도가 짧고, 광학적 등방성을 갖는데, 이는 배향 처리가 불필요하게 만들고, 작은 시야각 의존성을 갖는다. 배향막은 제공될 필요가 없고 따라서 러빙 처리는 필요하지 않고, 이에 따라 러빙 처리에 기인하는 정전기적 방전 손상이 방지될 수 있고 제조 공정 시의 액정 표시 장치의 불량 및 손상이 감소될 수 있다.
- [0544] 표시 소자로서 액정 소자를 사용하는 경우에, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등을 사용할 수 있다.
- [0545] 또한, 수직 배향(VA) 모드를 채용한 투과형 액정 표시 장치 등의 노멀리 블랙형 액정 표시 장치가 사용될 수도 있다. 수직 배향 모드의 일부 예들이 존재하는데, 예를 들어, 멀티-도메인 수직 배향(MVA: multi-domain vertical alignment) 모드, 패턴 수직 배향(PVA: patterned vertical alignment) 모드, ASV 모드 등이 채용될 수 있다.
- [0546] <표시 소자로서 발광 소자를 사용하는 표시 장치>
- [0547] 도 36의 (A) 및 도 36의 (B)에 도시된 표시 장치(700 및 700a)는, 각각 발광 소자(782)를 포함한다. 발광 소자(782)는, 도전막(784), EL 층(786) 및 도전막(788)을 포함한다. 도 36의 (A) 및 도 36의 (B)에 도시된 표시 장치(700 및 700a)는, 발광 소자(782)에 포함된 EL 층(786)으로부터의 발광에 의해, 화상을 표시할 수 있다.
- [0548] 도전막(784)은, 트랜지스터(750)에 포함된 소스 전극 및 드레인 전극으로서 기능하는 도전막에 접속된다. 도전

막(784)은, 평탄화 절연막(770) 위에 형성되어, 화소 전극, 즉 표시 소자의 1개의 전극으로서 기능한다. 가시광을 투과시키는 도전막 또는 가시광을 반사시키는 도전막을, 도전막(784)에 사용할 수 있다. 가시광을 투과시키는 도전막은, 예를 들어, 인듐(In), 아연(Zn), 및 주석(Sn)으로부터 선택된 1 종류를 포함하는 재료를 사용하여 형성될 수 있다. 가시광을 반사시키는 도전막은, 예를 들어, 알루미늄 또는 은을 포함하는 재료를 사용하여 형성될 수 있다.

[0549] 도 36의 (A) 및 도 36의 (B)에 도시된 표시 장치(700 및 700a)에서는, 평탄화 절연막(770) 및 도전막(784) 위에 절연막(730)을 제공한다. 절연막(730)은, 도전막(784)의 일부를 덮는다. 발광 소자(782)은 탑 에미션(top emission) 구조를 갖는다는 점에 주목해야 한다. 따라서, 도전막(788)은 투광성을 갖고, EL 층(786)으로부터 방출된 광을 투과시킨다. 본 실시예에 있어서, 탑 에미션 구조를 예로서 설명하더라도, 본 발명의 일 실시예는 이에 제한되지 않는다. 예를 들어, 도전막(784) 측에 광을 방출하는 보텀 에미션(bottom-emission) 구조, 또는 도전막(784)과 도전막(788) 양측에 광을 방출하는 듀얼 에미션(dual-emission) 구조를 채용할 수 있다.

[0550] 발광 소자(782)와 겹치도록, 착색막(736)을 제공하고, 절연막(730)과 겹치도록, 리드 배선부(711) 및 소스 구동 회로부(704)에 포함될 차광막(738)을 제공한다. 착색막(736) 및 차광막(738)은, 절연막(734)으로 덮여 있다. 발광 소자(782)와 절연막(734) 사이의 공간은, 밀봉막(732)으로 충전된다. 도 36의 (A) 및 도 36의 (B)에 도시된 표시 장치(700 및 700a) 각각에 있어서, 착색막(736)을 갖는 구조에 대하여 설명하더라도, 그 구조는 이에 제한되지 않는다. EL 층(786)을, 별도의 착색 방법(separate coloring method)에 의해 형성하는 경우에, 반드시 착색막(736)을 제공할 필요는 없다.

[0551] 본 실시예에 설명된 구조는, 다른 실시예들에 설명된 구조들 중 어느 것과 적절히 조합하여 사용될 수 있다.

[0552] (실시예 9)

[0553] 본 실시예에서는, 본 발명의 일 실시예의 반도체 장치를 사용하는 발광 장치의 일 실시예에 대하여 설명한다. 본 실시예에서는, 발광 장치의 화소부의 구조에 대하여, 도 37을 사용하여 설명한다는 점에 주목해야 한다.

[0554] 도 37에서는, 제1 기관(502) 위에 복수의 FET(500)이 형성되고, FET(500)들 각각은, 발광 소자(504R, 504G, 504B 또는 504W)에 전기적으로 접속된다. 구체적으로는, FET(500)들 각각은, 발광 소자에 포함된 제1 도전막(506)과 전기적으로 접속된다. 발광 소자(504R, 504G, 504B 및 504W)들 각각은, 제1 도전막(506), 제2 도전막(507), EL 층(510) 및 제3 도전막(512)을 포함한다는 점에 주목해야 한다.

[0555] 또한, 발광 소자(504R, 504G, 504B 및 504W)에 대향하는 위치들에, 착색층(514R, 514G, 514B 및 514W)들을 제공한다. 착색층(514R, 514G, 514B 및 514W)은, 제2 기관(516)에 접하여 제공한다는 점에 주목해야 한다. 또한, 제1 기관(502)과 제2 기관(516) 사이에는, 밀봉막(518)을 제공한다. 예를 들어, 유리 프릿(glass frit) 등의 유리 재료, 또는 2 성분형 수지 등 실온에서 경화될 수 있는 수지, 광경화성 수지, 열경화성 수지 등의 수지 재료를, 밀봉막(518)에 사용할 수 있다.

[0556] 인접한 제1 도전막(506) 및 제2 도전막(507)의 적층체의 단부를 덮도록 격벽(508)을 제공한다. 격벽(508) 위에, 구조체(509)를 제공한다. 제1 도전막(506)은, 반사 전극으로서의 기능, 및 발광 소자의 애노드로서의 기능을 갖는다는 점에 주목해야 한다. 제2 도전막(507)은, 각각의 발광 소자의 광로 길이를 조정하는 기능을 갖는다. 제2 도전막(507) 위에는, EL 층(510)이 형성되고, EL 층(510) 위에는, 제3 도전막(512)이 형성된다. 제3 도전막(512)은, 반투과성(semi-transmissive) 및 반반사성(semi-reflective) 전극으로서의 기능, 및 발광 소자의 캐소드로서의 기능을 갖는다. 구조체(509)는, 발광 소자와 착색층 사이에 제공되고, 스페이서로서의 기능을 갖는다.

[0557] EL 층(510)은, 발광 소자(504R, 504G, 504B 및 504W)들에 의해 공유될 수 있다. 발광 소자(504R, 504G, 504B 및 504W)들 각각은, 제1 도전막(506)과 제3 도전막(512)에 의해 EL 층(510)으로부터 방출된 광을 공진시키는 미소 광공진기(또는 마이크로캐비티) 구조를 갖고; 따라서, 그들이 동일한 EL 층(510)을 포함하는 경우에도, 상이한 파장들의 광 스펙트럼을 협선화하여 추출할 수 있다는 점에 주목해야 한다. 구체적으로, 각각의 발광 소자(504R, 504G, 504B 또는 504W)에 있어서, EL 층(510) 아래에 제공된 각각의 제2 도전막(507)의 막 두께를 조정함으로써, 원하는 방출 스펙트럼을 EL 층(510)으로부터 획득할 수 있어, 컬러 순도가 높은 발광을 획득할 수 있게 된다. 따라서, 도 37에 도시된 구조는, 상이한 컬러를 갖는 EL 층들을 별도로 형성하는 공정을 필요로 하지 않고, 고해상도를 실현하는 것을 용이하게 한다.

[0558] 도 37에 도시된 발광 장치는, 착색층(컬러 필터)를 포함하고; 따라서 원하는 방출 스펙트럼을 방출할 수 있다. 따라서, 마이크로캐비티 구조와 컬러 필터를 조합하여 사용함으로써, 컬러 순도가 높은 발광을 획득할 수 있다.



구체적으로, 발광 소자(504R)의 광로 길이는, 적색 발광을 제공하도록 조정되고; 착색층(514R)을 통해 화살표로 지시된 방향으로 적색 광이 방출된다. 또한, 발광 소자(504G)의 광로 길이는, 녹색 발광을 제공하도록 조정되어, 착색층(514G)을 통해 화살표로 지시된 방향으로 녹색 광이 방출된다. 또한, 발광 소자(504B)의 광로 길이는, 청색 발광을 제공하도록 조정되어, 착색층(514B)을 통해 화살표로 지시된 방향으로 청색 광이 방출된다. 또한, 발광 소자(504W)의 광로 길이는, 백색 발광을 제공하도록 조정되어, 착색층(514W)을 통해 화살표로 지시된 방향으로 백색 광이 방출된다.

- [0559] 각각의 발광 소자의 광로 길이를 조정하는 방법은, 이에 제한되지 않는다는 점에 주목해야 한다. 예를 들어, 각각의 발광 소자에 있어서, EL 층(510)의 막 두께를 조정함으로써, 광로 길이를 조정할 수 있다.
- [0560] 착색층(514R, 514G 및 514B)은, 특정 파장 영역의 광을 투과하는 기능을 가질 수 있다. 예를 들어, 적색 파장 영역의 광을 투과하는 적색(R) 컬러 필터, 녹색 파장 영역의 광을 투과하는 녹색(G) 컬러 필터, 청색 파장 영역의 광을 투과하는 청색(B) 컬러 필터 등을 사용할 수 있다. 착색층(514W)은, 안료 등을 함유하지 않는 아크릴계 수지 재료를 사용하여 형성될 수 있다. 착색층(514R, 514G, 514B 및 514W)은, 인쇄법, 잉크젯법, 포토리소그래피 기술을 사용한 에칭 방법 등을 이용하여, 다양한 재료들 중 어느 것을 사용하여 형성될 수 있다.
- [0561] 제1 도전막(506)은, 예를 들어, 고반사율(가시광의 반사율이 40% 이상 100% 이하, 바람직하게는 70% 이상 100% 이하임)을 갖는 금속막을 사용하여 형성될 수 있다. 제1 도전막(506)은, 알루미늄, 은, 또는 이러한 금속 재료를 함유하는 합금(예를 들어, 은, 팔라듐, 및 구리의 합금)을 사용하여, 단층 또는 적층으로 형성될 수 있다.
- [0562] 제2 도전막(507)은, 예를 들어, 도전성 금속 산화물을 사용하여 형성될 수 있다. 도전성 금속 산화물로서, 산화 인듐, 산화 주석, 산화 아연, 인듐 주석 산화물(indium tin oxide)(ITO라고도 지칭함), 인듐 아연 산화물(indium zinc oxide), 또는 산화 실리콘 또는 산화 텅스텐이 함유된 이들 금속 산화물 재료 중 어느 것을 사용할 수 있다. 제2 도전막(507)을 제공하는 것은, 나중 형성될 EL 층(510)과 제1 도전막(506) 사이에 절연막을 생성하는 것을 억제할 수 있기 때문에, 바람직하다. 또한, 제1 도전막(506)보다 아래 층에, 제2 도전막(507)으로서 사용되는 도전성 금속 산화물을 형성할 수 있다.
- [0563] 제3 도전막(512)은, 반사성을 갖는 도전 재료와 투광성을 갖는 도전 재료를 사용하여 형성될 수 있고, 이 막의 가시광의 반사율은, 20% 이상 80% 이하인 것이 바람직하고, 더 바람직하게는 40% 이상 70% 이하이다. 제3 도전막(512)으로서, 예를 들어, 은, 마그네슘, 이러한 금속 재료의 합금 등을 얇게(예를 들어, 10nm 이하로) 형성하고, 그런 다음 제2 도전막(507)에 사용될 수 있는 도전성 금속 산화물을 형성한다.
- [0564] 상술된 발광 장치는, 제2 기관(516) 측으로부터 광을 추출하는 구조(탑 에미션 구조)를 갖지만, FET(500)들이 형성된 제1 기관(501) 측으로부터 광을 추출하는 구조(보텀 에미션 구조)를 가질 수 있거나, 제1 기관(501) 측 및 제2 기관(516) 측으로부터 광을 추출하는 구조(듀얼 에미션 구조)를 가질 수 있다. 보텀 에미션 구조의 경우에, 예를 들어, 착색층(514R, 514G, 514B 및 514W)은, 제1 도전막(506) 아래에 형성될 수 있다. 투광성 기관을, 광을 투과시키는 기관에 사용할 수 있고, 투광성 기관 및 차광성 기관을, 광을 투과시키지 않는 기관에 사용할 수 있다는 점에 주목해야 한다.
- [0565] 도 37에서는, 발광 소자가 적색(R), 녹색(G), 청색(B) 및 백색(W)의 광을 방출하는 구조를 예로서 도시한다. 하지만, 그 구조는, 이에 제한되지 않는다. 예를 들어, 발광 소자가 적색(R), 녹색(G) 및 청색(B)의 광을 방출하는 구조를 사용할 수 있다.
- [0566] (실시예 10)
- [0567] 본 실시예에서는, 본 발명의 일 실시예의 반도체 장치를 사용하여 형성될 수 있는 표시 모듈 및 전자 장치에 대하여, 도 38, 및 도 39의 (A) 및 도 39의 (G)를 참조하여 설명한다.
- [0568] 도 38에 도시된 표시 모듈(8000)에 있어서, 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백라이트(8007), 프레임(8009), 인쇄 기관(8010), 및 배터리(8011)를 제공한다.
- [0569] 본 발명의 일 실시예의 반도체 장치는, 예를 들어, 표시 패널(8006)에 사용될 수 있다.
- [0570] 상부 커버(8001) 및 하부 커버(8002)의 형상 또는 치수는, 터치 패널(8004) 및 표시 패널(8006)의 크기에 따라 적절히 변화될 수 있다.
- [0571] 터치 패널(8004)은, 저항식 터치 패널 또는 정전식 터치 패널일 수 있고, 표시 패널(8006)과 겹쳐서 형성될 수

있다. 표시 패널(8006)의 대향 기관(밀봉 기관)이 터치 패널 기능을 가질 수 있다. 표시 패널(8006)의 각각의 화소 내에 광 센서를 제공하여, 광학식 터치 패널을 형성할 수 있다.

[0572] 백라이트(8007)는, 광원(8008)을 포함한다. 백라이트(8007) 위에 광원(8008)을 제공하는 구조가 도 38에 도시되어 있더라도, 본 발명의 일 실시예는 이 구조에 제한되지 않는다는 점에 주목해야 한다. 예를 들어, 백라이트(8007)의 단부에 광원(8008)을 제공하고, 광 확산 판을 더 제공하는 구조를 채용할 수 있다. 유기 EL 소자 등의 자가 발광형 발광 소자를 사용하는 경우에, 또는 반사형 패널 등을 채용하는 경우에, 백라이트(8007)는 제공될 필요가 없다는 점에 주목해야 한다.

[0573] 프레임(8009)은, 표시 패널(8006)을 보호하고, 또한 인쇄 기관(printed board)(8010)의 동작에 의해 발생하는 전자파를 차단하기 위한 전자기적 실드로서 기능한다. 프레임(8009)은, 방열판(radiator plate)으로서 기능할 수 있다.

[0574] 인쇄 기관(8010)에는, 전원 회로와, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로가 제공된다. 전원 회로에 전력을 공급하는 전원으로서, 외부 상용 전원, 또는 별도로 제공된 배터리(8011)를 사용하는 전원을 사용할 수 있다. 배터리(8011)는, 상용 전원을 사용하는 경우에, 생략될 수 있다.

[0575] 표시 모듈(8000)에, 편광 판, 위상차 판, 또는 프리즘 시트 등의 부재를 추가적으로 제공할 수 있다.

[0576] 도 39의 (A) 내지 도 39의 (D)는, 전자 장치들을 도시한다. 이들 전자 장치는, 하우징(600), 표시부(601), 스피커(603), LED 램프(604), 조작 키(605)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(606), 센서(607)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 음향, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 발진, 냄새 또는 적외선을 측정하는 기능을 포함함), 마이크로폰(608) 등을 포함한다.

[0577] 도 39의 (A)는, 모바일 컴퓨터를 나타내며, 상기 구성요소들 외에, 스위치(609), 적외선 포트(620) 등을 포함할 수 있다. 도 39의 (B)는, 기억 매체가 제공된 휴대형 화상 재생 장치(예를 들어, DVD 재생기)를 나타내며, 상기 구성요소들 외에, 제2 표시부(602), 기억 매체 판독부(621) 등을 포함할 수 있다. 도 39의 (C)는, 텔레비전 수상기를 나타내며, 상기 구성요소들 외에, 튜너, 화상 처리부 등을 포함할 수 있다. 도 39의 (D)는, 휴대형 텔레비전 수상기를 나타내며, 상기 구성요소들 외에, 신호들을 송신 및 수신할 수 있는 충전기(627) 등을 포함할 수 있다.

[0578] 도 39의 (E) 내지 도 39의 (G)는, 접이식 휴대형 정보 단말기(610)를 나타낸다. 도 39의 (E)는, 열린 상태의 휴대형 정보 단말기(610)를 나타낸다. 도 39의 (F)는, 열린 상태 또는 접힌 상태의 휴대형 정보 단말기(610)를 나타낸다. 도 39의 (G)는, 접힌 상태의 휴대형 정보 단말기(610)를 나타낸다. 휴대형 정보 단말기(610)는, 접힌 상태일 때 휴대성이 높다. 휴대형 정보 단말기(610)가 열린 상태일 때는, 이음매 없는 큰 표시 영역이 높은 검색성(browsability)을 제공한다.

[0579] 표시부(612)는, 힌지(613)에 의해 연결된 3개의 하우징(615)에 의해 지지된다. 힌지(613)를 사용하여 2개의 하우징(615)들 사이의 접속부에서 휴대형 정보 단말기(610)를 접음으로써, 휴대형 정보 단말기(610)를, 열린 상태에서부터 접힌 상태로 가역적으로 변형시킬 수 있다. 본 발명의 일 실시예에 따른 표시 장치를 표시부(612)에 사용할 수 있다. 예를 들어, 곡률 반경이 1mm 이상 150mm 이하인 만곡될 수 있는 표시 장치를 사용할 수 있다.

[0580] 도 39의 (A) 내지 도 39의 (G)에 도시된 전자 장치는, 예를 들어, 각종 데이터(정지 화상, 동화상, 및 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 캘린더, 날짜, 시간 등을 표시하는 기능, 각종 소프트웨어(프로그램)를 이용한 프로세스를 제어하는 기능, 무선 통신 기능, 무선 통신 기능을 사용하여 각종 컴퓨터 네트워크에 접속하는 기능, 무선 통신 기능을 사용하여 각종 데이터를 송신 또는 수신하는 기능, 기억 매체에 저장된 프로그램 또는 데이터를 판독하여 표시부에 데이터를 표시하는 기능 등의 각종 기능을 가질 수 있다. 또한, 복수의 표시부를 포함하는 전자 장치는, 하나의 표시부에는 주로 화상 데이터를 표시하면서 다른 표시부에는 텍스트 데이터를 표시하는 기능, 복수의 표시부에 시차를 고려한 화상을 표시함으로써 3차원 화상을 표시하는 기능 등을 가질 수 있다. 또한, 수상부를 포함하는 전자 장치는, 정지 화상을 촬영하는 기능, 동화상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기억 매체(외부 기억 매체 또는 카메라에 통합된 기억 매체)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 도 39의 (A) 내지 도 39의 (G)에 도시된 전자 장치에 제공될 수 있는 기능은 이들에 제한되지 않고, 이들 전자 장치는 각종 기능을 가질 수 있다는 점에 주목해야 한다.

[0581] 본 실시예에 설명된 전자 장치들은, 각각 어떤 종류의 데이터를 표시하기 위한 표시부를 포함한다. 본 발명의

일 실시예의 반도체 장치는, 표시부를 갖지 않은 전자 장치에도 사용될 수 있다는 점에 주목해야 한다.

[0582] 본 실시예에 설명된 구조는, 다른 실시예들에 설명된 구조들 중 어느 것과 적절히 조합하여 사용될 수 있다.

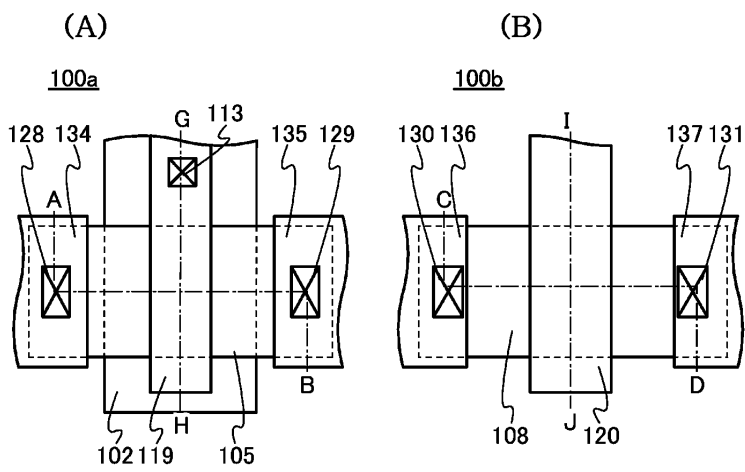
## 부호의 설명

[0583] 100a: 트랜지스터, 100b: 트랜지스터, 100c: 트랜지스터, 100d: 트랜지스터, 100e: 트랜지스터, 100f: 트랜지스터, 100o: 트랜지스터, 100p: 트랜지스터, 100q: 트랜지스터, 100r: 트랜지스터, 101: 기판, 102: 도전막, 104: 절연막, 104a: 절연막, 104b: 절연막, 105: 산화물 반도체 막, 105a: 채널 영역, 105b: 저 저항 영역, 105c: 저 저항 영역, 106: 산화물 반도체 막, 106a: 채널 영역, 106b: 저 저항 영역, 106c: 저 저항 영역, 107: 다층막, 107a: 채널 영역, 107b: 저 저항 영역, 107c: 저 저항 영역, 108: 산화물 반도체 막, 108a: 채널 영역, 108b: 저 저항 영역, 108c: 저 저항 영역, 108d: 영역, 108e: 영역, 108f: 저 저항 영역, 108g: 저 저항 영역, 108h: 저 저항 영역, 108i: 저 저항 영역, 109: 산화물 반도체 막, 109a: 채널 영역, 109b: 저 저항 영역, 109c: 저 저항 영역, 110: 다층막, 110a: 채널 영역, 110b: 저 저항 영역, 110c: 저 저항 영역, 110d: 영역, 110e: 영역, 110f: 저 저항 영역, 110g: 저 저항 영역, 110h: 저 저항 영역, 110i: 저 저항 영역, 115: 절연막, 116: 절연막, 117: 절연막, 117a: 절연막, 117b: 절연막, 119: 도전막, 119a: 도전막, 119b: 도전막, 120: 도전막, 120a: 도전막, 120b: 도전막, 122: 마스크, 123: 마스크, 125: 불순물 원소, 126: 절연막, 127: 절연막, 134: 도전막, 135: 도전막, 136: 도전막, 137: 도전막, 141: 절연막, 145: 막, 146: 산소, 161: 질화물 절연막, 162: 질화물 절연막, 500: FET, 501: 기판, 502: 기판, 504B: 발광 소자, 504G: 발광 소자, 504R: 발광 소자, 504W: 발광 소자, 506: 도전막, 507: 도전막, 508: 격벽, 509: 구조체, 510: EL 층, 512: 도전막, 514B: 착색층, 514G: 착색층, 514R: 착색층, 514W: 착색층, 516: 기판, 518: 밀봉막, 541: 화소 회로, 542: 화소부, 544: 구동 회로부, 544a: 게이트 드라이버, 544b: 소스 드라이버, 546: 보호 회로, 547: 단자부, 550: 트랜지스터, 552: 트랜지스터, 554: 트랜지스터, 560: 용량소자, 562: 용량소자, 570: 액정 소자, 572: 발광 소자, 600: 하우징, 601: 표시부, 602: 표시부, 603: 스피커, 604: LED 램프, 605: 조작 키, 606: 접속 단자, 607: 센서, 608: 마이크로폰, 609: 스위치, 610: 휴대형 정보 단말기, 612: 표시부, 613: 힌지, 615: 하우징, 620: 적외선 포트, 621: 기억 매체 판독부, 627: 충전기, 700: 표시 장치, 700a: 표시 장치, 701: 기판, 702: 화소부, 704: 소스 구동 회로부, 705: 기판, 706: 게이트 구동 회로부, 708: FPC 단자부, 710: 신호선, 711: 배선부, 712: 실란트, 716: FPC, 719: 절연막, 720: 접착제, 730: 절연막, 732: 밀봉막, 734: 절연막, 736: 착색막, 738: 차광막, 739: 절연막, 740: 접착제, 750: 트랜지스터, 752: 트랜지스터, 760: 접속 전극, 766: 절연막, 770: 평탄화 절연막, 772: 도전막, 774: 도전막, 775: 액정 소자, 776: 액정층, 778: 구조체, 780: 이방성 도전막, 782: 발광 소자, 784: 도전막, 786: EL 층, 788: 도전막, 790: 용량소자, 5100: 펄릿, 5120: 기판, 5161: 영역, 8000: 표시 모듈, 8001: 상부 커버, 8002: 하부 커버, 8003: FPC, 8004: 터치 패널, 8005: FPC, 8006: 표시 패널, 8007: 백라이트, 8008: 광원, 8009: 프레임, 8010: 인쇄 기판, 8011: 배터리.

본 출원은, 2014년 2월 7일에 일본 특허청에 출원된 일본 특허 출원 제2014-022864호, 2014년 2월 7일에 일본 특허청에 출원된 일본 특허 출원 제2014-022865호, 2014년 3월 14일에 일본 특허청에 출원된 일본 특허 출원 제2014-051134호, 및 2014년 3월 14일에 일본 특허청에 출원된 일본 특허 출원 제2014-051138호에 기초하고, 그들 전체 내용은 본원에 참조로서 포함된다.

도면

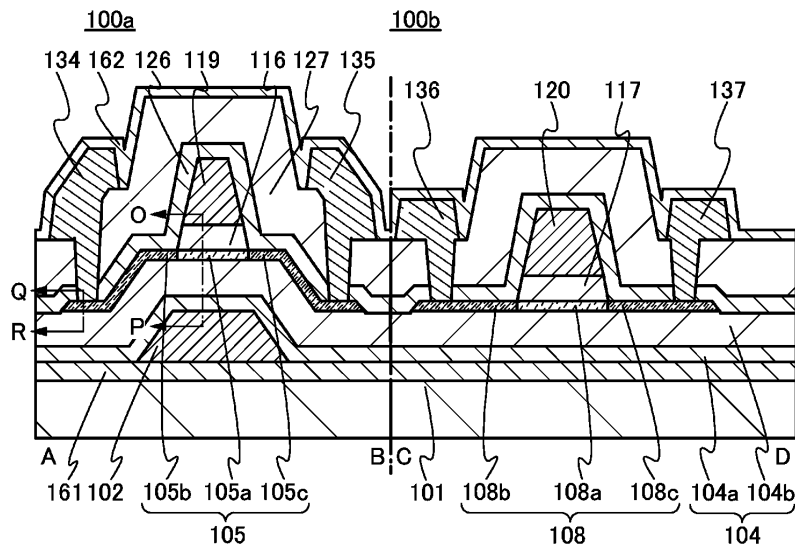
도면1



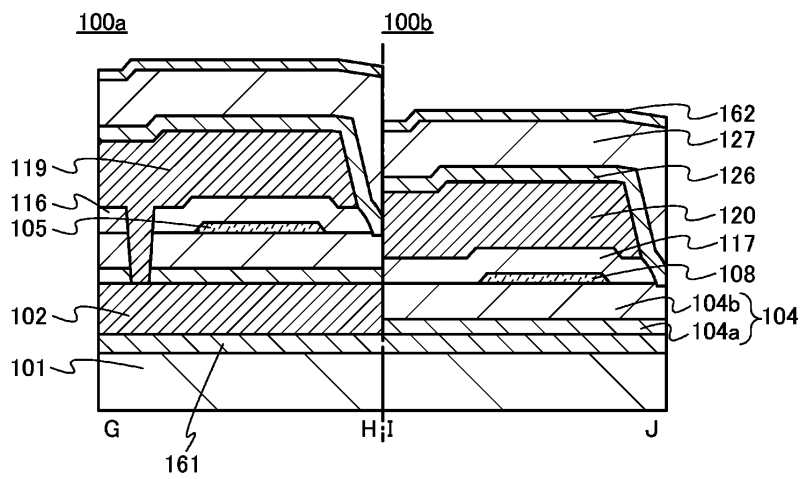


도면2

(A)

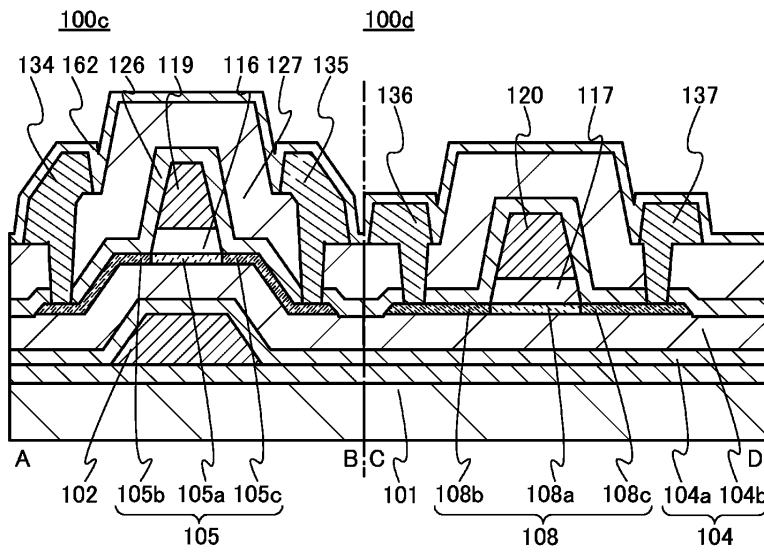


(B)

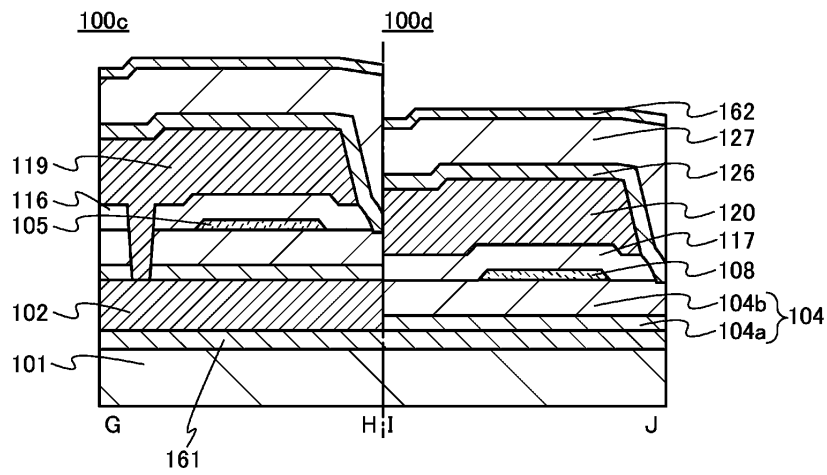


도면3

(A)

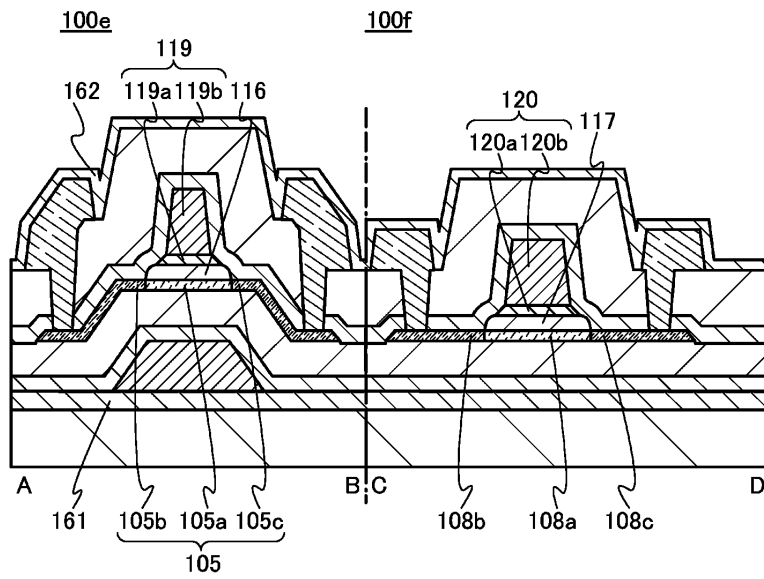


(B)

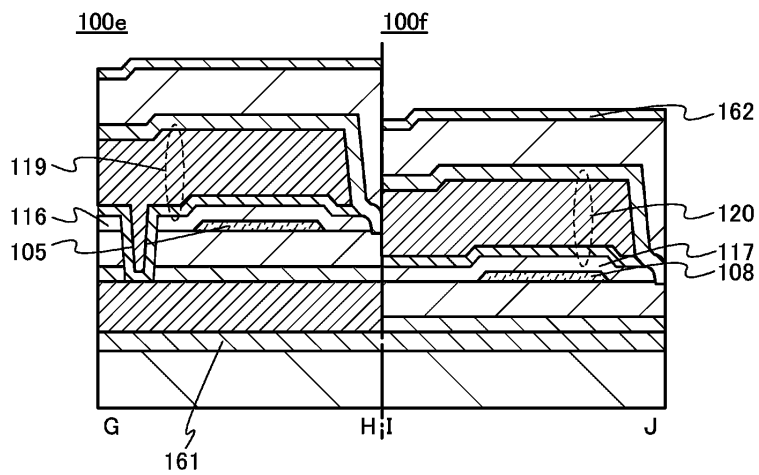


도면4

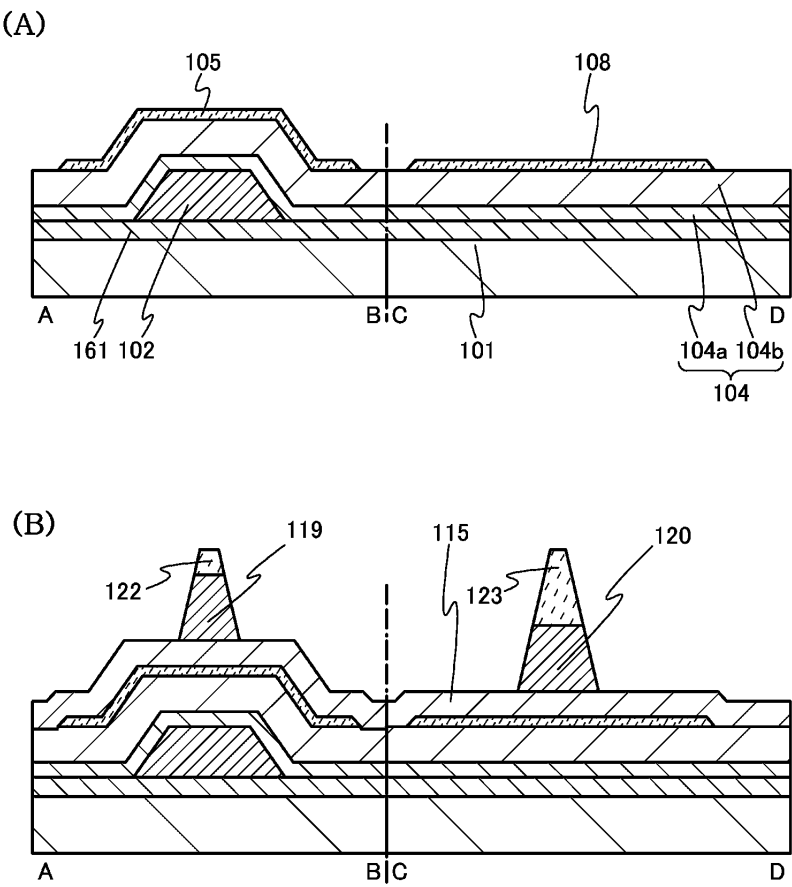
(A)



(B)

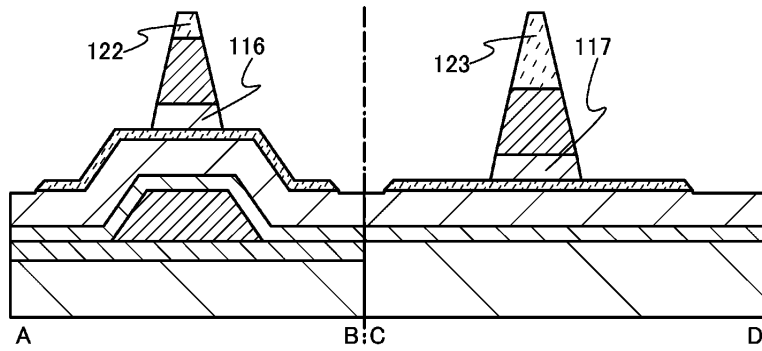


도면5

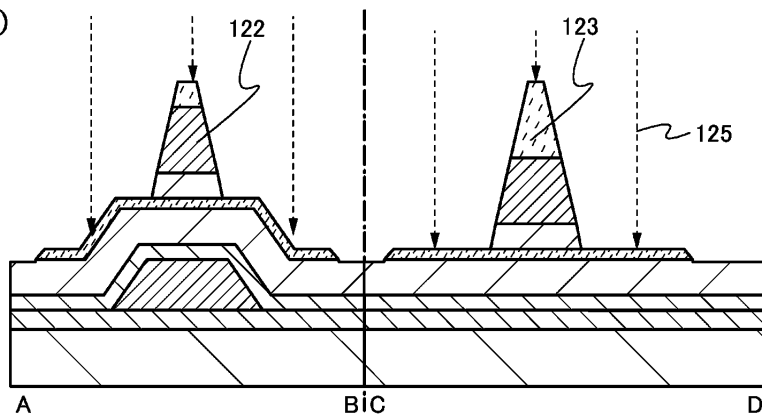


도면6

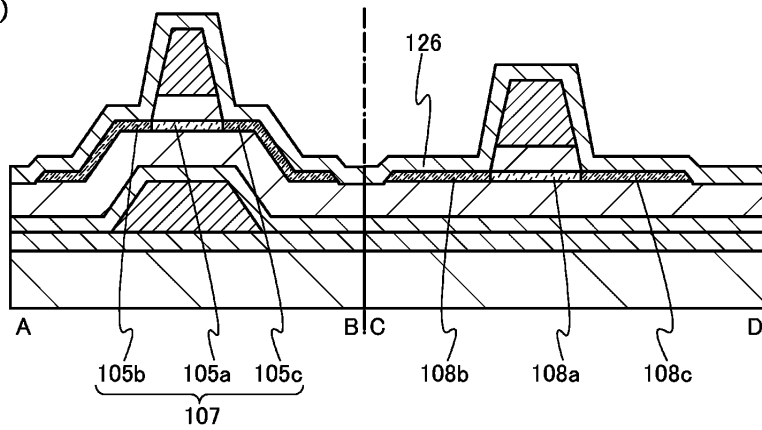
(A)



(B)



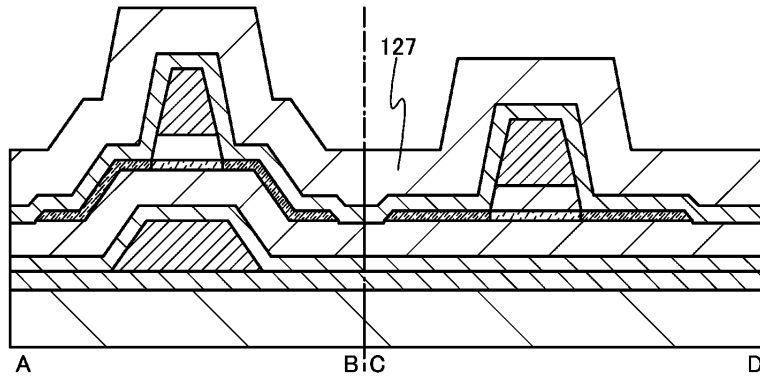
(C)



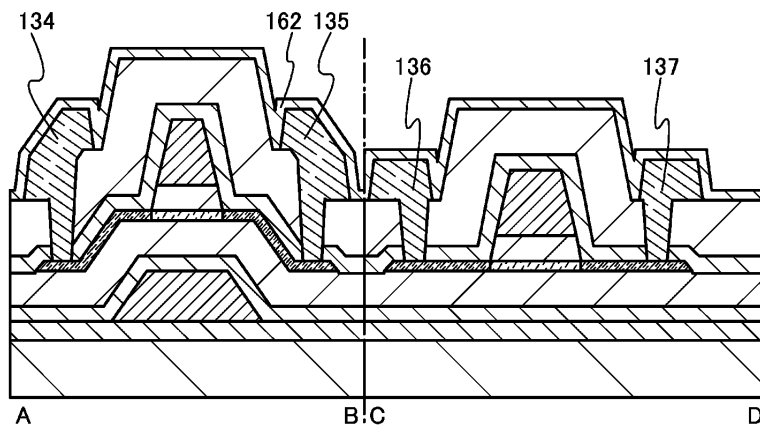


도면7

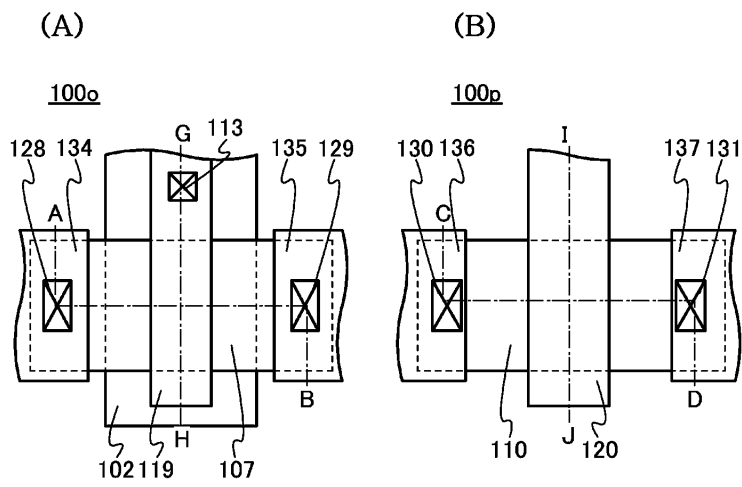
(A)



(B)

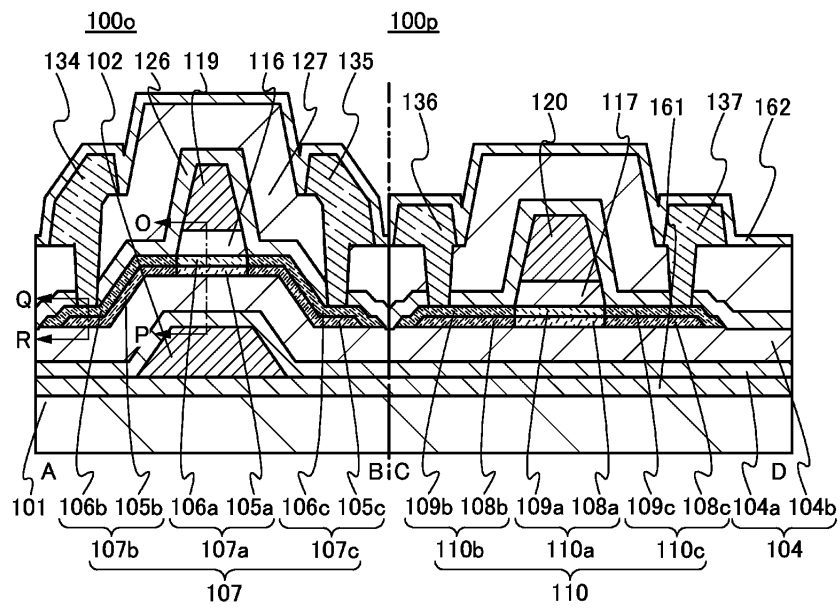


도면8

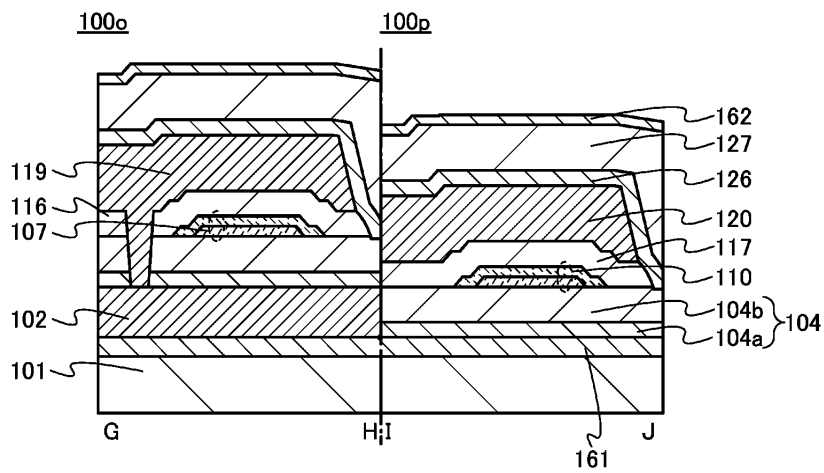


도면9

(A)

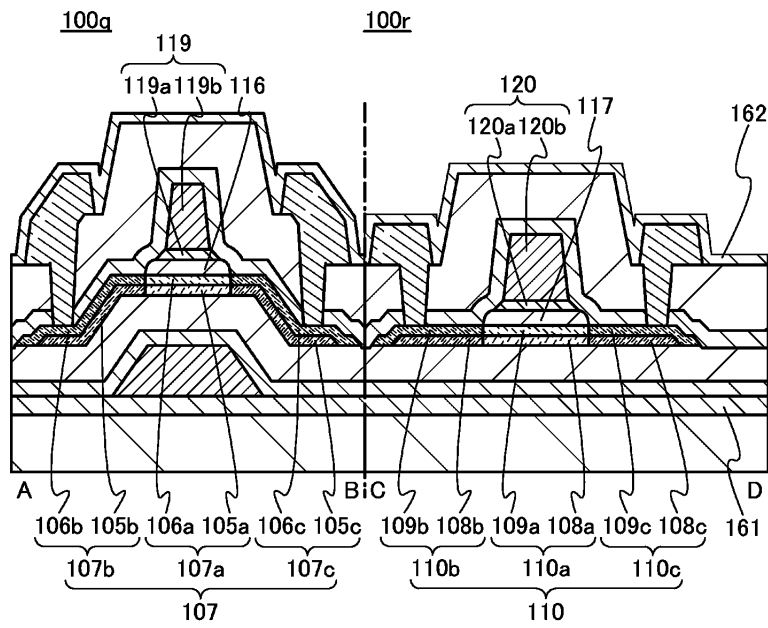


(B)

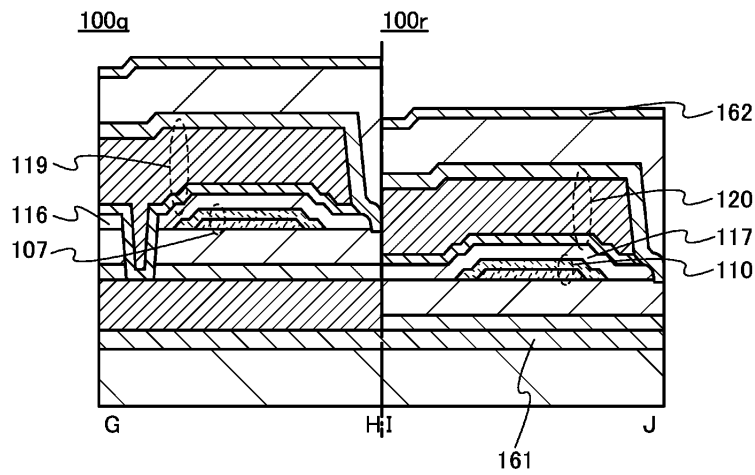


도면10

(A)

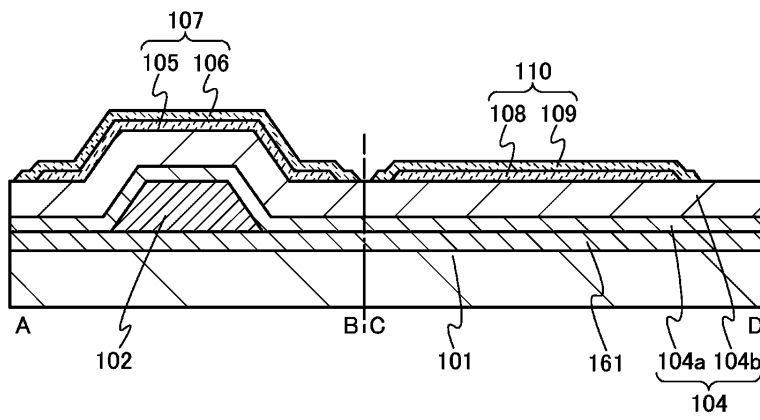


(B)

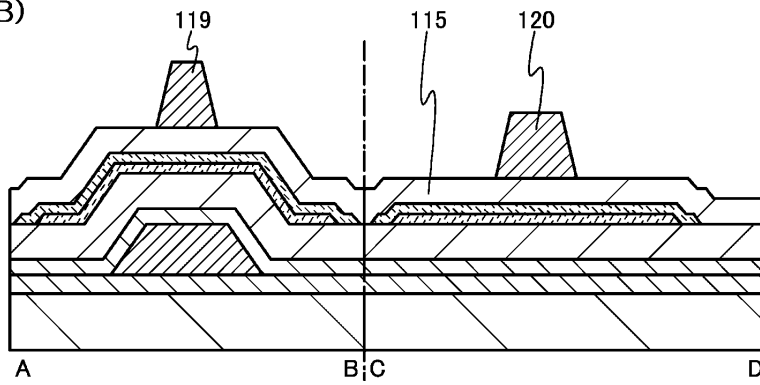


도면11

(A)

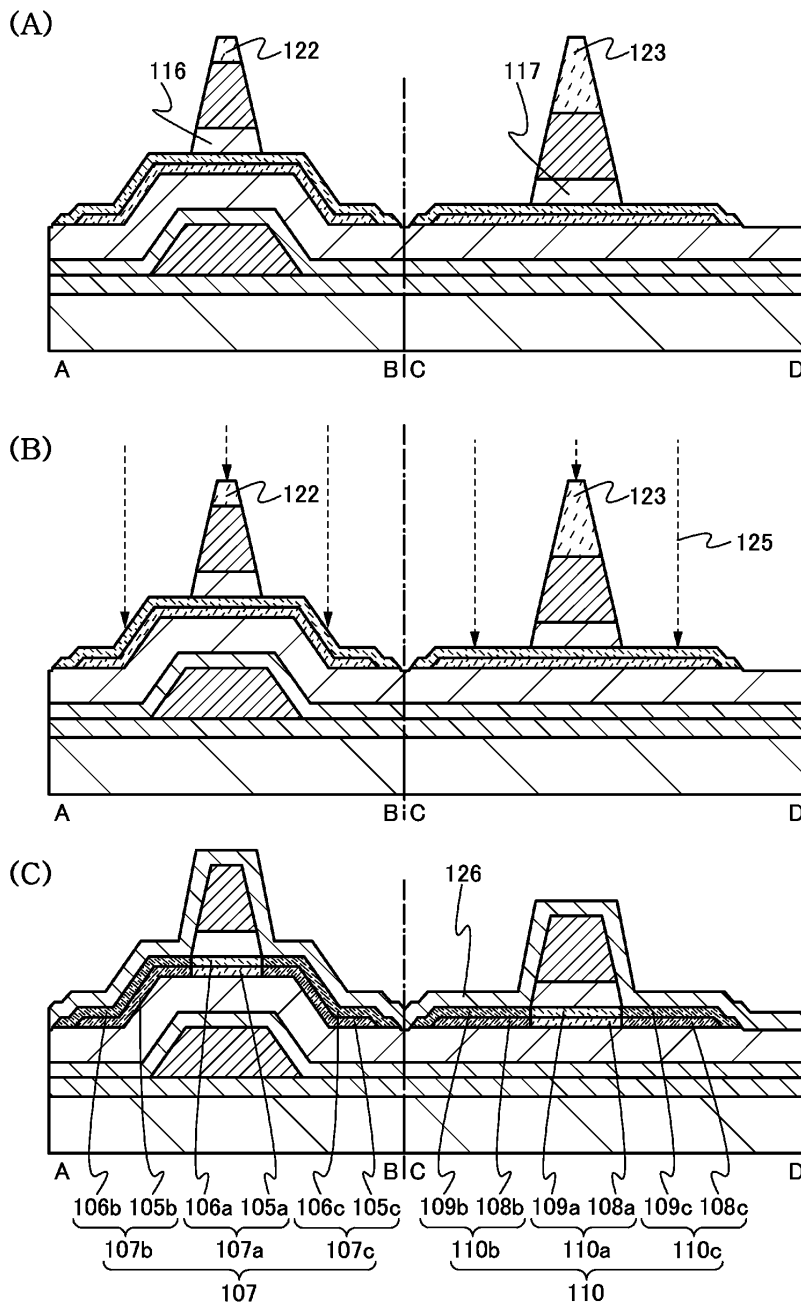


(B)



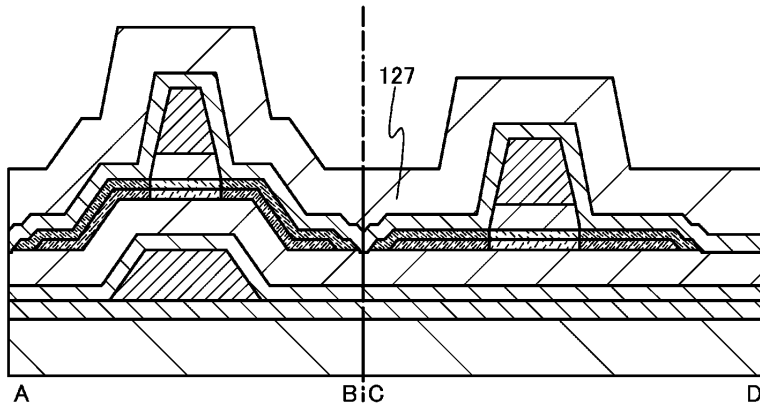


도면12

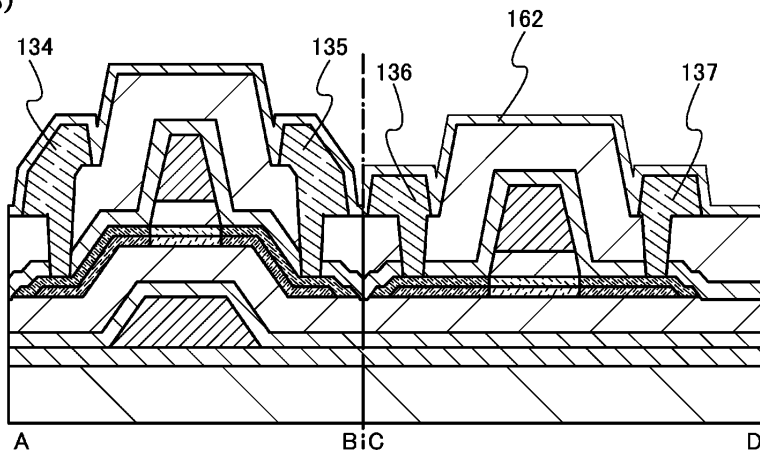


도면13

(A)

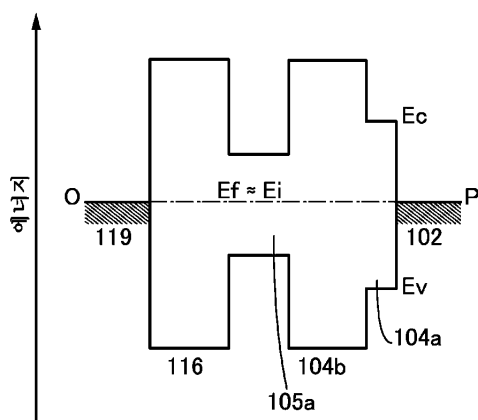


(B)

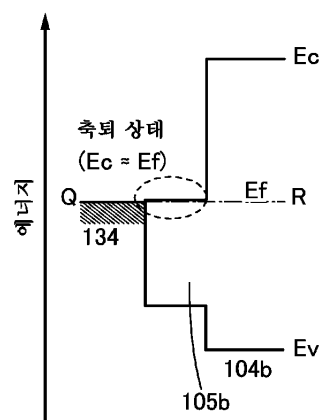


도면14

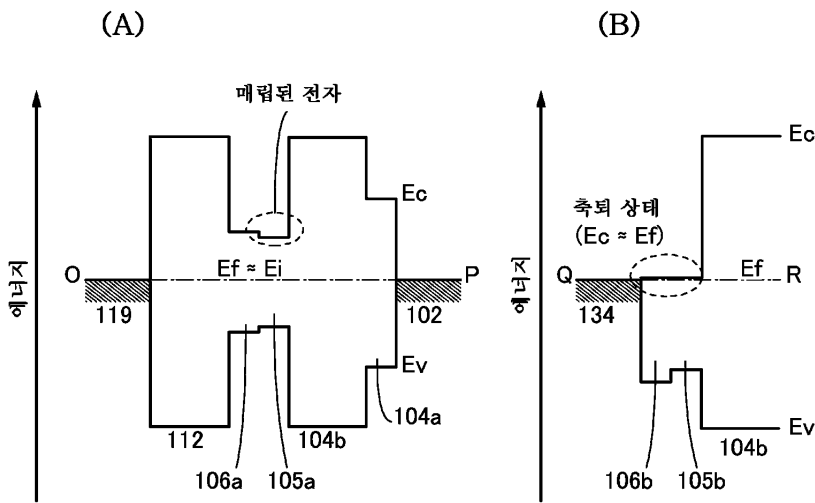
(A)



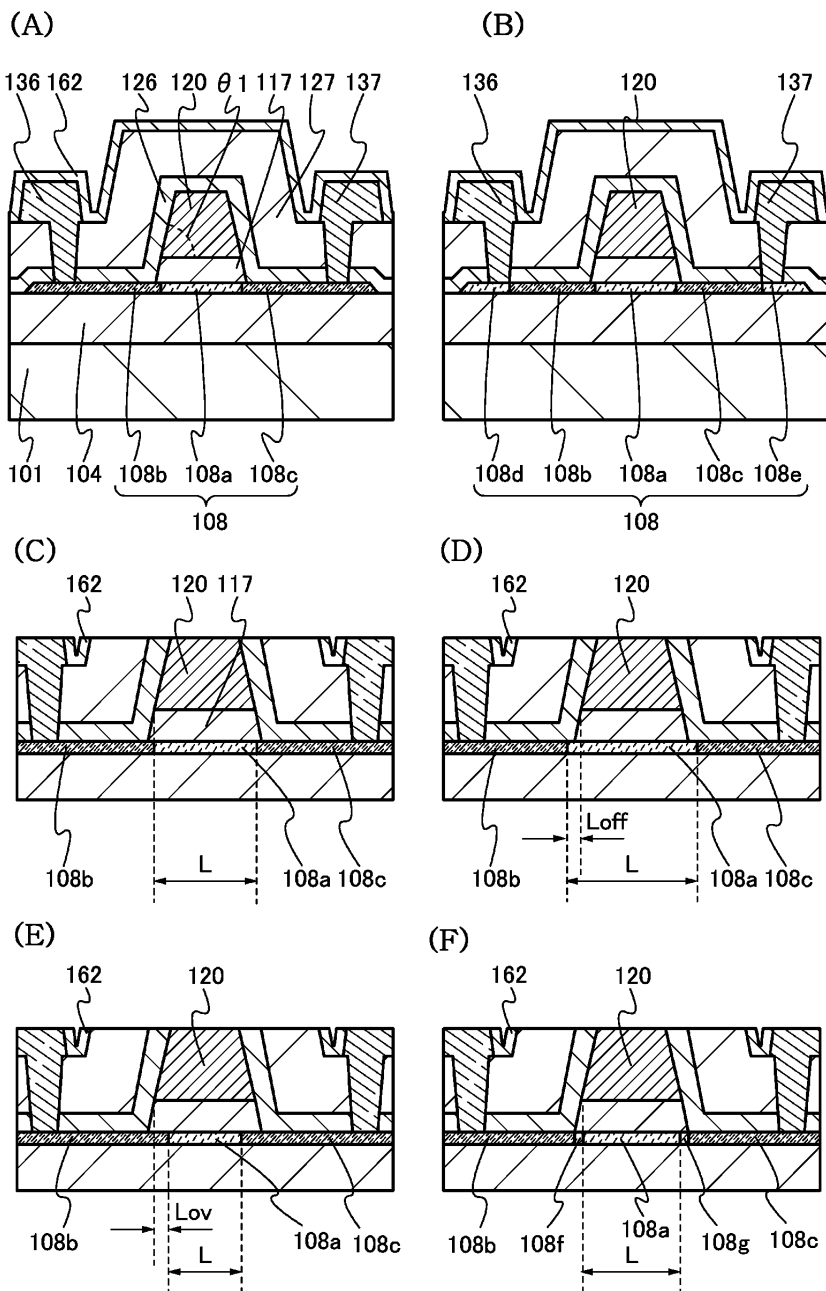
(B)



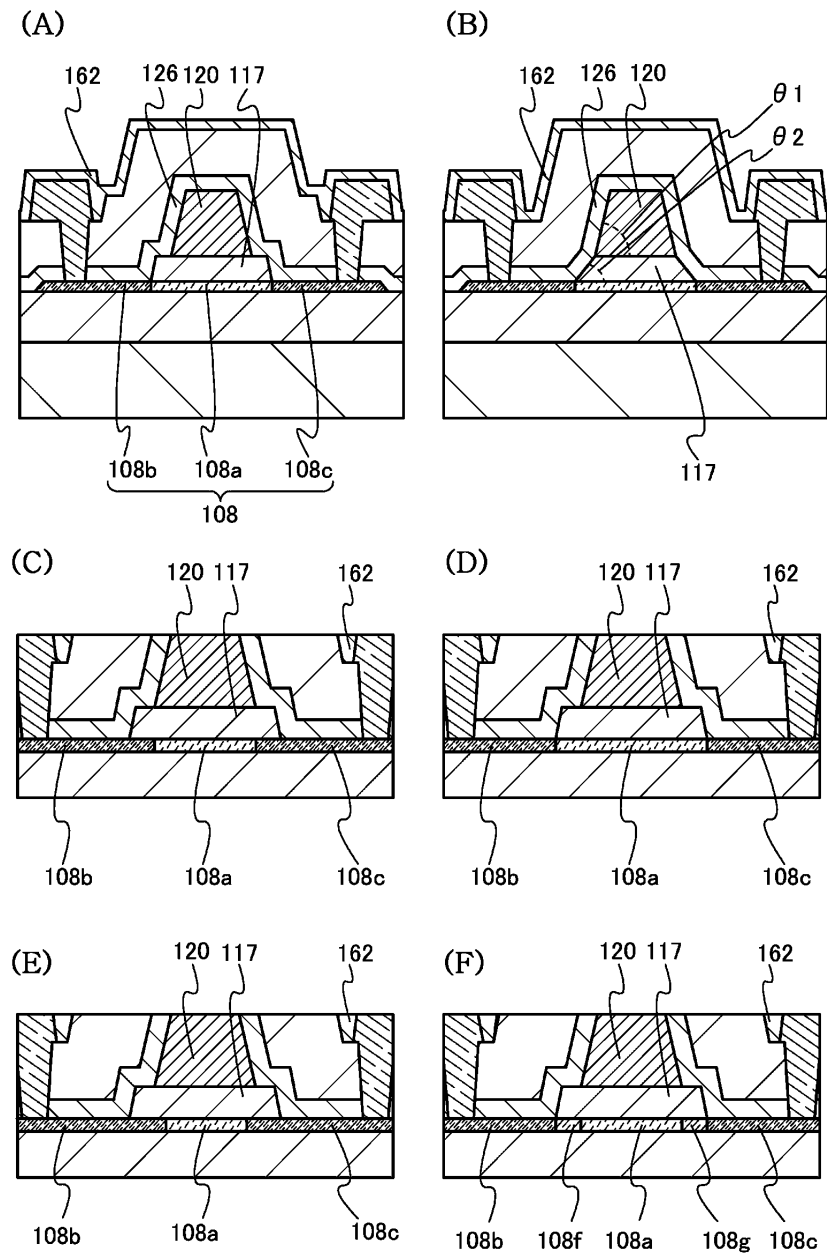
도면15



도면16

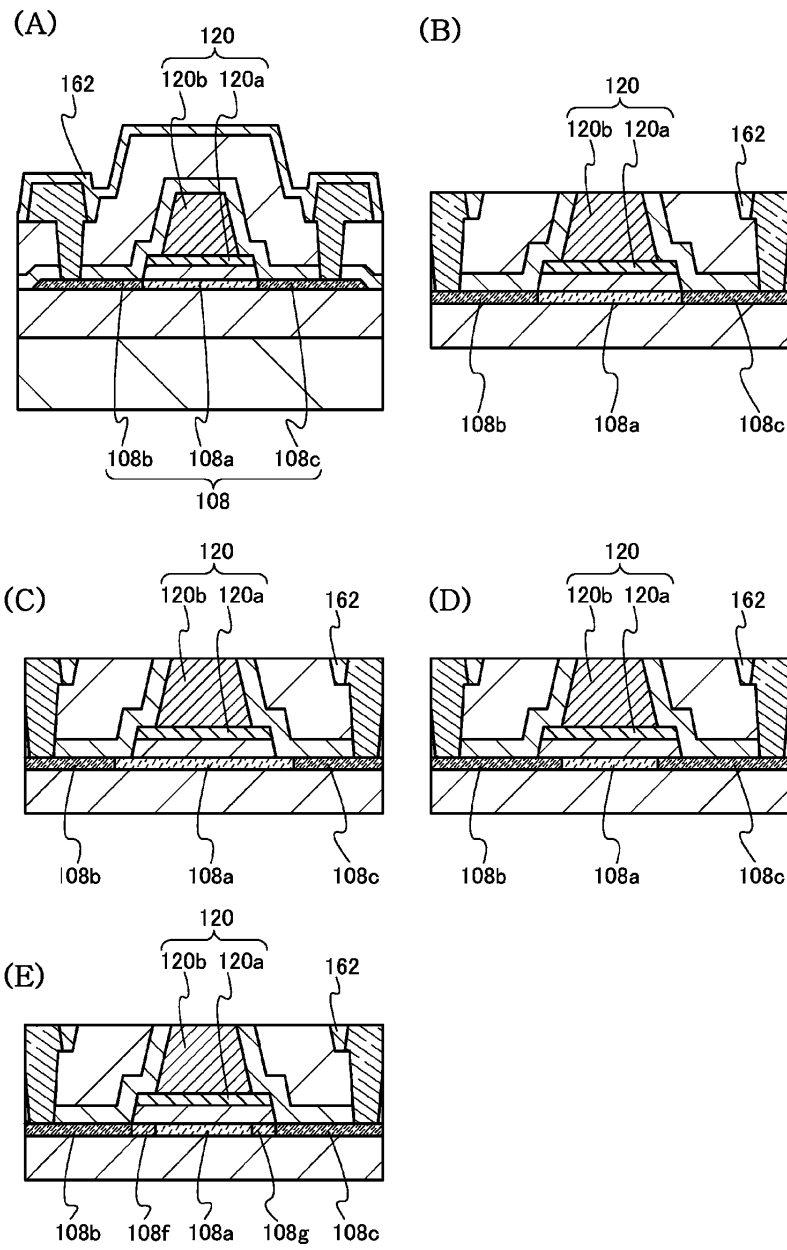


도면17

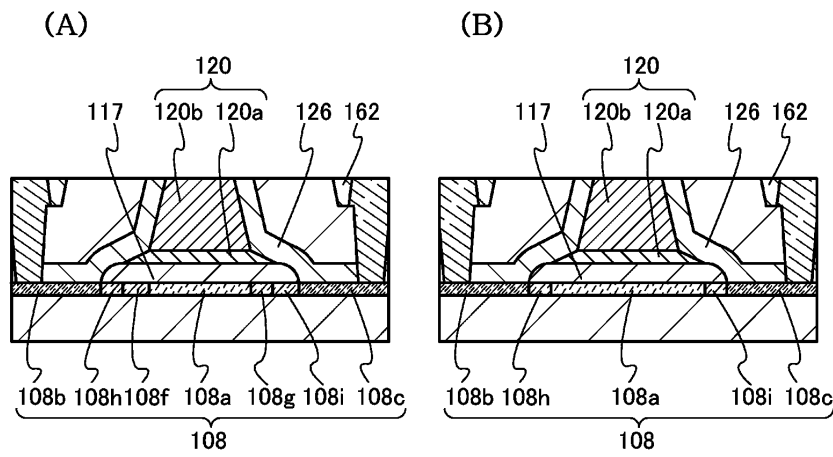




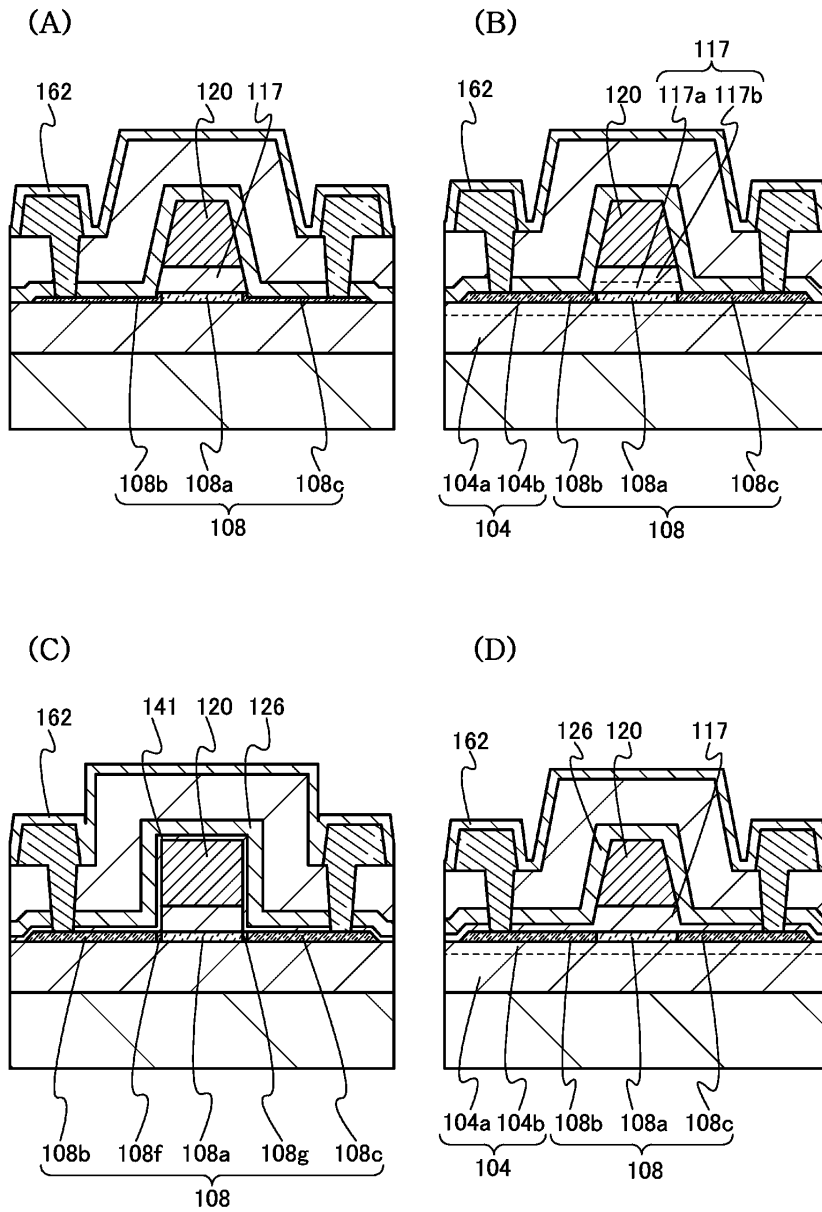
도면18



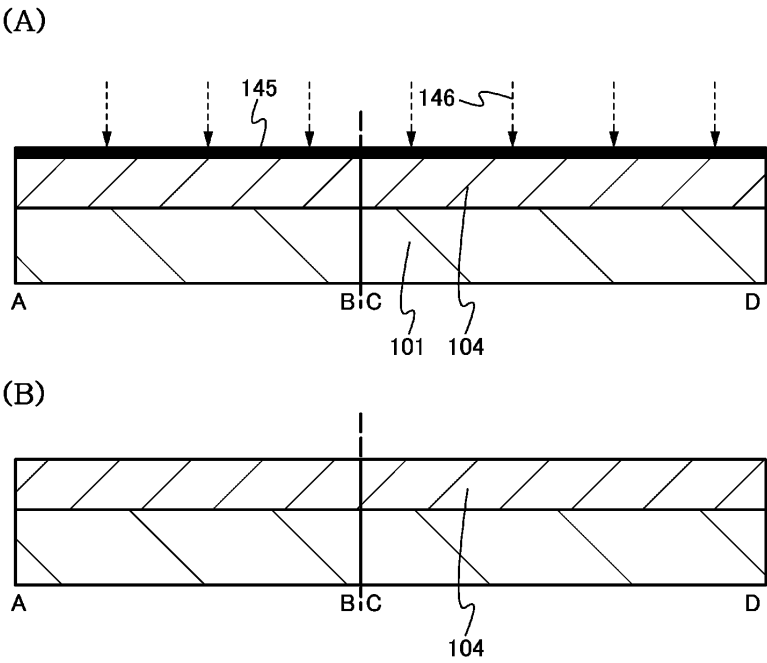
도면19



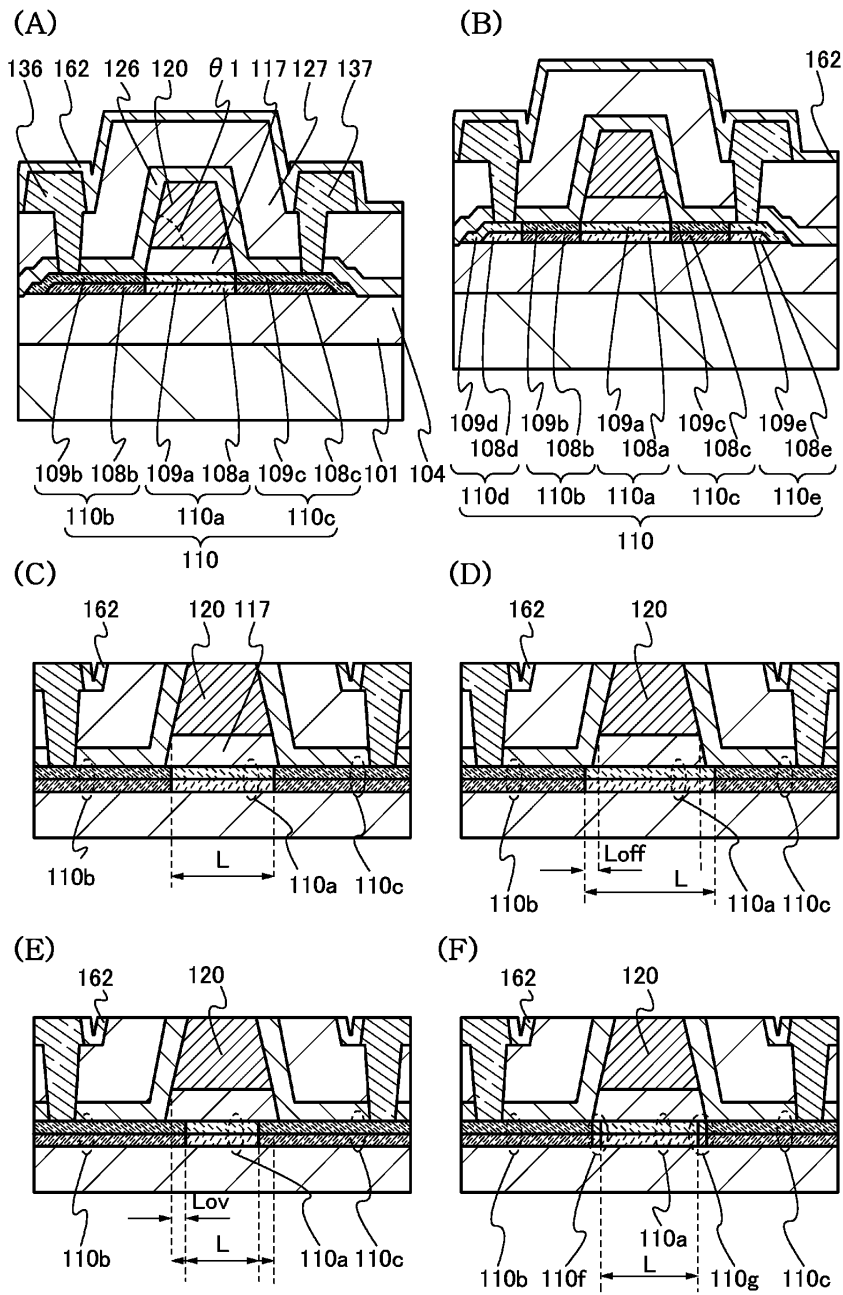
도면20



도면21

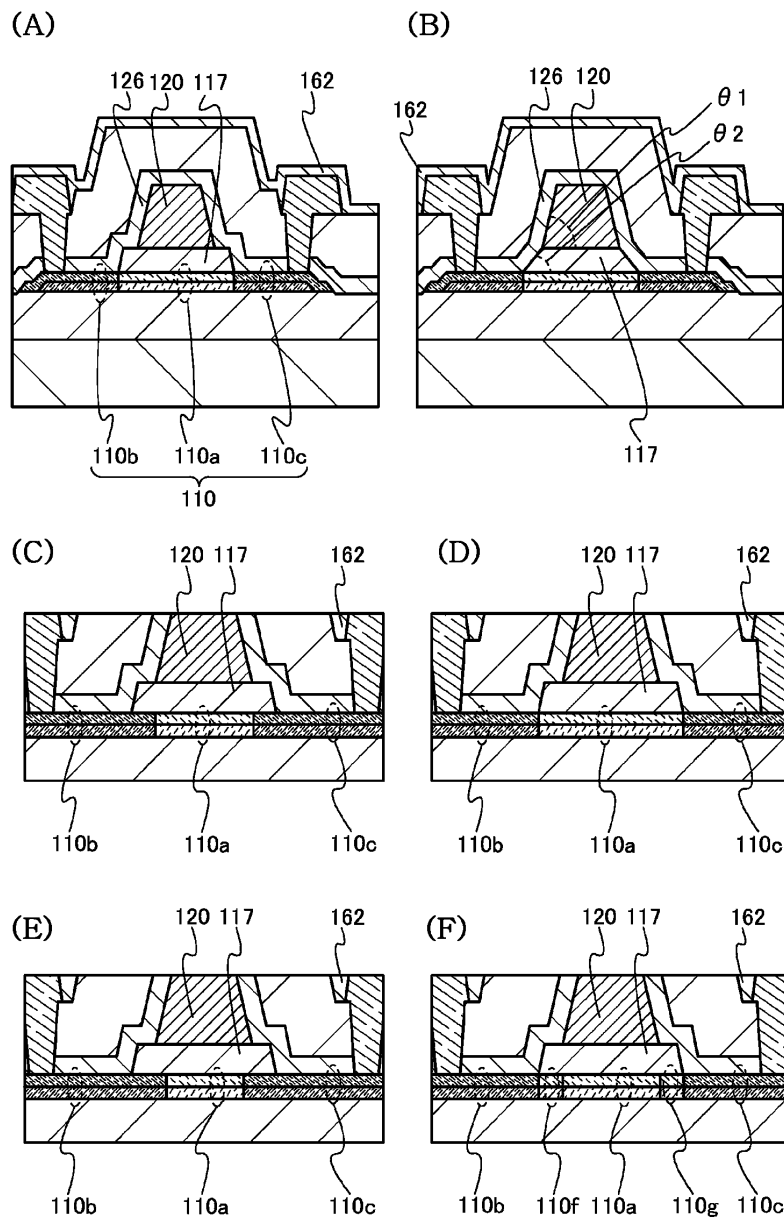


도면22

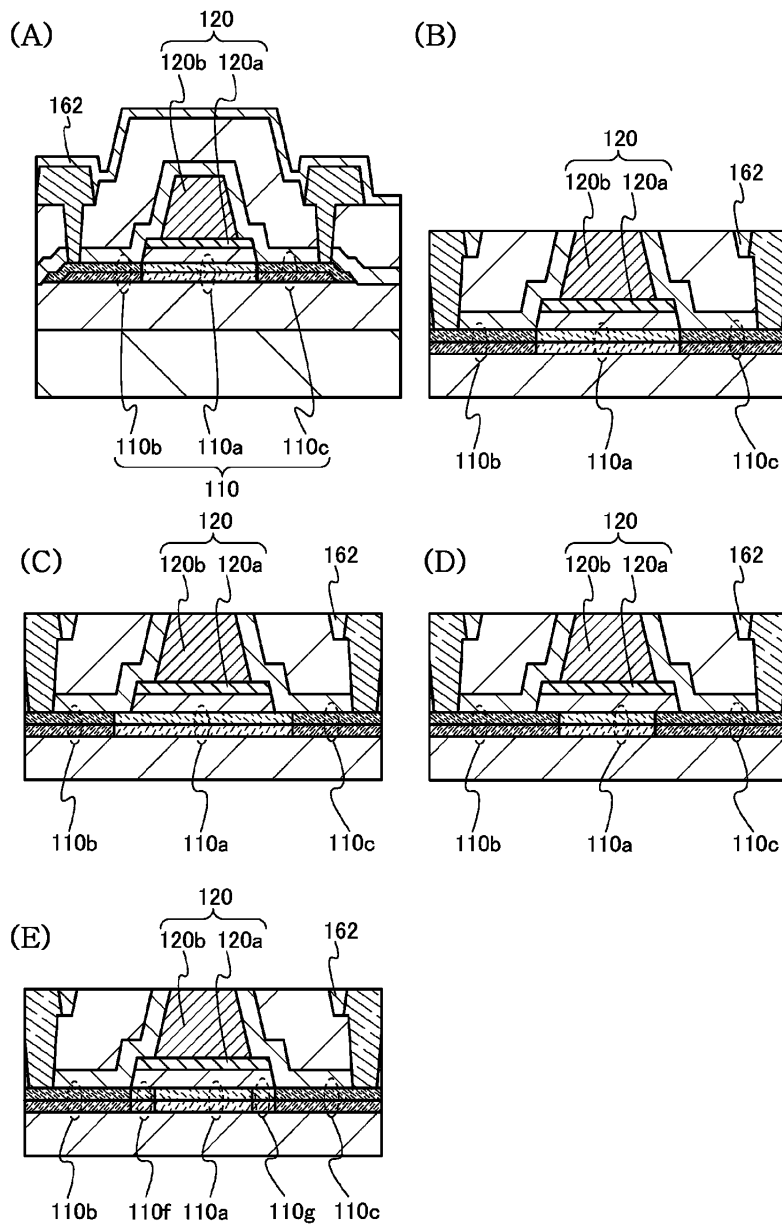




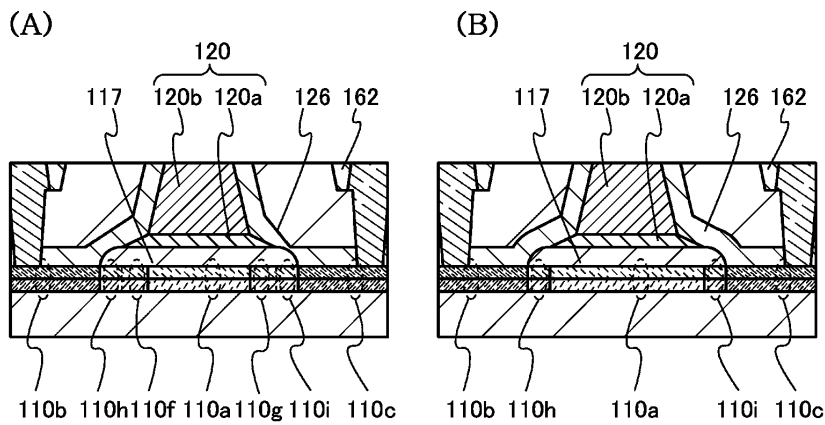
도면23



도면24

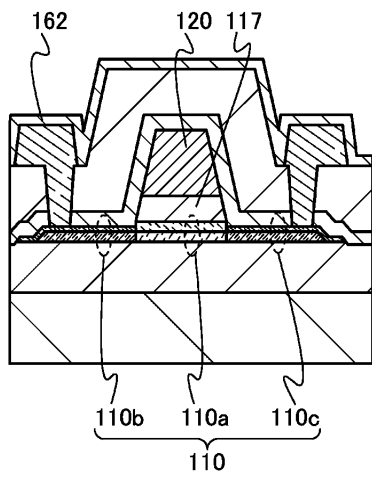


도면25

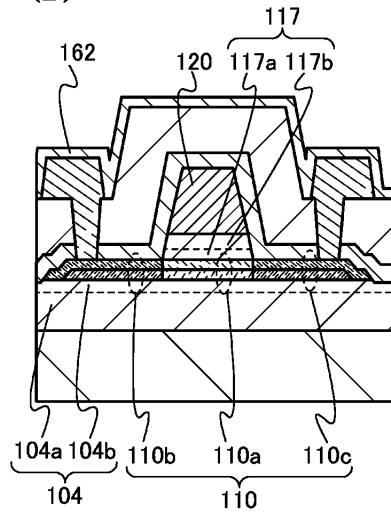


도면26

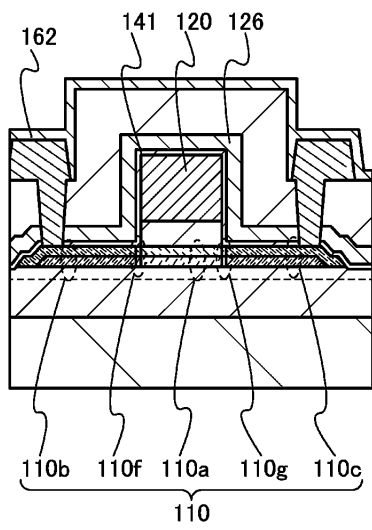
(A)



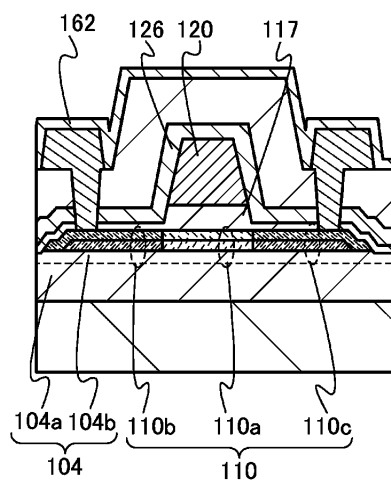
(B)



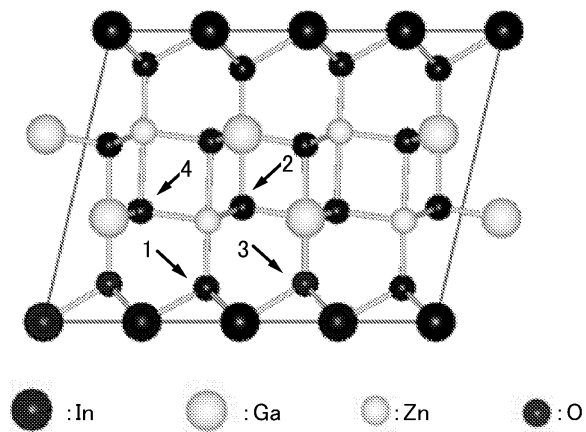
(C)



(D)

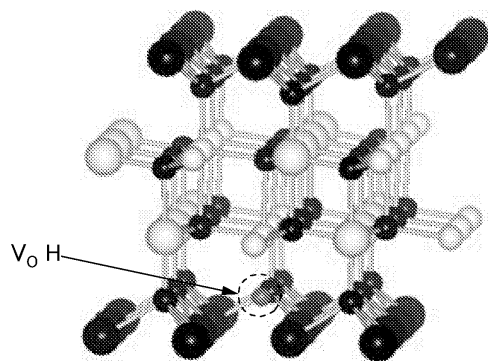


도면27

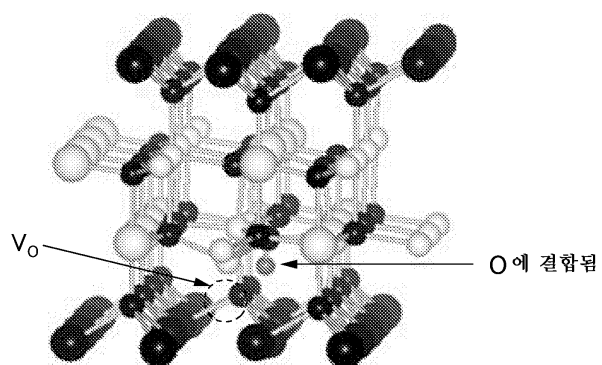


도면28

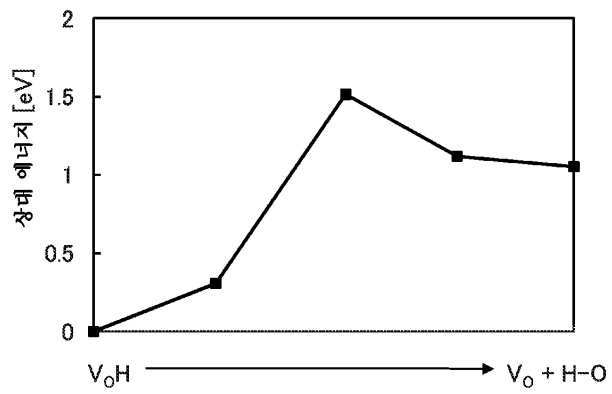
(A) 초기 상태 ( $V_O H$ )



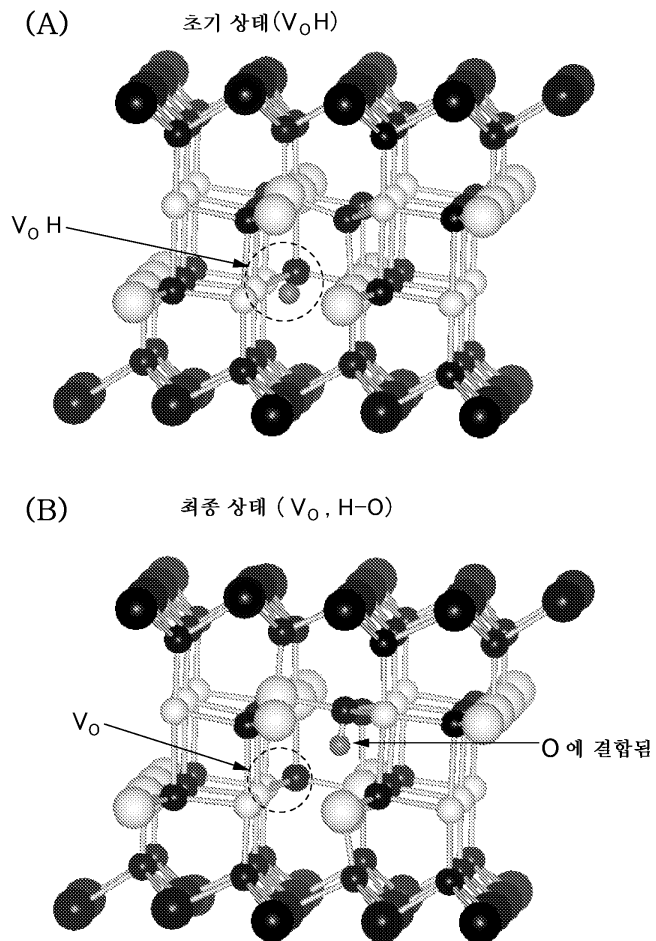
(B) 최종 상태 ( $V_O, H-O$ )



도면29

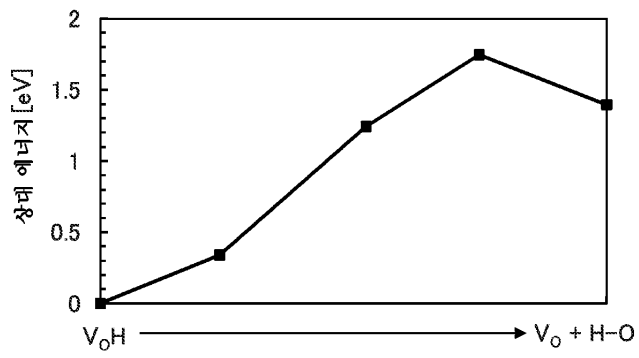


도면30

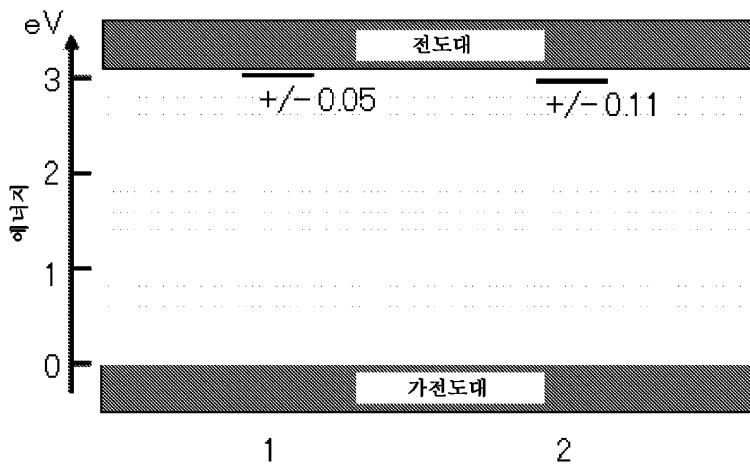




도면31

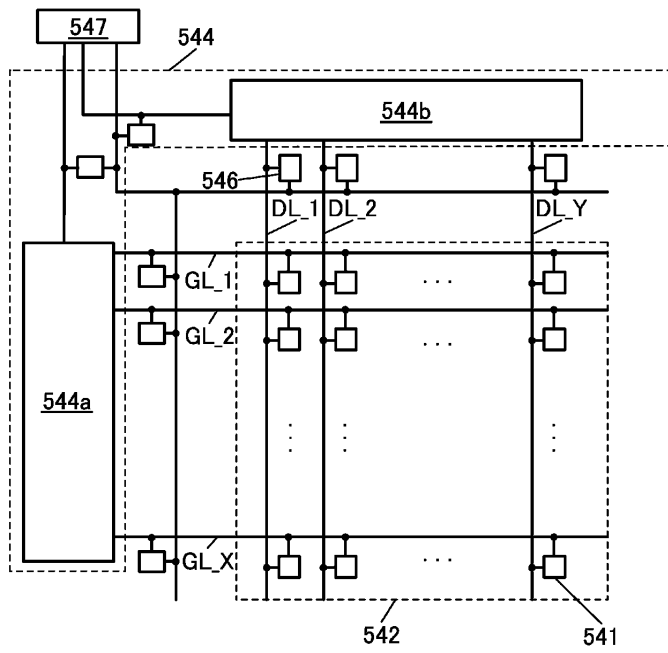


도면32

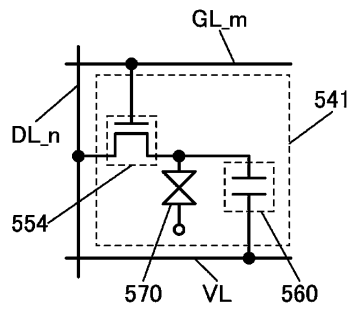


도면33

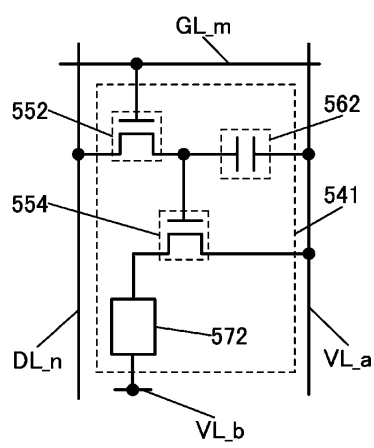
(A)



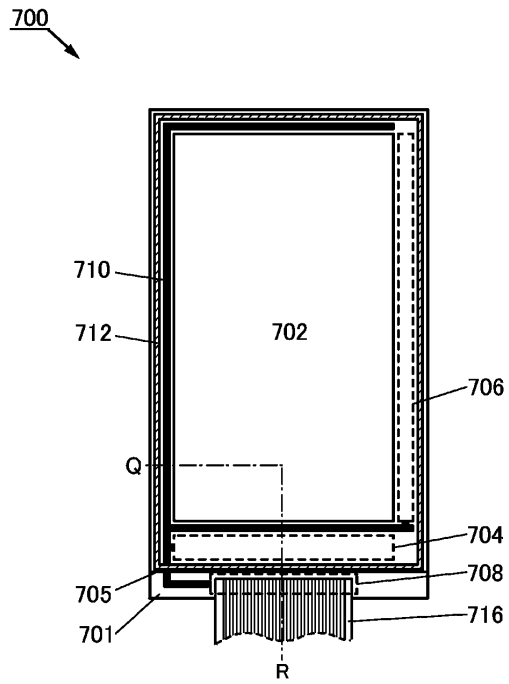
(B)



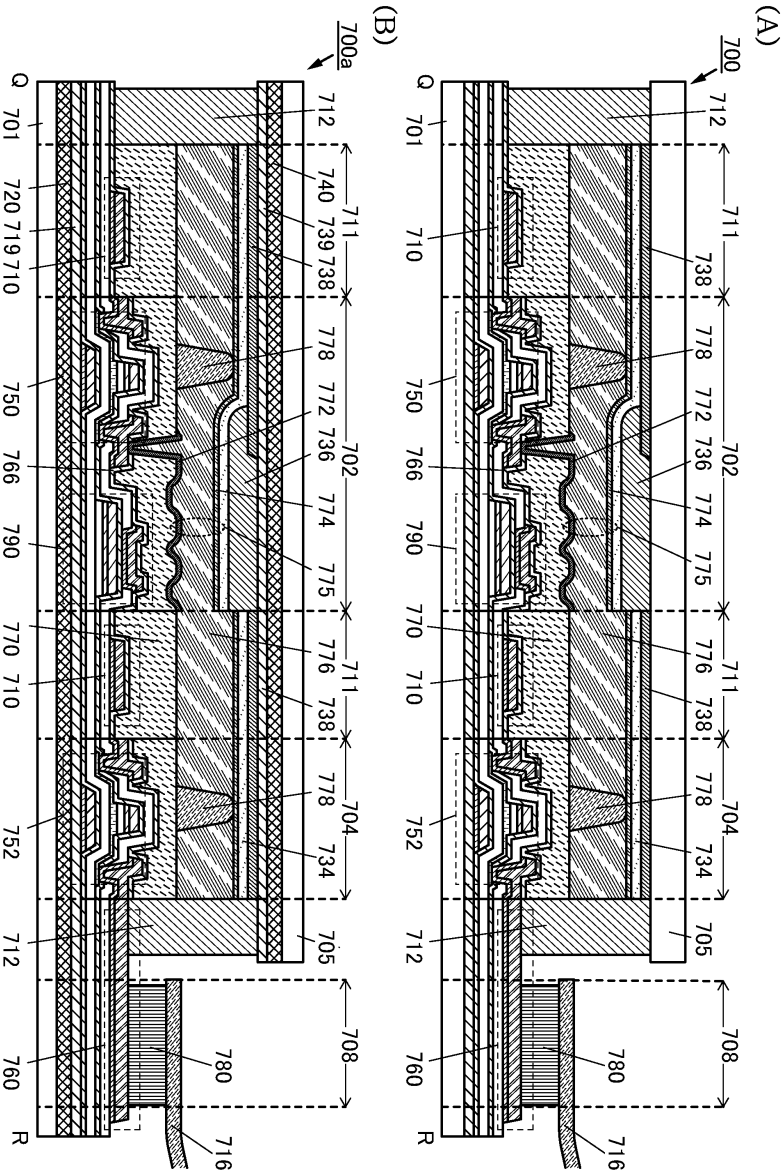
(C)



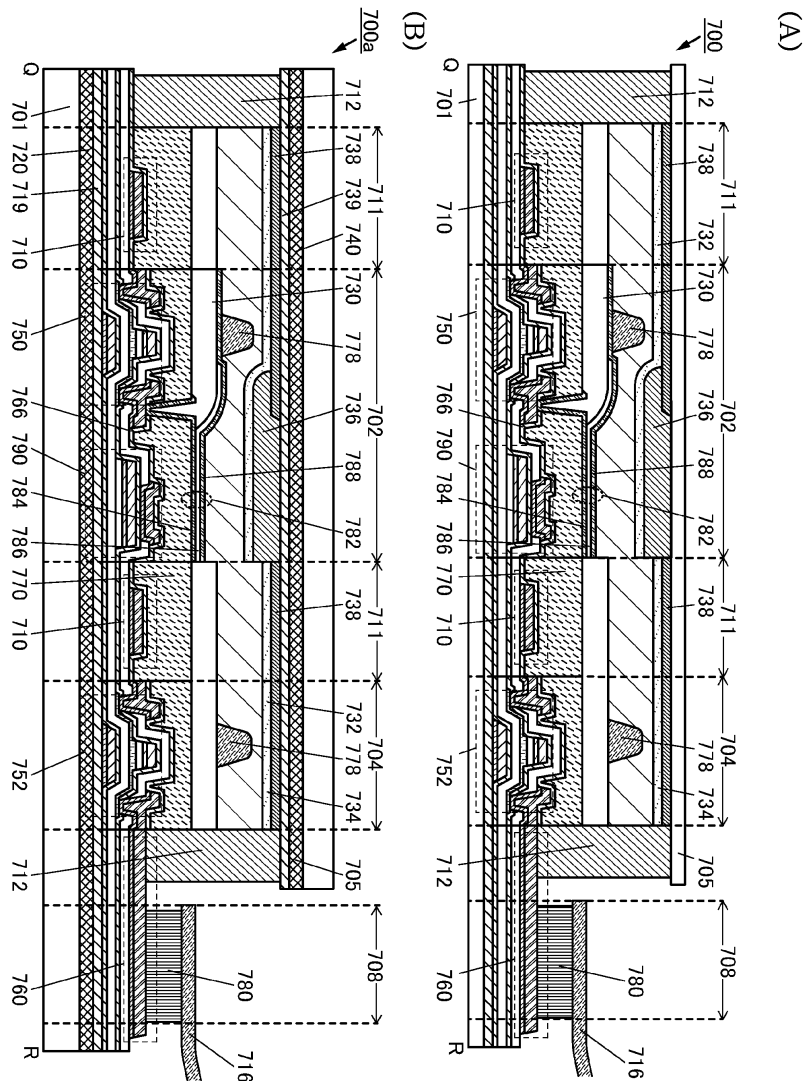
도면34



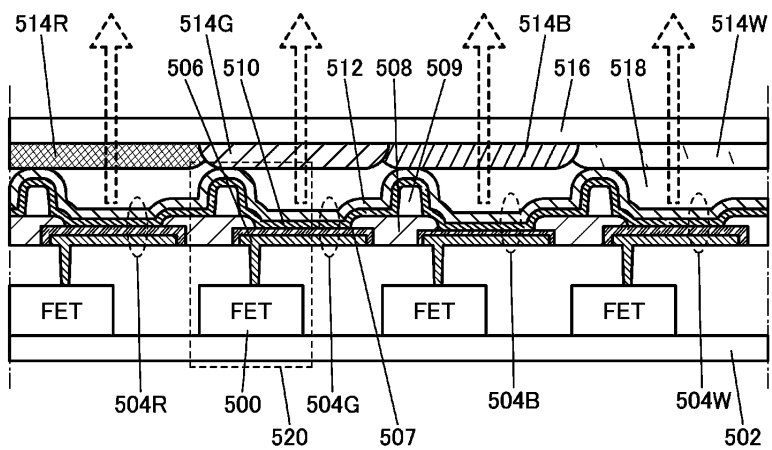
도면35



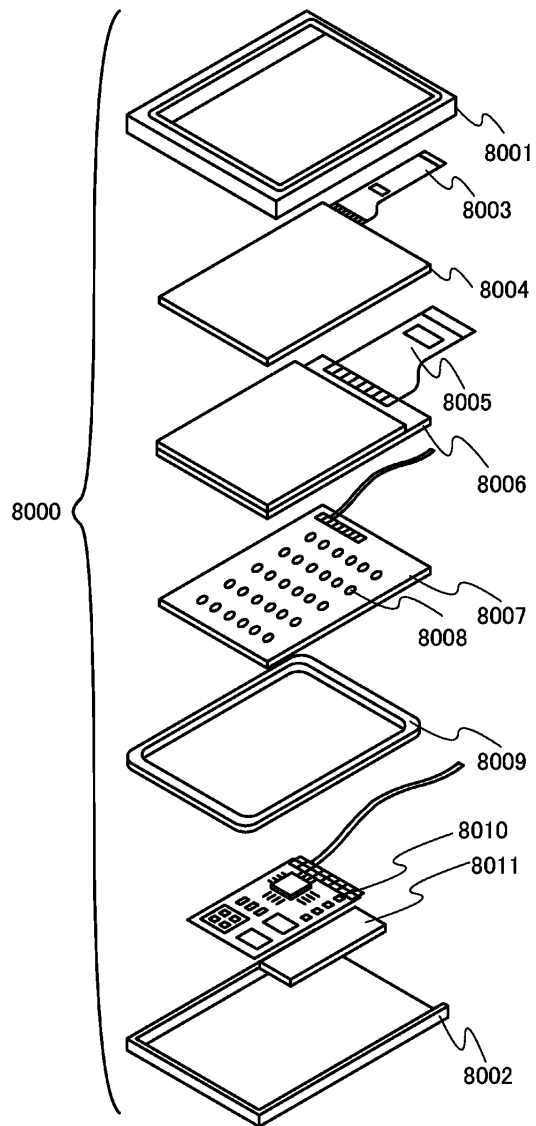
도면36



도면37

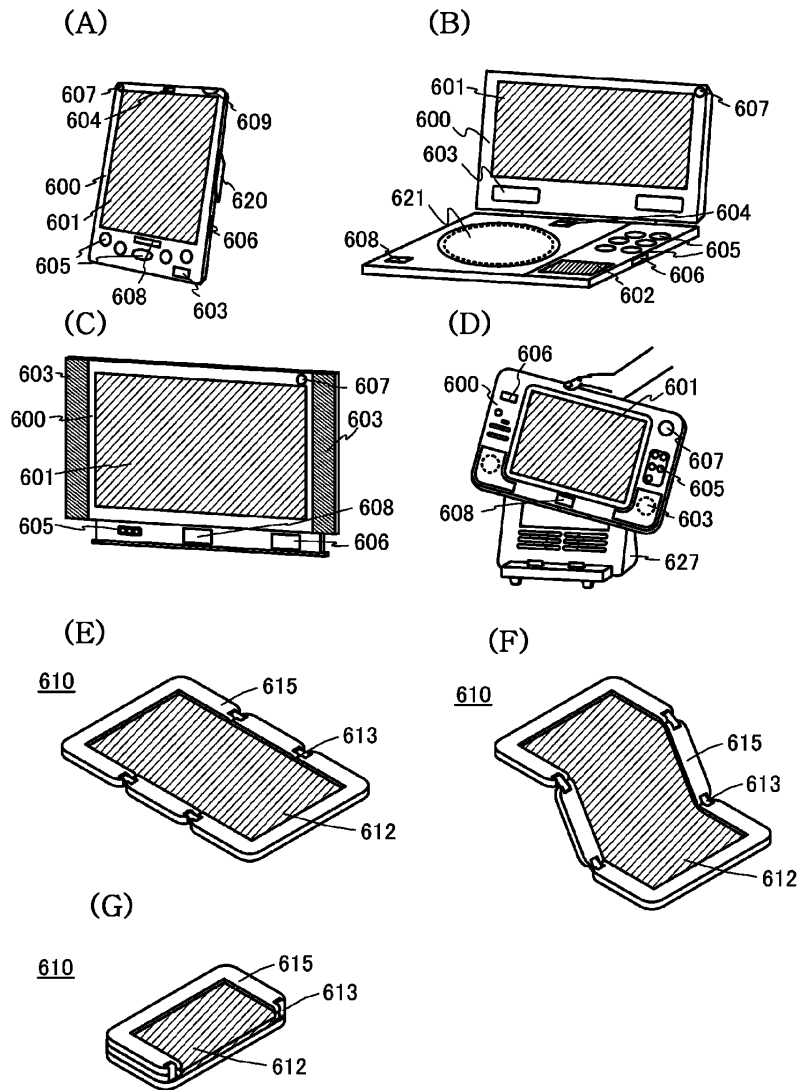


도면38

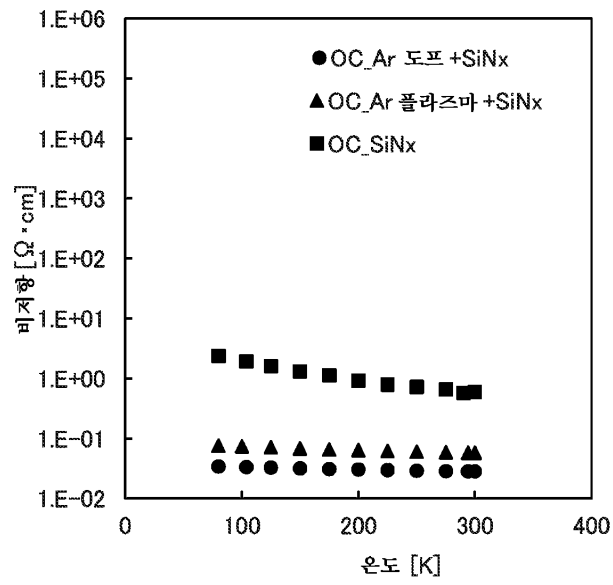




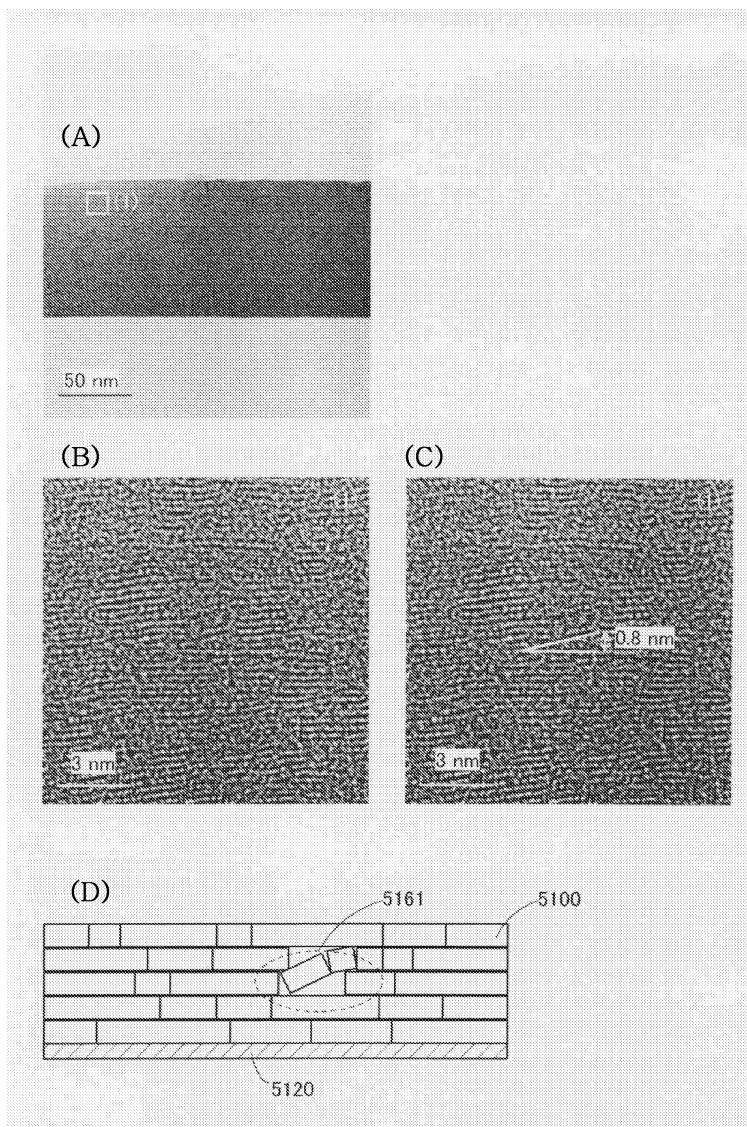
도면39



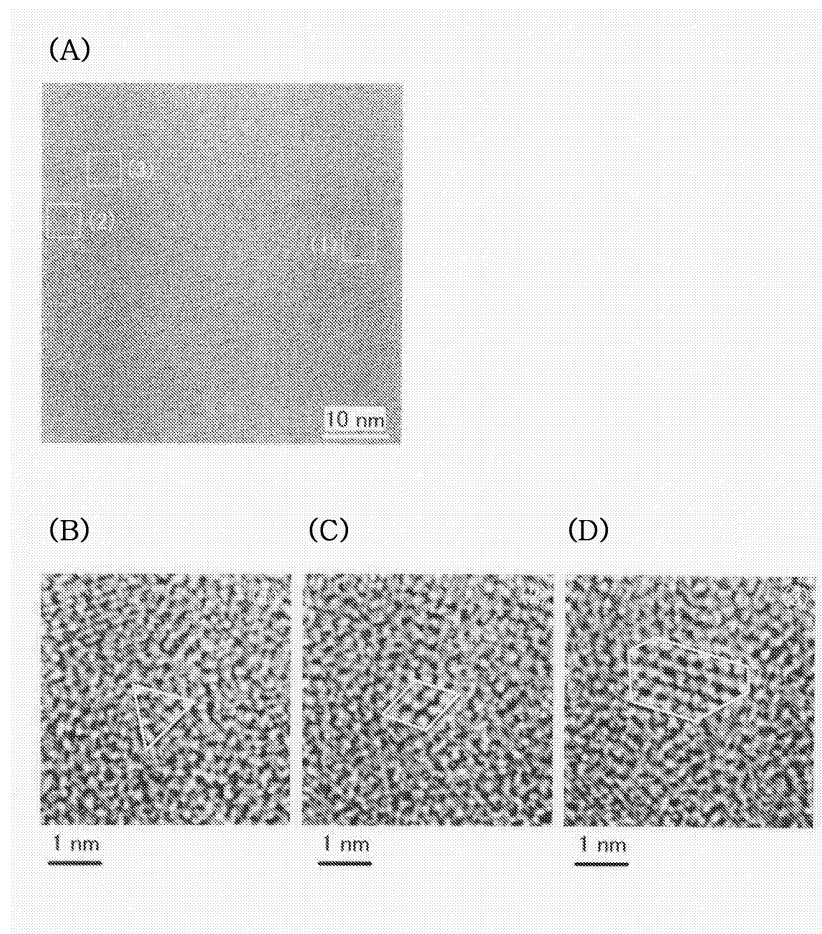
도면40



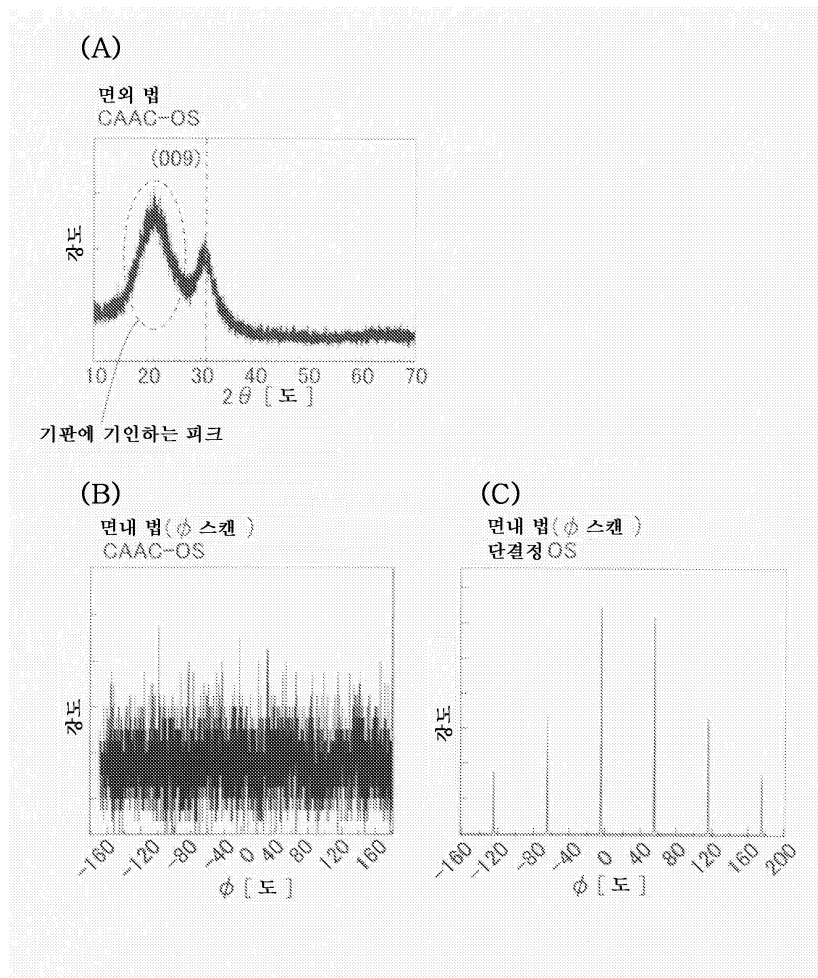
도면41



도면42

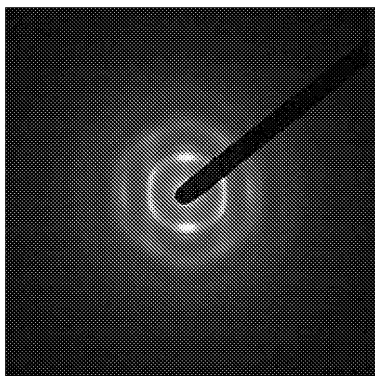


도면43



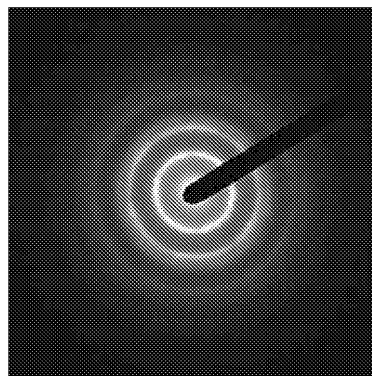
도면44

(A)



시료 표면에 평행한 전자 빔이 조사되는 시료

(B)



시료 표면에 수직인 전자 빔이 조사되는 시료

도면45

