



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl.

G01R 31/28 (2006.01)

(45) 공고일자

2007년05월04일

(11) 등록번호

10-0714482

(24) 등록일자

2007년04월26일

(21) 출원번호 10-2005-0062368
 (22) 출원일자 2005년07월11일
 심사청구일자 2005년07월11일

(65) 공개번호 10-2007-0007627
 (43) 공개일자 2007년01월16일

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 김우섭
 서울 영등포구 당산동2가 164번지 현대아파트 102동 302호

(74) 대리인 정상빈
 김동진

(56) 선행기술조사문현
 JP08170978 A JP11194152 A
 KR1020030049481 A

심사관 : 오응기

전체 청구항 수 : 총 44 항

(54) 반도체 장치, 테스트 기판, 반도체 장치의 테스트 시스템 및 반도체 장치의 테스트 방법

(57) 요약

반도체 장치가 제공된다. 반도체 장치는 제1 속도로 테스트 패턴 데이터가 직렬로 입력되는 입력단, 입력단과 일대일로 대응되고 제1 속도와 다른 제2 속도로 테스트 패턴 데이터를 직렬로 외부로 출력하는 출력단을 포함한다.

대표도

도 1

특허청구의 범위

청구항 1.

제1 속도로 테스트 패턴 데이터가 직렬로 입력되는 입력단; 및

상기 입력단과 일대일로 대응되고, 상기 제1 속도와 다른 제2 속도로 상기 테스트 패턴 데이터를 직렬로 외부로 출력하는 출력단을 포함하는 반도체 장치.

청구항 2.

제 1항에 있어서,

제1 테스트 모드시 상기 제2 속도는 상기 제1 속도보다 빠르고, 제2 테스트 모드시 상기 제2 속도는 상기 제1 속도보다 느린 반도체 장치.

청구항 3.

제 1항에 있어서,

상기 제2 속도는 상기 제1 속도보다 n (단, n 은 자연수)배 빠르고, 상기 출력단은 상기 입력단에 입력된 테스트 패턴 데이터를 n 회 반복하여 출력하는 반도체 장치.

청구항 4.

제 1항에 있어서,

상기 제1 속도는 상기 제2 속도보다 n (단, n 은 자연수)배 빠르고, 상기 출력단은 상기 입력단에 n 회 반복되어 입력된 테스트 패턴 데이터를 반복하지 않고 출력하는 반도체 장치.

청구항 5.

제 1항에 있어서,

내부 회로를 거치지 않고 상기 입력단과 상기 출력단을 전기적으로 연결하는 피드 스루 패스를 포함하고, 상기 테스트 패턴 데이터는 상기 피드 스루 패스를 통해서 전달되는 반도체 장치.

청구항 6.

제 5항에 있어서,

상기 피드 스루 패스 상에 위치하고, 상기 입력단으로부터 테스트 패턴 데이터를 입력받아, 상기 테스트 패턴 데이터를 상기 제2 속도로 직렬로 출력단에 제공하는 속도 변환부를 더 포함하는 반도체 장치.

청구항 7.

제 6항에 있어서,

상기 속도 변환부는 상기 테스트 패턴 데이터를 제1 속도의 제1 클럭에 동기되어 직렬로 저장하는 제1 테스트 패턴 데이터 저장부와, 상기 제1 테스트 패턴 데이터 저장부에 저장된 테스트 패턴 데이터를 전달받아 저장하고, 상기 저장된 테스트 패턴 데이터를 제2 속도의 제2 클럭에 동기되어 직렬로 제공하는 제2 테스트 패턴 데이터 저장부를 포함하는 반도체 장치.

청구항 8.

제 7항에 있어서,

상기 제1 테스트 패턴 데이터 저장부는 직렬로 저장된 테스트 패턴 데이터를 제1 로드 신호에 응답하여 병렬로 저장하는 반도체 장치.

청구항 9.

제 8항에 있어서,

상기 제2 테스트 패턴 데이터 저장부는 상기 제1 테스트 패턴 데이터 저장부에서 저장된 테스트 패턴 데이터를 제2 로드 신호에 응답하여 병렬로 저장하는 반도체 장치.

청구항 10.

제 6항에 있어서,

상기 속도 변환부는 테스트 지시 신호에 응답하여, 소정의 타이밍에 맞추어 제1 및 제2 클럭 제공 지시 신호, 제1 및 제2 로드 신호를 제공하는 테스트 제어부와,

상기 제1 클럭 제공 지시 신호를 수신하여 제1 클럭을 제공하는 제1 클럭 제공부와,

상기 제1 클럭에 동기되어 상기 입력단으로부터 입력된 상기 테스트 패턴 데이터를 직렬로 저장하고, 상기 직렬로 저장된 테스트 패턴 데이터를 제1 로드 신호에 응답하여 병렬로 저장하는 제1 테스트 패턴 데이터 저장부와,

상기 제2 클럭 제공 지시 신호를 수신하여 제2 클럭을 제공하는 제2 클럭 제공부와,

상기 제1 테스트 패턴 데이터 저장부에서 전달된 테스트 패턴 데이터를 제2 로드 신호에 응답하여 병렬로 저장하고, 상기 제2 클럭에 동기되어 상기 저장된 테스트 패턴 데이터를 직렬로 제공하는 제2 테스트 패턴 데이터 저장부를 포함하는 반도체 장치.

청구항 11.

회로 기판;

상기 회로 기판 상에 형성되고, 저속으로 테스트 패턴 데이터가 직렬로 입력되는 제1 입력단과, 상기 제1 입력단과 일대일로 대응되고, 상기 테스트 패턴 데이터를 고속으로 직렬로 출력하는 제1 출력단을 포함하는 고속 변환부;

상기 회로 기판 상에 형성되고, 상기 고속 변환부가 출력하는 테스트 패턴 데이터를 입력받아 고속 동작하는 피테스트 반도체 장치가 장착되는 소켓; 및

상기 회로 기판 상에 형성되고, 상기 피테스트 반도체 장치가 고속으로 출력한 테스트 패턴 데이터가 직렬로 입력되는 제2 입력단과, 상기 제2 입력단과 일대일로 대응되고, 상기 테스트 패턴 데이터를 저속으로 직렬로 출력하는 제2 출력단을 포함하는 저속 변환부를 포함하는 반도체 장치의 테스트 기판.

청구항 12.

제 11항에 있어서,

상기 고속은 상기 저속보다 n (단, n 은 자연수)배 빠르고, 상기 고속 변환부의 제1 출력단은 상기 고속 변환부의 제1 입력단에 입력된 테스트 패턴 데이터를 n 회 반복하여 출력하는 반도체 장치의 테스트 기판.

청구항 13.

제 11항에 있어서,

상기 고속은 상기 저속보다 n (단, n 은 자연수)배 빠르고, 상기 저속 변환부의 제2 출력단은 상기 저속 변환부의 제2 입력단에 n 회 반복되어 입력된 테스트 패턴 데이터를 반복하지 않고 출력하는 반도체 장치의 테스트 기판.

청구항 14.

제 11항에 있어서,

상기 고속 변환부는 상기 테스트 패턴 데이터를 저속의 제1 클럭에 동기되어 직렬로 저장하는 제1 테스트 패턴 데이터 저장부와, 상기 제1 테스트 패턴 데이터 저장부에 저장된 테스트 패턴 데이터를 전달받아 저장하고, 상기 저장된 테스트 패턴 데이터를 고속의 제2 클럭에 동기되어 직렬로 제공하는 제2 테스트 패턴 데이터 저장부를 포함하는 반도체 장치의 테스트 기판의 테스트 기판.

청구항 15.

제 11항에 있어서,

상기 저속 변환부는 상기 테스트 패턴 데이터를 고속의 제3 클럭에 동기되어 직렬로 저장하는 제3 테스트 패턴 데이터 저장부와, 상기 제3 테스트 패턴 데이터 저장부에 저장된 테스트 패턴 데이터를 전달받아 저장하고, 상기 저장된 테스트 패턴 데이터를 저속의 제4 클럭에 동기되어 직렬로 제공하는 제4 테스트 패턴 데이터 저장부를 포함하는 반도체 장치의 테스트 기판의 테스트 기판.

청구항 16.

제 11항에 있어서,

상기 피테스트 반도체 장치는 제3 입력단, 제3 출력단 및 내부 회로를 거치지 않고 상기 제3 입력단과 상기 제3 출력단을 전기적으로 연결하는 피드 스루 패스를 구비하여, 상기 제3 입력단으로 입력받은 테스트 패턴 데이터를 상기 피드 스루 패스를 통해서 상기 제3 출력단으로 전달하는 반도체 장치의 테스트 기판의 테스트 기판.

청구항 17.

저속으로 동작하는 테스터;

상기 테스터가 저속으로 제공한 테스트 패턴 데이터가 직렬로 입력되는 제1 입력단과, 상기 제1 입력단과 일대일로 대응되고 상기 입력된 테스트 패턴 데이터를 고속으로 직렬로 출력하는 제1 출력단을 포함하는 제1 피테스트 반도체 장치; 및

상기 제1 피테스트 반도체 장치가 고속으로 출력한 테스트 패턴 데이터가 직렬로 입력되는 제2 입력단과, 상기 제2 출력단과 일대일로 대응되고 상기 입력된 테스트 패턴 데이터를 저속으로 직렬로 상기 테스터로 출력하는 제2 출력단을 포함하는 제2 피테스트 반도체 장치를 포함하는 반도체 장치의 테스트 시스템.

청구항 18.

제 17항에 있어서,

상기 고속은 상기 저속보다 n (단, n 은 자연수)배 빠르고, 상기 제1 피테스트 반도체 장치의 제1 출력단은 상기 제1 피테스트 반도체 장치의 제1 입력단에 입력된 테스트 패턴 데이터를 n 회 반복하여 출력하는 반도체 장치의 테스트 시스템.

청구항 19.

제 17항에 있어서,

상기 고속은 상기 저속보다 n (단, n 은 자연수)배 빠르고, 상기 제2 피테스트 반도체 장치의 제2 출력단은 상기 제2 피테스트 반도체 장치의 제2 입력단에 n 회 반복되어 입력된 테스트 패턴 데이터를 반복하지 않고 출력하는 반도체 장치의 테스트 시스템.

청구항 20.

제 17항에 있어서,

제1 피테스트 반도체 장치는 내부 회로를 거치지 않고 상기 제1 입력단과 상기 제1 출력단을 전기적으로 연결하는 제1 피드 스루 패스를 포함하고, 상기 테스트 패턴 데이터는 상기 제1 피드 스루 패스를 통해서 전달되는 반도체 장치.

청구항 21.

제 20항에 있어서,

상기 제1 피드 스루 패스 상에 위치하고, 상기 제1 입력단으로부터 테스트 패턴 데이터를 입력받아, 상기 테스트 패턴 데이터를 상기 고속으로 직렬로 제1 출력단에 제공하는 속도 변환부를 더 포함하는 반도체 장치.

청구항 22.

제 17항에 있어서,

제2 피테스트 반도체 장치는 내부 회로를 거치지 않고 상기 제2 입력단과 상기 제2 출력단을 전기적으로 연결하는 제2 피드 스루 패스를 포함하고, 상기 테스트 패턴 데이터는 상기 제2 피드 스루 패스를 통해서 전달되는 반도체 장치.

청구항 23.

제 22항에 있어서,

상기 피드 스루 패스 상에 위치하고, 상기 제2 입력단으로부터 테스트 패턴 데이터를 입력받아, 상기 테스트 패턴 데이터를 상기 저속으로 직렬로 제2 출력단에 제공하는 속도 변환부를 더 포함하는 반도체 장치.

청구항 24.

제1 속도로 테스트 패턴 데이터가 직렬로 입력되는 입력단과, 상기 입력단과 일대일로 대응되고 상기 제1 속도와 다른 제2 속도로 상기 테스트 패턴 데이터를 직렬로 외부로 출력하는 출력단을 포함하고, 제1 테스트 모드시 상기 제2 속도는 상기 제1 속도보다 빠르고, 제2 테스트 모드시 상기 제2 속도는 상기 제1 속도보다 느린 제1 및 제2 피테스트 반도체 장치를 제공하는 단계;

상기 제1 테스트 모드의 상기 제1 피테스트 반도체 장치의 출력단과 상기 제2 테스트 모드의 상기 제2 피테스트 반도체 장치의 입력단을 전기적으로 연결하는 단계;

상기 제1 테스트 모드의 상기 제1 피테스트 반도체 장치의 입력단에 저속으로 직렬로 테스트 패턴 데이터를 인가하고, 상기 제2 테스트 모드의 상기 제2 피테스트 반도체 장치의 출력단에서 출력되는 테스트 패턴 데이터를 수신하여 정상 동작 여부를 판단하는 단계;

상기 제1 테스트 모드의 상기 제2 피테스트 반도체 장치의 출력단과 상기 제2 테스트 모드의 상기 제1 피테스트 반도체 장치의 입력단을 전기적으로 연결하는 단계; 및

상기 제1 테스트 모드의 상기 제2 피테스트 반도체 장치의 입력단에 저속으로 직렬로 테스트 패턴 데이터를 인가하고, 상기 제2 테스트 모드의 상기 제1 피테스트 반도체 장치의 출력단에서 출력되는 테스트 패턴 데이터를 수신하여 정상 동작 여부를 판단하는 단계를 포함하는 반도체 장치의 테스트 방법.

청구항 25.

제 24항에 있어서,

상기 제2 속도는 상기 제1 속도보다 n (단, n 은 자연수)배 빠르고, 상기 제1 테스트 모드의 피테스트 반도체 장치의 출력단은 상기 제1 테스트 모드의 피테스트 반도체 장치의 입력단에 입력된 테스트 패턴 데이터를 n 회 반복하여 출력하는 반도체 장치의 테스트 방법.

청구항 26.

제 24항에 있어서,

상기 제1 속도는 상기 제2 속도보다 n (단, n 은 자연수)배 빠르고, 상기 제2 테스트 모드의 피테스트 반도체 장치의 출력단은 상기 제2 테스트 모드의 피테스트 반도체 장치의 입력단에 n 회 반복되어 입력된 테스트 패턴 데이터를 반복하지 않고 출력하는 반도체 장치의 테스트 방법.

청구항 27.

제 24항에 있어서,

상기 제1 및 제2 피테스트 반도체 장치는 내부 회로를 거치지 않고 상기 입력단과 상기 출력단을 전기적으로 연결하는 피드 스루 패스를 포함하고, 상기 테스트 패턴 데이터는 상기 피드 스루 패스를 통해서 전달되는 반도체 장치의 테스트 방법.

청구항 28.

제1 속도로 테스트 패턴 데이터가 직렬로 입력되는 입력단;

상기 테스트 패턴 데이터를 제1 속도의 제1 클럭에 동기되어 직렬로 저장하는 제1 테스트 패턴 데이터 저장부와, 상기 제1 테스트 패턴 데이터 저장부에 저장된 테스트 패턴 데이터를 전달받아 저장하고 상기 저장된 테스트 패턴 데이터를 상기 제1 속도와 다른 제2 속도의 제2 클럭에 동기되어 직렬로 제공하는 제2 테스트 패턴 데이터 저장부를 포함하는 속도 변환부; 및

상기 입력단과 일대일로 대응되고, 상기 제2 속도로 상기 테스트 패턴 데이터를 직렬로 외부로 출력하는 출력단을 포함하는 반도체 장치.

청구항 29.

제 28항에 있어서,

제1 테스트 모드시 상기 제2 속도는 상기 제1 속도보다 빠르고, 제2 테스트 모드시 상기 제2 속도는 상기 제1 속도보다 느린 반도체 장치.

청구항 30.

제 28항에 있어서,

상기 제2 속도는 상기 제1 속도보다 n (단, n 은 자연수)배 빠르고, 상기 출력단은 상기 입력단에 입력된 테스트 패턴 데이터를 n 회 반복하여 출력하는 반도체 장치.

청구항 31.

제 28항에 있어서,

상기 제1 속도는 상기 제2 속도보다 n (단, n 은 자연수)배 빠르고, 상기 출력단은 상기 입력단에 n 회 반복되어 입력된 테스트 패턴 데이터를 반복하지 않고 출력하는 반도체 장치.

청구항 32.

제 28항에 있어서,

내부 회로를 거치지 않고 상기 입력단과 상기 출력단을 전기적으로 연결하는 피드 스루 패스를 포함하고, 상기 속도 변환부는 상기 피드 스루 패스 상에 위치하여 상기 테스트 패턴 데이터가 상기 피드 스루 패스를 통해서 전달되는 반도체 장치.

청구항 33.

제 28항에 있어서,

상기 제1 테스트 패턴 데이터 저장부는 직렬로 저장된 테스트 패턴 데이터를 제1 로드 신호에 응답하여 병렬로 저장하는 반도체 장치.

청구항 34.

제 28항에 있어서,

상기 제2 테스트 패턴 데이터 저장부는 상기 제1 테스트 패턴 데이터 저장부에서 저장된 테스트 패턴 데이터를 제2 로드 신호에 응답하여 병렬로 저장하는 반도체 장치.

청구항 35.

제 28항에 있어서, 상기 속도 변환부는

테스트 지시 신호에 응답하여, 소정의 타이밍에 맞추어 제1 및 제2 클럭 제공 지시 신호, 제1 및 제2 로드 신호를 제공하는 테스트 제어부와,

상기 제1 클럭 제공 지시 신호를 수신하여 제1 클럭을 제공하는 제1 클럭 제공부와,

상기 제1 클럭에 동기되어 상기 입력단으로부터 입력된 상기 테스트 패턴 데이터를 직렬로 저장하고, 상기 직렬로 저장된 테스트 패턴 데이터를 제1 로드 신호에 응답하여 병렬로 저장하는 제1 테스트 패턴 데이터 저장부와,

상기 제2 클럭 제공 지시 신호를 수신하여 제2 클럭을 제공하는 제2 클럭 제공부와,

상기 제1 테스트 패턴 데이터 저장부에서 전달된 테스트 패턴 데이터를 제2 로드 신호에 응답하여 병렬로 저장하고, 상기 제2 클럭에 동기되어 상기 저장된 테스트 패턴 데이터를 직렬로 제공하는 제2 테스트 패턴 데이터 저장부를 포함하는 반도체 장치.

청구항 36.

회로 기판;

상기 회로 기판 상에 형성되고, 저속으로 테스트 패턴 데이터가 직렬로 입력되는 제1 입력단과, 상기 테스트 패턴 데이터를 저속의 제1 클럭에 동기되어 직렬로 저장하는 제1 테스트 패턴 데이터 저장부와, 상기 제1 테스트 패턴 데이터 저장부에 저장된 테스트 패턴 데이터를 전달받아 저장하고 상기 저장된 테스트 패턴 데이터를 고속의 제2 클럭에 동기되어 직렬로 제공하는 제2 테스트 패턴 데이터 저장부와, 상기 제1 입력단과 일대일로 대응되고 상기 테스트 패턴 데이터를 고속으로 직렬로 출력하는 제1 출력단을 포함하는 고속 변환부;

상기 회로 기판 상에 형성되고, 상기 고속 변환부가 출력하는 테스트 패턴 데이터를 입력받아 고속 동작하는 피테스트 반도체 장치가 장착되는 소켓; 및

상기 회로 기판 상에 형성되고, 상기 피테스트 반도체 장치가 고속으로 출력한 테스트 패턴 데이터가 직렬로 입력되는 제2 입력단과, 상기 저속 변환부는 상기 테스트 패턴 데이터를 고속의 제3 클럭에 동기되어 직렬로 저장하는 제3 테스트 패턴 데이터 저장부와, 상기 제3 테스트 패턴 데이터 저장부에 저장된 테스트 패턴 데이터를 전달받아 저장하고 상기 저장된 테스트 패턴 데이터를 저속의 제4 클럭에 동기되어 직렬로 제공하는 제4 테스트 패턴 데이터 저장부와, 상기 제2 입력단과 일대일로 대응되고 상기 테스트 패턴 데이터를 저속으로 직렬로 출력하는 제2 출력단을 포함하는 저속 변환부를 포함하는 반도체 장치의 테스트 기판.

청구항 37.

제 36항에 있어서,

상기 고속은 상기 저속보다 n (단, n 은 자연수)배 빠르고, 상기 고속 변환부의 제1 출력단은 상기 고속 변환부의 제1 입력단에 입력된 테스트 패턴 데이터를 n 회 반복하여 출력하는 반도체 장치의 테스트 기판.

청구항 38.

제 36항에 있어서,

상기 고속은 상기 저속보다 n (단, n 은 자연수)배 빠르고, 상기 저속 변환부의 제2 출력단은 상기 저속 변환부의 제2 입력단에 n 회 반복되어 입력된 테스트 패턴 데이터를 반복하지 않고 출력하는 반도체 장치의 테스트 기판.

청구항 39.

제 36항에 있어서,

상기 퍼테스트 반도체 장치는 제3 입력단, 제3 출력단 및 내부 회로를 거치지 않고 상기 제3 입력단과 상기 제3 출력단을 전기적으로 연결하는 퍼드 스루 패스를 구비하여, 상기 제3 입력단으로 입력받은 테스트 패턴 데이터를 상기 퍼드 스루 패스를 통해서 상기 제3 출력단으로 전달하는 반도체 장치의 테스트 기판의 테스트 기판.

청구항 40.

저속으로 동작하는 테스터;

상기 테스터가 저속으로 제공한 테스트 패턴 데이터가 직렬로 입력되는 제1 입력단과, 상기 테스트 패턴 데이터를 저속의 제1 클럭에 동기되어 직렬로 저장하는 제1 테스트 패턴 데이터 저장부와, 상기 제1 테스트 패턴 데이터 저장부에 저장된 테스트 패턴 데이터를 전달받아 저장하고 상기 저장된 테스트 패턴 데이터를 고속의 제2 클럭에 동기되어 직렬로 제공하는 제2 테스트 패턴 데이터 저장부를 포함하는 고속 변환부와, 상기 제1 입력단과 일대일로 대응되고 상기 테스트 패턴 데이터를 고속으로 직렬로 출력하는 제1 퍼테스트 반도체 장치; 및

상기 제1 퍼테스트 반도체 장치가 고속으로 출력한 테스트 패턴 데이터가 직렬로 입력되는 제2 입력단과, 상기 저속 변환부는 상기 테스트 패턴 데이터를 고속의 제3 클럭에 동기되어 직렬로 저장하는 제3 테스트 패턴 데이터 저장부와, 상기 제3 테스트 패턴 데이터 저장부에 저장된 테스트 패턴 데이터를 전달받아 저장하고 상기 저장된 테스트 패턴 데이터를 저속의 제4 클럭에 동기되어 직렬로 제공하는 제4 테스트 패턴 데이터 저장부를 포함하는 저속 변환부와, 상기 제2 입력단과 일대일로 대응되고 상기 테스트 패턴 데이터를 저속으로 직렬로 상기 테스터로 출력하는 제2 출력단을 포함하는 제2 퍼테스트 반도체 장치를 포함하는 반도체 장치의 테스트 시스템.

청구항 41.

제 40항에 있어서,

상기 고속은 상기 저속보다 n (단, n 은 자연수)배 빠르고, 상기 제1 퍼테스트 반도체 장치의 제1 출력단은 상기 제1 퍼테스트 반도체 장치의 제1 입력단에 입력된 테스트 패턴 데이터를 n 회 반복하여 출력하는 반도체 장치의 테스트 시스템.

청구항 42.

제 40항에 있어서,

상기 고속은 상기 저속보다 n (단, n 은 자연수)배 빠르고, 상기 제2 퍼테스트 반도체 장치의 제2 출력단은 상기 제2 퍼테스트 반도체 장치의 제2 입력단에 n 회 반복되어 입력된 테스트 패턴 데이터를 반복하지 않고 출력하는 반도체 장치의 테스트 시스템.

청구항 43.

제 40항에 있어서,

제1 피테스트 반도체 장치는 내부 회로를 거치지 않고 상기 제1 입력단과 상기 제1 출력단을 전기적으로 연결하는 제1 피드 스루 패스를 포함하고, 상기 고속 변환부는 제1 피드 스루 패스 상에 위치하여 상기 테스트 패턴 데이터가 상기 제1 피드 스루 패스를 통해서 전달되는 반도체 장치.

청구항 44.

제 40항에 있어서,

제2 피테스트 반도체 장치는 내부 회로를 거치지 않고 상기 제2 입력단과 상기 제2 출력단을 전기적으로 연결하는 제2 피드 스루 패스를 포함하고, 상기 저속 변환부는 제2 피드 스루 패스 상에 위치하여 상기 테스트 패턴 데이터가 상기 제2 피드 스루 패스를 통해서 전달되는 반도체 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치, 테스트 기판, 반도체 장치의 테스트 시스템 및 반도체 장치의 테스트 방법에 관한 것으로, 보다 상세하게는 테스트의 신뢰성을 향상시킨 반도체 장치, 테스트 기판, 반도체 장치의 테스트 시스템 및 반도체 장치의 테스트 방법에 관한 것이다.

반도체 장치의 성능 테스트는 반도체 장치가 완성된 후, 제조 공정 중 발생될 수 있는 불량의 존재 여부를 체크하기 위해 수행된다. 그런데, 고속으로 동작하는 반도체 장치의 입력단 및 출력단을 테스트하기 위해서, 테스터(tester)는 테스트 패턴 데이터(test pattern data)를 고속으로 제공하기도 하고, 반도체 장치에서 출력되는 고속의 테스트 패턴 데이터를 읽어낼 수 있어야 한다. 그러므로, 반도체 장치의 동작 속도가 빨라지게 되면, 이를 테스트하기 위해 고속의 테스터를 구매해야 하므로 테스트 비용이 증가된다. 따라서, 종래에는 저속의 테스터를 이용하여 고속의 반도체 장치를 테스트하기 위해 시스템 실장 방식, BIST(Built-In Self Test) 방식, SERDES(SERialize/DESerialize) 방식 등을 사용한다.

우선, 시스템 실장 방식은 컴퓨터(computer)와 같은 시스템에 반도체 장치를 실장하고, 시스템을 동작시켜 반도체 장치의 성능을 테스트하는 방식이다. 이와 같은 방식은 시스템을 동작시켜야 하므로 테스트 비용이 증가하게 된다.

한편, BIST 방식은 반도체 장치 내에 BIST 회로를 구비하여 고속의 테스트 패턴 데이터를 자체 생성하고, 이를 이용하여 반도체 장치의 성능을 테스트한다. 이와 같은 방식은 BIST 회로가 매우 복잡하고, BIST 회로 자체에 불량이 있는 경우 불량을 검출하기 어렵다.

또한, SERDES 방식은 반도체 장치의 다수의 입력단을 통해서 병렬로(parallel) 저속 입력되는 테스트 패턴 데이터를 직렬로(serial) 변환함으로써 고속의 테스트 패턴 데이터를 생성하고, 직렬의 고속 테스트 패턴 데이터를 다시 병렬로 변환하여 다수의 출력단을 통해서 출력하는 방식이다. 따라서, SERDES 방식은 하나의 입력단과 출력단의 성능을 테스트하기 위해, 다수의 입력단과 출력단이 요구된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 테스트의 신뢰성을 향상시킨 반도체 장치를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는, 테스트의 신뢰성을 향상시킨 테스트 기판을 제공하는 것이다.

본 발명이 이루고자 하는 또 다른 기술적 과제는, 테스트의 신뢰성을 향상시킨 반도체 장치의 테스트 시스템을 제공하는 것이다.

본 발명이 이루고자 하는 또 다른 기술적 과제는, 테스트의 신뢰성을 향상시킨 반도체 장치의 테스트 방법을 제공하는 것이다.

본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 장치는 제1 속도로 테스트 패턴 데이터가 직렬로 입력되는 입력단, 입력단과 일대일로 대응되고 제1 속도와 다른 제2 속도로 테스트 패턴 데이터를 직렬로 외부로 출력하는 출력단을 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 테스트 기판은 회로 기판, 회로 기판 상에 형성되고, 저속으로 테스트 패턴 데이터가 직렬로 입력되는 제1 입력단과, 제1 입력단과 일대일로 대응되고, 테스트 패턴 데이터를 고속으로 직렬로 출력하는 제1 출력단을 포함하는 고속 변환부, 회로 기판 상에 형성되고, 고속 변환부가 출력하는 테스트 패턴 데이터를 입력받아 고속 동작하는 피테스트 반도체 장치가 장착되는 소켓, 회로 기판 상에 형성되고, 피테스트 반도체 장치가 고속으로 출력한 테스트 패턴 데이터가 직렬로 입력되는 제2 입력단과, 제2 입력단과 일대일로 대응되고, 테스트 패턴 데이터를 저속으로 직렬로 출력하는 제2 출력단을 포함하는 저속 변환부를 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 장치의 테스트 시스템은 저속으로 동작하는 테스터, 테스터가 저속으로 제공한 테스트 패턴 데이터가 직렬로 입력되는 제1 입력단과, 제1 입력단과 일대일로 대응되고 입력된 테스트 패턴 데이터를 고속으로 직렬로 출력하는 제1 출력단을 포함하는 제1 피테스트 반도체 장치, 제1 피테스트 반도체 장치가 고속으로 출력한 테스트 패턴 데이터가 직렬로 입력되는 제2 입력단과, 제2 입력단과 일대일로 대응되고 입력된 테스트 패턴 데이터를 저속으로 직렬로 테스터로 출력하는 제2 출력단을 포함하는 제2 피테스트 반도체 장치를 포함한다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 장치의 테스트 방법은 제1 속도로 테스트 패턴 데이터가 직렬로 입력되는 입력단과, 입력단과 일대일로 대응되고 제1 속도와 다른 제2 속도로 테스트 패턴 데이터를 직렬로 외부로 출력하는 출력단을 포함하고, 제1 테스트 모드시 제2 속도는 제1 속도보다 빠르고, 제2 테스트 모드시 제2 속도는 제1 속도보다 느린 제1 및 제2 피테스트 반도체 장치를 제공하는 단계, 제1 테스트 모드의 제1 피테스트 반도체 장치의 출력단과 제2 테스트 모드의 제2 피테스트 반도체 장치의 입력단을 전기적으로 연결하는 단계, 제1 테스트 모드의 제1 피테스트 반도체 장치의 입력단에 저속으로 직렬로 테스트 패턴 데이터를 인가하고, 제2 테스트 모드의 제2 피테스트 반도체 장치의 출력단에서 출력되는 테스트 패턴 데이터를 수신하여 정상 동작 여부를 판단하는 단계, 제1 테스트 모드의 제2 피테스트 반도체 장치의 출력단과 제2 테스트 모드의 제1 피테스트 반도체 장치의 입력단을 전기적으로 연결하는 단계, 제1 테스트 모드의 제2 피테스트 반도체 장치의 입력단에 저속으로 직렬로 테스트 패턴 데이터를 인가하고, 제2 테스트 모드의 제1 피테스트 반도체 장치의 출력단에서 출력되는 테스트 패턴 데이터를 수신하여 정상 동작 여부를 판단하는 단계를 포함한다.

본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

도 1은 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 블록도이다.

도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치(1)는 입력단(100), 속도 변환부(200), 출력단(300)을 포함한다.

입력단(100)은 외부로부터 노말(normal) 모드에서는 고속으로 데이터가 직렬로(serial) 입력되고, 테스트 모드(test mode)에서는 제1 속도로 테스트 패턴 데이터(TPDATA)가 직렬로 입력된다. 입력단(100)은 입력핀(DIN)과, 입력되는 데이터 또는 테스트 패턴 데이터(TPDATA)를 버퍼링(buffering)하는 입력 수신부(input receiver; 110)를 포함할 수 있다.

속도 변환부(200)는 테스트 모드에서 테스트 패턴 데이터(TPDATA)를 제1 속도로 직렬로 입력받아, 테스트 패턴 데이터(TPDATA)를 제2 속도로 직렬로 출력단(300)에 제공한다. 한편, 본 발명의 일 실시 예에 따른 반도체 장치(1)는 제1 속도보다 제2 속도가 빠른 제1 테스트 모드와 제1 속도보다 제2 속도가 느린 제2 테스트 모드를 갖는다. 따라서, 속도 변환부(200)는 제1 테스트 모드에서는 제1 속도보다 빠른 제2 속도로 테스트 패턴 데이터를 직렬로 제공한다. 여기서, 제2 속도가 제1 속도보다 n (단, n 은 자연수)배 빠르면, 테스트 패턴 데이터(TPDATA)를 n (단, n 은 자연수)배 반복하여 제공할 수 있다. 또한, 제2 테스트 모드에서는 제1 속도보다 느린 제2 속도로 테스트 패턴 데이터를 직렬로 제공한다. 여기서, 제1 속도가 제2 속도보다 n (단, n 은 자연수)배 빠르면, 입력단(100)을 통해 n (단, n 은 자연수)배 반복되어 제공된 테스트 패턴 데이터(TPDATA)를 반복하지 않고 1회만 제공할 수 있다.

이러한 속도 변환부(200)는 테스트 제어부(210), 제1 스위치(220), 제2 스위치(230), 제1 클럭 제공부(240), 제1 테스트 패턴 데이터 저장부(250), 제2 클럭 제공부(260), 제2 테스트 패턴 데이터 저장부(270)를 포함할 수 있다.

테스트 제어부(210)는 반도체 장치(1)가 제1 또는 제2 테스트 모드에 진입하는지를 나타내는 소정의 테스트 지시 신호(PTEST0, PTEST1)에 응답하여, 제1 스위치(220), 제2 스위치(230), 제1 클럭 제공부(240), 제1 테스트 패턴 데이터 저장부(250), 제2 클럭 제공부(260), 제2 테스트 패턴 데이터 저장부(270)를 각각 제어하는 제1 스위칭 신호(SW1), 제2 스위칭 신호(SW2), 제1 클럭 제공 지시 신호(PCK1), 제1 로드 신호(LOAD_IN), 제2 클럭 제공 지시 신호(PCK2), 제1 로드 신호(LOAD_OUT)를 소정의 타이밍에 맞추어 제공한다.

예를 들어, 제1 및 제2 테스트 지시 신호(PTEST0, PTEST1)가 모두 로우 레벨인 경우에는 노말 모드이고, 제1 테스트 지시 신호(PTEST0)는 하이 레벨이고 제2 테스트 지시 신호(PTEST1)는 로우 레벨인 경우에는 제1 테스트 모드이다. 또한, 제1 테스트 지시 신호(PTEST0)는 로우 레벨이고 제2 테스트 지시 신호(PTEST1)는 하이 레벨인 경우에는 제2 테스트 모드이다. 전술한 내용을 표로 정리하면 표 1과 같다.

[표 1]

제2 테스트 지시 신호 (PTEST1)	제1 테스트 지시 신호 (PTEST0)	동작 모드
0	0	노말 모드
0	1	제1 테스트 모드
1	0	제2 테스트 모드
1	1	무관(Don't care)

제1 및 제2 테스트 모드에 따른 제1 및 제2 클럭 제공 지시 신호(PCK1, PCK2), 제1 및 제2 로드 신호(LOAD_IN, LOAD_OUT)에 대한 자세한 동작 타이밍에 대해서는 도 5 및 도 6을 참조하여 자세히 후술한다.

제1 스위치(220)는 제1 스위칭 신호(SW1)에 응답하여, 입력단(100)으로부터 입력되는 데이터 또는 테스트 패턴 데이터(TPDATA)를 선택적으로 내부 회로(400) 또는 제1 테스트 패턴 데이터 저장부(250)에 전달한다. 즉, 노말 모드에서는 데이터를 내부 회로(400)로 전달하고, 테스트 모드에서는 테스트 패턴 데이터(TPDATA)를 제1 테스트 패턴 데이터 저장부(250)에 전달한다.

제2 스위치(230)는 제2 스위칭 신호(SW2)에 응답하여, 내부 회로(400)로부터 출력되는 데이터 또는 제2 테스트 패턴 데이터 저장부(270)로부터 출력되는 테스트 패턴 데이터(TPDATA)를 선택적으로 출력단(300)으로 전달한다. 즉, 노말 모드에서는 데이터를 내부 회로(400)로부터 출력단(300)으로 전달하고, 테스트 모드에서는 테스트 패턴 데이터(TPDATA)를 제2 테스트 패턴 데이터 저장부(270)로부터 출력단(300)으로 전달한다.

이와 같이, 테스트 모드에서는 제1 및 제2 스위치(220, 230)가 활성화됨으로써, 입력단(100)으로 입력된 테스트 패턴 데이터(TPDATA)가 내부 회로를 거치지 않고 바로 출력단(300)으로 출력되는 피드 스루 패스(feed through path)가 완성된다. 따라서, 본 발명의 일 실시예에 따른 반도체 장치(1)의 성능 테스트에서는 내부 회로로 인한 불량을 배제할 수 있어, 반도체 장치의 입력 수신부(110), 출력 구동부(310)의 동작에 따른 불량만을 테스트할 수 있다. 속도 변환부(200)는 이러한 피드 스루 패스 상에 형성되어, 테스트 패턴 데이터(TPDATA)의 입출력 속도를 변화시킨다.

제1 클럭 제공부(240)는 제1 클럭 제공 지시 신호(PCK1)를 수신하여 제1 클럭(CK1)을 제공한다. 여기서, 제1 클럭(CK1)의 속도는 테스트 패턴 데이터(TPDATA)가 입력되는 제1 속도와 동일한 것이 바람직하다. 제1 클럭 제공부(240)는 위상 동기 루프 회로(Phase Locked Loop; PLL), 지연 동기 루프 회로(Delay Locked Loop; DLL), 동기 미러 지연 회로(Synchronous Mirror Delay; SMD) 등과 같이 클럭을 제공할 수 있는 수단이면 무엇이든 가능하다. 제1 클럭 제공부(240)가 위상 동기 루프 회로(PLL)인 경우를 예로 들어 설명하면, 제1 클럭 제공 지시 신호(PCK1)는 기준 클럭일 수 있고, 제1 클럭(CK1)은 기준 클럭을 이용하여 생성한 클럭일 수 있다.

제1 테스트 패턴 데이터 저장부(250)는 입력단(100)을 통해서 입력된 테스트 패턴 데이터(TPDATA)를 제1 속도의 제1 클럭(CK1)에 동기되어 직렬로 저장한다. 이어서, 제1 테스트 패턴 데이터 저장부(250)는 직렬로 저장된 테스트 패턴 데이터(TPDATA)를 제1 로드 신호(LOAD_IN)에 응답하여 병렬로(parallel) 저장한다. 제1 테스트 패턴 데이터 저장부(250)에 대해서는 도 2와 함께 자세히 후술한다.

제2 클럭 제공부(260)는 제2 클럭 제공 지시 신호(PCK2)를 수신하여 제2 클럭(CK2)을 제공한다. 여기서, 제2 클럭(CK2)의 속도는 테스트 패턴 데이터(TPDATA)가 출력되는 제2 속도와 동일한 것이 바람직하다. 제2 클럭 제공부(260)는 위상 동기 루프 회로(Phase Locked Loop; PLL), 지연 동기 루프 회로(Delay Locked Loop; DLL), 동기 미러 지연 회로(Synchronous Mirror Delay; SMD) 등과 같은 클럭을 제공할 수 있는 수단이면 무엇이든 가능하다.

제2 테스트 패턴 데이터 저장부(270)는 제1 테스트 패턴 데이터 저장부(250)에서 전달된 테스트 패턴 데이터(TPDATA)를 제2 로드 신호(LOAD_OUT)에 응답하여 병렬로 저장한다. 이어서, 제2 속도의 제2 클럭(CK2)에 동기되어, 병렬로 저장된 테스트 패턴 데이터(TPDATA)를 직렬로 제공한다. 또한, 전술하였듯이, 제1 테스트 모드에서는 제2 로드 신호(LOAD_OUT)를 반복적으로 제공받아, 테스트 패턴 데이터(TPDATA)를 n(단, n은 자연수)배 반복하여 제공할 수 있다. 이러한 제2 테스트 패턴 데이터 저장부(270)에 대해서는 도 3과 함께 자세히 후술한다.

출력단(300)은 입력단(100)과 일대일로 대응되고, 제1 속도와 다른 제2 속도로 테스트 패턴 데이터(TPDATA)를 직렬로 외부로 출력한다. 출력단(300)은 출력핀(QOUT)과, 출력되는 데이터 또는 테스트 패턴 데이터(TPDATA)를 버퍼링하는 출력 구동부(output driver; 310)를 포함할 수 있다.

도 2는 도 1의 제1 테스트 패턴 데이터 저장부의 회로도이다. 본 발명의 일 실시예에서는 8 비트(bit)의 테스트 패턴 데이터를 저장하는 경우를 예로 들어 설명하나, 이에 제한되지 않는다.

도 2를 참조하면, 제1 테스트 패턴 데이터 저장부(250)는 제1 저장부(252)와 제2 저장부(254)를 포함한다.

제1 저장부(252)는 직렬로 연결된 다수의 디플립플롭(D type flipflop; 252_i, i=1~8)을 포함한다. 자세히 설명하면, 다수의 디플립플롭(252_i, i=1~8)은 입력단과 출력단이 서로 연결되나, 제1 디플립플롭(252_1)의 입력단에는 테스트 패턴 데이터(TPDATA)가 직렬로 입력된다. 또한, 제어단에는 제1 클럭(CK1)이 입력된다.

제2 저장부(254)는 병렬로 연결된 다수의 디플립플롭(254_i, i=1~8)을 포함하고, 입력단은 제1 저장부(252)의 다수의 디플립플롭(252_i, i=1~8)의 출력단과 각각 연결된다. 또한, 제어단에는 제1 로드 신호(LOAD_IN)가 입력된다.

동작을 설명하면, 제1 저장부(252)는 제1 클럭(CK1)에 동기되어 직렬로 테스트 패턴 데이터(TPDATA)를 저장한다. 자세히 설명하면, 제1 클럭(CK1)이 하이 레벨이 될 때마다 첫번째 데이터(D0)는 제1 디플립플롭(252_1)에서부터 제8 디플립플롭(252_8)까지 차례대로 시프트(shift)된다. 두번째 데이터(D1)는 첫번째 데이터(D0)를 따라서, 제1 디플립플롭(252_1)에서부터 제7 디플립플롭(252_7)까지 차례대로 시프트된다. 이와 같은 방식으로 8비트의 테스트 패턴 데이터(TPDATA)가 저장된다. 이어서, 제2 저장부(254)는 제1 로드 신호(LOAD_IN)에 응답하여 제1 저장부(252)에 저장된 테스트 패턴 데이터(TPDATA)를 병렬로 저장한다.

도 3는 도 1의 제2 테스트 패턴 데이터 저장부의 회로도이다. 본 발명의 일 실시예에서는 8 비트(bit)의 테스트 패턴 데이터를 저장하는 경우를 예로 들어 설명하나, 이에 제한되지 않는다.

도 3를 참조하면, 제2 테스트 패턴 데이터 저장부(270)는 전달부(272)와 제3 저장부(274)를 포함한다.

전달부(272)는 병렬로 연결된 다수의 트랜스미션 게이트(272_i, i=1~8)를 포함하고, 제2 로드 신호(LOAD_OUT)에 응답하여, 제1 테스트 패턴 데이터 저장부(도 2의 250)의 제2 저장부(도 2의 254)의 출력 신호를 제3 저장부(274)에 전달하는 역할을 한다. 자세히 설명하면, 다수의 트랜스미션 게이트(272_i, i=1~8)는 PMOS 트랜지스터와 NMOS 트랜지스터가 게이트 대 게이트(gate-to-gate), 소스 대 소스(source-to-source)로 연결된다. 또한, 제2 로드 신호(LOAD_OUT)의 반전 신호가 PMOS 트랜지스터에 제공되고, 제2 로드 신호(LOAD_OUT)는 NMOS 트랜지스터에 제공된다. 따라서, 다수의 트랜스미션 게이트(272_i, i=1~8)는 제2 로드 신호(LOAD_OUT)가 하이 레벨일 때 제2 저장부(254)의 출력 신호를 전달한다.

제3 저장부(274)는 병렬로 연결된 다수의 디플립플롭(274_i, i=1~8)을 포함하고, 다수의 디플립플롭(274_i, i=1~8)의 입력단은 전달부(272)의 다수의 트랜스미션 게이트(272_i, i=1~8)의 출력단과 각각 연결된다. 또한, 제어단에는 제1 클럭(CK1)이 입력된다.

동작을 설명하면, 전달부(272)는 제2 저장부(254)에 병렬로 저장된 테스트 패턴 데이터(TPDATA)를 제2 로드 신호(LOAD_OUT)에 응답하여 제3 저장부(274)에 전달한다. 제3 저장부(274)에 패럴렐하게 저장된 테스트 패턴 데이터(TPDATA)은 제2 클럭(CK2)에 동기되어 직렬로 출력된다. 예를 들어, 제2 클럭이 하이 레벨이 될 때마다, 여덟번째 데이터(D7)는 제1 디플립플롭(274_1)에서부터 제8 디플립플롭(274_8)까지 차례대로 시프트되어 출력된다.

도 4는 도 1의 제1 클럭 제공부를 설명하기 위한 블럭도이다. 클럭 제공부는 위상 동기 루프 회로(PLL)를 예로 들어 설명하나, 이에 제한되는 것은 아니다. 또한, 제1 클럭 제공부를 대표적으로 기술하나, 제2 클럭 제공부에도 동일하게 적용될 수 있다.

도 4를 참조하면, 제1 클럭 제공부(240)는 위상 비교부(phase detector; 242), 차지 펌프(charge pump; 244), 루프 필터(loop filter; 246), 전압 제어 발진부(voltage controlled oscillator; 248), 분주기(divider; 249)를 포함한다.

위상 비교부(242)는 제1 클럭 제공 지시 신호(CK1)로 제공된 기준 클럭과 비교 클럭(DCK1)의 위상차를 검출한다. 따라서, 위상 비교부(242)는 비교 클럭(DCK1)이 제1 클럭 제공 지시 신호(CK1)의 위상보다 지연될 경우 위상업 신호(UP)를 제공하고, 비교 클럭(DCK1)이 제1 클럭 제공 지시 신호(CK1)의 위상보다 앞설 경우에는 위상다운 신호(DOWN)를 제공한다.

차지 펌프(244)는 위상업 신호(UP)를 수신하여 루프 필터(246)를 충전시키고, 위상다운 신호(DOWN)를 수신하여 루프 필터(246)를 방전시킨다. 루프 필터(246)는 차지 펌프(244)로부터 출력된 충전 및 방전 전류에 따라, 전압 제어 발진부(248)를 목표 주파수로 발진시키는 제어 전압(VC)을 제공한다. 전압 제어 발진부(248)는 제어 전압(VC)에 대응되는 주파수를 갖는 발진 출력 신호, 즉 제1 클럭(CK1)을 제공한다. 분주기(249)는 제1 클럭(CK1)의 주파수를 분할하여 위상 비교부(242)에 비교 클럭(DCK1)으로 제공한다.

이하에서, 도 1 내지 도 5를 참조하여, 본 발명의 일 실시예에 따른 반도체 장치(1)의 제1 테스트 모드 동작을 설명한다. 전술하였듯이, 제1 테스트 모드에서 반도체 장치(1)는 제1 속도로 직렬로 입력된 테스트 패턴 데이터(TPDATA)를 제1 속도보다 더 빠른 제2 속도로 직렬로 출력한다.

제2 테스트 지시 신호(PTEST1)가 하이 레벨이고, 제1 테스트 지시 신호(PTEST0)가 하이 레벨이 되면, 반도체 장치(1)는 제1 테스트 모드로 진입하게 된다. 따라서, 테스트 제어부(210)는 하이 레벨의 제1 스위치 신호(SW1)를 제1 스위치(220)에 제공하고, 제1 스위치(220)는 제1 속도로 직렬로 입력되는 테스트 패턴 데이터(TPDATA)를 제1 테스트 패턴 데이터 저장부(250)로 전달한다.

이어서, 테스트 제어부(210)는 제1 및 제2 클럭 제공 지시 신호(PCK1, PCK2)를 제1 및 제2 클럭 제공부(240, 260)에 제공하고, 제1 및 제2 클럭 제공부(240, 260)는 각각 제1 및 제2 클럭(CK1, CK2)을 제공한다. 예를 들어, 제1 클럭 제공부(240)는 도 5에서와 같이 기준 클럭인 제1 클럭 제공 지시 신호(PCK1)보다 4배의 주파수를 갖는 제1 클럭(CK1)을 제공

하고, 제2 클럭 제공부(260)는 기준 클럭인 제2 클럭 제공 지시 신호(PCK2)보다 8배의 주파수를 갖는 제2 클럭(CK2)을 제공할 수 있다. 여기서, 제1 클럭(CK1)의 속도는 테스트 패턴 데이터(TPDATA)의 입력 속도인 제1 속도와 동일하고, 제2 클럭(CK2)의 속도는 테스트 패턴 데이터(TPDATA)의 출력 속도인 제2 속도와 동일하다.

그 후, 제1 테스트 패턴 데이터 저장부(250)의 제1 저장부(252)는 테스트 패턴 데이터(TPDATA)를 제1 클럭(CK1)에 동기되어 직렬로 저장한다. 이어서, 테스트 패턴 데이터(TPDATA)가 제1 저장부(252)에 직렬로 저장되면, 테스트 제어부(210)는 하이 레벨의 제1 로드 신호(LOAD_IN)를 제1 테스트 패턴 데이터 저장부(250)의 제2 저장부(254)에 제공하고, 제2 저장부(254)는 테스트 패턴 데이터(TPDATA)를 다시 병렬로 저장한다.

한편, 테스트 제어부(210)는 하이 레벨의 제2 스위칭 신호(SW2)를 제2 스위치(230)에 제공하여, 입력단(100)으로 입력된 테스트 패턴 데이터(TPDATA)가 내부 회로를 거치지 않고 바로 출력단(300)으로 출력되는 피드 스루 패스가 완성된다. 본 발명의 일 실시예에서 제2 스위칭 신호(SW2)는 제1 스위칭 신호(SW1)가 소정 시간 지연된 후 하이 레벨로 전이(transition)되었으나, 이에 한정되는 것은 아니다. 예를 들어, 제2 스위칭 신호(SW2)는 제1 스위칭 신호(SW1)와 동시에 하이 레벨로 전이되어도 무관하다.

또한, 제2 저장부(254)에 테스트 패턴 데이터(TPDATA)가 병렬로 저장된 후, 테스트 제어부(210)는 하이 레벨의 제2 로드 신호(LOAD_OUT)를 제2 테스트 패턴 데이터 저장부(270)에 제공하고, 제2 테스트 패턴 데이터 저장부(270)의 전달부(272)는 제1 테스트 패턴 데이터 저장부(250)에 저장된 테스트 패턴 데이터(TPDATA)를 병렬로 제3 저장부(274)로 전달한다.

이어서, 제2 테스트 패턴 데이터 저장부(270)의 제3 저장부(274)는, 테스트 패턴 데이터(TPDATA)를 제2 클럭(CK2)에 동기되어 직렬로 제2 스위치(230)에 제공한다. 여기서, 제2 속도의 제2 클럭이 제1 속도의 제1 클럭보다 n (단, n 은 자연수)배 빠르면, 테스트 패턴 데이터(TPDATA)가 입력단(100)에 입력되는 속도보다 n (단, n 은 자연수)배 빠르게 출력단(300)으로 출력된다. 이러한 경우, 테스트 패턴 데이터(TPDATA)를 n (단, n 은 자연수)회 반복하여 출력한다. 또한, n (단, n 은 자연수)회 반복하여 출력하는 방식으로는 다양한 방식이 있을 수 있으나, 본 발명의 일 실시예에서는 제2 로드 신호(LOAD_OUT)를 순차적으로 n (단, n 은 자연수)회 반복하여 제공함으로써 테스트 패턴 데이터(TPDATA)를 n (단, n 은 자연수)회 반복 출력한다.

예를 들어, 도 5에서와 같이 제2 클럭(CK2)이 제1 클럭보다 8배 빠른 경우, 제2 로드 신호(LOAD_OUT)가 8회 연속적으로 하이 레벨이 된다. 제2 로드 신호(LOAD_OUT)가 하이 레벨이 될 때마다 제2 테스트 패턴 데이터 저장부(270)의 제3 저장부(274)에 테스트 패턴 데이터가 저장되고, 저장된 테스트 패턴 데이터(TPDATA)가 제2 클럭(CK2)에 동기되어 출력되므로, 테스트 패턴 데이터(TPDATA)를 8회 반복하여 출력할 수 있다.

이하에서, 도 1 내지 도 4, 도 6을 참조하여, 본 발명의 일 실시예에 따른 반도체 장치의 제2 테스트 모드 동작을 설명한다. 전술하였듯이, 제2 테스트 모드에서 반도체 장치(1)는 제1 속도로 직렬로 입력된 테스트 패턴 데이터(TPDATA)를 제1 속도보다 더 느린 제2 속도로 직렬로 출력한다.

제1 테스트 지시 신호(PTEST0)가 로우 레벨이고, 제2 테스트 지시 신호(PTEST1)가 하이 레벨이 되면, 반도체 장치(1)는 제2 테스트 모드로 진입하게 된다. 따라서, 테스트 제어부(210)는 하이 레벨의 제1 스위칭 신호(SW1)를 제1 스위치(220)에 제공하고, 제1 스위치(220)는 제1 속도로 직렬로 입력되는 테스트 패턴 데이터(TPDATA)를 제1 테스트 패턴 데이터 저장부(250)로 전달한다. 그런데, 제1 속도가 제2 속도보다 n (단, n 은 자연수)배 빠른 경우에는 동일한 테스트 패턴 데이터(TPDATA)가 n (단, n 은 자연수)회 반복하여 입력된다.

이어서, 테스트 제어부(210)는 제1 및 제2 클럭 제공 지시 신호(PCK1, PCK2)를 제1 및 제2 클럭 제공부(240, 260)에 제공하고, 제1 및 제2 클럭 제공부(240, 260)는 각각 제1 및 제2 클럭(CK1, CK2)을 제공한다. 예를 들어, 제1 클럭 제공부(240)는 도 5에서와 같이 기준 클럭인 제1 클럭 제공 지시 신호(PCK1)보다 8배의 주파수를 갖는 제1 클럭(CK1)을 제공하고, 제2 클럭 제공부(260)는 기준 클럭인 제2 클럭 제공 지시 신호(PCK2)보다 4배의 주파수를 갖는 제2 클럭(CK2)을 제공할 수 있다.

그 후, 제1 테스트 패턴 데이터 저장부(250)의 제1 저장부(252)는 테스트 패턴 데이터(TPDATA)를 제1 클럭(CK1)에 동기되어 직렬로 저장한다. 그런데, 입력단(100)에는 테스트 패턴 데이터(TPDATA)가 n (단, n 은 자연수)회 반복하여 입력되나, 제1 저장부(252)는 8개의 디플립플롭(252_i, $i=1\sim 8$)으로 구성되어 있으므로 마지막에 입력된 8비트의 테스트 패턴 데이터(TPDATA)만 남을 수 있다.

따라서, 마지막에 입력된 테스트 패턴 데이터(TPDATA)가 제1 저장부(252)에 직렬로 저장되면, 테스트 제어부(210)는 하이 레벨의 제1 로드 신호(LOAD_IN)를 제1 테스트 패턴 데이터 저장부(250)의 제2 저장부(254)에 제공하고, 제2 저장부(254)는 테스트 패턴 데이터(TPDATA)를 병렬로 저장한다.

한편, 테스트 제어부(210)는 하이 레벨의 제2 스위치 신호(SW2)를 제2 스위치(230)에 제공하여, 입력단(100)으로 입력된 테스트 패턴 데이터(TPDATA)가 내부 회로를 거치지 않고 바로 출력단(300)으로 출력되는 피드 스루 패스가 완성된다.

또한, 제2 저장부(254)에 테스트 패턴 데이터(TPDATA)가 병렬로 저장된 후, 테스트 제어부(210)는 하이 레벨의 제2 로드 신호(LOAD_OUT)를 제2 테스트 패턴 데이터 저장부(270)에 제공하고, 제2 테스트 패턴 데이터 저장부(270)의 전달부(272)는 제1 테스트 패턴 데이터 저장부(250)에 저장된 테스트 패턴 데이터(TPDATA)를 병렬로 제3 저장부(274)로 전달하여 저장한다.

이어서, 제2 테스트 패턴 데이터 저장부(270)의 제3 저장부(274)는 테스트 패턴 데이터(TPDATA)를 제2 클럭(CK2)에 동기되어 직렬로 제2 스위치(230)에 제공한다.

결과적으로, 제2 테스트 모드에서 테스트 패턴 데이터(TPDATA)는 입력단(100)에 n회 반복되어 입력되지만, 출력단(300)에서는 반복되지 않고 출력된다.

도 7은 본 발명의 다른 실시예에 따른 반도체 장치를 설명하기 위한 블록도이다. 도 1과 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하기로 한다.

도 7을 참조하면, 본 발명의 다른 실시예에 따른 반도체 장치(2)는 다수의 입력단(100_i, i=1~8), 속도 변환부(201), 다수의 출력단(300_i, i=1~8)을 포함한다.

다수의 입력단(100_i, i=1~8)과 다수의 출력단(300_i, i=1~8)은 일대일로 대응되고, 각 입력단(100_i, i=1~8)으로 제1 속도로 입력된 테스트 패턴 데이터(TPDATA)는 대응되는 출력단(300_i, i=1~8)으로 제1 속도와 다른 제2 속도로 출력된다. 또한, 각 입력단(100_i, i=1~8)으로 입력된 테스트 패턴 데이터(TPDATA)는 내부 회로(미도시)를 거치지 않고, 각 입력단(100_i, i=1~8)과 각 출력단(300_i, i=1~8)을 연결하는 피드 스루 패스를 통해서, 출력단(300_i, i=1~8)으로 제공된다.

속도 변환부(201)는 다수의 입력단(100_i, i=1~8)에 대응되어 제1 테스트 패턴 데이터 저장부(250_i, i=1~8)를 구비되고, 다수의 출력단(300_i, i=1~8)에 대응되어 제2 테스트 패턴 데이터 저장부(270_i, i=1~8)가 구비된다. 또한, 테스트 제어부(210), 제1 클럭 제공부(240) 및 제2 클럭 제공부(260)는 다수의 입력단 및 출력단에 공통적으로 설치될 수 있으나, 이에 제한되는 것은 아니다. 예를 들어, 테스트 제어부(210), 제1 클럭 제공부(240) 및 제2 클럭 제공부(260) 또한 다수의 입력단(100_i, i=1~8)과 출력단(300_i, i=1~8)에 각각 설치될 수 있다. 또한, 설명의 편의를 위해서 제1 및 제2 스위치의 도시를 생략한다.

또한, 도 7에서는 8개의 입력단(100_i, i=1~8)과 8개의 출력단(300_i, i=1~8)을 예로 들어 도시하였으나, 16개의 입력단과 16개의 출력단 등으로 확대 적용할 수 있음을 자명하다.

도 8은 본 발명의 일 실시예에 따른 반도체 장치의 테스트 기판을 설명하기 위한 블록도이다. 도 1과 실질적으로 동일한 구성 요소에 대해서는 동일한 도면 부호를 사용하며, 해당 구성 요소에 대한 상세한 설명은 생략하기로 한다.

도 8을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 테스트 기판(10)은 회로 기판(500), 고속 변환부(202), 소켓(510), 저속 변환부(203)를 포함한다.

회로 기판(500)은 일면에 고속 변환부(202), 소켓(510), 저속 변환부(203) 등이 구비된다. 특히, 고속의 피테스트 반도체 장치(Device Under Test; DUT; 3)를 테스트하기 때문에, 회로 기판(500)에 형성된 신호 라인은 신호 충실도(signal integrity)가 높고, 낮은 임피던스(impedance)를 가지는 것이 바람직하다. 예를 들어, 신호 라인의 형태는 스트립 라인(strip line) 또는 마이크로 스트립(micro strip)일 수 있다.

또한, 회로 기판(500)은 인쇄 회로 기판(Printed Circuit Board; PCB), FPC(Flexible PCB), FRPCB(Flexible Rigid PCB), 세라믹 기판 등이 될 수 있으며, 이에 제한되는 것은 아니다. 또한, 회로 기판(500)은 패키지 기판, 멀티 칩 모듈(multi-chip module)용 기판, 일반 마더 보드(mother board) 등일 수 있으며, 이에 제한되는 것은 아니다.

고속 변환부(202)는 테스터(미도시)에서 제공한 저속의 테스트 패턴 데이터(TPDATA)가 직렬로 입력되는 제1 입력단(101)과, 제1 입력단(101)과 일대일로 대응되고 테스트 패턴 데이터(TPDATA)를 고속으로 직렬로 출력하는 제1 출력단(301)을 포함한다.

고속 변환부(202)는 전술한 제1 테스트 모드의 속도 변환부(도 1의 200)와 실질적으로 동일하다. 즉, 고속은 저속보다 n (단, n 은 자연수)배 빠를 경우, 고속 변환부(202)의 제1 출력단(301)은 제1 입력단(101)에 입력된 테스트 패턴 데이터(TPDATA)를 n 회 반복하여 출력한다.

또한, 고속 변환부(202)는 제1 테스트 제어부(210a), 제1 클럭 제공부(240a), 제1 테스트 패턴 데이터 저장부(250a), 제2 클럭 제공부(260a), 제2 테스트 패턴 데이터 저장부(270a)를 포함한다. 자세히 설명하면, 제1 테스트 제어부(210a)는 소정의 테스트 지시 신호(PTEST2)에 응답하여 인에이블되어, 제1 클럭 제공 지시 신호(PCK1), 제1 로드 신호(LOAD_IN1), 제2 클럭 제공 지시 신호(PCK2), 제1 로드 신호(LOAD_OUT1)를 소정의 타이밍에 맞추어 제공한다. 한편, 제1 클럭 제공부(240a)는 제1 클럭 제공 지시 신호(PCK1)를 수신하여 제1 클럭(CK1)을 제공한다. 제1 테스트 패턴 데이터 저장부(250a)는 저속으로 직렬로 입력되는 테스트 패턴 데이터(TPDATA)를 제1 클럭(CK1)에 동기되어 직렬로 저장하고, 제1 로드 신호(LOAD_IN1)에 응답하여 테스트 패턴 데이터(TPDATA)를 병렬로 저장한다. 한편, 제2 클럭 제공부(260a)는 제2 클럭 제공 지시 신호(PCK2)를 수신하여 제2 클럭(CK2)을 제공한다. 제2 테스트 패턴 데이터 저장부(270a)는 제2 로드 신호(LOAD_OUT1)에 응답하여 제1 테스트 패턴 데이터 저장부(250)에 저장된 테스트 패턴 데이터(TPDATA)를 전달받고, 제2 클럭(CK2)에 동기되어 직렬로 출력한다. 특히, 제2 테스트 패턴 데이터 저장부(270a)는 제2 로드 신호(LOAD_OUT1)는 n 회 반복 제공되어 테스트 패턴 데이터(TPDATA)를 n 회 반복 전달받고, 따라서 테스트 패턴 데이터(TPDATA)를 제2 클럭(CK2)에 동기되어 n 회 반복 출력하게 된다.

소켓(510)은 고속 동작하는 피테스트 반도체 장치(3)가 장착된다. 따라서, n 회 반복 출력된 테스트 패턴 데이터(TPDATA)를 고속으로 입력받아, 고속으로 n 회 반복 출력하게 된다. 여기서, 피테스트 반도체 장치(3)는 제2 입력단(100), 제2 출력단(300), 및 내부 회로를 거치지 않고 제2 입력단(100)과 제2 출력단(300)을 전기적으로 연결하는 피드 스루 패스(290)를 구비한다. 따라서, 피테스트 반도체 장치(3)의 성능 테스트에서는 내부 회로로 인한 불량을 배제할 수 있어, 반도체 장치의 입력 수신부(110), 출력 구동부(310)의 동작에 따른 불량만을 테스트할 수 있다.

저속 변환부(203)는 피테스트 반도체 장치(3)가 고속으로 출력한 테스트 패턴 데이터(TPDATA)가 직렬로 입력되는 제3 입력단(102)과, 제3 입력단(102)과 일대일로 대응되고 테스트 패턴 데이터(TPDATA)를 저속으로 직렬로 출력하는 제3 출력단(302)을 포함한다.

저속 변환부(203)는 전술한 제2 테스트 모드의 속도 변환부(도 1의 200)와 실질적으로 동일하다. 즉, 고속은 저속보다 n (단, n 은 자연수)배 빠르고, 저속 변환부(203)의 제3 출력단(302)은 제3 입력단(102)에 n 회 반복되어 입력된 테스트 패턴 데이터(TPDATA)를 반복하지 않고 출력한다. 또한, 저속 변환부(203)는 제2 테스트 제어부(210b), 제3 클럭 제공부(240b), 제3 테스트 패턴 데이터 저장부(250b), 제4 클럭 제공부(260b), 제4 테스트 패턴 데이터 저장부(270b)를 포함한다.

도 9는 본 발명의 일 실시예에 따른 반도체 장치의 테스트 시스템을 설명하기 위한 블록도이다.

도 9를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 테스트 시스템(20)은 제어 컴퓨터(600), 테스터(700), 제1 피테스트 반도체 장치(1a), 제2 피테스트 반도체 장치(1b)를 포함한다.

제어 컴퓨터(600)는 테스터(700)를 제어하는 역할을 한다. 즉, 제어 컴퓨터(600)는 테스터(700)를 제어하기 위한 제어 신호(CTR)를 제공하고, 테스트 패턴 데이터(TPDATA)를 생성하기 위한 다수의 데이터(DATA)를 테스터(700)에 로딩한다. 제어 컴퓨터(600)는 워크 스테이션(work station)과 같은 고성능 컴퓨터일 수 있고, 키보드(keyboard), 비디오 디스플레이 터미널(video display terminal), 디스크(disk; 610)와 같은 별크 스토리지(bulk storage)를 포함할 수 있다.

테스터(700)는 테스트 패턴 데이터 발생기(710), 포맷터(formatter; 720)를 포함한다.

테스트 패턴 데이터 발생기(710)는 제어부(712), 제어 비트 저장부(714), 데이터 비트 저장부(716)를 포함한다. 제어부(712)는 제어 컴퓨터(600)의 제어 신호(CTR)를 인가받아 제1 및 제2 어드레스 신호(ADDR1, ADDR2)를 발생시킨다. 제어 비트 저장부(714)는 수신되는 제1 어드레스 신호(ADDR1)에 대응되는 제어 비트(CB)를 출력한다. 데이터 비트 저장부(716)는 수신되는 제2 어드레스 신호(ADDR2)에 대응되는 데이터 비트(DB)를 출력한다.

포맷터(720)는 제어 비트(CB)를 수신하여, 소정의 형태로 테스트 지시 신호(PTEST0, PTEST1)를 생성하여 제1 및 제2 피테스트 반도체 장치(1a, 1b)에 각각 제공한다. 즉, 제1 피테스트 반도체 장치(1a)는 하이 레벨의 제1 테스트 지시 신호(PTEST0)와, 로우 레벨의 제2 테스트 지시 신호(PTEST1)를 수신하여 제1 테스트 모드가 된다. 따라서, 제1 피테스트 반도체 장치(1a)의 제1 입력단(100a)은 테스터(700)로부터 테스트 패턴 데이터(TPDATA)를 저속으로 직렬로 입력받고, 제1 출력단(300a)은 제1 입력단(100a)과 일대일로 대응되고 입력된 테스트 패턴 데이터(TPDATA)를 고속으로 직렬로 출력한다.

또한, 제2 피테스트 반도체 장치(1b)는 로우 레벨의 제1 테스트 지시 신호(PTEST0)와, 하이 레벨의 제2 테스트 지시 신호(PTEST1)를 수신하여 제2 테스트 모드가 된다. 따라서, 제2 피테스트 반도체 장치(1b)의 제1 입력단(100b)은 제1 피테스트 반도체 장치(1a)로부터 고속으로 직렬로 입력받고, 제1 출력단(300b)은 제1 입력단(100b)과 일대일로 대응되고 입력된 테스트 패턴 데이터(TPDATA)를 저속으로 직렬로 출력한다.

또한, 포맷터(720)는 데이터 비트(DB)를 수신하여, 소정의 형태로 테스트 패턴 데이터(TPDATA)를 생성하여 제1 피테스트 반도체 장치(1a)에 제공한다. 또한, 포맷터(720)는 제2 피테스트 반도체 장치(1b)에서 출력되는 테스트 패턴 데이터(TPDATA)를 수신하여, 제1 피테스트 반도체 장치(1a)에 제공했던 테스트 패턴 데이터(TPDATA)를 비교한다. 그 후, 포맷터(720)는 비교 결과에 따라 결과 신호(RST)를 제어 컴퓨터(600)에 제공한다. 다만, 이러한 비교 과정은 포맷터(720)에서 진행되지 않고, 별도의 고장 처리부(미도시)를 구비하여 비교할 수도 있다.

이하에서, 도 9 및 도 10을 참조하여 본 발명의 일 실시예에 따른 반도체 장치의 테스트 방법을 설명한다.

도 9 및 도 10을 참조하면, 우선 제1 및 제2 피테스트 반도체 장치(1a, 1b)를 제공한다(S810).

여기서, 제1 및 제2 피테스트 반도체 장치(1a, 1b)는 각각 제1 속도로 테스트 패턴 데이터(TPDATA)가 직렬로 입력되는 제1 및 제2 입력단(100a, 100b)과, 제1 및 제2 입력단(100a, 100b)과 각각 일대일로 대응되고 제1 속도와 다른 제2 속도로 테스트 패턴 데이터(TPDATA)를 직렬로 외부로 출력하는 제1 및 제2 출력단(300a, 300b)을 포함한다. 제1 및 제2 피테스트 반도체 장치(1a, 1b)는 각각 제1 속도보다 제2 속도가 빠른 제1 테스트 모드와 제1 속도보다 제2 속도가 느린 제2 테스트 모드를 갖는다.

제1 테스트 모드의 제1 피테스트 반도체 장치(1a)의 제1 출력단(300a)과, 제2 테스트 모드의 제2 피테스트 반도체 장치(1b)의 제2 입력단(100b)을 전기적으로 연결한다(S820).

이어서, 제1 테스트 모드의 제1 피테스트 반도체 장치(1a)의 제1 입력단(100a)에 저속으로 직렬로 테스트 패턴 데이터를 인가하고, 제2 테스트 모드의 제2 피테스트 반도체 장치(1b)의 제2 출력단(300b)에서 출력되는 테스트 패턴 데이터(TPDATA)를 수신하여 정상 동작 여부를 판단한다(S830).

자세히 설명하면, 테스터(700)는 저속으로 동작하고, 제1 및 제2 피테스트 반도체 장치(1a, 1b)는 고속으로 동작하기 때문에, 제1 피테스트 반도체 장치(1a)는 제1 테스트 모드이고 제2 피테스트 반도체 장치(1b)는 제2 테스트 모드이어야 한다. 이와 같은 방식으로 결함이 있는지 여부를 판단하면, 제1 피테스트 반도체 장치(1a)의 제1 출력단(300a), 제2 피테스트 반도체 장치(1b)의 제2 입력단(100b)이 고속으로 정상 동작하는지 여부를 판단할 수 있다.

이어서, 제1 테스트 모드의 제2 피테스트 반도체 장치(1b)의 제2 출력단(300b)과 제2 테스트 모드의 제1 피테스트 반도체 장치(1a)의 제1 입력단(100a)을 전기적으로 연결한다(S840).

자세히 설명하면, 제1 피테스트 반도체 장치(1a)와 제2 피테스트 반도체 장치(1b)의 위치를 바꾸어서 연결한다. 그 후, 제1 및 제2 피테스트 반도체 장치(1a, 1b)에 각각 소정의 테스트 지시 신호(PTEST0, PTEST1)를 제공하여, 제2 피테스트 반도체 장치(1b)를 제1 테스트 모드로 변환하고, 제1 피테스트 반도체 장치(1a)를 제2 테스트 모드로 변환한다.

그 후, 제1 테스트 모드의 제2 퍼테스트 반도체 장치(1b)의 제2 입력단(100b)에 저속으로 직렬로 테스트 패턴 데이터(TPDATA)를 인가하고, 제2 테스트 모드의 제1 퍼테스트 반도체 장치(1a)의 제1 출력단(300a)에서 출력되는 테스트 패턴 데이터를 수신하여 정상 동작 여부를 판단한다(S850).

자세히 설명하면, 테스터(700)는 저속으로 동작하고, 제1 및 제2 퍼테스트 반도체 장치(1a, 1b)는 고속으로 동작하기 때문에, 제2 퍼테스트 반도체 장치(1b)는 제1 테스트 모드이고 제1 퍼테스트 반도체 장치(1a)는 제2 테스트 모드이어야 한다. 이와 같은 방식으로 결합이 있는지 여부를 판단하면, 제2 퍼테스트 반도체 장치(1b)의 제2 출력단(300b), 제1 퍼테스트 반도체 장치(1a)의 제1 입력단(100a)이 고속으로 정상 동작하는지 여부를 판단할 수 있다. 따라서, 이와 같이 2번의 테스트 과정을 통해서 제1 및 제2 퍼테스트 반도체 장치(1a, 1b)의 제1 및 제2 입력단(100a, 100b) 및 제1 및 제2 출력단(100a, 100b)의 정상 동작 여부를 모두 판단할 수 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

상기한 바와 같은 반도체 장치, 테스트 기판, 반도체 장치의 테스트 시스템 및 반도체 장치의 테스트 방법에 따르면 다음과 같은 효과가 하나 혹은 그 이상 있다.

첫째, 저속의 테스터를 이용하여 고속의 반도체 장치를 테스트할 수 있다. 따라서, 테스트 비용이 감소한다.

둘째, 별도의 복잡한 회로를 사용하지 않으므로 사용되는 회로 자체의 불량을 고려하지 않아도 되므로, 테스트 결과에 대한 신뢰성이 높아진다.

셋째, 테스트 패턴 데이터가 입출력하는 테스트 장치의 입력단과 출력단이 일대일로 대응되므로, 하나의 입력단 및 출력단을 테스트하기 위해 다수의 입력단 및 출력단을 이용하지 않는다. 따라서, 테스트의 능률이 높아지고, 테스트 결과에 대한 신뢰성이 높아진다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 블록도이다.

도 2는 도 1의 제1 테스트 패턴 데이터 저장부의 회로도이다.

도 3는 도 1의 제2 테스트 패턴 데이터 저장부의 회로도이다.

도 4는 도 1의 클럭 제공부를 설명하기 위한 블럭도이다.

도 5는 본 발명의 일 실시예에 따른 반도체 장치의 제1 테스트 모드 동작을 설명하기 위한 타이밍도이다.

도 6는 본 발명의 일 실시예에 따른 반도체 장치의 제2 테스트 모드 동작을 설명하기 위한 타이밍도이다.

도 7은 본 발명의 다른 실시예에 따른 반도체 장치를 설명하기 위한 블록도이다.

도 8은 본 발명의 일 실시예에 따른 반도체 장치의 테스트 기판을 설명하기 위한 블록도이다.

도 9는 본 발명의 일 실시예에 따른 반도체 장치의 테스트 시스템을 설명하기 위한 블록도이다.

도 10은 본 발명의 일 실시예에 따른 반도체 장치의 테스트 방법을 설명하기 위한 순서도이다.

(도면의 주요부분에 대한 부호의 설명)

1, 2 : 반도체 장치 100 : 입력단

110 : 입력 수신부 200 : 속도 변환부

210 : 테스트 제어부 220 : 제1 스위치

230 : 제2 스위치 240 : 제1 클럭 제공부

250 : 제1 테스트 패턴 데이터 저장부

260 : 제2 클럭 제공부 270 : 제2 테스트 패턴 데이터 저장부

300 : 출력단 310 : 출력 구동부

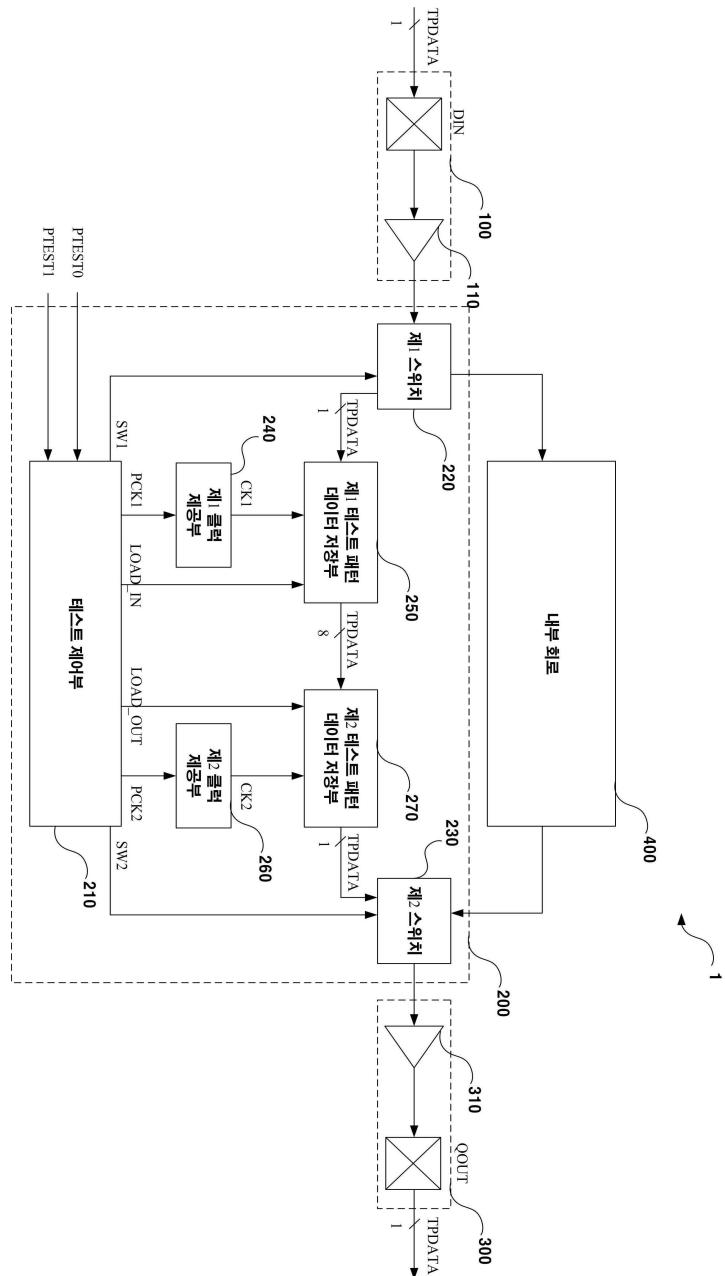
600 : 제어 컴퓨터 700 : 테스터

710 : 테스트 패턴 데이터 발생기

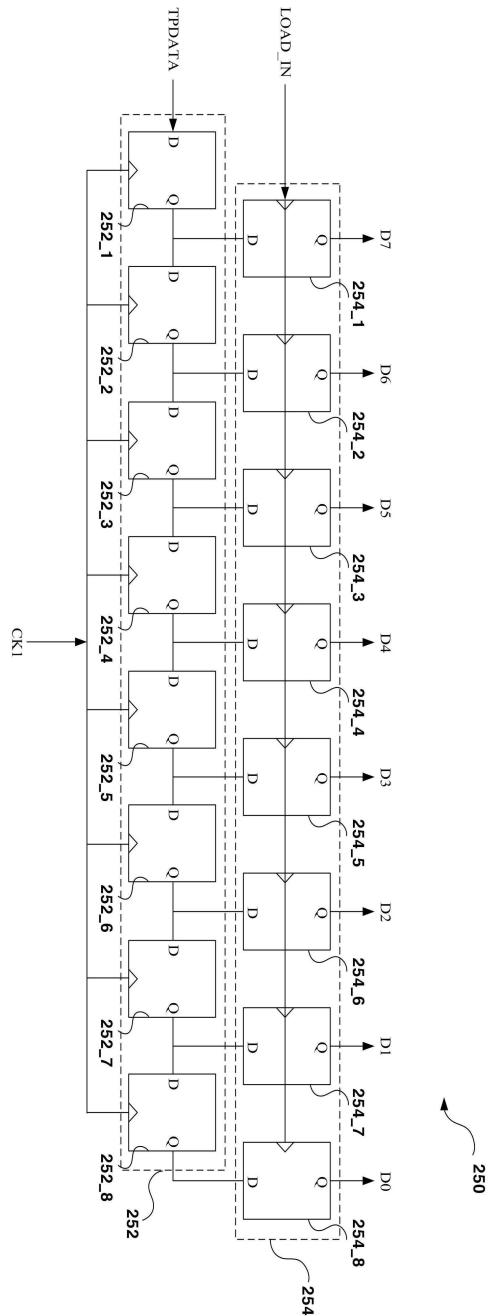
720 : 포맷터

도면

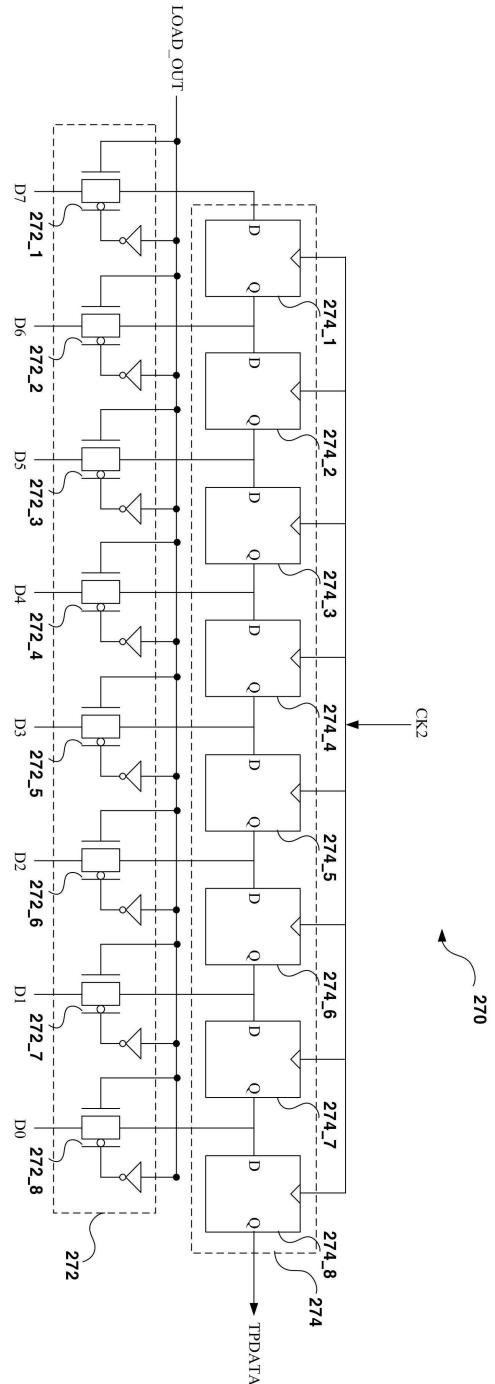
도면1



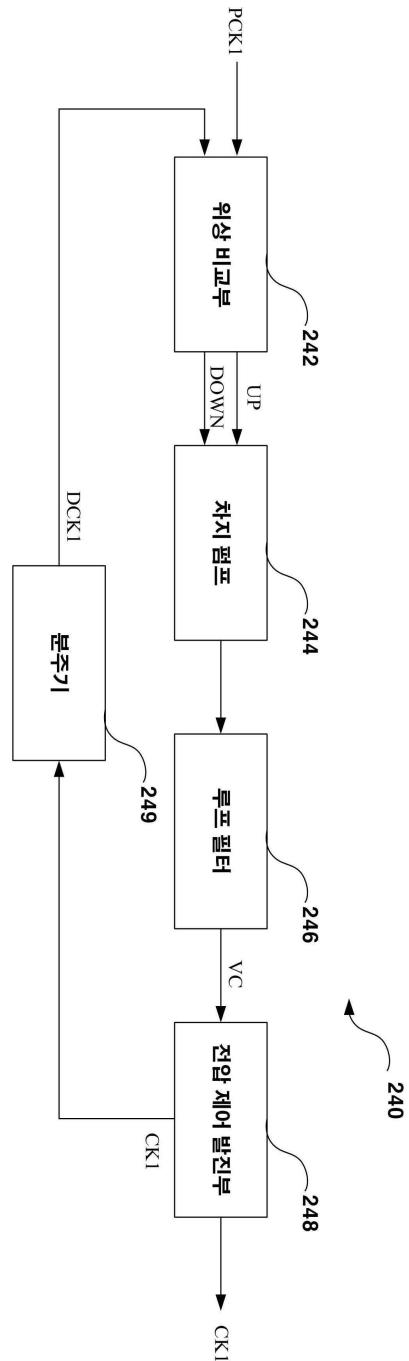
도면2



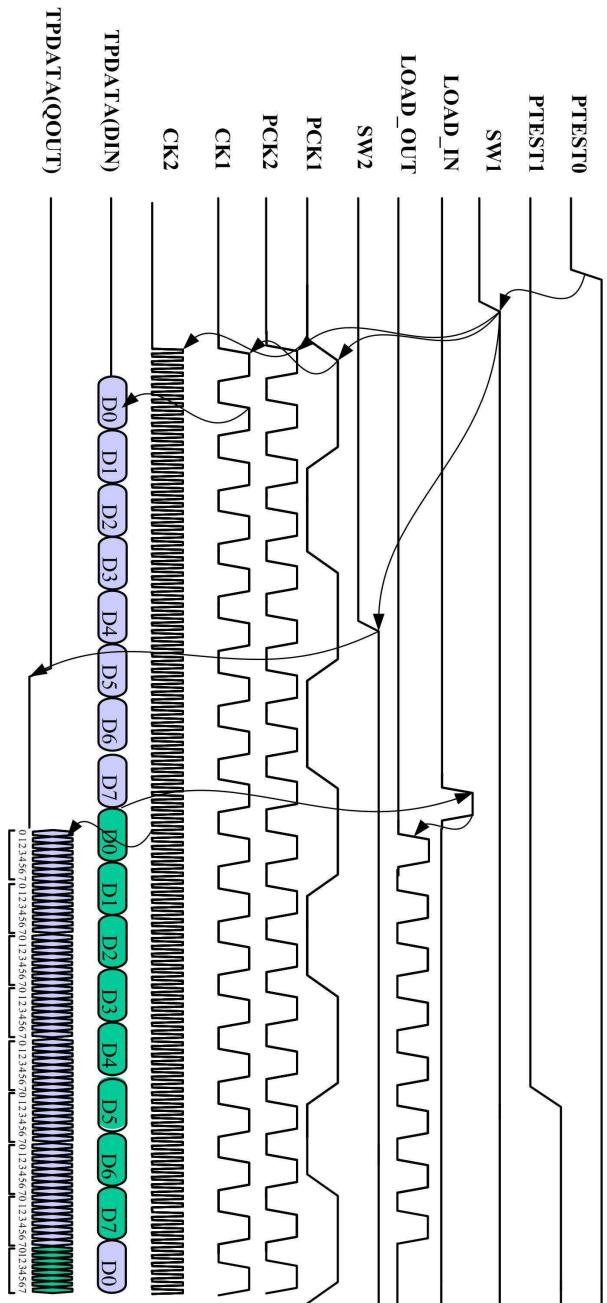
도면3



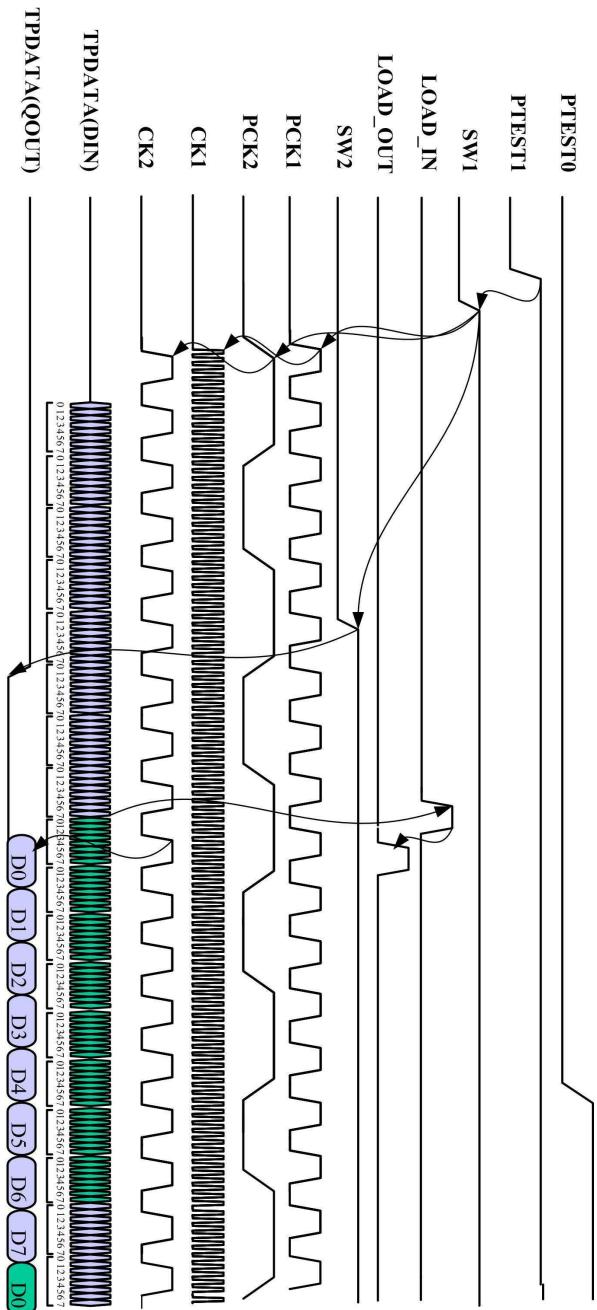
도면4



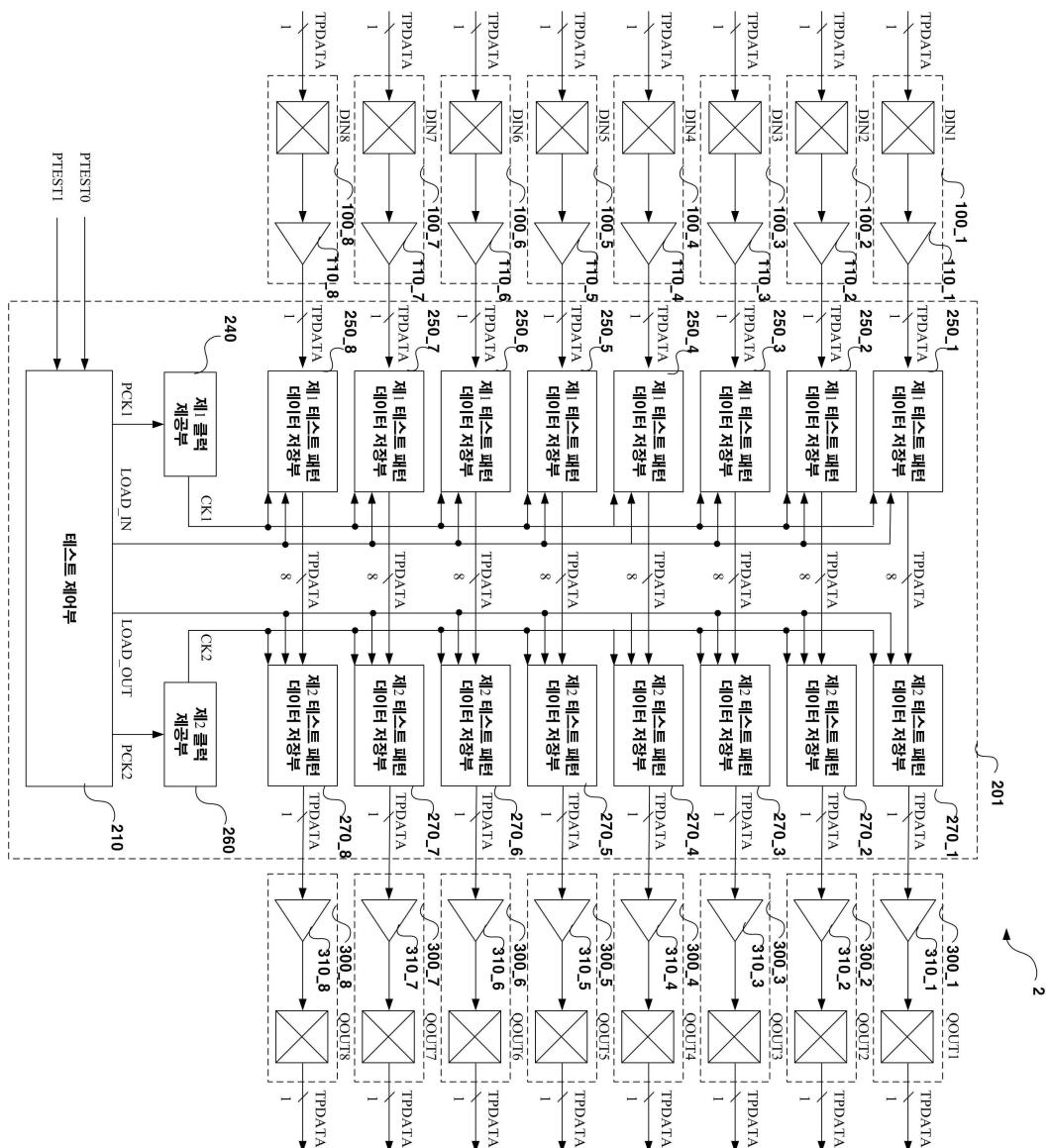
도면5



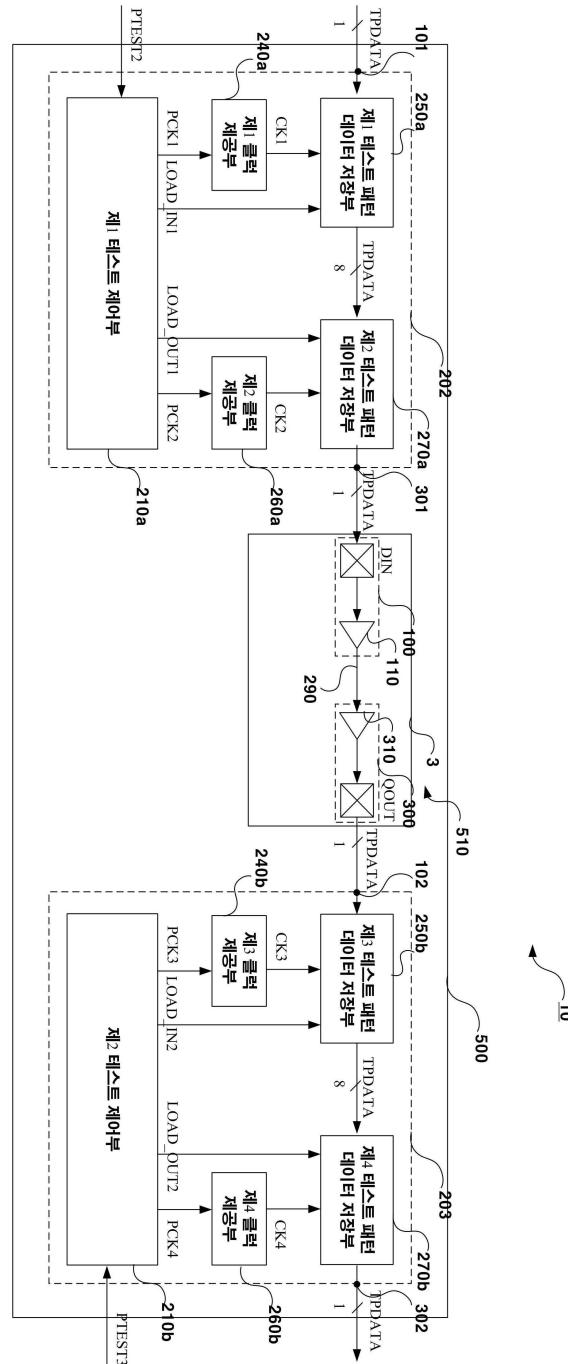
도면6



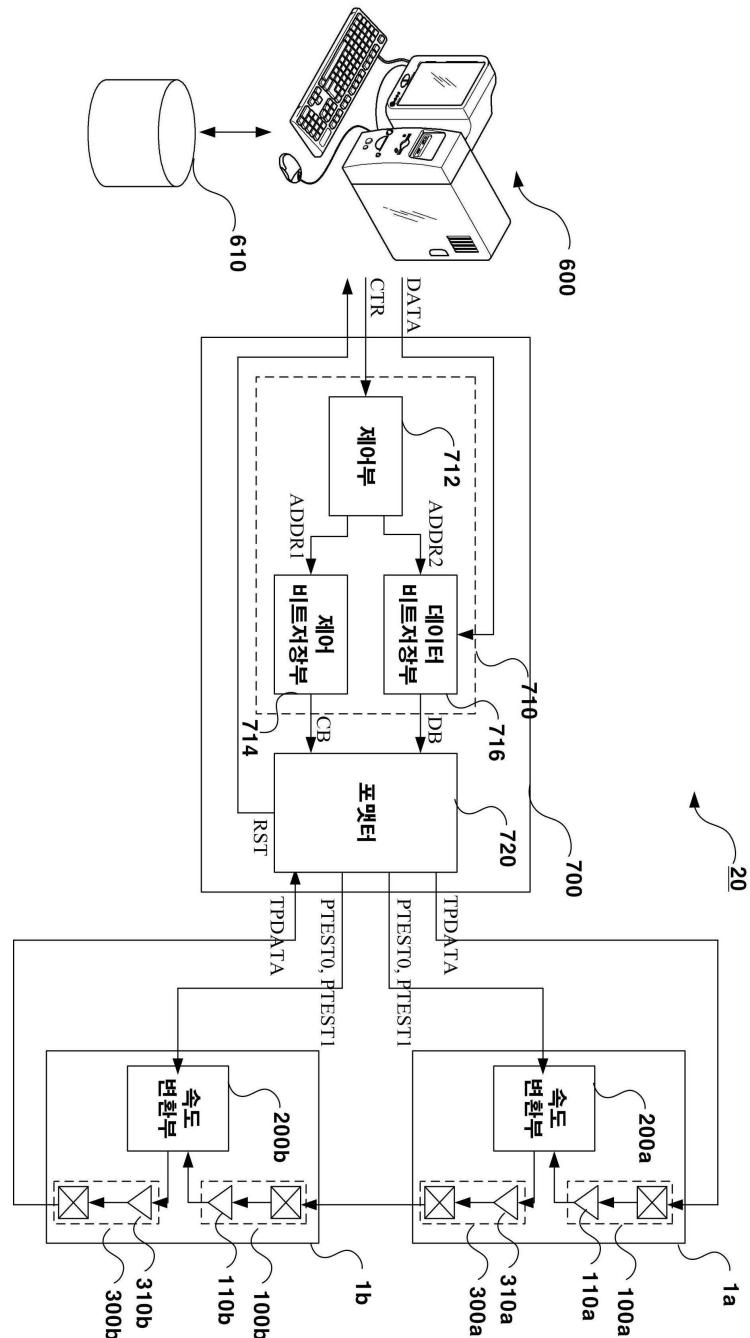
도면 7



도면 8



도면9



도면10

