

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020년 7월 9일 (09.07.2020)



(10) 국제공개번호
WO 2020/141663 A1

(51) 국제특허분류:
G09G 3/3233 (2016.01) *G06K 9/00* (2006.01)

(21) 국제출원번호: PCT/KR2019/006645

(22) 국제출원일: 2019년 6월 3일 (03.06.2019)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

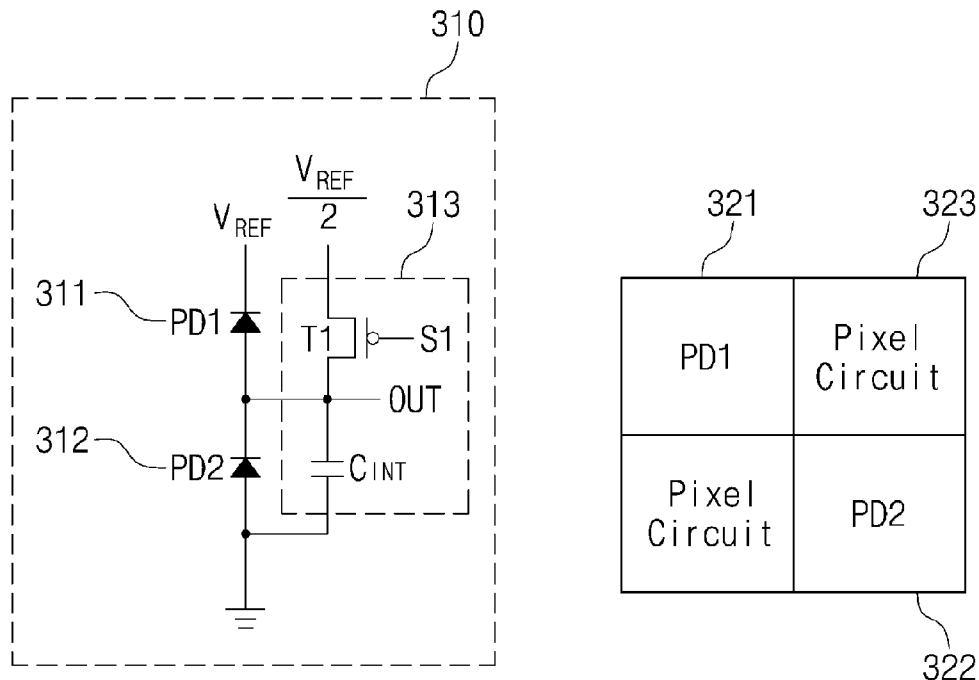
(30) 우선권정보:
10-2018-0173480 2018년 12월 31일 (31.12.2018) KR

(71) 출원인: 엘지디스플레이 주식회사 (LG DISPLAY CO., LTD.) [KR/KR]; 07336 서울시 영등포구 여의대로 128, Seoul (KR). 한양대학교 산학협력단 (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY) [KR/KR]; 04763 서울시 성동구 왕십리로 222, Seoul (KR).

(72) 발명자: 최병덕 (CHOI, Byong Deok); 05339 서울시 강동구 천호대로 1089, 1102동 501호, Seoul (KR). 유용상 (YOO, Yong Sang); 06276 서울시 강남구 선릉로 221, 402동 703호, Seoul (KR). 김용덕 (KIM, Yong Duck); 01619 서울시 노원구 동일로 227길 25, 1102동 906호, Seoul (KR). 문정민 (MOON, Jeongmin); 10845 경기도 파주시 월롱면 엘지로 245, Gyeonggi-do (KR). 정순신 (JUNG, Soonshin); 10845 경기도 파주시 월롱면 엘지로 245, Gyeonggi-do (KR). 송문봉 (SONG, Moonbong); 10845 경기도 파주시 월롱면 엘지로 245, Gyeonggi-do (KR). 장기석 (CHANG, Kiseok); 10845 경기도 파주시 월롱면 엘지로 245, Gyeonggi-do (KR). 정지환 (JUNG, Jihwan); 10845 경기도 파주시 월롱면 엘지로 245, Gyeonggi-do (KR).

(54) Title: PIXEL CIRCUIT COMPRISING OPTICAL FINGERPRINT SENSING CIRCUIT, METHOD FOR DRIVING PIXEL CIRCUIT, AND ORGANIC LIGHT-EMITTING DISPLAY DEVICE

(54) 발명의 명칭: 광학 지문 센싱 회로를 포함한 화소 회로, 화소 회로의 구동 방법, 및 유기 발광 표시 장치



(57) Abstract: Disclosed are a pixel circuit comprising an optical fingerprint sensing circuit, a method of driving a pixel circuit comprising an optical fingerprint sensing circuit, and a display device comprising a pixel circuit comprising an optical fingerprint sensing circuit. According to the present disclosure, the pixel circuit comprising an optical fingerprint sensing circuit comprises a pixel control circuit, the pixel control circuit comprising: a first photodetector which receives a light and generates a first signal; a second photodetector which receives a light and generates a second signal; and a self-illuminator which receives differential signals of the first signal and second signal and outputs an output signal, includes at least one transistor component and at least one capacitor component, and

(74) 대리인: 특허법인 정안 (HONESTY & JR PARTNERS
INTELLECTUAL PROPERTY LAW GROUP); 06103
서울시 강남구 선릉로 615, 5층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국
내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,
AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU,
ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK,
MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역
내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,
LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유
럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

outputs a light on the basis of a data signal.

(57) 요약서: 광학 지문 센싱 회로를 포함한 화소 회로, 광학 지문 센싱 회로를 포함한 화소 회로의 구동 방법 및 광학 지문
센싱 회로를 포함한 화소 회로를 포함하는 표시 장치가 개시된다. 본 개시에 따른 광학 지문 센싱 회로를 포함한 화소 회로는
빛을 수신하여 제 1 신호를 생성하는 제 1 수광 소자, 빛을 수신하여 제 2 신호를 생성하는 제 2 수광 소자 및 상기 제 1 신호와
상기 제 2 신호의 차분 신호를 수신하여 출력 신호를 출력하고, 적어도 하나의 트랜지스터 성분과 적어도 하나의 캐패시터
성분을 포함하고, 데이터 신호에 기초하여 빛을 출력하는 자발광 소자를 포함하는 화소 제어회로를 포함한다.

명세서

발명의 명칭: 광학 지문 센싱 회로를 포함한 화소 회로, 화소 회로의 구동 방법, 및 유기 발광 표시 장치

기술분야

- [1] 본 개시는 광학 지문 센싱 회로를 포함한 화소 회로, 광학 지문 센싱 회로를 포함한 화소 회로의 구동 방법 및 광학 지문 센싱 회로를 포함한 화소 회로를 포함하는 표시 장치(Pixel circuit including optical fingerprint sensing circuit, Method for driving the pixel circuit and Display device)에 관한 것이다.
- [2] 본 발명은 2018년 12월 31일에 출원된 한국특허출원 제 10-2018-0173480 호의 출원일의 이익을 주장하며, 그 내용 전부는 본 명세서에 포함된다.

배경기술

- [3] 화상 표시 장치는 노트북 컴퓨터, 태블릿 피시(tablet PC), 스마트폰(smart phone), 개인 휴대용 정보 단말기(Personal Digital Assistant), 현금 자동 입출금기(Automated Teller Machine), 검색 안내 시스템 등과 같은 컴퓨터 기반 시스템(computer based system)에서 사용되고 있다. 이들 시스템에는 통상적으로 개인 사생활과 관련된 개인정보는 물론 영업정보나 영업기밀과 같이 비밀을 요하는 많은 데이터가 저장되어 있다. 이들 데이터를 보호하기 위해서는 보안을 강화해야 할 필요성이 있다.
- [4] 보안 강화를 위한 방법으로 손가락의 지문을 활용할 수 있다. 손가락의 지문이 컴퓨터 기반 시스템에 활용됨에 따라, 특히 스마트폰에 많이 활용될 것으로 예상되는 지문 인식 소자를 포함한 화상 표시 장치에 대한 연구가 활발히 진행되고 있다.
- [5] 일반적으로 지문 센싱 회로를 갖는 화상 표시 장치는 광학 센싱 방식 또는 정전 용량 방식으로 지문을 인식한다.
- [6] 광학 센싱 방식으로 지문을 인식하는 화상 표시 장치는 표시 패널에 지문 센서로써 수광 소자를 포함한 지문 인식회로가 구비된다. 상기 수광 소자는 표시 패널로부터 출사 되어 지문에 의해 반사된 광을 센싱하여 광전류를 생성한다. 이때, 수광 소자로부터 발생되는 광전류의 양은 광을 반사시킨 물체가 지문의 융선(Ridge)인지 또는 골(Valley)인지에 따라 가변 된다. 지문 인식회로는 광전류의 변화량을 통하여 지문의 형태를 인식한다.

발명의 상세한 설명

기술적 과제

- [7] 광학 센싱 방식으로 지문을 인식하기 위해서는 예시적으로 500PPI 이상의 고해상도를 가지는 지문인식회로가 필요하다.
- [8] 본 발명의 발명자들은 고해상도의 지문인식회로 개발을 위해서, 지문인식회로와 화소회로의 중복된 소자를 제거하고 지문인식회로와

화소회로를 통합의 필요성을 인식하였다.

- [9] 화소회로와 지문인식회로가 통합되는 경우, 화소회로와 지문인식회로의 거리가 가깝기 때문에, 자발광 소자에서 출사된 빛의 상당량이 지문에 도달하지 못하고 유리 또는 전극(electrode)에 반사되어 화소회로의 수광 소자로 돌아올 수 있다. 또한 수광 소자는 표시 장치 외부로부터 입사된 빛, 예를 들면 태양광이나 실내 조명기기의 빛을 수신할 수도 있다. 이러한 직광이 지문인식회로에 입사되는 경우, 직광은 지문광 보다 광량이 클 수 있기 때문에, 수광 소자는 지문에 반사된 빛을 제대로 인식하지 못할 수 있다. 최종적으로는 지문인식회로의 지문인식률이 낮아지는 문제가 발생한다. 본 발명의 발명자들은 상술한 문제점들을 개선하기 위한 연구를 하였다.
- [10] 이에, 본 개시는 전술한 문제점을 해결하기 위하여 안출된 것으로, 지문에 반사되지 않은 직광에 영향을 받지 않고, 지문을 인식하는 통합된 화소회로를 제공하는 것을 기술적 과제로 한다.

과제 해결 수단

- [11] 본 개시는, 광학 지문 센싱 회로를 포함한 화소회로로서, 상기 화소회로는, 화상을 표시하는 자발광 소자; 상기 자발광 소자에서 출사되어 사용자의 지문을 통해 반사된 광을 수광하여 광전류로 변환하는 수광소자; 및 화소 제어회로;를 포함하고, 상기 수광소자는, 제 1 신호를 생성하는 제 1 수광 소자; 및 제 2 신호를 생성하는 제 2 수광 소자를 포함하고, 상기 화소 제어회로는 상기 제 1 신호와 상기 제 2 신호를 연산하여 출력 신호를 생성하고, 적어도 하나의 트랜지스터 성분과 적어도 하나의 캐패시터 성분을 포함하는 것을 특징으로 한다.
- [12] 상기 화소 제어회로는, 상기 제 1 신호와 상기 제 2 신호를 차분하여 노이즈 신호가 제거된 출력신호를 생성하는 것을 특징으로 한다.
- [13] 상기 화소 제어회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 1 캐패시터 및 제 2 캐패시터를 더 포함하고, 상기 제 1 트랜지스터의 제 1 단자는 데이터라인에 연결되고, 상기 제 1 트랜지스터의 제 2 단자는 제 1 노드에 연결되고, 상기 제 1 트랜지스터의 게이트 단자는 n 번째 스캔라인에 연결되고, 상기 제 2 트랜지스터의 제 1 단자는 제 2 노드에 연결되고, 상기 제 2 트랜지스터의 제 2 단자는 제 3 노드에 연결되고, 상기 제 2 트랜지스터의 게이트 단자는 제 4 노드에 연결되고, 상기 제 3 트랜지스터의 제 1 단자는 상기 제 4 노드에 연결되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 3 노드에 연결되고, 상기 제 3 트랜지스터의 게이트 단자는 n-1 번째 스캔라인에 연결되고, 상기 제 4 트랜지스터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 2 수광 소자의 캐소드(Cathode) 단자에 연결되고, 상기 제 4 트랜지스터의 게이트 단자는 제 1 센싱(sensing) 라인에 연결되고, 상기 제 5 트랜지스터의 제 1 단자는 상기 제 1 수광 소자의 아노드

단자에 연결되고, 상기 제 5 트랜지스터의 제 2 단자는 상기 제 1 노드에 연결되고, 상기 제 5 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고, 상기 제 6 트랜지스터의 제 1 단자는 상기 제 3 노드에 연결되고, 상기 제 6 트랜지스터의 제 2 단자는 접지되고, 상기 제 6 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고, 상기 제 7 트랜지스터의 제 1 단자는 상기 제 2 노드에 연결되고, 상기 제 7 트랜지스터의 제 2 단자는 출력 라인에 연결되고, 상기 제 7 트랜지스터의 게이트 단자는 제 2 센싱 라인에 연결되고, 상기 제 1 캐패시터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 1 캐패시터의 제 2 단자는 상기 제 4 노드에 연결되고, 상기 제 2 캐패시터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 2 캐패시터의 제 2 단자는 접지되고, 상기 제 1 수광 소자의 캐소드 단자는 전원(VDD)에 연결되고, 상기 제 2 수광 소자는 접지되는 것을 특징으로 한다.

- [14] 또한, 상기 화소 제어회로는 제 8 트랜지스터, 제 9 트랜지스터, 및 제 10 트랜지스터를 더 포함하고, 상기 제 8 트랜지스터의 제 1 단자는 전원(VDD)에 연결되고, 상기 제 8 트랜지스터의 제 2 단자는 상기 제 1 노드에 연결되고, 상기 제 8 트랜지스터의 게이트 단자는 상기 n-1 번째 스캔라인에 연결되고, 상기 제 9 트랜지스터의 제 1 단자는 상기 전원에 연결되고, 상기 제 9 트랜지스터의 제 2 단자는 상기 제 2 노드에 연결되고, 상기 제 9 트랜지스터의 게이트 단자는 제 1 에미션(emission)라인에 연결되고, 상기 제 10 트랜지스터의 제 1 단자는 상기 제 3 노드에 연결되고, 상기 제 10 트랜지스터의 제 2 단자는 상기 자발광 소자의 아노드 단자에 연결되고, 상기 제 10 트랜지스터의 게이트 단자는 제 2 에미션 라인에 연결되고, 상기 자발광 소자의 캐소드 단자는 접지되는 것을 특징으로 한다.

- [15] 또한, 상기 화소 제어회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터 및 제 7 트랜지스터를 더 포함하고, 상기 제 1 트랜지스터의 제 1 단자는 데이터라인에 연결되고, 상기 제 1 트랜지스터의 제 2 단자는 제 1 노드에 연결되고, 상기 제 1 트랜지스터의 게이트 단자는 n 번째 스캔라인에 연결되고, 상기 제 2 트랜지스터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 2 트랜지스터의 제 2 단자는 제 2 노드에 연결되고, 상기 제 2 트랜지스터의 게이트 단자는 제 3 노드에 연결되고, 상기 제 3 트랜지스터의 제 1 단자는 상기 제 3 노드에 연결되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 노드에 연결되고, 상기 제 3 트랜지스터의 게이트 단자는 상기 n 번째 스캔라인에 연결되고, 상기 제 4 트랜지스터의 제 1 단자는 상기 제 3 노드에 연결되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 2 수광 소자의 캐소드(Cathode) 단자에 연결되고, 상기 제 4 트랜지스터의 게이트 단자는 제 1 센싱(sensing) 라인에 연결되고, 상기 제 5 트랜지스터의 제 1 단자는 상기 제 1 수광 소자의 아노드(Anode) 단자에 연결되고, 상기 제 5 트랜지스터의 제 2 단자는 상기 제 3 노드에 연결되고, 상기

제 5 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고, 상기 제 6 트랜지스터의 제 1 단자는 상기 제 2 노드에 연결되고, 상기 제 6 트랜지스터의 제 2 단자는 접지되고, 상기 제 6 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고, 상기 제 7 트랜지스터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 7 트랜지스터의 제 2 단자는 출력 라인에 연결되고, 상기 제 7 트랜지스터의 게이트 단자는 제 2 센싱 라인에 연결되고, 상기 제 1 수광 소자의 캐소드 단자는 전원(VDD)에 연결되고, 상기 제 2 수광 소자의 아노드 단자는 접지되는 것을 특징으로 한다.

- [16] 또한, 상기 화소 제어회로는 제 8 트랜지스터, 제 9 트랜지스터, 제 10 트랜지스터, 및 제 11 트랜지스터를 더 포함하고, 상기 제 8 트랜지스터의 제 1 단자는 초기화 라인에 연결되고, 상기 제 8 트랜지스터의 제 2 단자는 상기 제 3 노드에 연결되고, 상기 제 8 트랜지스터의 게이트 단자는 $n-1$ 번째 스캔라인에 연결되고, 상기 제 9 트랜지스터의 제 1 단자는 초기화라인에 연결되고, 상기 제 9 트랜지스터의 제 2 단자는 상기 자발광 소자의 아노드(anode) 단자에 연결되고, 상기 제 9 트랜지스터의 게이트 단자는 상기 $n-1$ 번째 스캔라인에 연결되고, 상기 제 10 트랜지스터의 제 1 단자는 상기 전원에 연결되고, 상기 제 10 트랜지스터의 제 2 단자는 상기 제 1 노드에 연결되고, 상기 제 10 트랜지스터의 게이트 단자는 에미션(emission)라인에 연결되고, 상기 제 11 트랜지스터의 제 1 단자는 상기 제 2 노드에 연결되고, 상기 제 11 트랜지스터의 제 2 단자는 상기 자발광 소자의 아노드 단자에 연결되고, 상기 제 11 트랜지스터의 게이트 단자는 상기 에미션 라인에 연결되고, 상기 캐패시터의 제 1 단자는 상기 전원에 연결되고, 상기 캐패시터의 제 2 단자는 상기 제 3 노드에 연결되고, 상기 자발광 소자의 캐소드 단자는 접지되는 것을 특징으로 한다.

- [17] 또한, 상기 화소 제어회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터 및 제 6 트랜지스터를 더 포함하고, 상기 제 1 트랜지스터의 제 1 단자는 데이터라인에 연결되고, 상기 제 1 트랜지스터의 제 2 단자는 제 1 노드에 연결되고, 상기 제 1 트랜지스터의 게이트 단자는 n 번째 스캔라인에 연결되고, 상기 제 2 트랜지스터의 제 1 단자는 제 2 노드에 연결되고, 상기 제 2 트랜지스터의 제 2 단자는 제 3 노드에 연결되고, 상기 제 2 트랜지스터의 게이트 단자는 상기 제 1 노드에 연결되고, 상기 제 3 트랜지스터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 수광 소자의 캐소드(Cathode) 단자에 연결되고, 상기 제 3 트랜지스터의 게이트 단자는 제 1 센싱(sensing) 라인에 연결되고, 상기 제 4 트랜지스터의 제 1 단자는 상기 제 1 수광 소자의 아노드 단자에 연결되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 1 노드에 연결되고, 상기 제 4 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고, 상기 제 5 트랜지스터의 제 1 단자는 상기 제 3 노드에 연결되고, 상기 제 5 트랜지스터의 제 2 단자는 접지되고, 상기 제 5 트랜지스터의 게이트 단자는

상기 제 1 센싱 라인에 연결되고, 상기 제 6 트랜지스터의 제 1 단자는 상기 제 2 노드에 연결되고, 상기 제 6 트랜지스터의 제 2 단자는 출력 라인에 연결되고, 상기 제 6 트랜지스터의 게이트 단자는 제 2 센싱 라인에 연결되고, 상기 제 1 수광 소자의 캐소드 단자는 전원(VDD)에 연결되고, 상기 제 2 수광 소자의 아노드 단자는 접지되는 것을 특징으로 한다.

- [18] 또한, 상기 화소 제어회로는 제 7 트랜지스터를 더 포함하고, 상기 제 7 트랜지스터의 제 1 단자는 상기 전원에 연결되고, 상기 제 7 트랜지스터의 제 2 단자는 상기 제 2 노드에 연결되고, 상기 제 7 트랜지스터의 게이트 단자는 에미션(emission)라인에 연결되고, 상기 캐패시터의 제 1 단자는 상기 전원에 연결되고, 상기 캐패시터의 제 2 단자는 상기 제 1 노드에 연결되고, 상기 자발광 소자의 아노드 단자는 상기 제 3 노드에 연결되고, 상기 자발광 소자의 캐소드 단자는 접지되는 것을 특징으로 한다.

발명의 효과

- [19] 본 개시에 따르면, 충전용 제 1 수광 소자 또는 방전용 제 2 수광 소자에 기초하여 출력 전압이 $V_{REF}/2$ 근처로 유지될 수 있으므로, 화소회로의 출력 전압이 클리핑되는 것을 방지할 수 있는 효과가 있다.
- [20] 또한, 본 개시에 따르면, 제 1 수광 소자 및 제 2 수광 소자에 공통으로 흐르는 전류의 차인 차분 신호를 이용하여 지문을 센싱함으로써, 자발광 소자에 의한 빛 또는 외부로부터의 빛으로부터 발생한 신호, 즉 노이즈의 영향을 줄일 수 있고, 클리핑 현상을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

- [21] 도 1은 자발광 소자 및 수광 소자를 포함하는 회로의 단면을 나타낸 도면이다.
- [22] 도 2는 종래 기술에 따른 화소 회로를 나타낸 도면이다.
- [23] 도 3은 본 개시의 일 실시예에 따른 화소회로를 나타낸 도면이다.
- [24] 도 4는 종래 기술에 따른 화소회로의 수광 소자에 흐르는 전류를 나타낸 그래프이다.
- [25] 도 5는 본 개시의 일 실시예에 따른 수광 소자에 흐르는 전류를 나타낸 그래프이다.
- [26] 도 6은 본 개시의 일 실시예에 따른 출력 전압을 나타낸 그래프이다.
- [27] 도 7은 본 개시의 일 실시예에 따른 화소회로를 나타낸 도면이다.
- [28] 도 8은 본 개시의 일 실시예에 따른 화소회로를 나타낸 도면이다.
- [29] 도 9는 본 개시의 일 실시예에 따른 화소회로를 나타낸 도면이다.
- [30] 도 10은 본 개시의 일 실시예에 따른 제 1 노드의 전압을 나타낸 그래프이다.
- [31] 도 11은 본 개시의 일 실시예에 따른 제 1 노드의 전압을 나타낸 그래프이다.

발명의 실시를 위한 형태

- [32] 개시된 실시예의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본

개시는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 개시가 완전하도록 하고, 본 개시가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것일 뿐이다.

- [33] 본 개시의 일 실시예에 따르면 "부"는 프로세서 및 메모리로 구현될 수 있다. 용어 "프로세서"는 범용 프로세서, 중앙 처리 장치 (CPU), 마이크로프로세서, 디지털 신호 프로세서 (DSP), 제어기, 마이크로제어기, 상태 머신 등을 포함하도록 넓게 해석되어야 한다. 몇몇 환경에서는, "프로세서"는 주문형 반도체 (ASIC), 프로그램가능 로직 디바이스 (PLD), 필드 프로그램가능 게이트 어레이 (FPGA) 등을 지칭할 수도 있다. 용어 "프로세서"는, 예를 들어, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들의 조합, DSP 코어와 결합한 하나 이상의 마이크로프로세서들의 조합, 또는 임의의 다른 그러한 구성들의 조합과 같은 처리 디바이스들의 조합을 지칭할 수도 있다.
- [34] 용어 "메모리"는 전자 정보를 저장 가능한 임의의 전자 컴포넌트를 포함하도록 넓게 해석되어야 한다. 용어 메모리는 임의 액세스 메모리 (RAM), 판독-전용 메모리 (ROM), 비-휘발성 임의 액세스 메모리 (NVRAM), 프로그램가능 판독-전용 메모리 (PROM), 소거-프로그램가능 판독 전용 메모리 (EPROM), 전기적으로 소거가능 PROM (EEPROM), 플래쉬 메모리, 자기 또는 광학 데이터 저장장치, 레지스터들 등과 같은 프로세서-판독가능 매체의 다양한 유형들을 지칭할 수도 있다. 프로세서가 메모리로부터 정보를 판독하고/하거나 메모리에 정보를 기록할 수 있다면 메모리는 프로세서와 전자 통신 상태에 있다고 불린다. 프로세서에 집적된 메모리는 프로세서와 전자 통신 상태에 있다.
- [35] 용어 "신호"는 전압 또는 전류의 전기신호를 의미한다.
- [36]
- [37] 아래에서는 첨부한 도면을 참고하여 실시예에 대하여 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그리고 도면에서 본 개시를 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략한다.
- [38] 도 1은 자발광 소자 및 수광 소자를 포함하는 회로의 단면을 나타낸 도면이다.
- [39] 상기 자발광 소자에는 전계발광소자(electroluminescence element), OLED, QD-LED(quantum dot-LED), Micro-LED 등이 포함될 수 있다. 상기 수광 소자(PD)는 예를 들어 포토다이오드 일 수 있다.
- [40] 도 1에 도시된 바와 같이, 화소회로와 지문인식회로가 통합되는 경우, 화소회로와 지문인식회로의 거리가 가까울 수 있다. 이러한 표시 패널의 구조로 인하여 수광 소자(PD)는 지문(Finger print)에서 반사된 빛(120)뿐만 아니라, 자발광 소자에서 출사된 빛(110)이 지문에 도달하지 못하고 유리 또는 전극(electrode)에서 반사된 빛을 수광할 수 있다. 또한 표시 장치 외부에서 들어오는 빛(도면 미도시)을 수광할 수 있다.

- [41] 이하 설명에서는 유리 또는 전극에서 반사된 빛과, 표시 장치 외부에서 들어오는 빛을 “직광”으로 호칭한다. 그리고 지문에 의해 반사된 빛을 “지문광”으로 호칭한다.
- [42] 이러한 직광(130)이 지문인식회로에 입사되는 경우, 직광(130)은 지문광(120)보다 광량이 클 수 있기 때문에, 수광 소자는 지문에 반사된 빛을 제대로 인식하지 못할 수 있고, 최종적으로는 지문인식회로의 지문인식률이 낮아지는 문제가 발생한다.
- [43]
- [44] 도 2는 종래 기술에 따른 화소 회로를 나타낸 도면이다.
- [45] 화소회로(210)는 화소회로와 지문인식회로가 통합된 경우로서, 하나의 수광 소자, 적어도 하나의 트랜지스터 성분(T1), 및 적어도 하나의 캐패시터 성분(CINT)을 포함할 수 있다. 화소회로(210)는 표시 패널에 배치될 수 있다. 예를 들어 화소회로(210)의 수광 소자는 제 1 위치(221)에 배치될 수 있다. 또한, 화소회로(210)의 나머지 부분은 제 2 위치(222)에 배치될 수 있다. 하나의 화소회로(210)는 하나의 수광 소자를 포함하며, 수광 소자는 자발광 소자에 의한 빛, 외부로부터의 빛, 및 지문으로부터 반사된 빛을 수신한다.
- [46] 외부로부터의 빛은 햇빛 또는 형광등과 같은 표시 장치 외부로부터 발생한 빛을 나타낼 수 있다. 또한 자발광 소자에 의한 빛은 자발광 소자에서 발생한 빛 또는 자발광 소자에 의한 빛이 지문이 아닌 표시 패널의 유리 또는 전극 등에 반사된 빛을 나타낼 수 있다. 지문으로부터 반사된 빛은 자발광 소자의 빛 또는 외부의 빛이 지문에 반사되어 지문으로부터 나온 빛을 나타낼 수 있다.
- [47] 자발광 소자의 빛 및 외부로부터의 빛은 지문으로부터 반사된 빛보다 셀 수 있다. 따라서 화소회로(210)는 지문으로부터 반사된 빛을 이용하여 지문 인식을 하는데 어려움을 겪을 수 있다. 특히 화소회로(210)가 동일 면적 안에 많이 집적될수록 자발광 소자의 빛에 의한 영향이 커질 것이므로 화소회로(210)의 지문 인식률이 떨어질 수 있다.
- [48]
- [49] 도 3은 본 개시의 일 실시예에 따른 화소회로를 나타낸 도면이다.
- [50] 광학 지문 센싱 회로를 포함한 화소회로(310)는 제 1 수광 소자(311) 및 제 2 수광 소자(312) 및 화소 제어회로(313)를 포함할 수 있다.
- [51] 수광 소자는 자발광 소자로부터 출사되어 사용자의 지문을 통해 반사된 광을 역 방향의 광전류로 변환한다. 이때, 수광 소자로부터 발생하는 광전류의 양은 광을 반사시킨 물체가 지문의 융선(Ridge)인지 또는 골(Valley)인지에 따라 가변된다. 여기서, 골로부터 반사된 광에 의한 광전류는 융선으로부터 반사된 광에 의한 광전류보다 클 수 있다. 하지만 이에 한정되는 것은 아니며 골로부터 반사된 광에 의한 광전류는 융선으로부터 반사된 광에 의한 광전류보다 작거나 같을 수 있다.
- [52] 제 1 수광 소자는 빛을 수신하여 제 1 신호를 생성할 수 있다. 제 2 수광 소자는

빛을 수신하여 제 2 신호를 생성할 수 있다. 제 1 수광 소자(311)는 화소 제어회로(313)의 캐패시터 성분(CINT)을 충전할 수 있다. 제 2 수광 소자(312)는 화소 제어회로(313)의 캐패시터 성분(CINT)을 방전할 수 있다. 캐패시터 성분(CINT)은 제 1 신호에 의하여 충전될 수 있으며, 제 2 신호에 의하여 방전될 수 있다. 제 1 신호가 제 2 신호보다 큰 경우 차분 신호는 화소 제어회로(313)으로 흐를 수 있다. 제 1 신호가 제 2 신호보다 작은 경우 차분 신호는 화소 제어회로(313)에서 포토 다이오드들 쪽으로 흐를 수 있다. 제 1 신호가 제 2 신호보다 큰 경우 캐패시터 성분(CINT)은 충전될 수 있다. 제 1 신호가 제 2 신호보다 작은 경우 캐패시터 성분(CINT)은 방전될 수 있다.

[53] 화소 제어회로(313)는 제 1 신호와 제 2 신호의 차분 신호를 수신할 수 있다. 또한 화소 제어회로(313)는 차분 신호에 기초하여 출력 라인(OUT)으로 출력 신호를 출력할 수 있다.

[54] 설명의 편의를 위하여 도 3의 화소 제어회로(313)는 간략하게 도시되어 있다. 화소 제어회로(313)는 적어도 하나의 트랜지스터 성분(T1)과 적어도 하나의 캐패시터 성분(CINT)을 포함할 수 있다. 트랜지스터 성분(T1)은 소정의 신호(S1)에 따라 온(ON)/오프(OFF)되는 성분을 나타낸다. 상기 화소 제어회로(313)는 상기 트랜지스터 성분(T1)의 스위칭 동작을 통하여 상기 화소회로(310)의 출력(OUT) 전압을 리셋(reset)할 수 있다. 상기 트랜지스터 성분(T1)이 온(ON)시에 출력(OUT) 전압은 $V_{REF}/2$ 로 리셋 된다. 캐패시터 성분(CINT)은 전압이 변하는 경우 전류를 생성하는 성분을 나타낸다. 화소 제어회로(313)의 트랜지스터 성분(T1) 및 캐패시터 성분(CINT)은 트랜지스터 또는 캐패시터 중 적어도 하나를 이용하여 구현될 수 있다.

[55] 화소 제어회로(313)는 자발광 소자(미도시)를 포함할 수 있다. 자발광 소자는 데이터 신호에 기초하여 빛을 출력할 수 있다. 자발광 소자는 데이터 신호에 기초하여 유입되는 전류에 따라 발광한다. 유기발광다이오드(OLED)를 예로 들어 설명하면, 상기 자발광 소자는 애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함한다. 여기서, 유기 발광셀은 정공 수송층/유기 발광층/전자 수송층의 구조, 또는 정공 주입층/정공 수송층/유기 발광층/전자 수송층/전자 주입층의 구조를 가지도록 형성될 수 있다. 또한, 유기 발광셀에는 유기발광층의 발광 효율 및/또는 수명 등을 향상시키기 위한 기능층이 추가로 형성될 수 있다.

[56] 화소회로(310)는 표시 패널에 배치될 수 있다. 표시 패널은 복수의 화소회로들을 포함할 수 있다. 예를 들어 화소회로(310)의 제 1 수광 소자(311)는 제 1 영역(321)에 포함될 수 있다. 화소회로(310)의 제 2 수광 소자(312)는 제 2 영역(322)에 포함될 수 있다. 화소회로(310)의 화소 제어회로(313) 또는 화소 제어회로(313) 중 일부는 제 3 영역(323)에 포함될 수 있다. 예를 들어 자발광 소자는 제 3 영역(323)에 포함될 수 있다.

[57] 제 1 수광 소자(311)를 포함한 제 1 영역(321) 및 제 2 수광 소자(312)를 포함한 제 2 영역(322)은 가까울 수 있다. 따라서, 자발광 소자에 의한 빛 또는 외부의

빛은 제 1 수광 소자(311) 및 제 2 수광 소자(312)에 동일한 영향을 미칠 수 있다. 따라서 제 1 수광 소자(311) 및 제 2 수광 소자(312)는 자발광 소자에 의한 빛 또는 외부의 빛에 기초하여 동일한 전류를 생성할 수 있다.

[58] 지문 인식은 미세한 지문의 골 및 마루에서 반사된 빛을 수광 소자들이 감지하여 수행될 수 있다. 따라서 제 1 수광 소자(311)가 수신한 지문으로부터 반사된 빛은, 제 2 수광 소자(312)가 수신한 지문으로부터 반사된 빛과 다를 수 있다. 또한 제 1 수광 소자(311)와 제 2 수광 소자(312)는 지문으로부터 반사된 빛에 기초하여 서로 다른 크기의 전류를 생성할 수 있다.

[59] 상술한 바와 같이, 자발광 소자의 빛 또는 외부의 빛이 제 1 수광 소자(311) 및 제 2 수광 소자(312)에 동일한 영향을 미친다. 반면에, 지문으로부터 반사된 빛은 제 1 수광 소자(311)와 제 2 수광 소자(312)에 서로 다른 영향을 미친다. 따라서, 광학 지문 센싱 회로를 포함하는 화소회로(310)는 제 1 수광 소자(311)의 전류와 제 2 수광 소자(312)의 전류의 차분을 이용하여, 정확하게 지문을 인식할 수 있다.

[60] 예를 들어, 제 1 수광 소자(311)의 전류와 제 2 수광 소자(312)의 전류의 차전류(Current difference)는 화소 제어회로(313)으로 출력될 수 있다. 화소 제어회로(313)는 차전류에 기초한 전류 또는 전압을 출력 라인(OUT)으로 출력할 수 있다. 화소회로(310)를 포함하는 시스템은 출력 라인(OUT)으로 출력된 출력 신호에 기초하여 지문을 정확하게 인식할 수 있다.

[61] 도 2의 종래의 화소회로(210)에 따르면 출력 전압이 VREF 또는 VSS(T1의 소스 전압)로 클리핑(clipping)될 수 있다.

[62] 클리핑이란 기준보다 큰 입력 신호가 회로를 통과하여 입출력 특성의 포화 부분에서 동작함으로써, 출력 신호의 파형이 잘리고 왜곡이 발생하는 것을 말한다.

[63] 전술한 바와 같이 지문에 반사되지 않은 직광은 그 광량이 매우 커서 수광소자(PD)에 과한 광전류를 발생시킬 수 있다. 상기 수광소자(PD)가 충전용인 경우, 이 과한 광전류는 캐패시터 성분(CINT)을 단시간 내에 높은 전압으로 충전시킬 수 있으므로 출력 전압이 VREF로 클리핑 될 수 있다. 출력 전압이 VREF로 클리핑 됨으로써 출력 신호는 왜곡되고, 그 결과 종래 화소회로(210)는 지문을 정확하게 인식할 수 없다.

[64] 하지만 도 3의 본 개시의 일 실시예에 따른 화소회로(310)는, 충전용 제 1 수광 소자(311)와 방전용 제 2 수광 소자(312) 두개의 수광 소자를 포함하여 구성된다. 따라서 출력 전압이 VREF/2 근처로 유지될 수 있다. 즉, 화소회로(310)의 출력 전압이 클리핑 되는 현상을 방지할 수 있는 효과를 가진다.

[65] 제 1 수광 소자(311) 및 제 2 수광 소자(312)에 흐르는 전류와 클리핑 현상 방지 원리에 대해서는 도 5에서 자세히 설명한다.

[66]

[67] 먼저 이해를 돕기 위하여 도 5를 설명하기 전에 종래 기술에 따른 수광 소자에 흐르는 전류를 나타낸 도 4를 설명한다.

[68]

[69] 도 4는 종래 기술에 따른 화소회로의 수광 소자에 흐르는 전류를 나타낸 그래프이다.

[70] 도 4의 가로축은 시간을 나타내며, 세로축은 수광 소자에 흐르는 전류를 나타낸다. 지문광 전류(410)는 지문으로부터 반사된 빛에 기초하여 수광 소자로부터 생성된 전류를 나타낸다. 직광 전류(420)는 자발광 소자에 의한 빛 또는 외부로부터의 빛에 의해 수광 소자로부터 생성된 전류를 나타낸다. 자발광 소자에 의한 빛 또는 외부로부터 빛은 지문으로부터 반사된 빛보다 강하기 때문에, 직광 전류(420)는 지문광 전류(410)보다 클 수 있다. 직광 전류(420)는 노이즈에 의하여 떨림이 있을 수 있다. 합성전류(430)는 지문광 전류(410)와 직광 전류(420)의 합을 나타낸다.

[71] 직광 전류(420)가 지문광 전류(410)보다 크므로, 직광 전류(420)가 지문광 전류(410)보다 합성전류(430)에 미치는 영향이 클 수 있다. 또한 직광 전류(420)의 노이즈에 의한 영향이 클 수 있다. 또한, 직광 전류(420)의 크기가 크므로 클리핑(clipping)이 일어날 수 있다.

[72]

[73] 도 5는 본 개시의 일 실시예에 따른 수광 소자에 흐르는 전류를 나타낸 그래프이다.

[74] 그래프(510)의 가로축은 시간을 나타낸다. 그래프(510)의 세로축은 제 1 수광 소자(311) 및 제 2 수광 소자(312)에 흐르는 전류를 나타낸다. 제 2 지문광 전류(511)는 지문으로부터 반사된 빛에 기초하여 제 2 수광 소자(312)로부터 생성된 전류를 나타낸다. 제 1 지문광 전류(512)는 지문으로부터 반사된 빛에 기초하여 제 1 수광 소자(311)로부터 생성된 전류를 나타낸다. 제 1 수광 소자(311) 및 제 2 수광 소자(312)의 거리는 가깝지만, 지문의 골 및 마루 역시 미세하다. 따라서 제 1 수광 소자(311)에서 생성된 제 1 지문광 전류(512)는 제 2 수광 소자(312)에서 생성된 제 2 지문광 전류(511)와 다를 수 있다.

[75] 직광 전류(513)는 자발광 소자에 의한 빛 또는 외부로부터의 빛에 의해 제 1 수광 소자(311) 및 제 2 수광 소자(312)로부터 생성된 전류를 나타낸다. 자발광 소자에 의한 빛 또는 외부로부터의 빛에 의해 제 1 수광 소자(311) 및 제 2 수광 소자(312)로부터 생성된 전류는 동일할 수 있다. 자발광 소자에 의한 빛 또는 외부로부터 빛은 지문으로부터 반사된 빛보다 강할 수 있다. 따라서 직광 전류(513)는 제 2 지문광 전류(511) 또는 제 1 지문광 전류(512)보다 클 수 있다. 직광 전류(513)는 노이즈에 의하여 떨림이 있을 수 있다.

[76] 제 1 수광 소자(311)에 흐르는 총 전류는 제 1 지문광 전류(512)와 직광 전류(513)의 합일 수 있다. 제 2 수광 소자(312)에 흐르는 총 전류는 제 2 지문광 전류(511)와 직광 전류(513)의 합일 수 있다.

[77] 그래프(520) 가로축은 시간을 나타낸다. 그래프(520)의 세로축은 제 1 수광 소자(311)에 흐르는 전류와 제 2 수광 소자(312)에 흐르는 전류의 차를 나타낸다.

직광 전류(513)는 제 1 수광 소자(311) 및 제 2 수광 소자(312)에 공통으로 흐르므로, 서로 상쇄될 수 있다. 따라서, 차분 신호(521)는 직광 전류(513)에 의하여 영향을 받지 않을 수 있다. 또한 차분 신호(521)는 합성전류(430)보다 크기가 작을 수 있다. 차분 신호(521)는 도 3의 캐패시터 성분(CINT)을 충전하거나 방전할 수 있다.

- [78] 도 5에서 설명한 바와 같이 화소회로(310)는 자발광 소자에 의한 빛 또는 외부로부터의 빛으로부터 발생한 신호, 즉 노이즈의 영향을 줄일 수 있다. 또한 화소회로(310)는 지문으로부터 반사된 빛에 의한 신호에 기초하여 지문을 인식할 수 있다. 또한 화소회로(310)는 자발광 소자에 의한 빛 또는 외부로부터의 빛에 의한 노이즈를 줄일 수 있으며 클리핑을 예방할 수 있다. 따라서 화소회로(310)는 지문 인식의 정확도를 높일 수 있다.

[79]

- [80] 도 6은 본 개시의 일 실시예에 따른 출력 전압을 나타낸 그래프이다.

- [81] 그래프(600)의 가로축은 시간을 나타낸다. 그래프(600)의 세로축은 출력 전압을 나타낸다.

- [82] 먼저 도 2와 함께 종래 기술의 출력 전압(620)을 설명한다. 출력 전압(620)은 종래 기술의 출력 라인(OUT)에서의 전압을 나타낸다. 프리차지(Pre-charge) 단계에서 트랜지스터 성분(T1)은 베이스 단자의 신호에 기초하여 턴온 상태이며, 수광 소자는 빛을 수신하지 않은 상태이다. 캐패시터 성분(CINT)은 VREF에 기초하여 충전된다. 프리차지(Pre-charge) 단계에서 출력 라인(OUT)의 출력 전압(620)은 VREF로 유지된다.

- [83] 인테그레이션(Integration) 단계는 수광 소자가 빛을 수신하는 단계이다. 수광 소자는 빛을 수신하여 전류를 생성하며, 캐패시터 성분(CINT)에 충전된 전하들을 방전시킨다. 또한 트랜지스터 성분(T1)은 턴오프되어 있을 수 있다. 인테그레이션 단계에서 출력 전압(620)은 급격히 줄어들 수 있다. 왜냐하면, 도 4에서 설명한 바와 같이 자발광 소자에 의한 빛 또는 외부로부터의 빛에 의해 수광 소자로부터 생성된 직광 전류(420)가 크기 때문에, 캐패시터 성분(CINT)이 완전 방전될 수 있기 때문이다. 자발광 소자에 의한 빛 또는 외부로부터의 빛이 상대적으로 강하므로 지문으로부터 반사된 빛은 출력 전압(620)에 거의 영향을 줄 수 없다.

- [84] 센스아웃(Sense-out) 단계는 화소회로(210)를 포함하는 시스템이 화소회로(210)의 출력 라인(OUT)의 신호를 읽는 단계이다. 출력 전압(620)이 낮게 유지된 상태에서 화소회로(210)를 포함하는 시스템은 신호를 수신한다. 지문으로부터 반사된 빛이 출력 전압(620)에 거의 영향을 미칠 수 없으므로, 시스템은 출력 라인(OUT)으로부터 지문에 의한 빛에 기초하여 생성된 신호를 센싱하기 어려울 수 있다.

- [85] 도 3과 함께 본 개시의 일 실시예에 따른 출력 전압(610)을 설명한다. 출력 전압(610)은 출력 라인(OUT)에서의 전압을 나타낸다. 프리차지 단계에서

트랜지스터 성분(T1)은 베이스 단자의 신호에 기초하여 턴온 상태이며, 수광 소자는 빛을 수신하지 않는 상태이다. 캐패시터 성분(CINT)은 $V_{REF}/2$ 에 기초하여 충전된다. 프리차지 단계에서 출력 라인(OUT)의 출력 전압(610)은 $V_{REF}/2$ 로 유지된다.

- [86] 인테그레이션 단계는 수광 소자가 빛을 수신하는 단계이다. 제 1 수광 소자(311) 및 제 2 수광 소자(312)는 빛을 수신하여 전류를 생성한다. 또한 트랜지스터 성분(T1)은 턴오프되어 있을 수 있다.
- [87] 상술한 바와 같이, 제 1 수광 소자(311) 및 제 2 수광 소자(312)는 지문의 미세한 굴 또는 마루에서 반사된 빛에 의하여 서로 다른 전류를 생성할 수 있다. 제 1 수광 소자(311)는 캐패시터(CINT)를 충전시킬 수 있다. 또한 제 2 수광 소자(312)는 캐패시터(CINT)를 방전시킬 수 있다.
- [88] 캐패시터 성분(CINT)에 흐르는 전류는 제 1 수광 소자(311)가 생성한 제 1 신호와 제 2 수광 소자(312)가 생성한 제 2 신호의 차분 신호일 수 있다. 도 5에서 상술한 바와 같이 제 1 신호 및 제 2 신호는 자발광 소자에 의한 빛과 외부로부터의 빛으로부터 공통된 영향을 받는다. 따라서 제 1 신호 및 제 2 신호에 기초한 차분 신호는 자발광 소자에 의한 빛 및 외부로부터의 빛에 영향을 받지 않을 수 있다. 차분 신호의 크기는 자발광 소자에 의한 빛과 외부로부터의 빛에 기초하여 수광 소자에서 생성된 전류의 크기보다 작을 수 있다. 따라서 캐패시터 성분(CINT)에 기초한 출력 전압(610)은 차분 신호에 의하여 서서히 높아지거나 낮아질 수 있다.
- [89] 제 1 수광 소자(311)가 생성한 제 1 신호가 제 2 수광 소자(312)가 생성한 제 2 신호보다 큰 경우, 캐패시터(CINT)로 전류가 흐를 것이므로 캐패시터(CINT)는 충전될 수 있다. 따라서 출력 전압(610)은 서서히 높아질 수 있다. 반대로 제 1 수광 소자(311)가 생성한 제 1 신호가 제 2 수광 소자(312)가 생성한 제 2 신호보다 작은 경우, 캐패시터 성분(CINT)으로부터 전류가 공급될 것이므로 캐패시터(CINT)는 방전될 수 있다. 따라서 출력 전압(610)은 서서히 낮아질 수 있다.
- [90] 센스아웃 단계는 화소회로(310)를 포함하는 시스템이 화소회로(310)의 출력 라인(OUT)의 신호를 읽는 단계이다. 시스템은 출력 전압(610)이 $V_{REF}/2$ 보다 높은 경우, 제 1 수광 소자(311)가 제 2 수광 소자(312)보다 많은 빛을 수신한 것으로 판단할 수 있다. 또한 시스템은 출력 전압(610)이 $V_{REF}/2$ 보다 낮은 경우, 제 1 수광 소자(311)가 제 2 수광 소자(312)보다 적은 빛을 수신한 것으로 판단할 수 있다. 시스템은 출력 전압(610)에 기초하여 정확하게 지문은 인식할 수 있다.

[91]

[92] **실시예 1**

[93] 도 7은 본 개시의 일 실시예에 따른 화소회로를 나타낸 도면이다.

[94] 화소회로(700)는 제 1 수광 소자(711) 및 제 2 수광 소자(712)를 포함할 수 있다. 또한 화소회로(700)는 화소 제어회로를 포함할 수 있다. 화소 제어회로는 제 1

- 트랜지스터(T1), 제 2 트랜지스터(T4), 제 3 트랜지스터(T5), 제 4 트랜지스터(T7), 제 5 트랜지스터(T10), 제 6 트랜지스터(T9), 제 7 트랜지스터(T8), 제 1 캐패시터(C1) 및 제 2 캐패시터(C2)를 더 포함할 수 있다.
- [95] 트랜지스터들의 제 1 단자 또는 제 2 단자는 소스 단자 또는 드레인 단자일 수 있다. 트랜지스터들은 게이트 단자의 신호에 따라 턴온되거나 턴오프될 수 있다.
- [96] 제 1 트랜지스터(T1)의 제 1 단자는 데이터라인에 연결되고, 제 1 트랜지스터의 제 2 단자는 제 1 노드(731)에 연결되고, 제 1 트랜지스터(T1)의 게이트 단자는 n 번째 스캔라인(Scan(n))에 연결될 수 있다.
- [97] 제 2 트랜지스터(T4)의 제 1 단자는 제 2 노드(732)에 연결되고, 제 2 트랜지스터(T4)의 제 2 단자는 제 3 노드(733)에 연결되고, 제 2 트랜지스터(T4)의 게이트 단자는 제 4 노드(734)에 연결될 수 있다.
- [98] 제 3 트랜지스터(T5)의 제 1 단자는 제 4 노드(734)에 연결되고, 제 3 트랜지스터(T5)의 제 2 단자는 제 3 노드(733)에 연결되고, 제 3 트랜지스터(T5)의 게이트 단자는 n-1 번째 스캔라인(Scan(n-1))에 연결될 수 있다.
- [99] 제 4 트랜지스터(T7)의 제 1 단자는 제 1 노드(731)에 연결되고, 제 4 트랜지스터(T7)의 제 2 단자는 제 2 수광 소자(712)의 캐소드(Cathode) 단자에 연결되고, 제 4 트랜지스터(T7)의 게이트 단자는 제 1 센싱(sensing) 라인(Sen)에 연결될 수 있다.
- [100] 제 5 트랜지스터(T10)의 제 1 단자는 제 1 수광 소자(711)의 아노드 단자에 연결되고, 제 5 트랜지스터(T10)의 제 2 단자는 제 1 노드(731)에 연결되고, 제 5 트랜지스터(T10)의 게이트 단자는 제 1 센싱 라인(Sen)에 연결될 수 있다.
- [101] 제 6 트랜지스터(T9)의 제 1 단자는 제 3 노드(733)에 연결되고, 제 6 트랜지스터(T9)의 제 2 단자는 접지되고, 제 6 트랜지스터(T9)의 게이트 단자는 제 1 센싱 라인(Sen)에 연결될 수 있다.
- [102] 제 7 트랜지스터(T8)의 제 1 단자는 제 2 노드(732)에 연결되고, 제 7 트랜지스터(T8)의 제 2 단자는 출력 라인(OUT)에 연결되고, 제 7 트랜지스터(T8)의 게이트 단자는 제 2 센싱 라인(Sen2)에 연결될 수 있다.
- [103] 제 1 캐패시터(C1)의 제 1 단자는 제 1 노드(731)에 연결되고, 제 1 캐패시터(C1)의 제 2 단자는 제 4 노드(734)에 연결될 수 있다.
- [104] 제 2 캐패시터(C2)의 제 1 단자는 제 1 노드(731)에 연결되고, 제 2 캐패시터(C2)의 제 2 단자는 접지될 수 있다.
- [105] 제 1 수광 소자(711)의 캐소드 단자는 전원(VDD)에 연결되고, 제 2 수광 소자(712)는 접지될 수 있다.
- [106] 화소 제어회로는 제 8 트랜지스터(T2), 제 9 트랜지스터(T3), 제 10 트랜지스터(T6) 및 자발광 소자(OLED)를 더 포함할 수 있다.
- [107] 제 8 트랜지스터(T2)의 제 1 단자는 전원(VDD)에 연결되고, 제 8 트랜지스터(T2)의 제 2 단자는 제 1 노드(731)에 연결되고, 제 8 트랜지스터(T2)의 게이트 단자는 n-1 번째 스캔라인(Scan(n-1))에 연결될 수 있다.

- [108] 제 9 트랜지스터(T3)의 제 1 단자는 전원에 연결되고, 제 9 트랜지스터(T3)의 제 2 단자는 제 2 노드(732)에 연결되고, 제 9 트랜지스터(T3)의 게이트 단자는 제 1 에미션(emission) 라인(EM1)에 연결될 수 있다.
- [109] 제 10 트랜지스터(T6)의 제 1 단자는 제 3 노드(733)에 연결되고, 제 10 트랜지스터(T6)의 제 2 단자는 자발광 소자(OLED)의 아노드 단자에 연결되고, 제 10 트랜지스터(T6)의 게이트 단자는 제 2 에미션 라인(EM2)에 연결될 수 있다.
- [110] 자발광 소자(OLED)의 캐소드 단자는 접지될 수 있다.
- [111]
- [112] **실시예 2**
- [113] 도 8은 본 개시의 일 실시예에 따른 화소회로를 나타낸 도면이다.
- [114] 도 8의 화소회로(800)는 내부보상을 이용한 광학 방식 지문 센싱 화소 회로에 트랜지스터와 광학센서를 추가하여 차동 광학 방식 지문 센싱이 가능한 구조를 구현한 것이다.
- [115] 화소회로(800)는 제 1 수광 소자(811) 및 제 2 수광 소자(812)를 포함할 수 있다. 또한 화소회로(800)는 화소 제어회로를 포함할 수 있다. 화소 제어회로는 제 1 트랜지스터(M1), 제 2 트랜지스터(M4), 제 3 트랜지스터(M2), 제 4 트랜지스터(M8), 제 5 트랜지스터(M11), 제 6 트랜지스터(M9), 제 7 트랜지스터(M10)를 더 포함할 수 있다.
- [116] 제 1 트랜지스터(M3)의 제 1 단자는 데이터라인(Data)에 연결되고, 제 1 트랜지스터(M3)의 제 2 단자는 제 1 노드(831)에 연결되고, 제 1 트랜지스터(M3)의 게이트 단자는 n 번째 스캔라인(Scan(n))에 연결될 수 있다.
- [117] 제 2 트랜지스터(M4)의 제 1 단자는 제 1 노드(831)에 연결되고, 제 2 트랜지스터(M4)의 제 2 단자는 제 2 노드(832)에 연결되고, 제 2 트랜지스터(M4)의 게이트 단자는 제 3 노드(833)에 연결될 수 있다.
- [118] 제 3 트랜지스터(M2)의 제 1 단자는 제 3 노드(833)에 연결되고, 제 3 트랜지스터(M2)의 제 2 단자는 제 2 노드(832)에 연결되고, 제 3 트랜지스터(M2)의 게이트 단자는 n 번째 스캔라인(Scan(n))에 연결될 수 있다.
- [119] 제 4 트랜지스터(M8)의 제 1 단자는 제 3 노드(833)에 연결되고, 제 4 트랜지스터(M8)의 제 2 단자는 제 2 수광 소자(812)의 캐소드(Cathode) 단자에 연결되고, 제 4 트랜지스터(M8)의 게이트 단자는 제 1 센싱(sensing) 라인(Sen)에 연결될 수 있다.
- [120] 제 5 트랜지스터(M11)의 제 1 단자는 제 1 수광 소자(811)의 아노드(Anode) 단자에 연결되고, 제 5 트랜지스터(M11)의 제 2 단자는 제 3 노드(833)에 연결되고, 제 5 트랜지스터(M11)의 게이트 단자는 제 1 센싱 라인(Sen)에 연결될 수 있다.
- [121] 제 6 트랜지스터(M9)의 제 1 단자는 제 2 노드(832)에 연결되고, 제 6 트랜지스터(M9)의 제 2 단자는 접지되고, 제 6 트랜지스터(M9)의 게이트 단자는 제 1 센싱 라인(Sen)에 연결될 수 있다.

- [122] 제 7 트랜지스터(M10)의 제 1 단자는 제 1 노드(831)에 연결되고, 제 7 트랜지스터(M10)의 제 2 단자는 출력 라인(OUT)에 연결되고, 제 7 트랜지스터(M10)의 게이트 단자는 제 2 센싱 라인(Sen2)에 연결될 수 있다.
- [123] 제 1 수광 소자(811)의 캐소드 단자는 전원(VDD)에 연결되고, 제 2 수광 소자(812)의 아노드 단자는 접지될 수 있다.
- [124] 화소 제어회로는 제 8 트랜지스터(M1), 제 9 트랜지스터(M7), 제 10 트랜지스터(M5), 제 11 트랜지스터(M6), 캐패시터(CST), 및 자발광 소자(OLED)를 더 포함할 수 있다.
- [125] 제 8 트랜지스터(M1)의 제 1 단자는 초기화라인(Initial)에 연결되고, 제 8 트랜지스터(M1)의 제 2 단자는 제 3 노드(833)에 연결되고, 제 8 트랜지스터(M1)의 게이트 단자는 $n-1$ 번째 스캔라인(Scan($n-1$))에 연결될 수 있다.
- [126] 제 9 트랜지스터(M7)의 제 1 단자는 초기화라인(Initial)에 연결되고, 제 9 트랜지스터(M7)의 제 2 단자는 자발광 소자(OLED)의 아노드(anode) 단자에 연결되고, 제 9 트랜지스터(M7)의 게이트 단자는 $n-1$ 번째 스캔라인(Scan($n-1$))에 연결될 수 있다.
- [127] 제 10 트랜지스터(M5)의 제 1 단자는 전원에 연결되고, 제 10 트랜지스터(M5)의 제 2 단자는 제 1 노드(831)에 연결되고, 제 10 트랜지스터(M5)의 게이트 단자는 에미션(emission) 라인(EM)에 연결될 수 있다.
- [128] 제 11 트랜지스터(M6)의 제 1 단자는 제 2 노드(832)에 연결되고, 제 11 트랜지스터(M6)의 제 2 단자는 자발광 소자(OLED)의 아노드 단자에 연결되고, 제 11 트랜지스터(M6)의 게이트 단자는 에미션 라인(EM)에 연결될 수 있다.
- [129] 캐패시터(CST)의 제 1 단자는 전원에 연결되고, 캐패시터(CST)의 제 2 단자는 제 3 노드(833)에 연결될 수 있다.
- [130] 자발광 소자(OLED)의 캐소드 단자는 접지될 수 있다.
- [131] 화소회로(800)는 초기화라인(Initial)으로부터 초기화 신호를 수신할 수 있다. 화소회로(800)는 데이터 라인(Data)으로부터 데이터 신호를 획득할 수 있다. 화소회로(800)는 에미션 라인(EM)으로부터 에미션 신호를 수신할 수 있다. 화소회로(800)는 n 번째 스캔 라인(Scan(n))으로부터 n 번째 스캔 신호를 수신할 수 있다. 화소회로(800)는 $n-1$ 번째 스캔 라인(Scan($n-1$))으로부터 $n-1$ 번째 스캔 신호를 수신할 수 있다. n 은 양의 정수 일 수 있다. n 은 화소회로에서 표시될 영상의 프레임을 나타낼 수 있다. 예를 들어 n 번째 스캔 신호는 n 번째 프레임에 대한 스캔 신호일 수 있다.
- [132] 화소회로(800)를 포함하는 시스템은 n 번째 스캔 신호, $n-1$ 번째 스캔 신호, 초기화 신호, 데이터 신호 및 에미션 신호 중 적어도 하나를 조작하여, 자발광 소자(OLED)를 발광시킬 수 있다. 시스템은 프로세서 또는 메모리를 포함할 수 있다. 프로세서는 메모리에 포함된 명령어 또는 데이터에 따라 n 번째 스캔 신호, $n-1$ 번째 스캔 신호, 초기화 신호, 데이터 신호 및 에미션 신호 중 적어도 하나를

조작할 수 있다.

- [133] 화소회로(800)를 포함하는 시스템은 초기화 신호에 기초하여 이전 프레임 데이터를 리셋하는 단계를 수행할 수 있다. 화소회로(800)를 포함하는 시스템은 데이터 신호 및 n 번째 스캔 신호 중 적어도 하나에 기초하여 제 2 트랜지스터(M4)의 임계 전압(V_{th})을 보상하고, 데이터 신호를 인가하는 단계를 수행할 수 있다. 화소회로(800)를 포함하는 시스템은 제 1 수광 소자(811) 및 제 2 수광 소자(812)에 의한 전류에 기초하여 제 3 노드(833)의 전압 변화시키는 단계를 수행할 수 있다. 화소회로(800)를 포함하는 시스템은 소스 팔로워 동작을 통해서 제 2 트랜지스터(M4)의 게이트 단자 전압인 제 3 노드(833)의 전압을 제 2 트랜지스터(M4)의 제 1 단자인 제 1 노드(831)에 전달하는 단계를 수행할 수 있다. 화소회로(800)를 포함하는 시스템은 제 1 노드(831)의 전압을 출력 라인(OUT)으로 출력하는 단계를 수행할 수 있다.
- [134] 화소회로(800)를 포함하는 시스템은 이전 프레임 데이터를 리셋하는 단계를 수행할 수 있다. 제 8 트랜지스터(M1) 및 제 9 트랜지스터(M7)가 동작할 수 있다. 시스템은 화소회로(800)에 $n-1$ 번째 스캔신호 및 초기화 신호 중 적어도 하나를 전송할 수 있다. 화소회로(800)는 $n-1$ 번째 스캔라인(Scan($n-1$))으로부터 $n-1$ 번째 스캔신호를 수신할 수 있다. 화소회로(800)는 초기화라인(Initial)으로부터 초기화 신호를 수신할 수 있다. $n-1$ 번째 스캔신호 및 초기화 신호에 기초하여, 제 8 트랜지스터(M1) 및 상기 제 9 트랜지스터(M7)는 이전 프레임의 데이터를 리셋할 수 있다.
- [135] 화소회로(800)를 포함하는 시스템은 제 2 트랜지스터(M4)의 임계 전압(V_{th})을 보상하고, 데이터 신호를 인가하는 단계를 수행할 수 있다. 상기 데이터 신호를 인가하는 단계에서 제 1 트랜지스터(M3) 및 제 3 트랜지스터(M2)가 동작할 수 있다. 시스템은 화소회로(800)에 n 번째 스캔신호 및 데이터 신호 중 적어도 하나를 전송할 수 있다. 화소회로(800)는 n 번째 스캔라인(Scan(n))으로부터 n 번째 스캔신호를 수신할 수 있다. 화소회로(800)는 데이터라인(Data)으로부터 데이터 신호를 수신할 수 있다. n 번째 스캔신호에 기초하여, 제 1 트랜지스터(M1)는 제 1 노드에 데이터 신호를 인가할 수 있다. n 번째 스캔신호에 기초하여, 제 3 트랜지스터(M2)는 제 2 트랜지스터(M4)의 임계 전압(V_{th})을 보상할 수 있다.
- [136] 화소회로(800)를 포함하는 시스템은 인테그레이션 페이즈(integration phase)를 수행할 수 있다. 인테그레이션 페이즈는 제 1 수광 소자(811) 및 제 2 수광 소자(812)에 의한 전류에 기초하여 제 2 트랜지스터(M4)의 게이트 단자인 제 3 노드(833)의 전압을 변화시키는 단계를 포함할 수 있다. 인테그레이션 페이즈는 소스 팔로워 동작을 통해서 제 2 트랜지스터(M4)의 게이트 단자 전압을 제 2 트랜지스터(M4)의 제 1 단자인 제 1 노드(831)에 전달하는 단계를 포함할 수 있다.
- [137] 화소회로(800)를 포함하는 시스템은 화소회로(800)에 제 1 센싱 신호를 전송할

수 있다. 화소회로(800)는 제 1 센싱 라인(Sen)으로부터 제 1 센싱 신호를 수신할 수 있다. 제 1 수광 소자(811) 및 제 2 수광 소자(812)는 수신한 광량에 따라 전류를 생성할 수 있다. 제 1 센싱 신호, 제 1 수광 소자(811)에 의한 전류 및 제 2 수광 소자(812)에 의한 전류에 기초하여, 제 4 트랜지스터(M8) 및 제 5 트랜지스터(M11)는 제 3 노드(833)에 전압을 인가할 수 있다.

[138] 제 2 트랜지스터(M4)의 소스 팔로워(Source Follower) 동작에 의하여 제 3 노드(833)에 인가된 전압은 상기 제 1 노드(831)에 전달될 수 있다.

[139] 화소회로(800)를 포함하는 시스템은 제 1 노드(831)의 전압을 출력 라인(OUT)으로 출력하는 단계를 수행할 수 있다. 시스템은 화소회로(800)에 제 2 센싱 신호를 전송할 수 있다. 화소회로(800)는 제 2 센싱 라인(Sen2)으로부터 제 2 센싱 신호를 수신할 수 있다. 제 2 센싱 신호에 기초하여, 제 7 트랜지스터(M10)는 제 1 노드(831)의 전압을 출력 라인(OUT)으로 출력할 수 있다. 시스템은 화소회로(800)의 출력을 데이터로서 수신할 수 있다. 또한, 시스템은 복수의 화소회로들로부터 수신한 데이터에 기초하여 지문 인식을 할 수 있다.

[140]

[141] **실시예 3**

[142] 도 9는 본 개시의 일 실시예에 따른 화소회로를 나타낸 도면이다.

[143] 도 9의 화소회로(900)는 외부보상을 이용한 광학 방식 지문 센싱 화소 회로에 트랜지스터와 광학센서를 추가하여 차동 광학 방식 지문 센싱이 가능한 구조를 구현한 것이다.

[144] 화소회로(900)는 제 1 수광 소자(911) 및 제 2 수광 소자(912)를 포함할 수 있다. 또한 화소회로(900)는 화소 제어회로를 포함할 수 있다. 화소 제어회로는 제 1 트랜지스터(M1), 제 2 트랜지스터(M2), 제 3 트랜지스터(M4), 제 4 트랜지스터(M7), 제 5 트랜지스터(M5) 및 제 6 트랜지스터(M6)를 포함할 수 있다.

[145] 제 1 트랜지스터(M1)의 제 1 단자는 데이터라인(Data)에 연결되고, 제 1 트랜지스터(M1)의 제 2 단자는 제 1 노드(931)에 연결되고, 제 1 트랜지스터(M1)의 게이트 단자는 n번째 스캔라인(Scan(n))에 연결될 수 있다.

[146] 제 2 트랜지스터(M2)의 제 1 단자는 제 2 노드(932)에 연결되고, 제 2 트랜지스터(M2)의 제 2 단자는 제 3 노드(933)에 연결되고, 제 2 트랜지스터(M2)의 게이트 단자는 제 1 노드(931)에 연결될 수 있다.

[147] 제 3 트랜지스터(M4)의 제 1 단자는 제 1 노드(931)에 연결되고, 제 3 트랜지스터(M4)의 제 2 단자는 제 2 수광 소자(912)의 캐소드(Cathode) 단자에 연결되고, 제 3 트랜지스터(M4)의 게이트 단자는 제 1 센싱(sensing) 라인(Sen)에 연결될 수 있다.

[148] 제 4 트랜지스터(M7)의 제 1 단자는 제 1 수광 소자(911)의 아노드 단자에 연결되고, 제 4 트랜지스터(M7)의 제 2 단자는 제 1 노드(931)에 연결되고, 제 4

- 트랜지스터(M7)의 게이트 단자는 제 1 센싱 라인(Sen)에 연결될 수 있다.
- [149] 제 5 트랜지스터(M5)의 제 1 단자는 제 3 노드(933)에 연결되고, 제 5 트랜지스터(M5)의 제 2 단자는 접지되고, 제 5 트랜지스터(M5)의 게이트 단자는 제 1 센싱 라인(Sen)에 연결될 수 있다.
- [150] 제 6 트랜지스터(M6)의 제 1 단자는 제 2 노드(932)에 연결되고, 제 6 트랜지스터(M6)의 제 2 단자는 출력 라인(OUT)에 연결되고, 제 6 트랜지스터(M6)의 게이트 단자는 제 2 센싱 라인(Sen2)에 연결될 수 있다.
- [151] 제 1 수광 소자(911)의 캐소드 단자는 전원(VDD)에 연결되고, 제 2 수광 소자(912)의 아노드 단자는 접지될 수 있다.
- [152] 화소 제어회로는 제 7 트랜지스터(M3), 캐패시터(CST) 및 자발광 소자(OLED)를 더 포함할 수 있다.
- [153] 제 7 트랜지스터(M3)의 제 1 단자는 전원(VDD)에 연결되고, 제 7 트랜지스터(M3)의 제 2 단자는 제 2 노드(932)에 연결되고, 제 7 트랜지스터(M3)의 게이트 단자는 에미션(emission)라인(EM)에 연결될 수 있다.
- [154] 캐패시터(CST)의 제 1 단자는 전원(VDD)에 연결되고, 캐패시터(CST)의 제 2 단자는 제 1 노드(931)에 연결될 수 있다.
- [155] 자발광 소자(OLED)의 아노드 단자는 제 3 노드(933)에 연결되고, 자발광 소자(OLED)의 캐소드 단자는 접지될 수 있다.
- [156]
- [157] 도 10은 본 개시의 일 실시예에 따른 출력 전압을 나타낸 그래프이다.
- [158] 이하에서는 도 8을 참조하여 도 10을 설명한다. 그래프(1000)의 가로축은 시간을 나타낸다. 또한 그래프의 가로축은 인테그레이션 페이즈의 1 프레임 시간을 나타낼 수 있다. 그래프(1000)의 세로축은 제 1 노드(831)의 전압을 나타낸다. 그래프(1000)는 Low Temperature Poly Silicon(LTPS) Thin Film Transistor(TFT) 리퀴지(leakage), 직광 및 지문으로부터 반사된 빛의 비율이 1:100:0.1 경우를 나타낼 수 있다. 직광은 오프셋과 노이즈를 포함할 수 있다.
- [159] 수광 소자를 하나만 사용하는 종래 기술에 따르면 자발광 소자에 의한 빛 및 외부로부터의 빛이 너무 강하여 지문으로부터의 빛이 있는지 여부에 상관없이 전압은 라인(1061)과 같을 수 있다. 따라서 화소회로를 포함하는 시스템은 지문 센싱의 정확도가 낮을 수 있다. 하지만 본 개시의 일 실시예에 따른 화소회로(800)는 아래에서 설명하는 바와 같이 지문 센싱의 정확도를 높일 수 있다.
- [160] 라인(1011)은 인테그레이션 페이즈에서 제 1 수광 소자(811)에만 지문으로부터 반사된 빛이 수신된 경우를 나타낸다. 즉, 제 2 수광 소자(812)는 지문으로부터 반사된 빛이 너무 적어서 빛의 양이 거의 0에 수렴한 경우이다.
- [161] 제 1 수광 소자(811)는 지문으로부터 반사된 빛(지문광), 및 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 1 신호를 생성할 수 있다. 제 2 수광 소자(812)는 지문으로부터 반사된 빛(지문광)을 수신하지 못했으므로, 자발광

소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 2 신호를 생성할 수 있다. 제 2 신호는 지문광이 포함되어 있지 아니하므로, 제 1 신호는 제 2 신호보다 큰 값을 가질 수 있다. 제 1 신호와 제 2 신호의 차분 신호는 캐패시터(CST)를 충전시킬 수 있다. 제 3 노드(833)의 전압은 점점 높아질 수 있다. 제 2 트랜지스터(M4)의 소스 팔로워 동작에 의하여 제 1 노드(831)의 전압 역시 점점 높아질 수 있다. 따라서 제 1 노드(831)의 전압은 라인(1011)과 같을 수 있다.

[162] 라인(1012)은 인테그레이션 페이즈에서 제 1 수광 소자(811) 및 제 2 수광 소자(812)가 수신한 지문으로부터 반사된 빛이 너무 적어서 빛의 양이 거의 0에 수렴하는 경우를 나타낸다. 예를 들어 지문의 골이 너무 어두워서 지문은 빛을 반사하지 않을 수 있고, 제 1 수광 소자(811) 및 제 2 수광 소자(812)는 지문으로부터 빛을 수신하지 못할 수 있다.

[163] 지문으로부터의 빛이 없으므로, 제 1 수광 소자(811)는 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 1 신호를 생성할 수 있다. 마찬가지로, 제 2 수광 소자(812)는 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 2 신호를 생성할 수 있다. 제 1 신호와 제 2 신호의 차분 신호는 거의 0과 같을 수 있다. 따라서 제 3 노드(833)의 전압은 거의 변하지 않을 수 있다. 제 2 트랜지스터(M4)의 소스 팔로워 동작에 의하여 제 1 노드(831)의 전압 역시 변하지 않을 수 있다. 따라서 제 1 노드(831)의 전압은 라인(1012)과 같을 수 있다.

[164] 라인(1013)은 인테그레이션 페이즈에서 제 2 수광 소자(812)에만 지문으로부터 반사된 빛이 수신된 경우를 나타낸다. 제 1 수광 소자(811)는 지문으로부터 반사된 빛이 너무 적어서 빛의 양이 거의 0에 수렴할 수 있다. 예를 들어 지문의 마루가 밝아서 지문은 빛을 반사하여 제 2 수광 소자(812)는 지문으로부터 반사된 빛을 수신할 수 있다. 또한, 지문의 골이 너무 어두워서 지문은 빛을 반사하지 않을 수 있고, 그 결과 제 1 수광 소자(812)는 지문으로부터의 빛을 수신하지 못할 수 있다.

[165] 제 2 수광 소자(812)는 지문으로부터 반사된 빛(지문광) 및 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 2 신호를 생성할 수 있다. 제 1 수광 소자(811)는 지문으로부터의 빛(지문광)을 수신하지 못했으므로, 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 1 신호를 생성할 수 있다. 지문으로부터의 빛에 의하여 제 2 신호가 제 1 신호보다 큰 값을 가질 수 있다. 제 1 신호와 제 2 신호의 차분 신호는 캐패시터(CST)를 방전시킬 수 있다. 제 3 노드(833)의 전압은 점점 낮아질 수 있다. 제 2 트랜지스터(M4)의 소스 팔로워 동작에 의하여 제 1 노드(831)의 전압 역시 점점 낮아질 수 있다. 따라서 제 1 노드(831)의 전압은 라인(1013)과 같을 수 있다.

[166] 제 1 노드(831)의 전압은 제 7 트랜지스터(M10)의 동작에 의하여 출력 라인(OUT)에 전달될 수 있다. 시스템은 출력 라인(OUT)으로부터 전달된 출력

신호에 기초하여 지문 인식을 수행할 수 있다. 제 1 수광 소자(811) 및 제 2 수광 소자(812)가 지문으로부터 빛을 수신했는지 여부에 따라 제 1 노드(831)의 전압이 변하므로, 화소회로(800)를 포함하는 시스템은 정확하게 지문인식을 정확하게 수행할 수 있다.

[167] 또한, 화소회로(800)는 자발광 소자에 의한 빛과 외부로부터의 빛에 의한 영향과 노이즈에 의한 영향을 줄일 수 있다. 또한 화소회로(800)는 자발광 소자에 의한 빛과 외부로부터의 빛에 의한 클리핑(clipping) 현상을 예방할 수 있다. 또한 화소회로(800)는 지문에 의해 반사된 빛(지문광)만을 이용하여 지문인식을 수행할 수 있으므로 signal noise ratio(SNR)를 높일 수 있다.

[168]

[169] 도 11은 본 개시의 일 실시예에 따른 출력 전압을 나타낸 그래프이다.

[170] 이하에서는 도 8을 참조하여 도 11을 설명한다. 그래프(1100)의 가로축은 시간을 나타낸다. 또한 그래프의 가로축은 인테그레이션 페이즈의 1 프레임 시간을 나타낼 수 있다. 그래프(1100)의 세로축은 제 1 노드(831)의 전압을 나타낸다. 그래프(1100)는 Low Temperature Poly Silicon(LTPS) Thin Film Transistor(TFT) 리퀴지(leakage), 직광 및 지문으로부터 반사된 빛의 비율이 10:100:0.1인 경우를 나타낼 수 있다. 직광은 오프셋과 노이즈를 포함할 수 있다.

[171] 수광 소자를 하나만 사용하는 종래 기술에 따르면 자발광 소자에 의한 빛과 외부로부터의 빛이 너무 강하여 지문으로부터 반사된 빛이 있는지 여부에 상관없이 전압은 라인(1161)과 같을 수 있다. 따라서 화소회로를 포함하는 시스템은 지문 센싱의 정확도가 낮을 수 있다. 하지만 본 개시의 일 실시예에 따른 화소회로(800)는 아래에서 설명하는 바와 같이 지문 센싱의 정확도를 높일 수 있다.

[172] 라인(1111)은 인테그레이션 페이즈에서 제 1 수광 소자(811)가 제 2 수광 소자(812)보다 지문으로부터 반사된 빛을 많이 수신하는 경우를 나타낸다. 예를 들어 라인(1111)은 제 1 수광 소자(811)가 지문의 밝은 부분에서 반사된 빛을 수신하고 제 2 수광 소자(812)는 지문의 어두운 부분에서 반사된 빛을 수신하는 경우를 나타낼 수 있다.

[173] 제 1 수광 소자(811)는 지문으로부터 반사된 빛(지문광) 및 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 1 신호를 생성할 수 있다. 마찬가지로 제 2 수광 소자(812)는 지문으로부터 반사된 빛(지문광) 및 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 2 신호를 생성할 수 있다. 제 1 수광 소자(811)가 제 2 수광 소자(812)보다 지문으로부터 반사된 빛을 많이 수신했으므로, 제 1 신호가 제 2 신호보다 큰 값을 가질 수 있다. 제 1 신호와 제 2 신호의 차분 신호는 캐패시터(CST)를 충전시킬 수 있다. 제 3 노드(833)의 전압은 점점 높아질 수 있다. 제 2 트랜지스터(M4)의 소스 팔로워 동작에 의하여 제 1 노드(831)의 전압 역시 점점 높아질 수 있다. 따라서 제 1 노드(831)의 전압은 라인(1111)과 같을 수 있다.

- [174] 라인(1112)은, 인테그레이션 페이즈에서 제 1 수광 소자(811) 및 제 2 수광 소자(812)가 수신하는 지문광(지문으로부터 반사된 빛)의 크기가 동일한 경우를 나타낼 수 있다.
- [175] 제 1 수광 소자(811)는 지문으로부터 반사된 빛(지문광) 및 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 1 신호를 생성할 수 있다. 마찬가지로 제 2 수광 소자(812)는 지문으로부터 반사된 빛(지문광) 및 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 2 신호를 생성할 수 있다. 제 1 신호와 제 2 신호의 차분 신호는 거의 0과 같을 수 있다. 따라서 제 3 노드(833)의 전압은 거의 변하지 않을 수 있다. 제 2 트랜지스터(M4)의 소스 팔로워 동작에 의하여 제 1 노드(831)의 전압 역시 변하지 않을 수 있다. 따라서 제 1 노드(831)의 전압은 라인(1112)과 같을 수 있다.
- [176] 라인(1113)은 인테그레이션 페이즈에서 제 1 수광 소자(811)가 제 2 수광 소자(812)보다 지문으로부터 반사된 빛을 적게 수신하는 경우를 나타낸다. 예를 들어 라인(1113)은 제 1 수광 소자(811)가 지문의 어두운 부분에서 반사된 빛을 수신하고 제 2 수광 소자(812)는 지문의 밝은 부분에서 반사된 빛을 수신하는 경우를 나타낼 수 있다.
- [177] 제 1 수광 소자(811)는 지문으로부터 반사된 빛(지문광) 및 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 1 신호를 생성할 수 있다. 마찬가지로 제 2 수광 소자(812)는 지문으로부터 반사된 빛(지문광) 및 자발광 소자에 의한 빛과 외부로부터의 빛(직광)에 기초하여 제 2 신호를 생성할 수 있다. 제 1 수광 소자(811)는 제 2 수광 소자(812)보다 지문으로부터 반사된 빛을 적게 수신했으므로, 제 1 신호는 제 2 신호보다 작은 값을 가질 수 있다. 제 1 신호와 제 2 신호의 차분 신호는 캐패시터(CST)를 방전시킬 수 있다. 제 3 노드(833)의 전압은 점점 낮아질 수 있다. 제 2 트랜지스터(M4)의 소스 팔로워 동작에 의하여 제 1 노드(831)의 전압 역시 점점 낮아질 수 있다. 따라서 제 1 노드(831)의 전압은 라인(1113)과 같을 수 있다.
- [178] 제 1 노드(831)의 전압은 제 7 트랜지스터(M10)의 동작에 의하여 출력 라인(OUT)에 전달될 수 있다. 시스템은 출력 라인(OUT)으로부터 전달된 출력 신호에 기초하여 지문 인식을 수행할 수 있다. 제 1 수광 소자(811) 및 제 2 수광 소자(812)가 지문으로부터 빛을 수신했는지 여부에 따라 제 1 노드(831)의 전압이 변하므로, 화소회로(800)를 포함하는 시스템은 정확하게 지문인식을 정확하게 수행할 수 있다.
- [179] 또한, 화소회로(800)는 자발광 소자에 의한 빛, 외부로부터의 빛 및 노이즈에 의한 영향을 줄일 수 있다. 또한 화소회로(800)는 자발광 소자에 의한 빛 및 외부로부터의 빛에 의한 클리핑(clipping) 현상을 예방할 수 있다. 또한 화소회로(800)는 지문에 의해 반사된 빛만을 이용하여 지문인식을 수행할 수 있으므로 signal noise ratio(SNR)를 높일 수 있다.

[180]

- [181] 이제까지 다양한 실시예들을 중심으로 살펴보았다. 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자는 본 개시가 본 개시의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 개시의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 개시에 포함된 것으로 해석되어야 할 것이다.
- [182] 한편, 상술한 본 개시의 실시예들은 컴퓨터에서 실행될 수 있는 프로그램으로 작성가능하고, 컴퓨터로 읽을 수 있는 기록매체를 이용하여 상기 프로그램을 동작시키는 범용 디지털 컴퓨터에서 구현될 수 있다. 상기 컴퓨터로 읽을 수 있는 기록매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드디스크 등), 광학적 판독 매체(예를 들면, 시디롬, 디브이디 등)와 같은 저장매체를 포함한다.

청구범위

- [청구항 1] 광학 지문 센싱 회로를 포함한 화소회로로서,
 상기 화소회로는,
 화상을 표시하는 자발광 소자; 상기 자발광 소자에서 출사되어 사용자의 지문을 통해 반사된 광을 수광하여 광전류로 변환하는 수광소자; 및 화소 제어회로; 를 포함하고,
 상기 수광소자는, 제 1 신호를 생성하는 제 1 수광 소자; 및 제 2 신호를 생성하는 제 2 수광 소자를 포함하고,
 상기 화소 제어회로는 상기 제 1 신호와 상기 제 2 신호를 연산하여 출력 신호를 생성하고, 적어도 하나의 트랜지스터 성분과 적어도 하나의 캐패시터 성분을 포함하는 화소회로.
- [청구항 2] 제 1항에 있어서,
 상기 화소 제어회로는,
 상기 제 1 신호와 상기 제 2 신호를 차분하여 노이즈 신호가 제거된 출력신호를 생성하는 것을 특징으로 하는 화소회로.
- [청구항 3] 제 1 항에 있어서,
 상기 화소 제어회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 제 7 트랜지스터, 제 1 캐패시터 및 제 2 캐패시터를 더 포함하고,
 상기 제 1 트랜지스터의 제 1 단자는 데이터라인에 연결되고, 상기 제 1 트랜지스터의 제 2 단자는 제 1 노드에 연결되고, 상기 제 1 트랜지스터의 게이트 단자는 n 번째 스캔라인에 연결되고,
 상기 제 2 트랜지스터의 제 1 단자는 제 2 노드에 연결되고, 상기 제 2 트랜지스터의 제 2 단자는 제 3 노드에 연결되고, 상기 제 2 트랜지스터의 게이트 단자는 제 4 노드에 연결되고,
 상기 제 3 트랜지스터의 제 1 단자는 상기 제 4 노드에 연결되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 3 노드에 연결되고, 상기 제 3 트랜지스터의 게이트 단자는 n-1 번째 스캔라인에 연결되고,
 상기 제 4 트랜지스터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 2 수광 소자의 캐소드(Cathode) 단자에 연결되고, 상기 제 4 트랜지스터의 게이트 단자는 제 1 센싱(sensing) 라인에 연결되고,
 상기 제 5 트랜지스터의 제 1 단자는 상기 제 1 수광 소자의 아노드 단자에 연결되고, 상기 제 5 트랜지스터의 제 2 단자는 상기 제 1 노드에 연결되고, 상기 제 5 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고,
 상기 제 6 트랜지스터의 제 1 단자는 상기 제 3 노드에 연결되고, 상기 제 6

트랜지스터의 제 2 단자는 접지되고, 상기 제 6 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고,
 상기 제 7 트랜지스터의 제 1 단자는 상기 제 2 노드에 연결되고, 상기 제 7 트랜지스터의 제 2 단자는 출력 라인에 연결되고, 상기 제 7 트랜지스터의 게이트 단자는 제 2 센싱 라인에 연결되고,
 상기 제 1 캐패시터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 1 캐패시터의 제 2 단자는 상기 제 4 노드에 연결되고,
 상기 제 2 캐패시터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 2 캐패시터의 제 2 단자는 접지되고,
 상기 제 1 수광 소자의 캐소드 단자는 전원(VDD)에 연결되고, 상기 제 2 수광 소자는 접지되는 것을 특징으로 하는 화소회로.

[청구항 4]

제 3 항에 있어서,
 상기 화소 제어회로는 제 8 트랜지스터, 제 9 트랜지스터, 및 제 10 트랜지스터를 더 포함하고,
 상기 제 8 트랜지스터의 제 1 단자는 전원(VDD)에 연결되고, 상기 제 8 트랜지스터의 제 2 단자는 상기 제 1 노드에 연결되고, 상기 제 8 트랜지스터의 게이트 단자는 상기 n-1 번째 스캔라인에 연결되고,
 상기 제 9 트랜지스터의 제 1 단자는 상기 전원에 연결되고, 상기 제 9 트랜지스터의 제 2 단자는 상기 제 2 노드에 연결되고, 상기 제 9 트랜지스터의 게이트 단자는 제 1 에미션(emission)라인에 연결되고,
 상기 제 10 트랜지스터의 제 1 단자는 상기 제 3 노드에 연결되고, 상기 제 10 트랜지스터의 제 2 단자는 상기 자발광 소자의 아노드 단자에 연결되고, 상기 제 10 트랜지스터의 게이트 단자는 제 2 에미션 라인에 연결되고,
 상기 자발광 소자의 캐소드 단자는 접지되는 것을 특징으로 하는 화소회로.

[청구항 5]

제 1 항에 있어서,
 상기 화소 제어회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터 및 제 7 트랜지스터를 더 포함하고,
 상기 제 1 트랜지스터의 제 1 단자는 데이터라인에 연결되고, 상기 제 1 트랜지스터의 제 2 단자는 제 1 노드에 연결되고, 상기 제 1 트랜지스터의 게이트 단자는 n 번째 스캔라인에 연결되고,
 상기 제 2 트랜지스터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 2 트랜지스터의 제 2 단자는 제 2 노드에 연결되고, 상기 제 2 트랜지스터의 게이트 단자는 제 3 노드에 연결되고,
 상기 제 3 트랜지스터의 제 1 단자는 상기 제 3 노드에 연결되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 노드에 연결되고, 상기 제 3

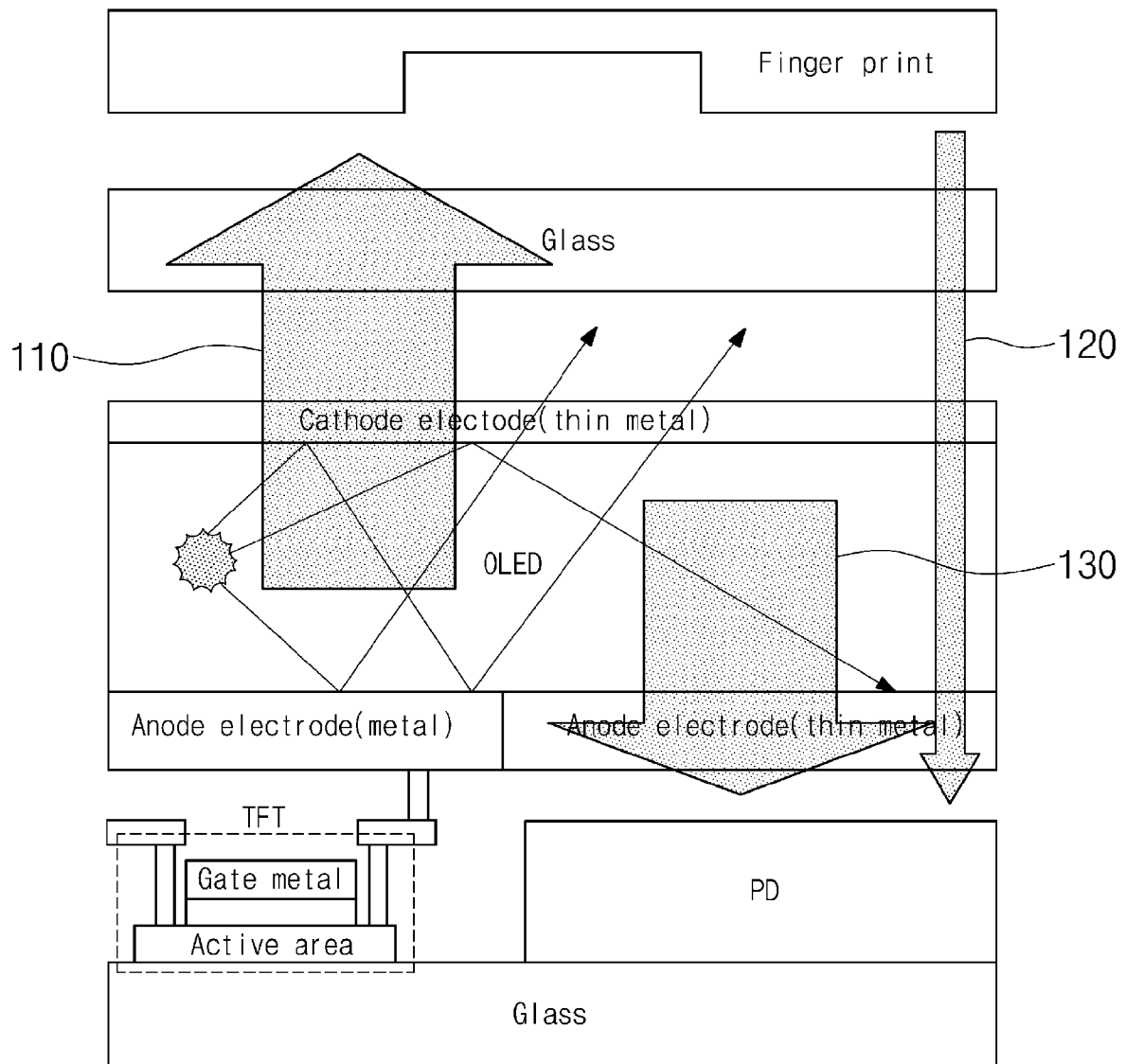
트랜지스터의 게이트 단자는 상기 n 번째 스캔라인에 연결되고,
 상기 제 4 트랜지스터의 제 1 단자는 상기 제 3 노드에 연결되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 2 수광 소자의 캐소드(Cathode) 단자에 연결되고, 상기 제 4 트랜지스터의 게이트 단자는 제 1 센싱(sensing) 라인에 연결되고,
 상기 제 5 트랜지스터의 제 1 단자는 상기 제 1 수광 소자의 아노드(Anode) 단자에 연결되고, 상기 제 5 트랜지스터의 제 2 단자는 상기 제 3 노드에 연결되고, 상기 제 5 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고,
 상기 제 6 트랜지스터의 제 1 단자는 상기 제 2 노드에 연결되고, 상기 제 6 트랜지스터의 제 2 단자는 접지되고, 상기 제 6 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고,
 상기 제 7 트랜지스터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 7 트랜지스터의 제 2 단자는 출력 라인에 연결되고, 상기 제 7 트랜지스터의 게이트 단자는 제 2 센싱 라인에 연결되고,
 상기 제 1 수광 소자의 캐소드 단자는 전원(VDD)에 연결되고, 상기 제 2 수광 소자의 아노드 단자는 접지되는 것을 특징으로 하는 화소회로.

[청구항 6]

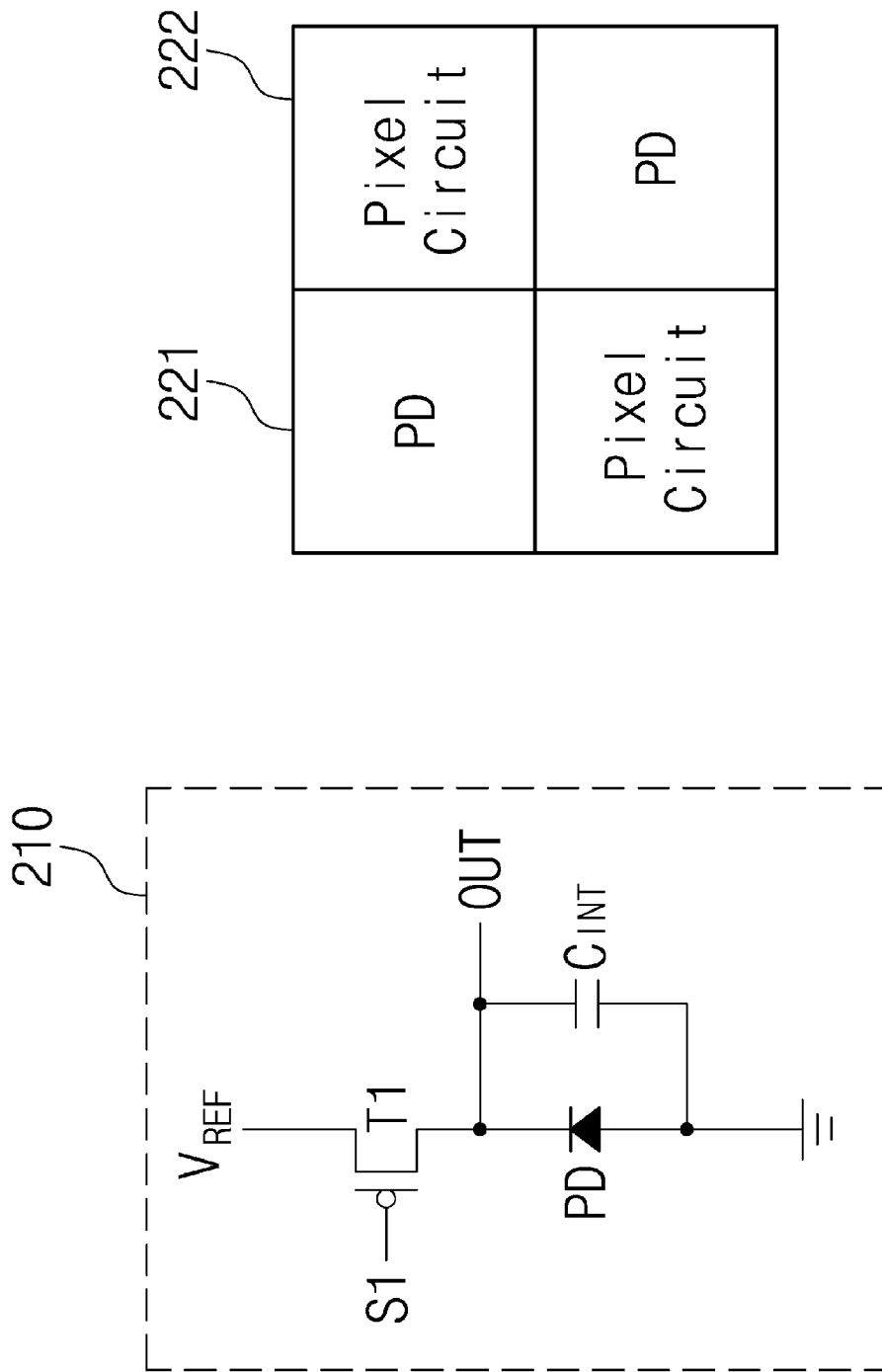
제 5 항에 있어서,
 상기 화소 제어회로는 제 8 트랜지스터, 제 9 트랜지스터, 제 10 트랜지스터, 및 제 11 트랜지스터를 더 포함하고,
 상기 제 8 트랜지스터의 제 1 단자는 초기화라인에 연결되고, 상기 제 8 트랜지스터의 제 2 단자는 상기 제 3 노드에 연결되고, 상기 제 8 트랜지스터의 게이트 단자는 $n-1$ 번째 스캔라인에 연결되고,
 상기 제 9 트랜지스터의 제 1 단자는 초기화라인에 연결되고, 상기 제 9 트랜지스터의 제 2 단자는 상기 자발광 소자의 아노드(anode) 단자에 연결되고, 상기 제 9 트랜지스터의 게이트 단자는 상기 $n-1$ 번째 스캔라인에 연결되고,
 상기 제 10 트랜지스터의 제 1 단자는 상기 전원에 연결되고, 상기 제 10 트랜지스터의 제 2 단자는 상기 제 1 노드에 연결되고, 상기 제 10 트랜지스터의 게이트 단자는 에미션(emission)라인에 연결되고,
 상기 제 11 트랜지스터의 제 1 단자는 상기 제 2 노드에 연결되고, 상기 제 11 트랜지스터의 제 2 단자는 상기 자발광 소자의 아노드 단자에 연결되고, 상기 제 11 트랜지스터의 게이트 단자는 상기 에미션 라인에 연결되고,
 상기 캐패시터의 제 1 단자는 상기 전원에 연결되고, 상기 캐패시터의 제 2 단자는 상기 제 3 노드에 연결되고,
 상기 자발광 소자의 캐소드 단자는 접지되는 것을 특징으로 하는 화소회로.

- [청구항 7] 제 1 항에 있어서,
 상기 화소 제어회로는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터 및 제 6 트랜지스터를 더 포함하고,
 상기 제 1 트랜지스터의 제 1 단자는 데이터라인에 연결되고, 상기 제 1 트랜지스터의 제 2 단자는 제 1 노드에 연결되고, 상기 제 1 트랜지스터의 게이트 단자는 n번째 스캔라인에 연결되고,
 상기 제 2 트랜지스터의 제 1 단자는 제 2 노드에 연결되고, 상기 제 2 트랜지스터의 제 2 단자는 제 3 노드에 연결되고, 상기 제 2 트랜지스터의 게이트 단자는 상기 제 1 노드에 연결되고,
 상기 제 3 트랜지스터의 제 1 단자는 상기 제 1 노드에 연결되고, 상기 제 3 트랜지스터의 제 2 단자는 상기 제 2 수광 소자의 캐소드(Cathode) 단자에 연결되고, 상기 제 3 트랜지스터의 게이트 단자는 제 1 센싱(sensing) 라인에 연결되고,
 상기 제 4 트랜지스터의 제 1 단자는 상기 제 1 수광 소자의 아노드 단자에 연결되고, 상기 제 4 트랜지스터의 제 2 단자는 상기 제 1 노드에 연결되고, 상기 제 4 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고,
 상기 제 5 트랜지스터의 제 1 단자는 상기 제 3 노드에 연결되고, 상기 제 5 트랜지스터의 제 2 단자는 접지되고, 상기 제 5 트랜지스터의 게이트 단자는 상기 제 1 센싱 라인에 연결되고,
 상기 제 6 트랜지스터의 제 1 단자는 상기 제 2 노드에 연결되고, 상기 제 6 트랜지스터의 제 2 단자는 출력 라인에 연결되고, 상기 제 6 트랜지스터의 게이트 단자는 제 2 센싱 라인에 연결되고,
 상기 제 1 수광 소자의 캐소드 단자는 전원(VDD)에 연결되고, 상기 제 2 수광 소자의 아노드 단자는 접지되는 것을 특징으로 하는 화소회로.
- [청구항 8] 제 7 항에 있어서,
 상기 화소 제어회로는 제 7 트랜지스터를 더 포함하고,
 상기 제 7 트랜지스터의 제 1 단자는 상기 전원에 연결되고, 상기 제 7 트랜지스터의 제 2 단자는 상기 제 2 노드에 연결되고, 상기 제 7 트랜지스터의 게이트 단자는 에미션(emission)라인에 연결되고,
 상기 캐패시터의 제 1 단자는 상기 전원에 연결되고, 상기 캐패시터의 제 2 단자는 상기 제 1 노드에 연결되고,
 상기 자발광 소자의 아노드 단자는 상기 제 3 노드에 연결되고, 상기 자발광 소자의 캐소드 단자는 접지되는 것을 특징으로 하는 화소회로.

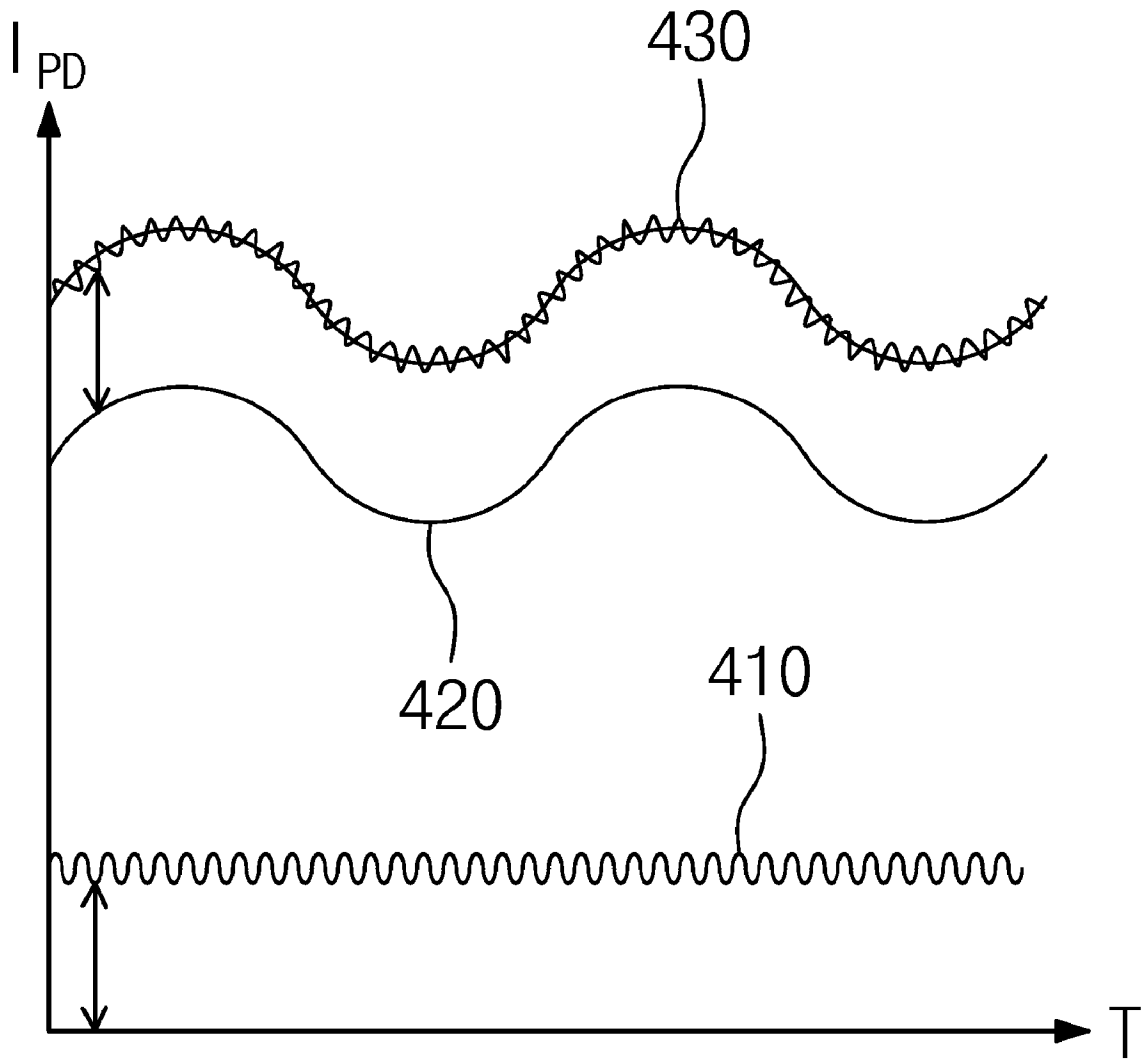
[도1]



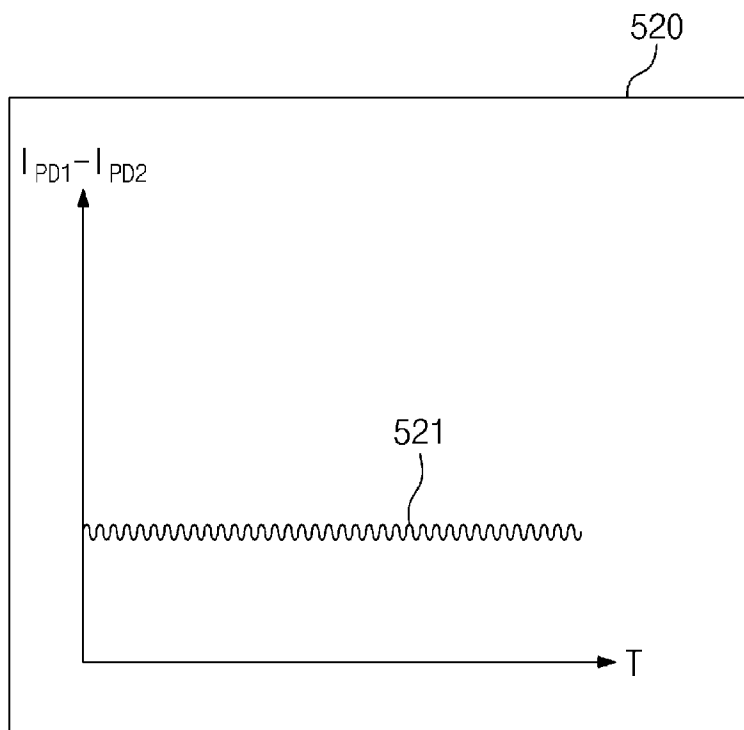
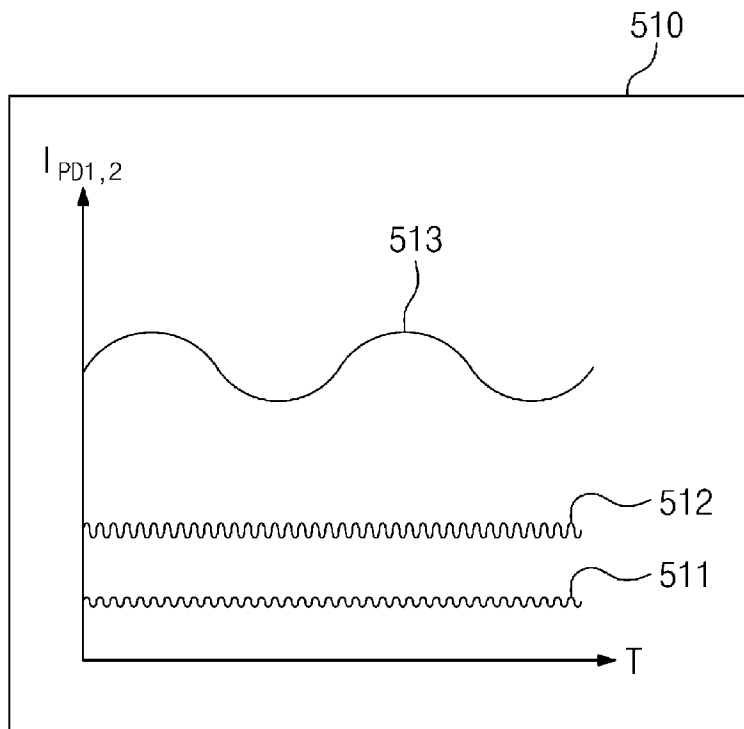
[도2]



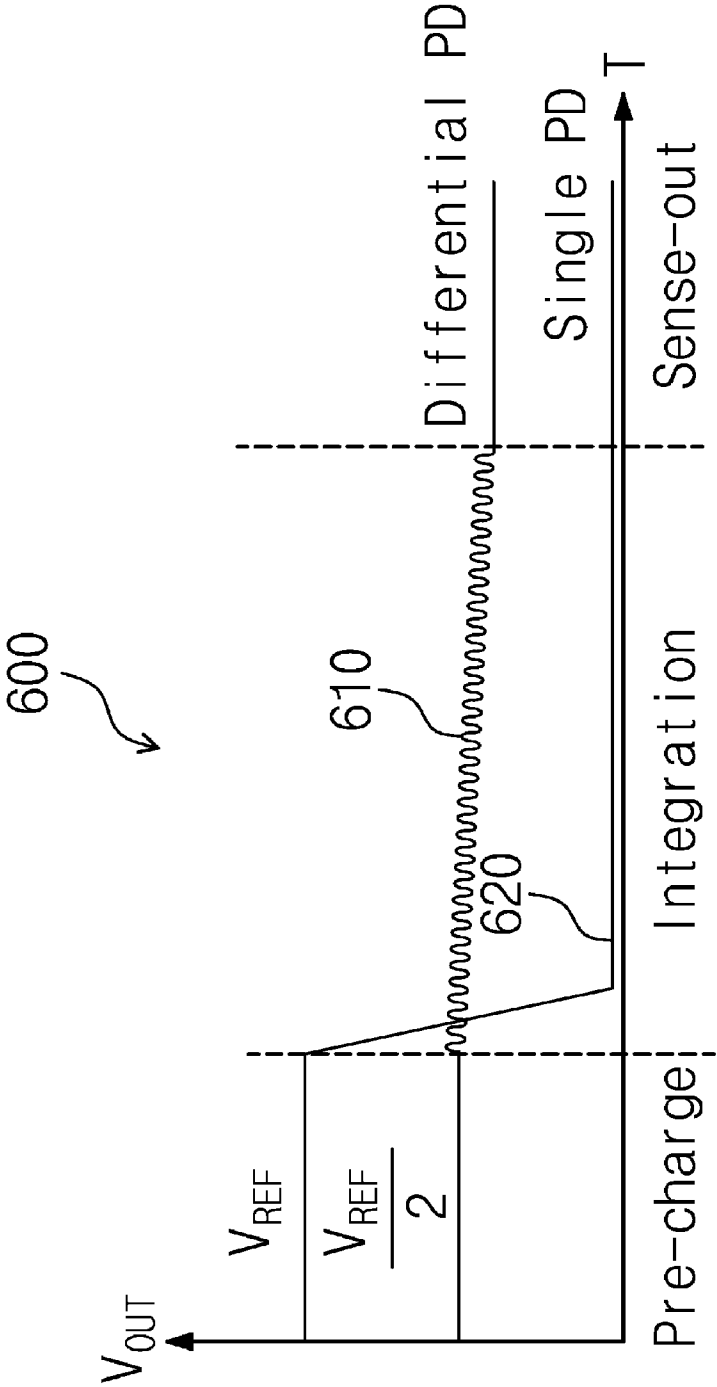
[도4]



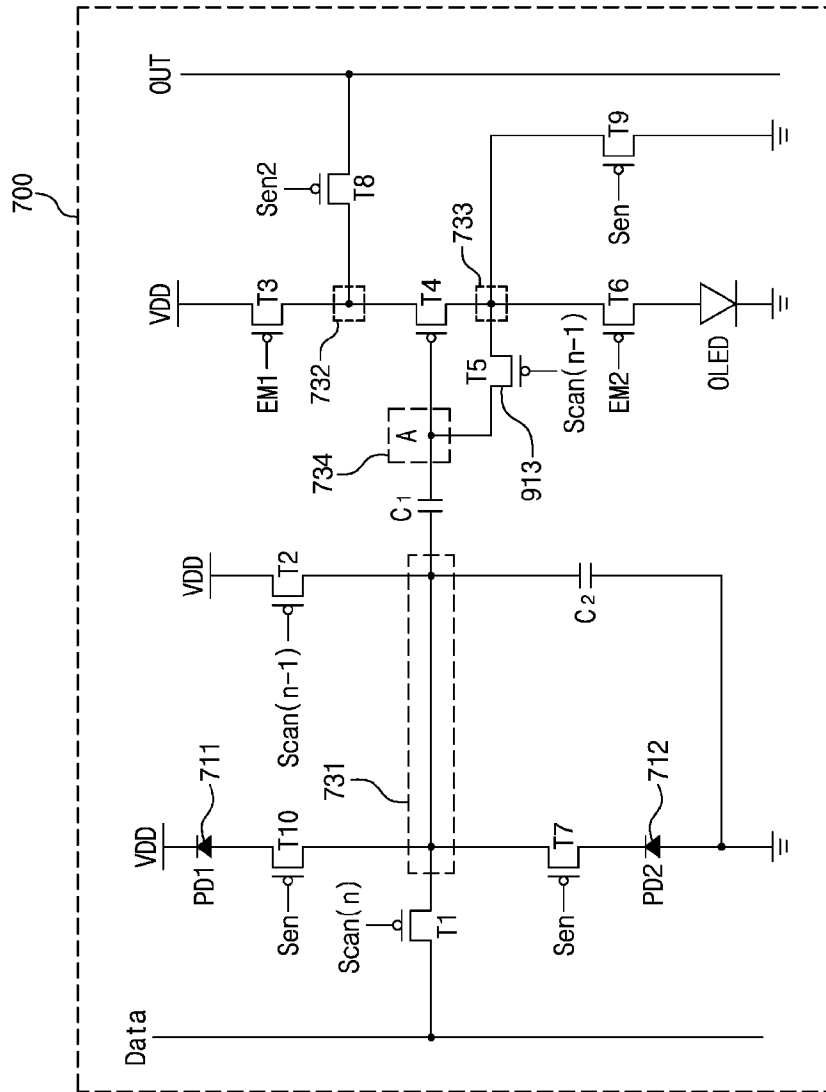
[도5]



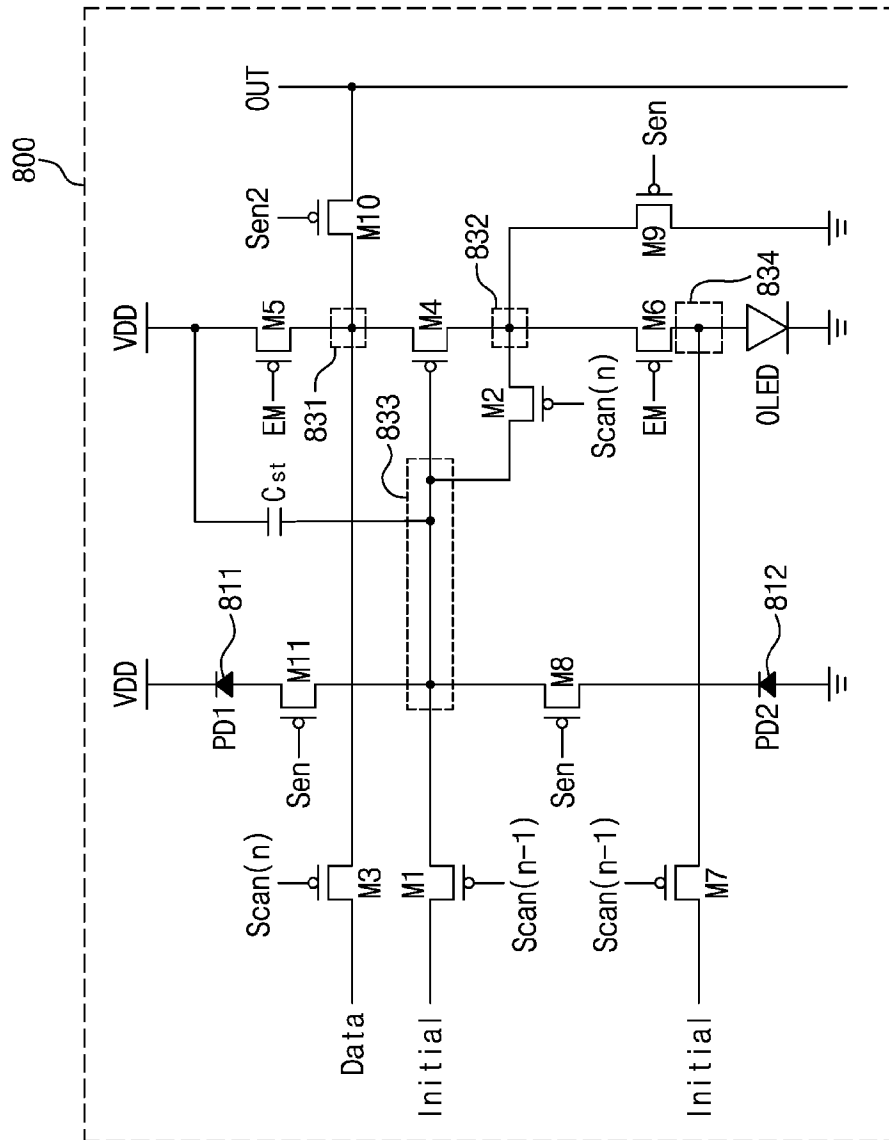
[도6]



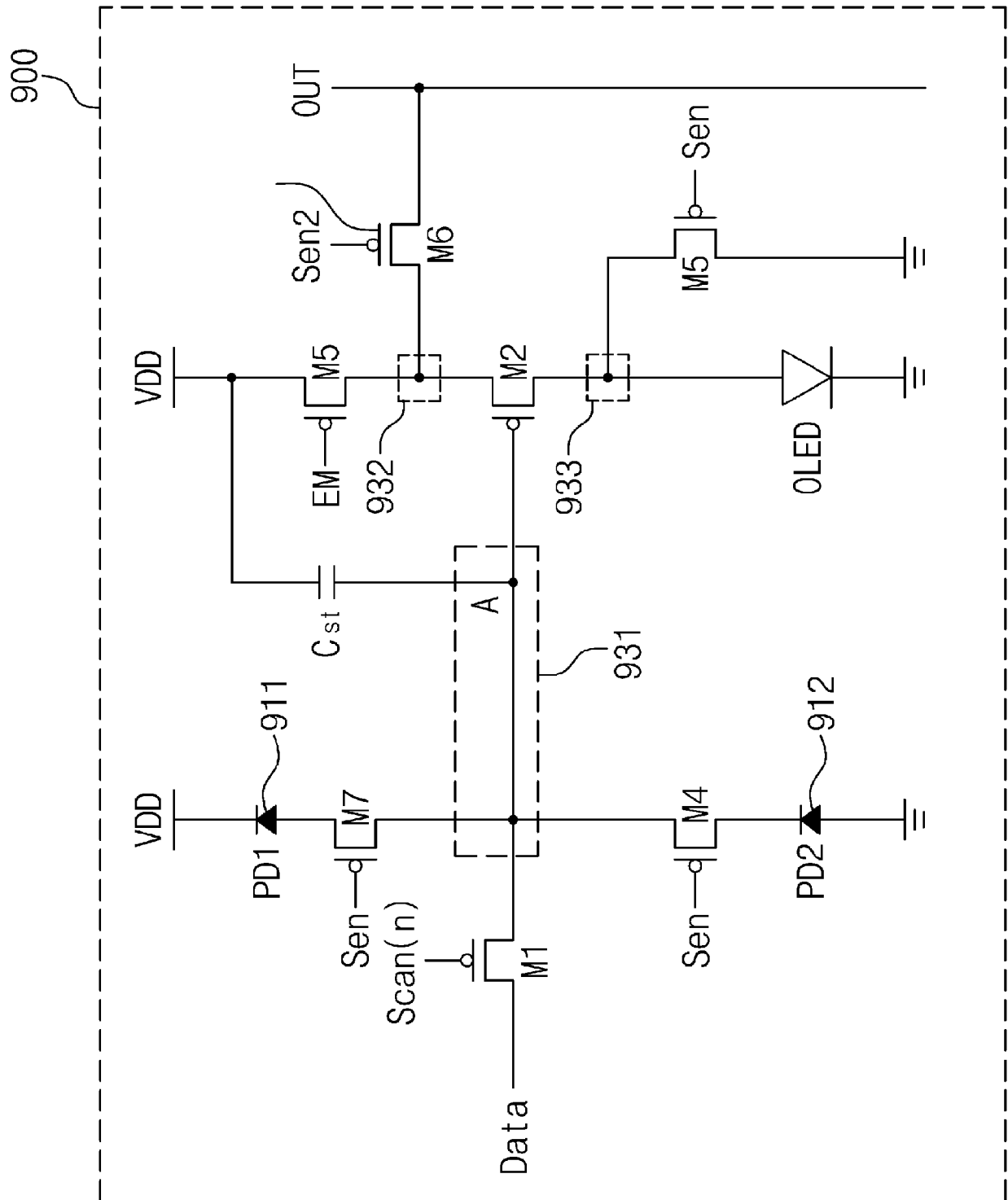
[도7]



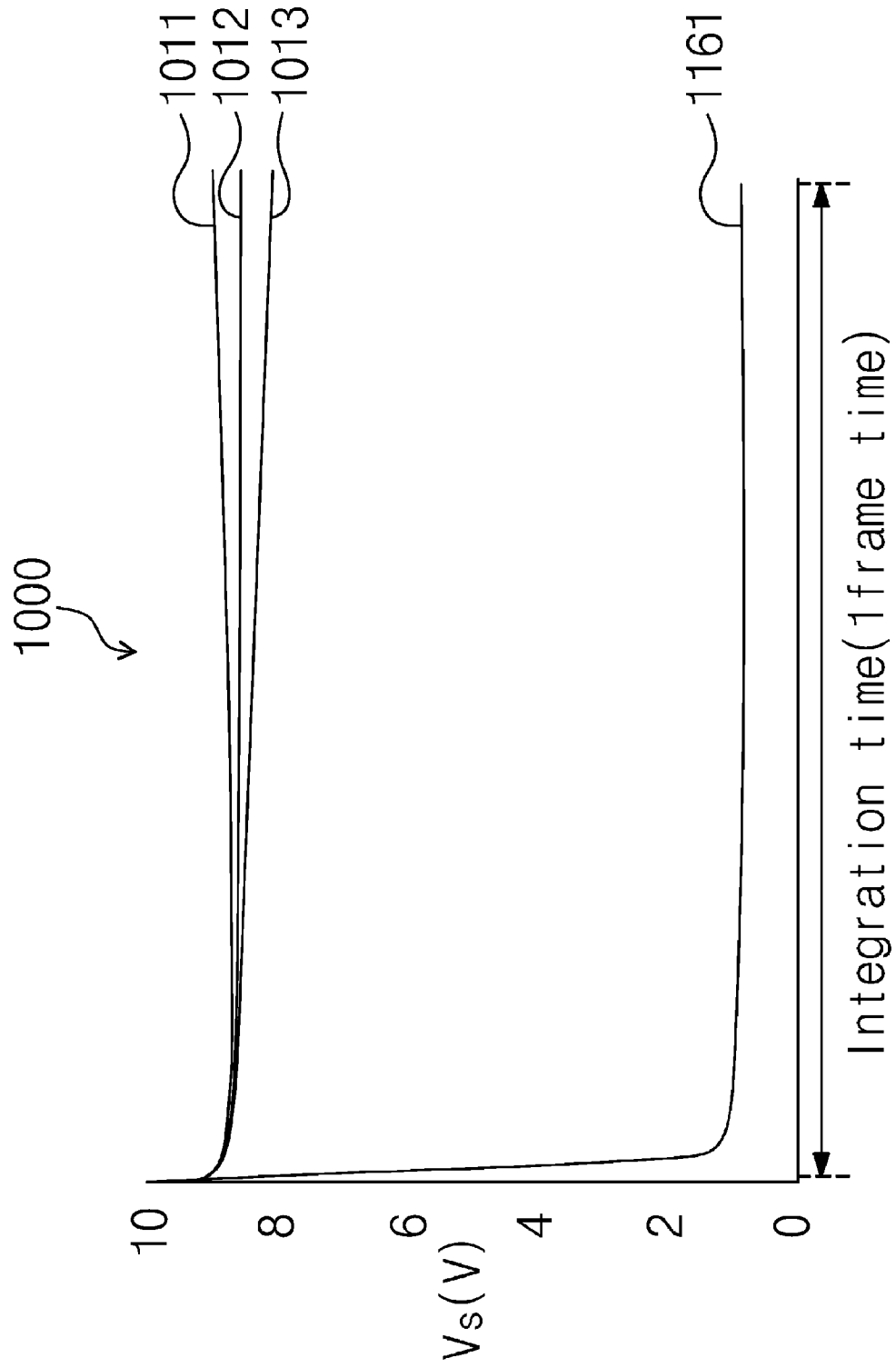
[도8]



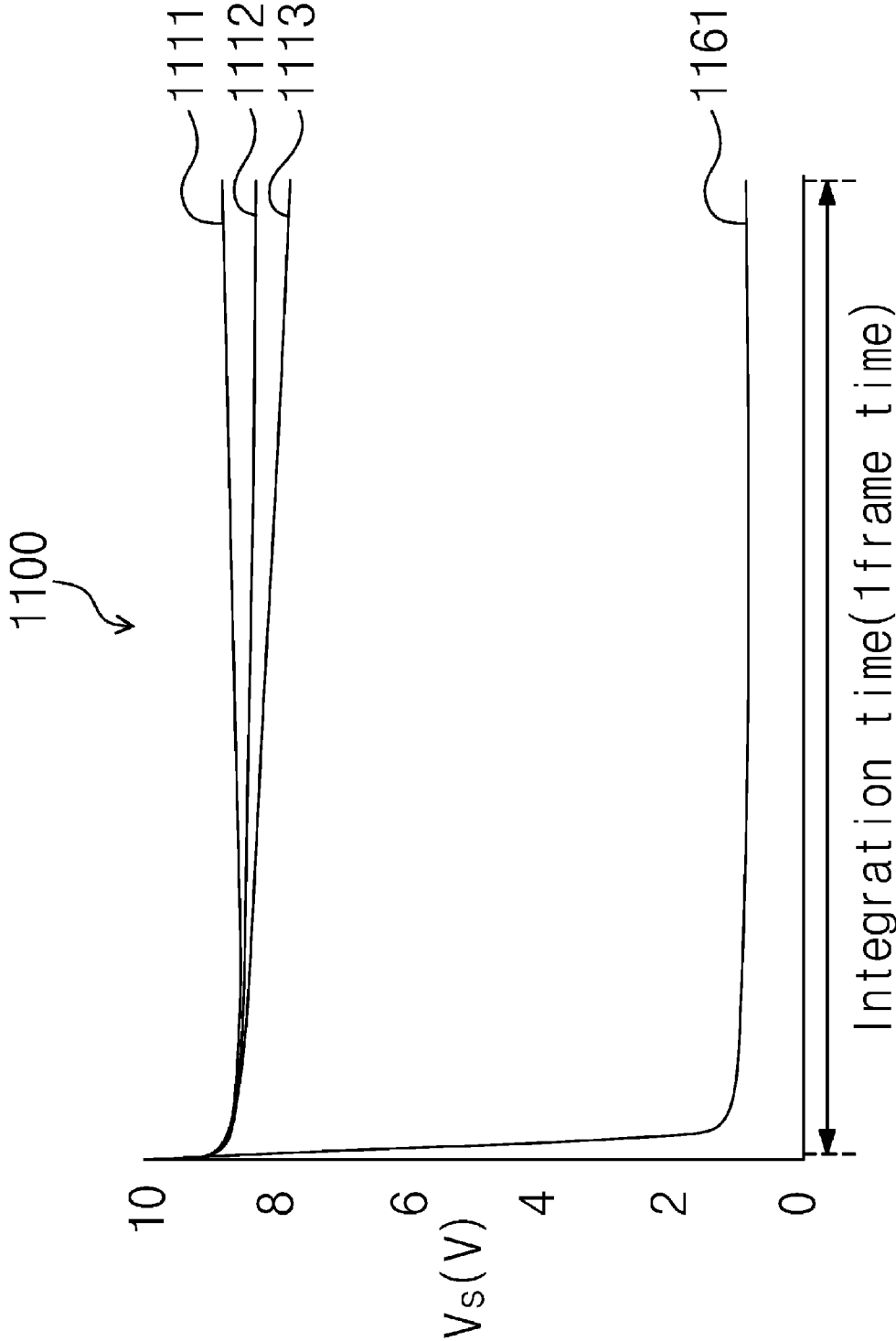
[도9]



[도10]



[도11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/006645

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3233(2016.01)i, G06K 9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/3233; G06F 3/044; G06K 9/00; G06T 1/00; G09F 9/30; G09G 3/20; G09G 3/30; H01L 31/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: fingerprint, photodiode, difference, transistor, capacitor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-1718476 B1 (BEYONDEYES) 21 March 2017 See paragraphs [0018]-[0054] and figures 1-7.	1,2
A		3-8
Y	KR 10-2017-0136692 A (ECOS SOLUTION CO., LTD.) 12 December 2017 See paragraphs [0029]-[0070] and figures 1-7.	1,2
A	JP 2013-069201 A (SEIKO EPSON CORP.) 18 April 2013 See claims 1-4 and figures 1-8.	1-8
A	US 2016-0042216 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 February 2016 See claims 1-11 and figures 1-10.	1-8
A	JP 2005-148285 A (SONY CORP.) 09 June 2005 See claims 1-8 and figures 1-7.	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 SEPTEMBER 2019 (18.09.2019)

Date of mailing of the international search report

19 SEPTEMBER 2019 (19.09.2019)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/006645

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1718476 B1	21/03/2017	US 10235553 B2 US 2017-0083738 A1	19/03/2019 23/03/2017
KR 10-2017-0136692 A	12/12/2017	None	
JP 2013-069201 A	18/04/2013	None	
US 2016-0042216 A1	11/02/2016	CN 104155785 A CN 104155785 B US 9704011 B2	19/11/2014 05/10/2016 11/07/2017
JP 2005-148285 A	09/06/2005	JP 4670236 B2	13/04/2011

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G09G 3/3233(2016.01)i, G06K 9/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G09G 3/3233; G06F 3/044; G06K 9/00; G06T 1/00; G09F 9/30; G09G 3/20; G09G 3/30; H01L 31/10

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 지문 (fingerprint), 수광소자 (photodiode), 차분 (difference), 트랜지스터 (transistor), 커패시터 (capacitor)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-1718476 B1 (주식회사 비온드아이즈) 2017.03.21 단락 [0018]-[0054] 및 도면 1-7 참조.	1,2
A		3-8
Y	KR 10-2017-0136692 A (에코솔루션(주)) 2017.12.12 단락 [0029]-[0070] 및 도면 1-7 참조.	1,2
A	JP 2013-069201 A (SEIKO EPSON CORP.) 2013.04.18 청구항 1-4 및 도면 1-8 참조.	1-8
A	US 2016-0042216 A1 (BOE TECHNOLOGY GROUP CO., LTD. 등) 2016.02.11 청구항 1-11 및 도면 1-10 참조.	1-8
A	JP 2005-148285 A (SONY CORP.) 2005.06.09 청구항 1-8 및 도면 1-7 참조.	1-8

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X”에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2019년 09월 18일 (18.09.2019)

국제조사보고서 발송일

2019년 09월 19일 (19.09.2019)

ISA/KR의 명칭 및 우편주소



대한민국 특허청

(35208) 대전광역시 서구 청사로 189,

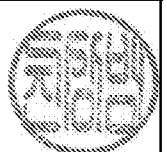
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

진상범

전화번호 +82-42-481-8398



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1718476 B1	2017/03/21	US 10235553 B2 US 2017-0083738 A1	2019/03/19 2017/03/23
KR 10-2017-0136692 A	2017/12/12	없음	
JP 2013-069201 A	2013/04/18	없음	
US 2016-0042216 A1	2016/02/11	CN 104155785 A CN 104155785 B US 9704011 B2	2014/11/19 2016/10/05 2017/07/11
JP 2005-148285 A	2005/06/09	JP 4670236 B2	2011/04/13