



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월28일  
(11) 등록번호 10-1720216  
(24) 등록일자 2017년03월21일

(51) 국제특허분류(Int. Cl.)  
H04N 19/59 (2014.01) H04N 19/82 (2014.01)  
H04N 19/86 (2014.01)  
(52) CPC특허분류  
H04N 19/59 (2015.01)  
H04N 19/82 (2015.01)  
(21) 출원번호 10-2016-0024644  
(22) 출원일자 2016년02월29일  
심사청구일자 2016년02월29일  
(56) 선행기술조사문헌  
KR1020130095927 A\*  
KR101004825 B1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
한밭대학교 산학협력단  
대전광역시 유성구 동서대로 125 (덕명동)  
(72) 발명자  
류광기  
대전광역시 유성구 동서대로 125 N4동 417호 (덕명동, 한밭대학교)  
임준성  
대전광역시 유성구 학하로 33, 학의뜰아파트 101동 1301호  
구키 데니스  
대전광역시 유성구 학하서로 140-7 207호 (덕명동, 한밭동지)  
(74) 대리인  
추혁, 김진동

전체 청구항 수 : 총 6 항

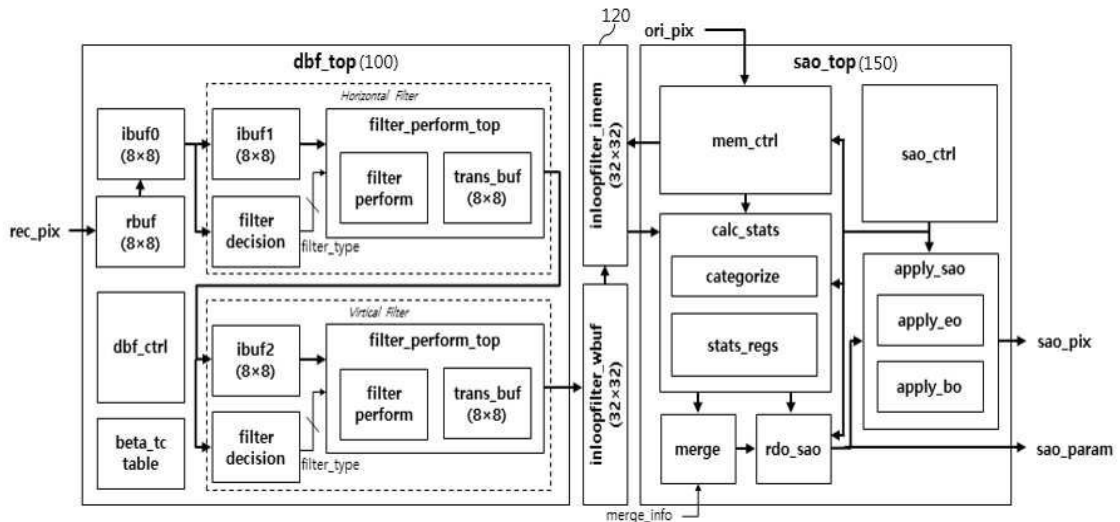
심사관 : 장석환

(54) 발명의 명칭 루프 내 필터의 필터링 방법 및 루프 내 필터의 필터링 방법을 수행하는 장치

(57) 요약

루프 내 필터의 필터링 방법 및 루프 내 필터의 필터링 방법을 수행하는 장치가 개시된다. 루프 내 필터의 필터링 방법은 디블록킹 필터가 복수의 제1 블록에 대한 디블록킹 필터링을 수행하는 단계와 SAO가 복수의 제1 블록으로 구성된 제2 블록에 대한 오프셋 보정을 수행하는 단계를 포함할 수 있되, 디블록킹 필터는 복수의 제1 블록 각각을 분할할 제1 상위 분할 블록 및 제1 하위 분할 블록에 대한 병렬적인 필터링을 수행하고, SAO는 제2 블록을 분할한 제2 상위 분할 블록 및 제2 하위 분할 블록 각각에 대한 병렬적인 오프셋 보정을 수행할 수 있다.

대표도 - 도1



(52) CPC특허분류

**H04N 19/86** (2015.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 R01341510190001002

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 해외ICT전문인력 활용촉진사업

연구과제명 Core-A 기반 영상처리 SoC 플랫폼 개발

기 여 율 1/1

주관기관 연구사업관리팀

연구기간 2015.06.01 ~ 2015.12.31

공지예외적용 : 있음

---

## 명세서

### 청구범위

#### 청구항 1

루프 내 필터의 필터링 방법은,

디블록킹 필터가 복수의 제1 블록에 대한 디블록킹 필터링을 수행하는 단계; 및

SAO(sample adaptive offset)가 상기 복수의 제1 블록으로 구성된 제2 블록에 대한 오프셋 보정을 수행하는 단계를 포함하되,

상기 SAO는 상기 제2 블록을 분할한 제2 상위 분할 블록 및 제2 하위 분할 블록 각각에 대한 병렬적인 오프셋 보정을 수행하며,

상기 디블록킹 필터는 상기 복수의 제1 블록 각각을 분할한 제1 상위 분할 블록 및 제1 하위 분할 블록에 대한 병렬적인 필터링을 수행하고,

상기 디블록킹 필터는 복수의 버퍼를 사용하여 메모리 읽기 단계, 수평 필터 결정 단계, 수평 필터링 수행 단계, 수직 필터 연산 단계, 수직 필터 수행 단계, 메모리 쓰기 단계로 구성되는 내부 6단 파이프 라인을 기반으로 상기 디블록킹 필터링을 수행하고,

상기 디블록킹 필터링을 위한 참조 메모리 구조는 CTU(coding tree unit)의 상단 참조 화소 및 좌측 참조 화소에 대한 정보를 저장하지 않는 것을 특징으로 하는 루프 내 필터의 필터링 방법.

#### 청구항 2

제 1항에 있어서,

상기 SAO는 제2 상위 분할 블록의 3개의 상위 열에 포함되는 화소에 대한 정보를 저장하는 제1 3-계층 버퍼 구조를 기반으로 상기 3개의 상위 열 중 중간 열에 포함되는 3개의 화소 단위에 대한 오프셋 보정을 수행하고,

상기 SAO는 제2 하위 분할 블록의 3개의 하위 열에 포함되는 화소에 대한 정보를 저장하는 제2 3-계층 버퍼 구조를 기반으로 상기 3개의 하위 열 중 중간 열에 포함되는 3개의 화소 단위에 대한 오프셋 보정을 수행하는 것을 특징으로 하는 루프 내 필터의 필터링 방법.

#### 청구항 3

제2항에 있어서,

상기 제1 3-계층 버퍼 구조에 저장된 상기 3개의 상위 열에 대한 정보는 열에 대한 쉬프트 절차를 통해 갱신되고,

상기 제2 3-계층 버퍼 구조에 저장된 상기 3개의 하위 열에 대한 정보는 열에 대한 쉬프트 절차를 통해 갱신되는 것을 특징으로 하는 루프 내 필터의 필터링 방법.

#### 청구항 4

루프 내 필터의 필터링 방법을 수행하는 장치에 있어서,

복수의 제1 블록에 대한 디블록킹 필터링을 수행하도록 구현되는 디블록킹 필터; 및

상기 복수의 제1 블록으로 구성된 제2 블록에 대한 오프셋 보정을 수행하도록 구현되는 SAO(sample adaptive offset)를 포함하되,

상기 SAO는 상기 제2 블록을 분할한 제2 상위 분할 블록 및 제2 하위 분할 블록 각각에 대한 병렬적인 오프셋 보정을 수행하며,

상기 디블록킹 필터는 상기 복수의 제1 블록 각각을 분할할 제1 상위 분할 블록 및 제1 하위 분할 블록에 대한 병렬적인 필터링을 수행하고,

상기 디블록킹 필터는 복수의 버퍼를 사용하여 메모리 읽기 단계, 수평 필터 결정 단계, 수평 필터링 수행 단계, 수직 필터 연산 단계, 수직 필터 수행 단계, 메모리 쓰기 단계로 구성되는 내부 6단 파이프 라인을 기반으로 상기 디블록킹 필터링을 수행하고,

상기 디블록킹 필터링을 위한 참조 메모리 구조는 CTU(coding tree unit)의 상단 참조 화소 및 좌측 참조 화소에 대한 정보를 저장하지 않는 것을 특징으로 하는 루프 내 필터의 필터링 방법을 수행하는 장치.

#### 청구항 5

제 4항에 있어서,

상기 SA0는 제2 상위 분할 블록의 3개의 상위 열에 포함되는 화소에 대한 정보를 저장하는 제1 3-계층 버퍼 구조를 기반으로 상기 3개의 상위 열 중 중간 열에 포함되는 3개의 화소 단위에 대한 오프셋 보정을 수행하도록 구현되고,

상기 SA0는 제2 하위 분할 블록의 3개의 하위 열에 포함되는 화소에 대한 정보를 저장하는 제2 3-계층 버퍼 구조를 기반으로 상기 3개의 하위 열 중 중간 열에 포함되는 3개의 화소 단위에 대한 오프셋 보정을 수행하도록 구현되는 것을 특징으로 하는 루프 내 필터의 필터링 방법을 수행하는 장치.

#### 청구항 6

제5항에 있어서,

상기 제1 3-계층 버퍼 구조에 저장된 상기 3개의 상위 열에 대한 정보는 열에 대한 쉬프트 절차를 통해 갱신되고,

상기 제2 3-계층 버퍼 구조에 저장된 상기 3개의 하위 열에 대한 정보는 열에 대한 쉬프트 절차를 통해 갱신되도록 구현되는 것을 특징으로 하는 루프 내 필터의 필터링 방법을 수행하는 장치.

#### 청구항 7

삭제

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

### 발명의 설명

### 기술 분야

[0001] 본 발명은 루프 내 필터링 방법 및 장치에 관한 것으로서, 보다 상세하게는, 루프 내 필터의 필터링 방법 및 루프 내 필터의 필터링 방법을 수행하는 장치에 관한 것이다.

### 배경 기술

[0002] 최근 고해상도 및 고화질 영상 콘텐츠의 수요가 증가함에 따라 기존 표준에 비해 향상된 차세대 영상 압축 기술 개발이 필요하게 되었다. 따라서 기존 H.264/AVC(advanced video coding) 표준에 비해 2배의 압축 효율을 갖는 HEVC(high efficiency video coding)를 2013년 표준안으로 제정하였다. HEVC는 예측, 변환, 양자화, 엔트로피 부호화 과정을 수행하는 영상 압축 기술을 기반으로 하며, CU(Coding Unit), PU(Prediction Unit),

TU(Transform Unit)와 같은 연산 블록을 기반으로 부호화/복호화를 수행할 수 있다.

- [0003] 이러한 블록 단위의 영상 압축 기술은 양자화 에러로 인하여 복원 영상에 화질 열화가 발생하는 문제가 있다. 이를 해결하기 위하여 HEVC에서는 디블록킹 필터와 SAO(Sample Adaptive Offset)로 구성된 루프 내 필터를 사용한다. 디블록킹 필터는 주로 블록킹 열화(Blocking Artifact)를 제거하기 위하여 사용되고, SAO는 링잉(Ringing) 현상을 제거하기 위하여 사용된다. 루프 내 필터는 주관적 화질을 향상시킬 뿐만 아니라 화면 간 예측 과정에서 참조 영상으로 사용되어 부호화 효율도 향상된다. 그러나 추가적인 연산으로 인하여 인코더와 디코더의 복잡도가 증가되는 원인이 된다.

## 선행기술문헌

### 특허문헌

- [0004] (특허문헌 0001) KR 10-2013-0114857

## 발명의 내용

### 해결하려는 과제

- [0005] 본 발명의 일 측면은 루프 내 필터의 필터링 방법을 제공한다.
- [0006] 본 발명의 다른 측면은 루프 내 필터의 필터링 방법을 수행하는 장치를 제공한다.

### 과제의 해결 수단

- [0007] 본 발명의 일 측면에 따른 루프 내 필터의 필터링 방법은 디블록킹 필터가 복수의 제1 블록에 대한 디블록킹 필터링을 수행하는 단계와 SAO(sample adaptive offset)가 상기 복수의 제1 블록으로 구성된 제2 블록에 대한 오프셋 보정을 수행하는 단계를 포함할 수 있되, 상기 디블록킹 필터는 상기 복수의 제1 블록 각각을 분할할 제1 상위 분할 블록 및 제1 하위 분할 블록에 대한 병렬적인 필터링을 수행하고, 상기 SAO는 상기 제2 블록을 분할한 제2 상위 분할 블록 및 제2 하위 분할 블록 각각에 대한 병렬적인 오프셋 보정을 수행할 수 있다.
- [0008] 한편, 상기 디블록킹 필터는 복수의 버퍼를 사용하여 내부 6단 파이프 라인을 기반으로 상기 디블록킹 필터링을 수행하고, 상기 내부 6단 파이프 라인은 메모리 읽기 단계, 수평 필터 결정 단계, 수평 필터링 수행 단계, 수직 필터 연산 단계, 수직 필터 수행 단계, 메모리 쓰기 단계로 구성될 수 있다.
- [0009] 또한, 상기 디블록킹 필터링을 위한 참조 메모리 구조는 CTU(coding tree unit)의 상단 참조 화소 및 좌측 참조 화소에 대한 정보를 저장하지 않을 수 있다.
- [0010] 또한, 상기 SAO는 제2 상위 분할 블록의 3개의 상위 열에 포함되는 화소에 대한 정보를 저장하는 제1 3-계층 버퍼 구조를 기반으로 상기 3개의 상위 열 중 중간 열에 포함되는 3개의 화소 단위에 대한 오프셋 보정을 수행하고, 상기 SAO는 제2 하위 분할 블록의 3개의 하위 열에 포함되는 화소에 대한 정보를 저장하는 제2 3-계층 버퍼 구조를 기반으로 상기 3개의 하위 열 중 중간 열에 포함되는 3개의 화소 단위에 대한 오프셋 보정을 수행할 수 있다.
- [0011] 또한, 상기 제1 3-계층 버퍼 구조에 저장된 상기 3개의 상위 열에 대한 정보는 열에 대한 쉬프트 절차를 통해 갱신되고, 상기 제2 3-계층 버퍼 구조에 저장된 상기 3개의 하위 열에 대한 정보는 열에 대한 쉬프트 절차를 통해 갱신될 수 있다.
- [0012] 본 발명의 다른 측면에 따른 루프 내 필터는 복수의 제1 블록에 대한 디블록킹 필터링을 수행하도록 구현되는 디블록킹 필터와 상기 복수의 제1 블록으로 구성된 제2 블록에 대한 오프셋 보정을 수행하도록 구현되는 SAO(sample adaptive offset)를 포함할 수 있되, 상기 디블록킹 필터는 상기 복수의 제1 블록 각각을 분할할 제1 상위 분할 블록 및 제1 하위 분할 블록에 대한 병렬적인 필터링을 수행하고, 상기 SAO는 상기 제2 블록을 분할한 제2 상위 분할 블록 및 제2 하위 분할 블록 각각에 대한 병렬적인 오프셋 보정을 수행할 수 있다.
- [0013] 한편, 상기 디블록킹 필터는 복수의 버퍼를 사용하여 내부 6단 파이프 라인을 기반으로 상기 디블록킹 필터링을 수행하고, 상기 내부 6단 파이프 라인은 메모리 읽기 단계, 수평 필터 결정 단계, 수평 필터링 수행 단계, 수직 필터 연산 단계, 수직 필터 수행 단계, 메모리 쓰기 단계로 구성될 수 있다.

[0014] 또한, 상기 디블록킹 필터링을 위한 참조 메모리 구조는 CTU(coding tree unit)의 상단 참조 화소 및 좌측 참조 화소에 대한 정보를 저장하지 않을 수 있다.

[0015] 또한, 상기 SAO는 제2 상위 분할 블록의 3개의 상위 열에 포함되는 화소에 대한 정보를 저장하는 제1 3-계층 버퍼 구조를 기반으로 상기 3개의 상위 열 중 중간 열에 포함되는 3개의 화소 단위에 대한 오프셋 보정을 수행하도록 구현되고, 상기 SAO는 제2 하위 분할 블록의 3개의 하위 열에 포함되는 화소에 대한 정보를 저장하는 제2 3-계층 버퍼 구조를 기반으로 상기 3개의 하위 열 중 중간 열에 포함되는 3개의 화소 단위에 대한 오프셋 보정을 수행하도록 구현될 수 있다.

[0016] 또한, 상기 제1 3-계층 버퍼 구조에 저장된 상기 3개의 상위 열에 대한 정보는 열에 대한 쉬프트 절차를 통해 갱신되고, 상기 제2 3-계층 버퍼 구조에 저장된 상기 3개의 하위 열에 대한 정보는 열에 대한 쉬프트 절차를 통해 갱신되도록 구현될 수 있다.

### 발명의 효과

[0017] 본 발명의 실시예에 따른 루프 내 필터의 필터링 방법 및 루프 내 필터의 필터링 방법을 수행하는 장치는 디블록킹 필터링 절차와 SAO 절차를 병렬적으로 수행하는 하드웨어 구조를 기반으로 루프 내 필터에 기반한 빠른 화소 처리 절차를 수행할 수 있다.

### 도면의 간단한 설명

[0018] 도 1은 본 발명의 실시예에 따른 HEVC 인코더의 루프 내 필터 하드웨어 구조를 나타낸 블록 다이어그램이다.

도 2는 본 발명의 실시예에 따른 디블록킹 필터의 하드웨어 구조를 나타낸 개념도이다.

도 3은 본 발명의 실시예에 따른 디블록킹 필터의 두 개의 병렬 필터 구조를 나타낸 개념도이다.

도 4는 본 발명의 실시예에 따른 디블록킹 필터의 참조 메모리 구조를 나타낸 개념도이다.

도 5는 본 발명의 HEVC 인코더 SAO 하드웨어 구조의 전체적인 블록 다이어그램을 나타낸 개념도이다.

도 6은 본 발명의 실시예에 따른 두 개의 병렬 3-계층 버퍼(Three-layered Buffer) 구조를 나타낸 개념도이다.

도 7은 본 발명의 실시예에 따른 루프 내 필터링 방법을 나타낸 순서도이다.

### 발명을 실시하기 위한 구체적인 내용

[0019] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예와 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조 부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

[0020] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

[0021] HEVC 인코더 루프 내 필터는 디블록킹 필터와 SAO로 구성된다. 디블록킹 필터는 복원 영상의 블록킹 열화를 감소시키며, SAO는 복원 영상의 링잉(ringing) 현상을 제거하기 위하여 HEVC에서 새롭게 채택된 루프 내 필터 기술이다. 복원 영상에 대하여 먼저 디블록킹 필터가 적용되고, 디블록킹 필터가 완료된 복원 영상에 대하여 SAO가 수행될 수 있다.

[0022] 구체적으로 디블록킹 필터는 블록 단위의 예측, 변환, 양장화로 인하여 블록 경계에서 복원 픽셀 값의 불연속으로 인한 블록킹 열화를 제거하기 위해 블록 경계에 위치한 화소에 대한 필터링을 수행할 수 있다. 경계 강도(boundary strength)를 결정하고,  $\beta$ 와 tc 값을 결정하고,  $\beta$ 와 tc 값에 따라 강한 필터링 또는 약한 필터링을 수행할 수 있다.

[0023] SAO는 복원 픽셀에 오프셋을 더해줌으로써 복원 영상과 원본 영상 간의 에러를 최소화하기 위한 기술이다. 예지



오프셋/밴드 오프셋을 복원 영상에 더해줌으로써 복원 영상과 원본 영상 간의 에러를 최소화할 수 있다.

- [0024] 기존의 루프 내 필터 기반의 필터링 절차는 잦은 메모리 접근을 야기하여 인코더의 성능을 저하시킨다. 또한  $8 \times 8$  블록 경계를 기준으로 필터링이 수행되는 디블록킹 필터와 달리, SAO는 화소 단위로 처리되며 통계적 분석을 통해 에러를 보간하기 때문에 수행 시간의 차이가 발생하여 동시에 처리하기 어렵다.
- [0025] 이하, 본 발명의 실시예에서는 효율적인 참조 메모리 구조와 수행 시간을 고려하여 파이프라인 구조로 동작하는 고성능 HEVC 인코더를 위한 루프 내 필터 하드웨어 구조가 개시된다.
- [0026] 본 발명의 실시예에 따른 HEVC 인코더 루프 내 필터 하드웨어 구조는 디블록킹 필터와 SAO가 동시에 수행될 수 있도록 파이프라인 구조로 구현될 수 있다.
- [0027] 디블록킹 필터는  $8 \times 4$  블록 단위로 적용되는 두 개의 병렬 필터 구조로 구현될 수 있으며, 내부 6단계 파이프라인 구조를 통해 처리율을 향상시켰다. 또한  $8 \times 8$  블록에서 블록 경계를 기준으로 수행되는 디블록킹 필터는 필터링이 완료된 오른쪽과 위쪽 CTU(coding tree unit)의 일부를 참조 화소로 사용하는데, 참조 화소를 별도로 저장하는 기존의 참조 메모리 구조는 접근 방법이 복잡하고 영상이 커질수록 참조 메모리의 크기가 커지는 단점이 있다. 본 발명의 실시예에서는 이러한 문제점을 해결하기 위해 효율적인 디블록킹 필터링을 수행하는 디블록킹 필터가 개시된다.
- [0028] SAO는 화소 단위로 처리되며 통계적 분석을 통해 RDO(rate distortion optimization)를 수행하여 최적의 오프셋을 구하여 복원 화소에 보간을 수행하는 기술이다. 따라서, SAO는 화소에 대한 처리를 수행함에 있어 디블록킹 필터에 비해 높은 수행 시간과 많은 연산량을 요구한다. 따라서, 본 발명의 실시예에서는 수행 시간 및 연산량을 감소시키기 위해서는 3개의 화소가 병렬적으로 처리되며, 화소를 분류하고 RDO를 수행하여 최적의 SAO 파라미터를 생성하는 과정과 최적의 SAO 파라미터를 복원 화소에 보간을 수행하는 과정이 내부 2단계 파이프라인 구조로 구현될 수 있다. 또한 SAO를 기반으로 효율적인 입력 화소들의 처리를 위하여 두 개의 병렬 3-계층 버퍼(Three-layered Buffer) 구조가 사용될 수 있다.
- [0030] 도 1은 본 발명의 실시예에 따른 HEVC 인코더의 루프 내 필터 하드웨어 구조를 나타낸 블록 다이어그램이다.
- [0031] 도 1을 참조하면, 루프 내 필터는 크게 디블록킹 필터링을 수행하는 dbf\_top 모듈(100)과 SAO를 수행하는 sao\_top 모듈(150)을 포함할 수 있다.
- [0032] dbf\_top 모듈(100)은 복원 화소인 rec\_pix을  $8 \times 8$  단위로 입력받아 필터링을 수행하며, dbf\_top모듈(100)이 수행된 복원 화소를 inloopfilter\_imem(120)에 저장하여  $32 \times 32$  CTU가 채워지면 sao\_top 모듈(150)이 동작할 수 있다. 본 발명의 실시예에 따른 루프 내 필터는  $32 \times 32$  CTU 기준으로 디블록킹 필터 수행 단계, SAO의 화소 분류 및 최적의 파라미터 결정 단계, SAO 파라미터 적용 단계를 3단계 파이프라인 구조로 구현할 수 있다.
- [0033] 본 발명의 실시예에 따른 디블록킹 필터의 하드웨어 구조는  $8 \times 8$  블록에 포함되는 상위  $8 \times 4$  블록과 하위  $8 \times 4$  블록에 대한 디블록킹 필터링 절차를 서로 독립적으로 수행한다. 따라서, 디블록킹 필터는 두 개의  $8 \times 4$  블록 각각을 처리하는 두 개의 병렬 필터 구조 각각으로 구현되어  $8 \times 8$  블록 단위에 대한 디블록킹 필터링을 수행할 수 있다. 또한, 디블록킹 필터는 처리율 향상을 위하여 최적화된 6단 내부 파이프라인 구조로 구성하였다. 디블록킹 필터는 수직 예지에 대한 필터링 및 수평 예지에 대한 필터링을 개별적으로 수행할 수 있다.
- [0034] 또한, 디블록킹 필터는 필터링이 완료된 오른쪽과 위쪽 CTU의 일부를 참조 화소로 사용하는데, 이를 별도로 저장하고 참조하는 기존의 참조 메모리 구조는 접근 방법이 복잡하며, 영상이 커질수록 참조 메모리의 크기가 커지는 문제를 가지고 있다. 따라서, 이러한 참조 메모리 구조에 대한 접근 및 메모리 크기의 문제를 해결하기 위해 본 발명의 실시예에서는 새로운 필터링 순서로 디블록킹 필터링이 수행될 수 있다.
- [0036] 도 2는 본 발명의 실시예에 따른 디블록킹 필터의 하드웨어 구조를 나타낸 개념도이다.
- [0037] 도 2를 참조하면, 디블록킹 필터는 복원 화소  $8 \times 8$  블록을 저장하는 버퍼(buffer)들과 필터 수행 여부 및 필터 종류를 결정하는 필터 결정(filter\_decision) 모듈(200, 210), 결정된 필터 종류에 따라 필터링을 수행하고 다음 수행을 위하여 전치를 수행하는 필터 수행(filter\_perform) 모듈(220, 230), QP 값을 입력받아  $\beta$ 와 tc 값을 출력하는 베타 tc 테이블(beta\_tc\_table) 모듈(240), 각 모듈의 동작을 제어하기 위한 제어 신호를 생성하는 디블록킹 필터 제어(dbf\_ctrl) 모듈(250)을 포함할 수 있다.
- [0038] 복원 화소  $8 \times 8$  블록을 복원 버퍼(rbuf)(260)에서 읽어온 후 디블록킹 필터의 필터링이 수행될 수 있다. 필터링에 사용되는 버퍼는 디블록킹 필터를 6단 파이프라인 구조로 수행하기 위하여 5개로 구성될 수 있다. 베타 tc

테이블 모듈(240)은 필터 수행 여부와 종류를 결정과 필터링을 수행하는 과정에서 필요한  $\beta$ 와 tc 값을 필터 결정 모듈(200, 210)과 필터 수행 모듈(220, 230)로 전달할 수 있다. 베타 tc 테이블 모듈(240)로부터  $\beta$ 와 tc 값을 입력받아 복원 영상에 대해 필터 결정 모듈(200, 210)과 필터 수행 모듈(220, 230)에서 필터링 여부와 필터의 종류가 결정되고 필터링이 수행될 수 있다.

[0039] 필터 수행 모듈의 수평 필터링부에 의한 수평 필터링이 완료된 이후, 전치 버퍼1(trans\_buf1)(270)은  $8 \times 8$  블록에 대해 전치를 수행하고 전치된 값을 필터 수행 모듈의 수직 필터링부의 입력 값으로 전달할 수 있다. 수직 필터링부에 의한 수직 필터링이 완료되면 전치 버퍼2(trans\_buf2)(280)은  $8 \times 8$  블록에 대해 전치를 수행할 수 있다. 전치 버퍼2(trans\_buf2)(280)은  $8 \times 8$  블록에 대해 전치를 수행한 화소는 디블록킹 필터의 적용이 완료된 복원 화소로서 출력되어 SAO로 전달될 수 있다.

[0041] 도 3은 본 발명의 실시예에 따른 디블록킹 필터의 두 개의 병렬 필터 구조를 나타낸 개념도이다.

[0042] 도 3을 참조하면, 상위 4-라인(line)과 하위 4-라인(line)이 독립적인 데이터 경로 상에서 필터링될 수 있다.

[0043] 버퍼n(buf(n))(300)에 저장된  $8 \times 8$  블록에 포함되는 상위 4-라인(line)에 대응되는  $4 \times 8$  블록, 하위 4-라인(line)에 대응되는  $4 \times 8$  블록 각각에 대해 수평 필터링이 적용될 수 있다. 전치 버퍼n(transpose(buf(n))<sup>T</sup>)(320)은 이후 적용될 수직 필터링을 위하여 수평 필터링이 기적용된  $8 \times 8$  블록에 대하여 행렬 전치를 수행할 수 있다.

[0044] 행렬 전치가 수행된  $8 \times 8$  블록은 버퍼n+1(buf(n+1))(340)에 저장될 수 있고, 버퍼n+1에 저장된  $8 \times 8$  블록에 포함되는 상위 4-라인(line)에 대응되는  $4 \times 8$  블록, 하위 4-라인(line)에 대응되는  $4 \times 8$  블록 각각에 대해 수직 필터링이 적용될 수 있다. 이후, 전체  $8 \times 8$  블록은 전치 버퍼 n+1(transpose(buf(n+1))<sup>T</sup>)에 의해 행렬 전치되고, 이후의 SAO 기반의 화소 처리를 위해  $32 \times 32$  내부 메모리에 순서대로 저장될 수 있다.

[0045] 전술한 바와 같이 본 발명의 실시예에 따른 디블록킹 필터의 하드웨어 구조는 필터링을 위한 5개의 버퍼를 구성하여 내부 6단 파이프라인으로 필터링 절차를 수행한다. 내부 6단 파이프라인은 아래의 표 1과 같이 메모리 읽기, 수평 필터 결정, 수평 필터 수행, 수직 필터 연산, 수직 필터 수행, 메모리 쓰기 단계로 구성되며 디블록킹 필터 제어(dbf\_ctrl) 모듈 내부의 링 카운터(ring\_counter)에서 생성되는 제어 신호에 따라 각 단계가 수행될 수 있다.

[0046] <표 1>

| STEP 1 | STEP 2 | STEP 3 | STEP 4 | STEP 5 | STEP 6 | STEP 7 |
|--------|--------|--------|--------|--------|--------|--------|
| READ   | H_DEC  | H_PER  | V_DEC  | V_PER  | WRITE  | READ   |
|        | READ   | H_DEC  | H_PER  | V_DEC  | V_PER  | WRITE  |
|        |        | READ   | H_DEC  | H_PER  | V_DEC  | V_PER  |
|        |        |        | READ   | H_DEC  | H_PER  | V_DEC  |
|        |        |        |        | READ   | H_DEC  | H_PER  |
|        |        |        |        |        | READ   | H_DEC  |

[0047]

[0048] 표 1을 참조하면, 6개의 파이프라인 각각에서 읽기(READ), 수평 방향 디블록킹 필터 결정(H\_DEC), 수평 방향 디블록킹 수행(H\_PER), 수직 방향 디블록킹 필터 결정(V\_DEC), 수직 방향 디블록킹 수행(V\_PER), 쓰기(WRITE), 읽기(READ) 단계가 순환적으로 수행될 수 있다. 이때 6개의 파이프 라인 각각에서 서로 다른 단계가 수행됨으로써 디블록킹 필터에 구현된 모듈 각각에서 중첩된 단계의 수행이 없이 병렬적으로 디블록킹 절차를 수행할 수 있다.

[0050] 도 4는 본 발명의 실시예에 따른 디블록킹 필터의 참조 메모리 구조를 나타낸 개념도이다.

[0051] 도 4를 참조하면, 디블록킹 필터 참조 메모리 구조는 위쪽과 왼쪽에 해당하는 참조 화소를 저장할 필요 없이 이후 수행되는 CTU에서 N0부터 N7까지 누락된 화소( $32 \times 32$  크기의 블록에서 우측 및 하단에 위치한 화소들)에 대한 디블록킹 필터링이 적용될 수 있다. 따라서, 메모리 접근을 최소화하고 참조 메모리 구조의 단순화로 효율적인 필터링 수행이 가능하다.



- [0053] 도 5는 본 발명의 HEVC 인코더 SAO 하드웨어 구조의 전체적인 블록 다이어그램을 나타낸 개념도이다.
- [0054] 도 5를 참조하면, 디블록킹 필터가 적용되어  $32 \times 32$  CTU에 저장된 화소에 대해 SAO가 수행될 수 있다.
- [0055] 본 발명의 실시예에 따른 SAO 하드웨어 구조는 복원 화소와 원본 화소를 메모리로부터 입력받기 위한 메모리 제어(mem\_ctrl) 모듈(500), 입력 화소들의 분류를 수행하는 calc\_stats 모듈(510), 화소 정보 또는 머지(merge) 기능을 이용해 RDO를 수행하여 SAO 파라미터를 생성하는 머지 모듈(520)과 rdo\_sao 모듈(530), 결정된 최적의 SAO 파라미터를 복원 화소에 적용하는 apply\_sao 모듈(540)로 구성될 수 있다.
- [0056] 본 발명의 실시예에 따른 SAO 하드웨어 구조는 SAO가 수행되는 연산 시간을 감소시키기 위하여 한 번에 3개의 화소를 병렬적으로 처리하는 구조를 두 개로 구성할 수 있다.
- [0057] 에지 오프셋은 주변 화소 정보를 참조하여 분류 작업을 수행하고, 밴드 오프셋은 밝기 값에 따라 밴드 구간으로 분류 작업을 수행할 수 있다. 즉, 3개의 화소를 병렬적으로 처리하기 위하여 주변 화소의 정보가 필요하기 때문에 화소 정보를 효율적으로 제공하고 메모리 접근 횟수를 최소화하기 위하여 3-계층 버퍼(Three-layered Buffer) 구조를 사용할 수 있다. 또한 화소 단위로 수행되어 상대적으로 연산 시간이 느린 SAO가 디블록킹 필터와 파이프라인 구조로 동작하기 위하여 두 개의 병렬 3-계층 버퍼(Three-layered Buffer) 구조로 입력 화소를 처리할 수 있다. 하나의 라인(Line)에 해당하는 32개의 화소를 동시에 3개의 화소 단위로 처리하면 10 사이클이 소요된다. 10 사이클 당 32개의 화소 단위로 라인 버퍼(Line Buffer)에 입력되고 시프트를 수행하여 저장될 수 있다. 3-계층 버퍼(Three-layered Buffer) 구조는 제안하는 SAO 인코더 구조와 대응되어 한 번에 3개의 복원 화소 정보와 주변 화소 정보를 효율적으로 전송하여 처리할 수 있다. 또한 두 개의 병렬 구조로 CTU에서 상위 16-라인과 하위 16-라인의 화소를 동시에 처리하여 연산 속도를 높일 수 있다.
- [0059] 도 6은 본 발명의 실시예에 따른 두 개의 병렬 3-계층 버퍼(Three-layered Buffer) 구조를 나타낸 개념도이다.
- [0060] 도 6을 참조하면, 32개의 픽셀 중 16개의 픽셀 각각에 대한 SAO를 위해 두 개의 병렬 3-계층 버퍼(제1 병렬 3-계층 버퍼(610) 및 제2 병렬 3-계층 버퍼(620)) 각각이 적용될 수 있다.
- [0061] SAO는 제1 병렬 3-계층 버퍼(610) 및 제2 병렬 3-계층 버퍼(620) 각각에 저장된 3개의 화소에 대한 처리할 수 있다. 3-계층 버퍼가 제1 버퍼, 제2 버퍼 및 제3 버퍼로 구성된 경우, 처리 대상 화소는 3계층 버퍼 중 하나의 버퍼(예를 들어, 제2 버퍼)에 저장될 수 있고, SAO를 처리하기 위한 주변 화소는 제1 버퍼, 제2 버퍼 및 제3 버퍼에 위치할 수 있다.
- [0062] 제1 병렬 3-계층 버퍼(610)는 순차적으로 쉬프트되면서 16개의 열에 대한 화소 정보를 저장할 수 있고, 제2 병렬 3-계층 버퍼(620)는 순차적으로 쉬프트되면서 16개의 열에 대한 화소 정보를 저장할 수 있다. 예를 들어, 제1 병렬 3-계층 버퍼는  $32 \times 32$  블록에서 제 1열, 제 2열 및 제 3열 각각에 위치한 화소 정보를 저장할 수 있다. 제1행 및 제2행에 위치한 화소에 대한 SAO를 기반으로 한 처리 절차가 완료된 경우, 제1 병렬 3-계층 버퍼(610)는 쉬프팅을 수행하여 제 2열, 제 3열 및 제 4열에 위치한 화소 정보를 저장할 수 있다. 병렬 3계층 버퍼 내의 쉬프팅을 사용하여 16개의 행에 위치한 화소에 대한 SAO 기반의 필터링이 수행될 수 있다.
- [0064] 도 7은 본 발명의 실시예에 따른 루프 내 필터링 방법을 나타낸 순서도이다.
- [0065] 도 7을 참조하면, 디블록킹 필터가 복수의 제1 블록에 대한 디블록킹 필터링을 수행할 수 있다(단계 S700).
- [0066] 디블록킹 필터는 복수의 제1 블록 각각을 분할할 제1 상위 분할 블록 및 제1 하위 분할 블록에 대한 병렬적인 필터링을 수행할 수 있다. 구체적으로 제1 블록은  $8 \times 8$  크기의 블록이고, 제1 상위 분할 블록은 상위 4개의 행에 대응되는 화소를 포함하는  $8 \times 4$  크기의 블록이고, 제1 하위 분할 블록은 하위 4개의 행에 대응되는 화소를 포함하는  $8 \times 4$  크기의 블록일 수 있다.
- [0067] 전술한 바와 같이 디블록킹 필터는 복수의 버퍼를 사용하여 내부 6단 파이프 라인을 기반으로 디블록킹 필터링을 수행하고, 내부 6단 파이프 라인은 메모리 읽기 단계, 수평 필터 결정 단계, 수평 필터링 수행 단계, 수직 필터 연산 단계, 수직 필터 수행 단계, 메모리 쓰기 단계로 구성될 수 있다.
- [0068] SAO가 복수의 제1 블록으로 구성된 제2 블록에 대한 오프셋 보정을 수행할 수 있다(단계 S710).
- [0069] SAO는 제2 상위 분할 블록의 3개의 상위 열에 포함되는 화소에 대한 정보를 저장하는 제1 3-계층 버퍼 구조를 기반으로 3개의 상위 열 중 중간 열에 포함되는 3개의 화소 단위에 대한 오프셋 보정을 수행할 수 있다.
- [0070] 또한, SAO는 제2 하위 분할 블록의 3개의 하위 열에 포함되는 화소에 대한 정보를 저장하는 제2 3-계층 버퍼 구

조를 기반으로 3개의 하위 열 중 중간 열에 포함되는 3개의 화소 단위에 대한 오프셋 보정을 수행할 수 있다.

[0071] 제1 3-계층 버퍼 구조에 저장된 3개의 상위 열에 대한 정보는 열에 대한 쉬프트 절차를 통해 갱신되고, 제2 3-계층 버퍼 구조에 저장된 상기 3개의 하위 열에 대한 정보는 열에 대한 쉬프트 절차를 통해 갱신될 수 있다.

[0072] 이와 같은 루프 내 필터링 방법은 애플리케이션으로 구현되거나 다양한 컴퓨터 구성요소를 통하여 수행될 수 있는 프로그램 명령어의 형태로 구현되어 컴퓨터 판독 가능한 기록 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능한 기록 매체는 프로그램 명령어, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다.

[0073] 상기 컴퓨터 판독 가능한 기록 매체에 기록되는 프로그램 명령어는 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 분야의 당업자에게 공지되어 사용 가능한 것일 수도 있다.

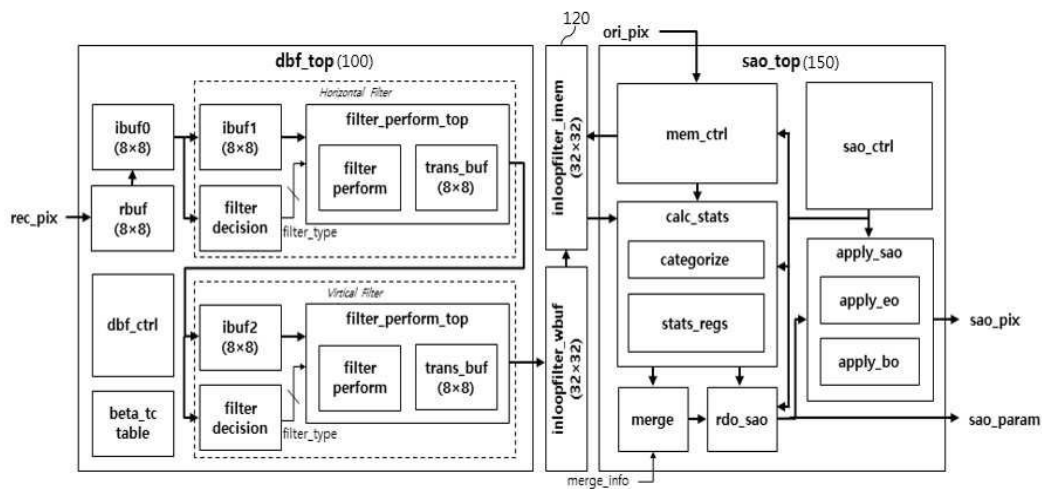
[0074] 컴퓨터 판독 가능한 기록 매체의 예에는, 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD-ROM, DVD 와 같은 광기록 매체, 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 ROM, RAM, 플래시 메모리 등과 같은 프로그램 명령어를 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다.

[0075] 프로그램 명령어의 예에는, 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드도 포함된다. 상기 하드웨어 장치는 본 발명에 따른 처리를 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

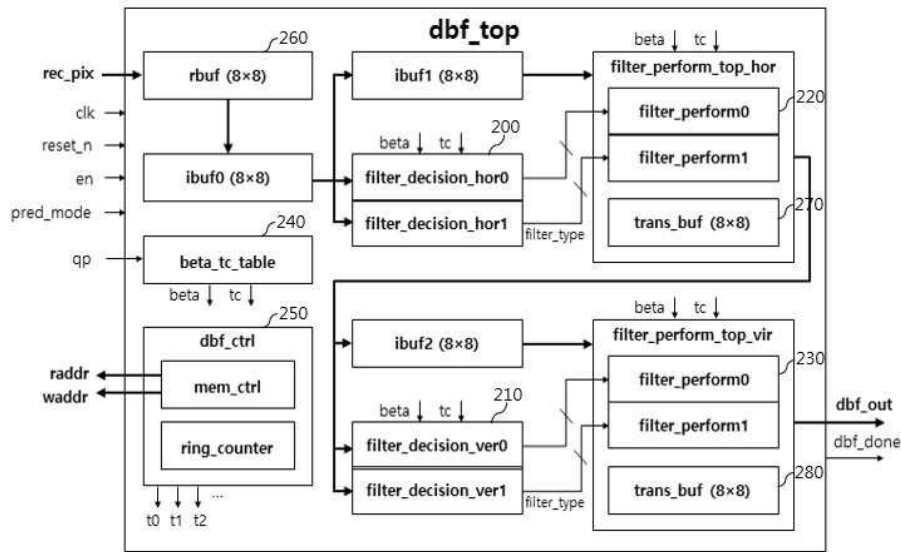
[0076] 이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

## 도면

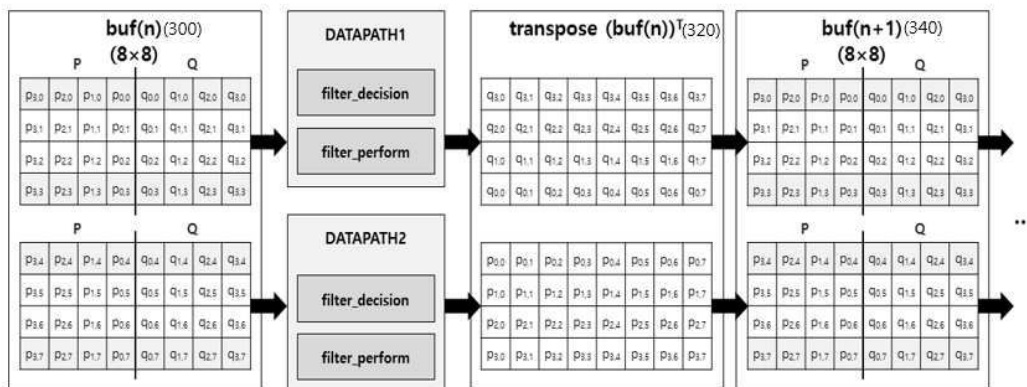
### 도면1



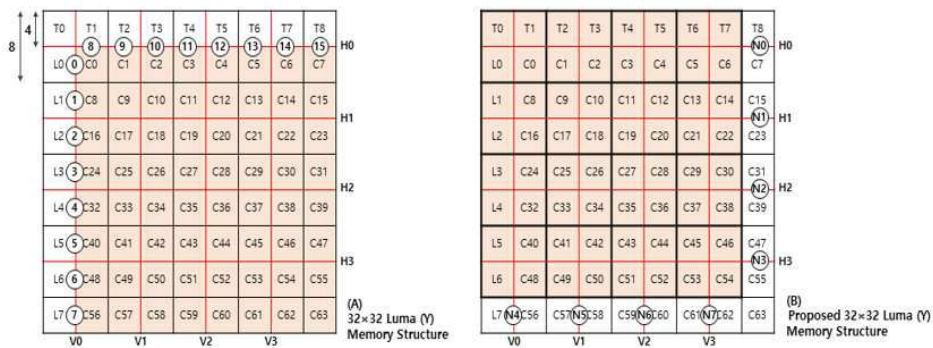
도면2



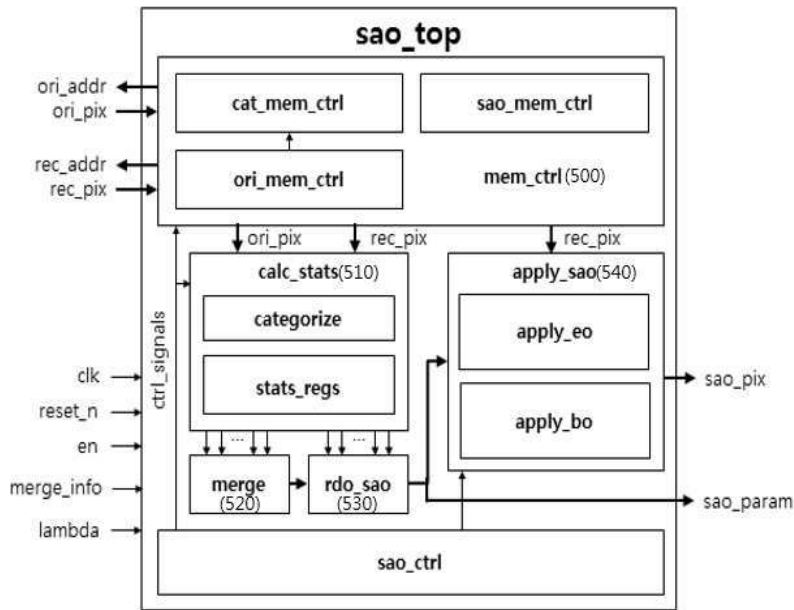
도면3



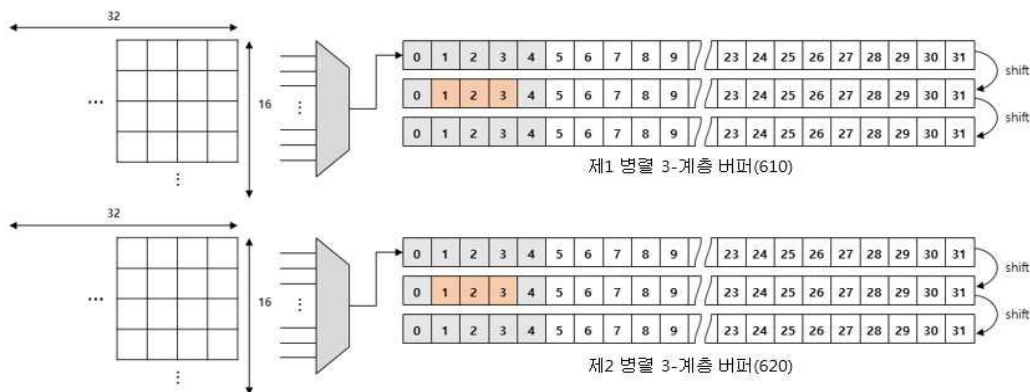
도면4



도면5



도면6



도면7

