



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098213
(43) 공개일자 2008년11월07일

(51) Int. Cl.

H01L 27/108 (2006.01) H01L 21/28 (2006.01)

(21) 출원번호 10-2007-0043614

(22) 출원일자 2007년05월04일

심사청구일자 2008년02월26일

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김태한

서울 마포구 연남동 245-39 12통 3반

남기원

경기 이천시 부발읍 신하리 신한아파트 301-1305

(74) 대리인

특허법인 신성

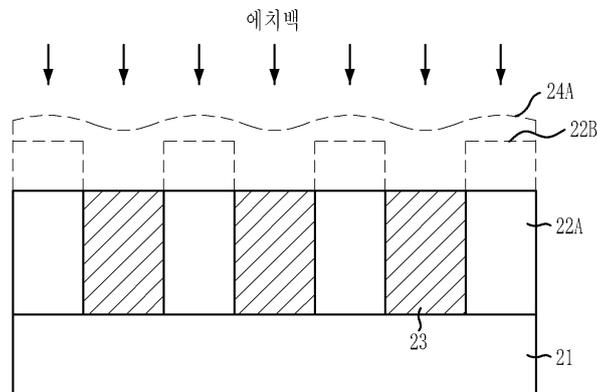
전체 청구항 수 : 총 13 항

(54) **오픈불량 및 펀치 방지를 위한 반도체소자의 제조 방법**

(57) **요약**

본 발명은 스토리지노드콘택플러그와 주변 구조간의 단차를 줄여 오픈 불량을 방지함과 동시에 후속 식각공정시 질화막질의 펀치를 방지하여 공정마진을 확보할 수 있는 반도체소자의 제조 방법을 제공하기 위한 것으로, 본 발명의 반도체소자의 제조 방법은 기판 상에 스토리지노드콘택홀이 구비된 절연막을 형성하는 단계; 상기 스토리지노드콘택홀을 채울때까지 전면에 도전막을 형성하는 단계; 상기 도전막을 제1에치백공정으로 식각하여 상기 스토리지노드콘택홀 내부에 스토리지노드콘택플러그를 형성하는 단계; 상기 스토리지노드콘택플러그를 포함한 전면에 희생막(SOG)을 형성하는 단계; 상기 희생막의 표면을 평탄화시키는 단계; 및 상기 평탄화된 희생막을 제2에치백공정으로 제거하면서 상기 스토리지노드콘택플러그 주변의 절연막을 일부 제거하는 단계를 포함한다.

대표도 - 도3d



특허청구의 범위

청구항 1

기판 상에 스토리지노드콘택홀이 구비된 절연막을 형성하는 단계;
상기 스토리지노드콘택홀을 채울때까지 전면에 도전막을 형성하는 단계;
상기 도전막을 제1에치백공정으로 식각하여 상기 스토리지노드콘택홀 내부에 스토리지노드콘택플러그를 형성하는 단계;
상기 스토리지노드콘택플러그를 포함한 전면에 희생막을 형성하는 단계;
상기 희생막의 표면을 평탄화시키는 단계; 및
상기 평탄화된 희생막을 제2에치백공정으로 제거하면서 상기 스토리지노드콘택플러그 주변의 절연막을 일부 제거하는 단계
를 포함하는 반도체소자의 제조 방법.

청구항 2

제1항에 있어서,
상기 스토리지노드콘택플러그 주변의 절연막을 일부 제거하는 단계후에,
전면에 식각배리어막을 형성하는 단계;
상기 식각배리어막 상에 분리절연막을 형성하는 단계;
상기 분리절연막을 식각하는 단계; 및
상기 식각배리어막을 식각하여 상기 스토리지노드콘택플러그의 표면을 노출시키는 단계
를 더 포함하는 반도체소자의 제조 방법.

청구항 3

제1항에 있어서,
상기 희생막은, 스펀온코팅법으로 형성하는 반도체소자의 제조 방법.

청구항 4

제1항에 있어서,
상기 희생막과 절연막은 상기 제2에치백공정시 동일한 식각속도를 가지는 물질로 형성하는 반도체소자의 제조 방법.

청구항 5

제4항에 있어서,
상기 희생막과 절연막은 산화막으로 형성하는 반도체소자의 제조 방법.

청구항 6

제5항에 있어서,
상기 절연막은, SOG(Spin On Glass)로 형성하는 반도체소자의 제조 방법.

청구항 7

제4항에 있어서,
상기 제2에치백공정은,

TCP(Transformer Coupled Plasma) 장비에서 진행하는 반도체소자의 제조 방법.

청구항 8

제7항에 있어서,

상기 제2에치백공정은,

바이어스파워(Bias power)는 50~60W로 하고, 압력은 3~5mTorr로 하며, 온도를 50~60℃로 하여 진행하는 반도체소자의 제조 방법.

청구항 9

제8항에 있어서,

상기 제2에치백공정시,

식각가스는 불소(Fluorine) 계열 가스를 메인가스로 사용하는 반도체소자의 제조 방법.

청구항 10

제9항에 있어서,

상기 불소계 가스는 SF₆ 가스를 100sccm~500sccm의 유량으로 사용하는 반도체소자의 제조 방법.

청구항 11

제9항에 있어서,

상기 제2에치백공정시 상기 메인가스에 질소(N₂) 가스를 더 첨가하여 진행하는 반도체소자의 제조 방법.

청구항 12

제1항에 있어서,

상기 희생막 표면을 평탄화시키는 단계는,

아르곤 스퍼터링으로 진행하는 반도체소자의 제조 방법.

청구항 13

제1항에 있어서,

상기 도전막은, 폴리실리콘막으로 형성하는 반도체소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 스토리지노드콘택플러그와 주변구조간의 단차를 완화시키는 반도체소자의 제조 방법에 관한 것이다.
- <11> 최근 고집적메모리소자에서 패턴의 미세화로 인해 스토리지노드가 형성될 공간을 제공하는 오픈영역(Storage node hole) 등과 같은 홀패턴의 간격(Hole spacing)이 좁아지고 있다. 이에 따라 높은 종횡비 프로파일(High Aspect profile)로 인해 마진이 급속히 줄어들게 되어 하부층의 단차도 증가한다.
- <12> 도 1은 종래기술에 따른 반도체소자의 제조 방법을 도시한 도면이고, 도 2는 종래기술에 따른 오픈불량 및 식각 배리어막의 편치를 나타낸 도면이다.
- <13> 도 1을 참조하면, 기관(11) 상에 층간절연막(12)을 형성하고, 층간절연막(12)을 식각하여 스토리지노드콘택홀을

형성하다. 이후, 스토리지노드콘택홀을 채우도록 폴리실리콘막을 증착한 후 에치백을 진행하여 스토리지노드콘택플러그(13)를 형성한다.

<14> 그러나, 종래기술은 스토리지노드콘택플러그(Storage node contact plug, 13) 형성시 폴리실리콘 증착 및 에치백(Etch back)의 순서로 진행하는데, 에치백후 폴리실리콘 디싱(polysilicon dishing) 및 플러그손실(Plug loss)이 증가하면 단차가 심해진다('D' 참조).

<15> 이와 같은 심한 단차(D)로 인해, 도 2에 도시된 바와 같이, 오픈영역(16)을 형성하기 위한 분리절연막(15) 식각 공정시 하부 구조의 단차(D)에 따른 식각 마진 부족에 의해 오픈불량(Not Open, 도면부호 '16A')이 발생할 우려가 있다.

<16> 오픈불량을 감소시키기 위해 식각 진행 시간을 늘리면 분리절연막(15) 식각시에 하부의 식각배리어막(14)의 펀치(Punch, 16B)가 발생되어 이후 식각배리어막(14) 식각시 하부구조가 어택을 받아 전기적 특성 저하를 가져오게 되며, 이로써 리프레시(Refresh) 저하의 주된 원인이 된다.

발명이 이루고자 하는 기술적 과제

<17> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로, 스토리지노드콘택플러그와 주변 구조간의 단차를 줄여 오픈 불량을 방지함과 동시에 후속 식각공정시 질화막질의 펀치를 방지하여 공정마진을 확보할 수 있는 반도체소자의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<18> 상기 목적을 달성하기 위한 본 발명의 반도체소자의 제조 방법은 기판 상에 스토리지노드콘택홀이 구비된 절연막을 형성하는 단계; 상기 스토리지노드콘택홀을 채울때까지 전면에도전막을 형성하는 단계; 상기 도전막을 제1에치백공정으로 식각하여 상기 스토리지노드콘택홀 내부에 스토리지노드콘택플러그를 형성하는 단계; 상기 스토리지노드콘택플러그를 포함한 전면에도전막을 형성하는 단계; 상기 희생막의 표면을 평탄화시키는 단계; 및 상기 평탄화된 희생막을 제2에치백공정으로 제거하면서 상기 스토리지노드콘택플러그 주변의 절연막을 일부 제거하는 단계를 포함하는 것을 특징으로 하며, 상기 희생막은 스펀온코팅법으로 형성하는 것을 특징으로 하고, 상기 희생막과 절연막은 상기 제2에치백공정시 동일한 식각속도를 가지는 물질로 형성하는 것을 특징으로 한다.

<19> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<20> 도 3a 내지 도 3e는 본 발명의 실시예에 따른 스토리지노드콘택플러그의 형성 방법을 도시한 공정 단면도이다.

<21> 도 3a에 도시된 바와 같이, 트랜지스터 및 비트라인 등의 소정 공정이 완료된 기판(21) 상부에 층간절연막(22)을 형성한 후, 층간절연막(22)을 선택적으로 식각하여 스토리지노드콘택홀(SNC, 도면부호 생략)을 형성한다. 여기서, 층간절연막(22)은 BPSG와 같은 산화막 물질로 형성한다.

<22> 이어서, 스토리지노드콘택홀에 매립된 스토리지노드콘택플러그(23)를 형성한다.

<23> 스토리지노드콘택플러그(23)는 스토리지노드콘택홀을 채울때까지 전면에도전막을 증착한 후, 폴리실리콘막을 에치백(Etchback)하여 형성한다. 폴리실리콘막의 에치백 공정은 플라즈마 식각 장비의 일종인 TCP 장비에서 메인식각(Main etch)과 과도식각(Over etch)으로 이루어진다. 메인식각은 스토리지노드콘택홀 외측의 층간절연막(22) 표면의 폴리실리콘막(23)을 식각하여 스토리지노드콘택홀 내부에만 폴리실리콘막을 잔류시키는 식각이다. 위와 같은 메인식각후에는 폴리실리콘 잔류물(Polysilicon residue)을 제거하기 위한 과도식각(Over etch)을 진행하여 스토리지노드콘택플러그(23)를 최종적으로 완성한다.

<24> 위와 같은 과도 식각후에 스토리지노드콘택플러그(23)와 주변의 층간절연막(22) 간에는 일정 수준의 단차('D11' 참조)가 존재하게 된다. 이러한 단차는 폴리실리콘막의 에치백공정 중 과도식각에 의해 스토리지노드콘택플러그(23) 상부 표면에서 폴리실리콘막 손실(Polysilicon loss)이 발생되기 때문이며, 이 단차는 후속 오픈영역의 오픈불량 및 식각배리어막의 펀치현상을 유발한다. 한편, 폴리실리콘막 손실은 '플러그손실(Plug loss)'이라고도 일컫는다.

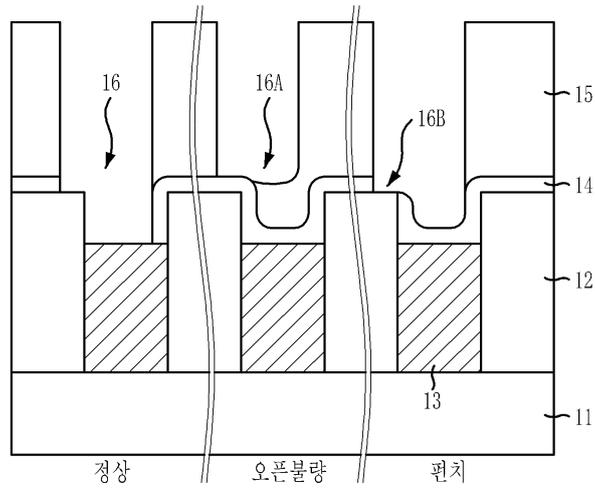
<25> 본 발명은 이러한 단차에 의한 후속 공정의 불량을 방지하기 위해 다음과 같은 공정을 진행한다.

<26> 도 3b에 도시된 바와 같이, 스토리지노드콘택플러그(23) 상부를 덮도록 전면에도전막(24)을 형성한다. 이때,

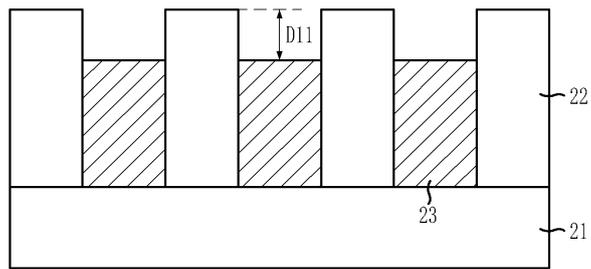
희생막(24)은 스핀온코팅법(Spin on coating)을 이용하여 형성한다. 예를 들어, 희생막(24)은 SOG(Spin On Glass)이며, 스핀온코팅법을 이용하므로 껍질특성이 우수하다. 따라서, 플러그손실 부분을 충분히 껍질할 수 있고, 이로써 스토리지노드콘택플러그(23) 상부에서 스토리지노드콘택플러그(23) 주변부보다 더 두껍게 형성할 수 있다.

- <27> 바람직하게, 희생막(24)과 층간절연막(22)은 건식식각, 특히 에치백공정시 식각속도가 1:1이 되는 물질로 형성한다. 예컨대, 층간절연막(22)이 산화막인 경우 희생막(24)도 산화막이 될 것이며, SOG도 일종의 산화막 물질이다.
- <28> 도 3c에 도시된 바와 같이, 비활성가스의 스퍼터링, 특히 아르곤 스퍼터링(Ar sputtering)을 진행하여 희생막(24)의 표면을 평탄화시킨다.
- <29> 아르곤스퍼터링에 의해 희생막패턴(24A)이 스토리지노드콘택플러그(23) 상부에서 스토리지노드콘택플러그(23) 주변부보다 더 두껍게 잔류한다(D1>D2).
- <30> 위와 같이 아르곤 스퍼터링은 희생막패턴(24A)의 평탄화를 확보하고 스토리지노드콘택플러그(23)의 손실은 발생시키지 않는다. 특히, 아르곤스퍼터링을 통해 평탄화하면, 후속 희생막패턴의 에치백공정시 식각균일도를 확보하여 스토리지노드콘택플러그의 추가 손실을 방지할 수 있다.
- <31> 도 3d에 도시된 바와 같이, 에치백공정을 통해 희생막패턴(24A)을 제거한다. 이때, 에치백공정은 스토리지노드콘택플러그(23)의 표면이 노출될때까지 진행하므로써, 스토리지노드콘택플러그(23) 주변지역의 층간절연막 상부(도면부호 '22B')까지 식각한다. 즉, 희생막패턴(24A)의 에치백공정시 주변부의 층간절연막 상부(22B)보다 스토리지노드콘택플러그(23)의 표면이 늦게 노출되므로 스토리지노드콘택플러그(23)의 추가 손실은 최소화하면서 식각마진을 충분히 확보할 수 있다.
- <32> 결국, 에치백공정후에 잔류하는 층간절연막(22A) 표면과 스토리지노드콘택플러그(23)의 표면간 단차가 감소된다.
- <33> 바람직하게, SOG로 형성된 희생막패턴(24A)의 에치백공정은 플라즈마식각장비의 일종인 TCP(Transformer Coupled Plasma) 장비에서 진행하되, 바이어스파워와 압력은 최대한 낮게 하여 등방성식각을 유도한다. 예컨대, 바이어스파워(Bias power)는 50~60W로 작게 하고, 압력은 3~5mTorr로 낮게 한다. 특히, 압력이 3~5mTorr로 낮으면 식각제(Etchant)의 평균자유행로(Mean free path)가 증가되어 입자의 입자의 스퀘터링(Scattering) 효과를 감소시켜 등방성 식각을 유도하게 된다. 그리고, TCP 장비의 온도를 40℃ 이상(50~60℃)으로 높여서 플라즈마활성도를 높인다. 이처럼 플라즈마활성도를 높이면 입자간 충돌이 많이 발생되어 산화막에 대한 물리적 식각 특성을 줄여주고, 결국 낮은 식각속도를 유도하고 등방성식각을 증대시켜 평탄화를 확보한다.
- <34> 그리고, 에치백공정시 식각가스는 불소(Fluorine) 계열 가스를 메인가스로 사용한다. 특히 SF₆ 가스를 100sccm 이상(100sccm~500sccm)으로 사용하면 스토리지노드콘택플러그(23)로 사용된 폴리실리콘막에 대한 식각선택비를 10:1 이상으로 높이고, 희생막패턴(24A)과 층간절연막(22)간에는 1:1의 식각선택비를 갖게 할 수 있다. 그리고, 메인가스에 질소(N₂) 가스를 소량 첨가할 수 있다. 이때, 질소가스는 5~10sccm의 유량을 사용한다.
- <35> 그리고, 에치백공정시 소스파워는 500W~1000W로 사용한다.
- <36> 전술한 바와 같은 조건에 의해 에치백을 진행하면 스토리지노드콘택플러그(23B)의 손실은 억제하면서 희생막패턴(24A)과 층간절연막 상부(22B)를 동시에 식각하므로, 에치백 후에는 스토리지노드콘택플러그(23)와 그 주변의 층간절연막(22A)간 단차를 현저히 감소시킬 수 있다.
- <37> 도 3e에 도시된 바와 같이, 전면에 식각배리어막(25)을 증착한 후, 식각배리어막(25) 상에 분리절연막(26)을 형성한다. 여기서, 식각배리어막(25)은 질화막이고, 분리절연막(26)은 산화막 물질이다. 그리고, 분리절연막(26)은 후속 오픈영역에 형성되는 캐패시터의 하부전극간 분리막이다.
- <38> 위와 같이 식각배리어막(25)은 하부 구조의 단차가 완화된 상태에서 형성되므로 두께균일도가 확보된다.
- <39> 이어서, 분리절연막(26)과 식각배리어막(25)을 순차적으로 건식식각하여 스토리지노드콘택플러그(23)의 표면을 노출시키는 오픈영역(27)을 형성한다. 여기서, 오픈영역(27) 형성을 위한 건식식각은 식각배리어막(25)에서 식각이 정지할때까지 분리절연막(26)을 식각하고, 연속해서 식각배리어막(25)을 식각한다.
- <40> 위와 같은 식각공정시 하부 구조의 단차가 완화된 상태에서 식각배리어막(25)과 분리절연막(26)이 형성되므로

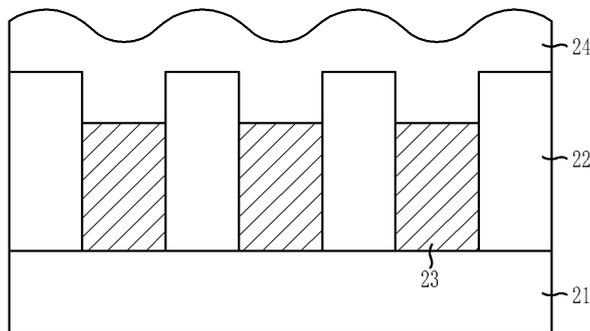
도면2



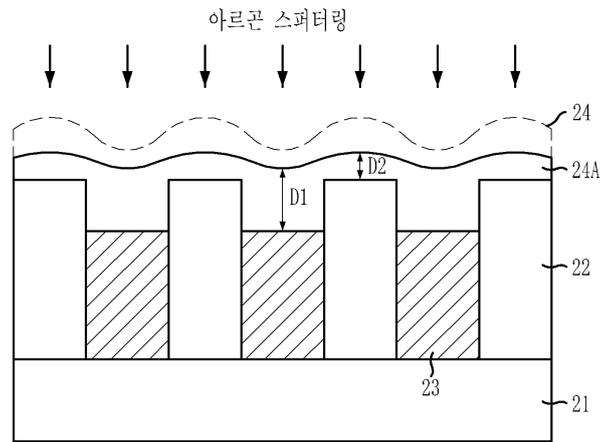
도면3a



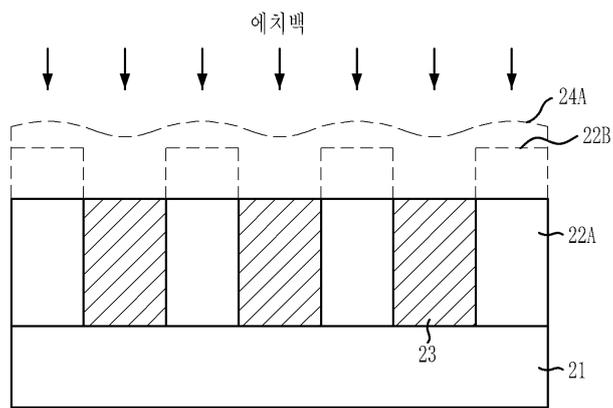
도면3b



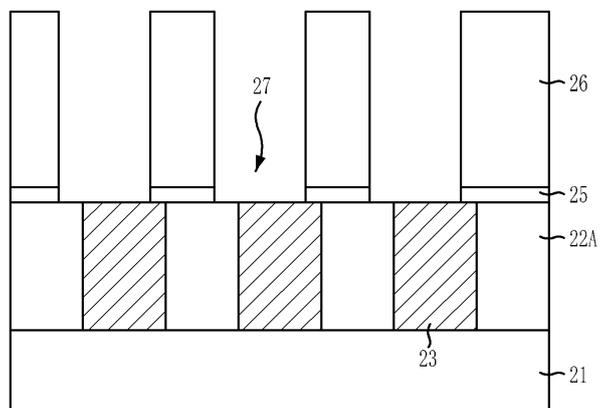
도면3c



도면3d



도면3e



도면4

