

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年3月20日(2014.3.20)

【公開番号】特開2012-182172(P2012-182172A)

【公開日】平成24年9月20日(2012.9.20)

【年通号数】公開・登録公報2012-038

【出願番号】特願2011-42174(P2011-42174)

【国際特許分類】

H 01 L 27/105 (2006.01)

H 01 L 21/8247 (2006.01)

H 01 L 27/115 (2006.01)

H 01 L 45/00 (2006.01)

H 01 L 49/00 (2006.01)

【F I】

H 01 L 27/10 4 4 8

H 01 L 27/10 4 3 4

H 01 L 45/00 Z

H 01 L 49/00 Z

【手続補正書】

【提出日】平成26年2月4日(2014.2.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正の内容】

【0003】

現在、ReRAM(Resistance Random Access Memory)やPRAM(Phase-Change Random Access Memory)などの抵抗変化型メモリが、微細化の限界を超えることが可能な次世代不揮発性メモリとして提案されている(例えば、特許文献1,非特許文献1参照)。これらのメモリは、2つの電極間に抵抗変化層を備えた単純な構造を有している。また、特許文献1のメモリでは抵抗変化層の代わりに、第1電極と第2電極との間にイオン源層および酸化膜(記憶用薄膜)を備えている。これら抵抗変化型メモリでは、原子またはイオンが熱や電界によって移動し伝導パスが形成されることにより抵抗値が変化すると考えられている(例えば、特許文献2参照)。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

このようなイオン源層21の具体的な材料としては、例えば、ZrTeAl, TiTeAl, CrTeAl, WTeAlおよびTaTeAlが挙げられる。また、例えば、ZrTeAlに対して、Cuを添加したCuZrTeAl, さらにGeを添加したCuZrTeAlGe, 更に、添加元素を加えたCuZrTeAlSiGeとしてもよい。あるいは、Alの他にMgを用いたZrTeMgとしてもよい。イオン化する金属元素としては、Zrの代わりに、Mo, Mn, Hfなどの他の遷移金属元素を選択した場合でも同様な添加元素を用いることは可能であり、例えばCuMoTeAl, CuMnTeAlなどとすることも可能である。更に、イオン導電材料としては、Te以外に硫黄(S)やセレン(S

S e)、あるいはヨウ素 (I) を用いてもよく、具体的には Z r S A 1 , Z r S e A 1 , Z r I A 1 , Cu G e T e A 1 等を用いてもよい。更に、TaあるいはW等を添加してもよい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

以下、本実施の形態の記憶素子1の製造方法について説明する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

以上のように本実施の形態の記憶素子1では、イオン源層の抵抗率を2.8 m cm以上1 cm未満としたので、イオン源層21と下部電極との間、即ち抵抗変化層21中に形成されたフィラメントのうち、形成反応が進行しているイオン源層21と抵抗変化層22との界面に効率よく電圧を印加することが可能となる。これにより、低電圧においてもフィラメントを効率よく溶解し、抵抗変化層22の抵抗値を回復することが可能となる。即ち、繰り返し特性が向上する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正の内容】

【0059】

図3および図4は多数の記憶素子1をマトリクス状に配置した記憶装置(メモリセルアレイ)の一例を表したものであり、図3は断面構成、図4は平面構成をそれぞれ表している。このメモリセルアレイでは、各記憶素子1に対して、その下部電極10側に接続される配線と、その上部電極30側に接続される配線とを交差するよう設け、例えばこれら配線の交差点付近に各記憶素子1が配置されている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正の内容】

【0071】

(実施例1)

上記実施の形態と同様にして図1および図5に示した記憶素子1,2を作製した。まず、下地にトランジスタを組み込んだTiNよりなる下部電極10をアルゴンプラズマによるクリーニングおよびプラズマ酸化をしたのち、下部電極10上にスパッタリング装置を用いて記録層20,60および上部電極30を形成した。電極径は150 nmとした。また、合金からなる層は、構成元素のターゲットを用いて同時に成膜した。続いて、上部電極30の表面に対してエッチングを行い、中間電位(Vdd/2)を与えるための外部回路接続用のコンタクト部分に接続されるように厚さ200 nmの配線層(A1層)を形成した。その後、ポストアニール処理として真空熱処理炉において、2時間、320の加熱処理を施した。このようにして、図3および図4に示したメモリセルアレイを作製して組成および膜厚の異なる実験例1-1~1-9とした。これら実験例1-1~1-9

において、上部電極 3 0 に接続された上部配線を V d d / 2 の中間電位に接地し、選択するメモリセルのゲート電極即ちワード線 W L に電圧を印加してオン状態にし、トランジスタ T r のソース / ドレイン 1 3 のうち、記憶素子 1 , 2 に接続されていない方に接続されている電極、即ちビット線 B L に、パルス幅、書き込み 1 0 n s / 消去 1 0 n s 、書き込み時印加電圧を 3 . 0 V を印加する「書き込み動作」をメモリセルアレイ中の 1 0 素子 × 2 列で合計 2 0 素子に対して行い、その後に抵抗値を読み出した。次いで、ゲート電極（書き込み時 3 ~ 3 . 5 V 、消去時 1 . 6 ~ 2 V ）を印加してオン状態にして上部電極と下部電極に電圧を「書き込み」とは逆の電圧を印加し、「消去動作」を行い、消去状態の抵抗値を読み出した。この書き込みおよび消去動作をメモリセルアレイに対して繰り返して行い、繰り返し動作特性を評価した。これらの結果を図 6 , 7 に示す。なお、本実施例で用いたメモリセルアレイは 1 トランジスタ 1 素子 (1 T 1 R) 構造であり、トランジスタサイズは W / L = 0 . 3 6 / 2 . 0 μ m である。また、3 . 5 V のゲート電圧を印加した際に素子がショートしても最大で 7 5 μ m 程度しか流れない。但し、実験例 1 - 1 に用いたトランジスタのみ大電流駆動が可能となっている。また、T i N のプラズマ酸化では電極材料の T i と T e が反応を起こさないように行ったが T i N が必須の要件ではなく、前述の電極材料であれば今回の特性には寄与しない。

【手続補正 7 】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 9

【補正方法】変更

【補正の内容】

【0 0 7 9】

実験例 3 - 1 ~ 3 - 4 における「下部電極 / 抵抗変化層 / 中間層 / イオン源層 / 上部電極」の組成、各膜厚およびイオン源層 2 1 (6 1) の抵抗値は以下のとおりである。なお、中間層に記載の数値は比である。また、イオン源層 2 1 (4 1) の抵抗率はシート抵抗から測定したものである。

(実験例 3 - 1) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 3 H f 1 3 T e 3 3 A 1 4 1 原子 % (4 5 n m) / H f (5 0 n m) ; 0 . 7 3 m c m

(実験例 3 - 2) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 3 H f 7 W 6 T e 3 3 A 1 4 1 原子 % (4 5 n m) / H f (5 0 n m)

(実験例 3 - 3) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 4 H f 7 . 5 M o 2 . 5 T e 3 5 A 1 4 1 原子 % (4 5 n m) / H f (5 0 n m) ; 8 . 5 m c m

(実験例 3 - 4) T i N 電極 / プラズマ酸化 / T e (5 n m) / C u 1 4 H f 7 . 5 M o 2 . 5 T e 3 5 A 1 4 1 原子 % (2 0 n m) / H f (5 0 n m) ; 8 . 5 m c m