

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 4 月 6 日 (06.04.2017)



(10) 国际公布号
WO 2017/054264 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/092364
- (22) 国际申请日: 2015 年 10 月 21 日 (21.10.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510632682.2 2015 年 9 月 29 日 (29.09.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 肖军城 (XIAO, Juncheng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 赵莽 (ZHAO, Mang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

[见续页]

(54) Title: GOA CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 发明名称: 一种 GOA 电路及液晶显示器

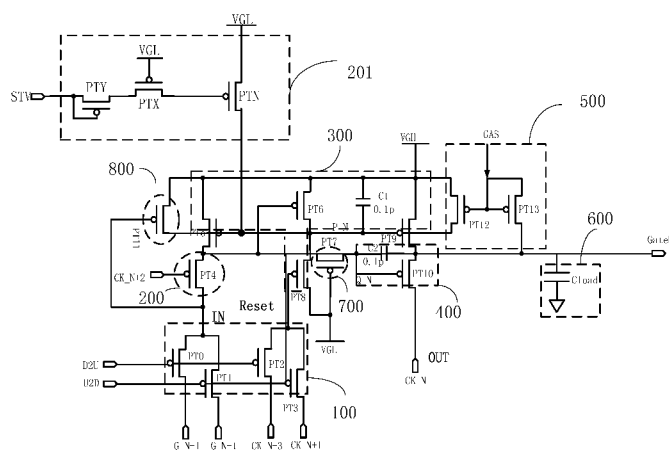


图 2

(57) Abstract: A GOA circuit and a liquid crystal display device, the GOA circuit comprising a potential pull-down processing circuit (101) and a plurality of cascading GOA sub-circuits (102), comprising N-levels of GOA sub-circuit (102), the potential pull-down processing circuit (101) comprising a first voltage limiting transistor (PTX), a second wave filter transistor (PTY), and a third transistor (PTN), the first voltage limiting transistor (PTX) and the second wave filter transistor (PTY), after being connected in series, being connected between an initial scan signal STV signal output end and a control end of the third transistor (PTN), a control end of the first voltage limiting transistor (PTX) and a first end of the third transistor (PTN) respectively being connected to a first power supply end (VGA), and a second end of the third transistor (PTN) being connected to a GOA sub-circuit (102). By means of the present method, damage to a GOA circuit as a result of static electricity can be effectively prevented, improving the GOA circuit stability of an entire panel.

(57) 摘要:

[见续页]



WO 2017/054264 A1



RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种 GOA 电路及液晶显示器, 该 GOA 电路包括电位下拉处理电路 (101) 和多个级联的 GOA 子电路 (102), 其中包括 N 级 GOA 子电路 (102), 所述电位下拉处理电路 (101) 包括第一限压晶体管 (PTX)、第二滤波晶体管 (PTY) 以及第三晶体管 (PTN), 所述第一限压晶体管 (PTX) 与所述第二滤波晶体管 (PTY) 串联后连接在初始扫描信号 STV 信号的输出端与所述第三晶体管 (PTN) 的控制端之间, 所述第一限压晶体管 (PTX) 的控制端与所述第三晶体管 (PTN) 的第一端分别与第一电源端 (VGL) 连接, 所述第三晶体管 (PTN) 的第二端与所述 GOA 子电路 (102) 连接。通过上述方式, 能够有效避免大静电对 GOA 电路带来的损伤, 提高整个面板 GOA 电路的稳定性。

一种GOA电路及液晶显示器

[1] **【技术领域】**

[2] 本发明涉及液晶显示领域，特别是涉及一种GOA电路及液晶显示器。

[3] **【背景技术】**

[4] Gate Driver On

Array，简称GOA，也就是利用现有薄膜晶体管液晶显示器Array制程将Gate行扫描驱动信号电路制作在Array基板上，实现对Gate逐行扫描的驱动方式的一项技术。

[5] 随着低温多晶硅（LTPS）半导体薄膜晶体管的发展，而且由于LTPS半导体本身超高载流子迁移率的特性，相应的面板周边集成电路也成为大家关注的焦点，并且很多人投入到System on Panel（SOP）的相关技术研究，并逐步成为现实。

[6] 液晶显示器在开启的时候，要进行一次AllGateOn的初始化操作，以将GOA电路中所有的扫描Gate信号的电压拉至一个低电平，以实现显示器的全黑或全白，保证显示画面的质量。在初始化之后，要完成正常扫描工作，Gate信号是需要在一定时期保持高电平。但是由于Gate信号的输出端自举电容单元的存在，会存在维持的问题。

[7] **【发明内容】**

[8] 本发明主要解决的技术问题是提供一种GOA电路及液晶显示器，能够有效避免大静电对GOA电路带来的损伤，提高整个面板GOA电路的稳定性。

[9] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种GOA电路，用于液晶显示器，所述GOA电路包括电位下拉处理电路和多个级联的GOA子电路，所述电位下拉处理电路包括第一限压晶体管(PTX)、第二滤波晶体管PT以及第三晶体管PTN，所述第一限压晶体管PTX与所述第二滤波晶体管PTY串联后连接在初始扫描信号STV信号的输出端与所述第三晶体管PTN的控制端之间，所述第一限压晶体管PTX的控制端与所述第三晶体管PTN的第一端分别与第一电源端

连接，所述第三晶体管PTN的第二端与所述GOA子电路连接。

[10] 其中，所述第二滤波晶体管PTY的第一端分别与其控制端以及所述STV信号的输出端连接，所述第二滤波晶体管PTY的第二端与所述第一限压晶体管PTX的第一端连接，所述第一限压晶体管(PTX)的第二端与所述第三晶体管PTN的控制端连接。

[11] 其中，所述第一限压晶体管PTX、所述第二滤波晶体管PTY以及所述第三晶体管PTN均为PMOS晶体管；所述第一限压晶体管PTX的第一端为源极，其第二端为漏极；所述第二滤波晶体管PTY的第一端为源极，其第二端为漏极；所述第三晶体管PTN的第一端为源极，其第二端为漏极。

[12] 其中，所述第一限压晶体管PTX、所述第三晶体管PTN和所述第二滤波晶体管PTY均为NTFT管，所述第一限压晶体管PTX的第一端为漏极，其第二端为源极；所述第二滤波晶体管PTY的第一端为漏极，其第二端为源极；所述第三晶体管PTN的第一端为漏极，其第二端为源极。

[13] 其中，所述电位下拉处理电路还包括第四晶体管PTM，所述第四晶体管PTM的第一端与所述第三晶体管PTN的第二端连接，所述第四晶体管PTM的控制端与所述第四晶体管PTM的第一端连接，所述第四晶体管PTM的第二端与所述GOA子电路连接；其中，所述第四晶体管（PTM）与所述第三晶体管PTN的类型相同。

[14] 其中，所述电位下拉处理电路还包括第四晶体管PTM，所述第四晶体管PTM的第一端与所述第一电源端连接，其控制端与所述第一端连接，其第二端与所述第三晶体管PTN的第一端连接；其中，所述第四晶体管PTM与所述第三晶体管PTN的类型相同。

[15] 其中，所述第一限压晶体管PTX的第一端与所述STV信号的输出端连接，所述第一限压晶体管PTX的第二端与所述第二滤波晶体管PTY的第一端连接，所述第二滤波晶体管PTY的控制端与所述第二滤波晶体管PTY的第一端连接，所述第二滤波晶体管PTY的第二端与所述第三晶体管PTN的控制端连接。

[16] 其中，所述电位下拉处理电路的所述第三晶体管PTN的第二端与所述COA电路的第三级至最后一级的每个所述GOA子电路分别连接。

- [17] 其中，所述GOA电路包括多个所述电位下拉处理电路，每个所述电位下拉处理电路的第三晶体管PTN的第二端与所述COA电路的第三级至最后一级的GOA电路一一对应连接。
- [18] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种液晶显示器，包括阵列基板、彩膜基板以及设置在所述阵列基板以及所述彩膜基板之间的液晶层，所述阵列基板包括上述任意实施方式所述的GOA电路。所述阵列基板包括上述任一项所述的GOA电路。
- [19] 区别于现有技术，本发明电位下拉处理电路还包括相互串联的第一限压晶体管PTX、第二滤波晶体管PTY，第一限压晶体管PTX能够有效d过滤掉STV信号中的负静电，降低负静电的电平，第二滤波晶体管PTY能够过滤掉STV信号中的正静电，在第一限压晶体管PTX和第二滤波晶体管PTY的配合下，使得进入第三晶体管PTN的栅极电压减小，有效避免STV信号中的大静电对第三晶体管PTN的损伤，也能够有效避免STV信号中的大静电通过第三晶体管PTN流入到GOA子电路中对GOA子电路带来的损伤，提高GOA电路的稳定性。
- [20] **【附图说明】**
- [21] 图1是本发明GOA电路多个GOA子电路级联第一实施方式的结构示意图；
- [22] 图2是本发明GOA电路第一实施方式的具体电路连接示意图；
- [23] 图3是本发明第一实施方式的GOA电路中的第一子电路的工作时序图；
- [24] 图4是本发明GOA电路STV信号的第一实施方式的波形示意图；
- [25] 图5是本发明GOA电路第二实施方式的具体电路连接示意图；
- [26] 图6是本发明GOA电路STV信号的第二实施方式波形示意图；
- [27] 图7是本发明GOA电路第三实施方式的具体电路连接示意图；
- [28] 图8是本发明GOA电路多个GOA子电路级联第二实施方式的结构示意图；
- [29] 图9是本发明GOA电路第四实施方式的具体电路连接示意图；
- [30] 图10是本发明GOA电路第五实施方式的具体电路连接示意图；
- [31] 图11是本发明GOA电路第六实施方式的具体电路连接示意图；
- [32] 图12是本发明GOA电路第七实施方式的具体电路连接示意图；
- [33] 图13是本发明液晶显示器一实施方式的结构示意图。

[34] **【具体实施方式】**

[35] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件，所属领域中的技术人员应可理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[36] 为了解决GOA电路的维持问题，本发明提供了一种GOA电路，如图1所示，图1是本发明GOA电路多个GOA子电路级联第一实施方式的结构示意图。本实施方式的GOA电路包括电位下拉处理电路101以及多个级联的GOA子电路102。其中，在本实施方式中，电位下拉处理电路101与所述GOA电路的第三级至最后一级的每个所述GOA子电路分别连接。进一步的参阅图2，图2是GOA电路第一实施方式的具体电路连接示意图。所述GOA子电路为GOA电路的第三级至最后一级的中的任一级，在此不做限定。

[37] 如图2所示，电位下拉处理电路101包括晶体管PTN，GOA子电路202包括正反扫描单元100、输入控制单元200、上拉维持单元300、输出控制单元400、GAS信号作用单元500和自举电容单元600。正反扫描单元100分别与所述上拉维持单元300、输入控制单元200连接，所述GAS信号作用单元500与所述上拉维持单元300连接，连接点为公共信号点P点，以GOA电路为PMOS电路为例来说明，晶体管PTN为PMOS管，晶体管PTN的漏极连接于所述公共信号点P点，晶体管PTN的栅极控制端连接STV信号端，晶体管PTN的源极连接于所述电源控制端，晶体管PTN控制端GAS信号作用单元500、自举电容单元600、与输出控制单元400共同连接，共同连接端为栅极驱动信号输出端GATE端。

[38] 其中，正反扫描单元100用于控制GOA电路的正向驱动和反向驱动。包括第五晶体管PT0、第六晶体管PT1、第七晶体管PT2和第八晶体管PT3，第五晶体管PT0的栅极接收反向扫描控制信号，第五晶体管PT0的源极接收下一级GOA子电路G_{N+1}的GATE端输出的栅极驱动信号，第六晶体管PT1的栅极接收正向扫描控制信号，第六晶体管PT1的源极接收上一级GOA子电路G_{N-1}的GATE端输出的栅极驱动信号，第五晶体管PT0和第六晶体管PT1的漏极相互连接后与所述输入控制单元200连接，第七晶体管PT2的栅极接收所述反向扫描控制信号，第七晶

体管PT2的源极接收第一控制时钟CK_{N+3}，第八晶体管PT3的栅极接收所述正向扫描控制信号，第八晶体管PT3的源极接收第二控制时钟CK_{N+1}，第七晶体管PT2和第八晶体管PT3的漏极相互连接后与上拉维持单元300连接。

[39] 输入控制单元200用于根据级传时钟控制信号控制级传信号的输入以完成对栅极信号点的充电。包括第九晶体管PT4，第九晶体管PT4的栅极接收第一级联时钟信号CK_{N+2}，所述第九晶体管PT4的源极分别与第五晶体管PT0、第六晶体管PT1的漏极连接，第九晶体管PT4的漏极与栅极信号点连接。

[40] 上拉维持单元300用于根据公共信号点P点控制栅极信号点在非作用期间保持预定电平也即无效电平。包括第十晶体管PT5、第十一晶体管PT6、第十二晶体管PT8、第十三晶体管PT9和第一电容C1，所述第十晶体管PT5的栅极与所述公共信号点P点连接，第十晶体管PT5的源极与所述第九晶体管PT4的漏极连接，第十晶体管PT5的漏极与第二电源端VGH连接，所述第十一晶体管PT6的栅极与第九晶体管PT4的漏极连接，第十一晶体管PT6的源极与所述公共信号点P点连接，所述第十一晶体管PT6的漏极与第二电源端VGH连接，第十二晶体管PT8的栅极与所述第七晶体管PT2、第八晶体管PT3的漏极连接，第十二晶体管PT8的源极与第一电源端VGL连接，第十二晶体管PT8的漏极与所述公共信号点P点连接，第十三晶体管PT9的栅极与所述公共信号点P点连接，所述第十三晶体管PT9的源极与所述GATE端连接，第十三晶体管PT9的漏极与第二电源端VGH连接，所述第一电容C1的一端与第二电源端VGH连接，所述第一电容C1的另一端与所述公共信号点P点连接。

[41] 所述输出控制单元400用于根据级传时钟信号控制与栅极信号点对应的栅极信号点的输出。包括第十四晶体管PT10和第二电容C2，第十四晶体管PT10的栅极与所述栅极信号点连接，所述第十四晶体管PT10的漏极与GATE端连接，所述第十四晶体管PT10的源极接收第二级传时钟CK_N，所述第二电容C2的一端与所述栅极信号点连接，所述第二电容C2的另一端与所述GATE端连接。

[42] GAS信号作用单元500用于控制栅极驱动信号处于有效电平，以实现GOA子电路的水平扫描线的充电。包括第十五晶体管PT12和第十六晶体管PT13，所述第十五晶体管PT12的栅极、第十六晶体管PT13的栅极和漏极接收GAS信号，所述

第十五晶体管PT12的漏极连接第二电源端VGH，所述第十五晶体管PT12的源极连接所述公共信号点P点，所述第十六晶体管PT13的漏极连接所述GATE端；

[43] 所述自举电容单元600用于对栅极信号点的电压进行再次抬升。包括自举电容Cloud，所述自举电容Cloud的一端与所述GATE端连接，所述自举电容Cloud的另一端与接地。

[44] 优选地，GOA子电路进一步还包括稳压单元700，稳压单元700用于实现栅极信号点的稳压以及栅极信号点的漏电防治。具体来说，稳压单元700包括第十七晶体管PT7，第十七晶体管PT7串接于第九晶体管PT4的源极与栅极信号点之间，第十七晶体管PT7的栅极与负压恒压源连接，第十七晶体管PT7的漏极与第九晶体管PT4的漏极连接，第十七晶体管PT7的源极与栅极信号点连接。

[45] 优选地，GOA子电路进一步包括上拉辅助单元800，上拉辅助单元800用于防止第九晶体管PT4和第十晶体管PT5在对栅极信号点进行充电的过程中出现漏电的问题。具体来说，上拉辅助单元800包括第十八晶体管PT11，第十八晶体管PT11的栅极与第五晶体管PT0、第六晶体管PT1的漏极连接，第十八晶体管PT11的源极与所述公共信号点P点连接，第十八晶体管PT11的漏极与正压恒压源VGH连接。

[46] 具体地，在GAS信号作用单元500工作之前，STV信号控制电位下拉处理电路101中的晶体管PTN导通，PTN晶体管打开，此时低电平VGL信号经过PTN晶体管的源极传输到PTN晶体管的漏极，漏极输出的信号传输到电路的公共信号点P点，用于电路公共信号点P点的下拉和Gate信号的Reset，在实现公共信号点P点的电位下拉，不再存在由于自举电容单元600的存在而导致的低电位维持的问题。

[47] 如图3所示，图3是本发明第一实施方式的GOA电路中的GOA子电路的工作时序图。结合图2和图3，以第三级GOA子电路为例来说。当GAS信号有效，即GAS信号为低电平信号时，GOA电路实现All Gate On功能，与各奇数级水平扫描线对应的栅极驱动信号G(2N+1)输出低电平信号。当GOA电路完成All Gate On功能后，由于自举电容Cloud的存在，与各奇数级水平扫描线对应的栅极驱动信号不会马上变为高电平，而会保持Cloud holding的低电平信号。当STV信号的低电平信号来临时，第三级的公共信号点P点P(3)的信号由高电平变成低电平状态

，GATE(3)信号从低电平变成高电平。此时，GATE(3)信号不处于维持低电位的状态。由于后面所有级数的GOA电路都添加了相同的电位下拉处理电路，因此在时钟信号来临之前，所有的Gate驱动信号都处于高电平，不会影响GOA电路的正常驱动。

[48] 另外，由于STV信号对于公共信号点P点的Reset作用，也不需要第一级联时钟CK_{N+1}和第二级联时钟CK_N提前进行补偿，可以直接通过第一级联时钟CK_{N+1}控制第一级GOA子电路的输入，通过第二级联时钟CK_N控制第一级GOA的输出。在此不做限定。

[49] 进一步地，由于在版图的设计过程中，STV信号一般设计在GOA的最外面，因此，很容易受到静电的影响造成STV信号的变形，如图4所示，STV信号的向上的正静电和向下的负静电都较大。虽然STV信号在一帧的时间内只工作一次，然而在非作用期间，STV信号的变异也会影响面板的正常显示。为了克服在利用公共信号点P点处理单元的电路设计解决电位维持的问题时，STV信号对整个GOA电路造成的影响，

[50] 进一步参阅图2，电位下拉处理电路201除了包括第三晶体管PTN，还包括第一限压晶体管(PTX)、第二滤波晶体管PTY。

[51] 该第一限压晶体管PTX与所述第二滤波晶体管PTY串联后连接在初始扫描信号STV信号的输出端与所述第三晶体管PTN的控制端之间，具体地，第一限压晶体管PTX的控制端与第一电源端连接，第三晶体管PTN的第一端与第一电源端连接，第三晶体管PTN的第二端与所述GOA子电路连接。

[52] 具体地，如图2所示，第二滤波晶体管PTY的第一端分别与其控制端以及所述STV信号的输出端连接，所述第二滤波晶体管(PTY)的第二端与所述第一限压晶体管PTX的第一端连接，所述第一限压晶体管(PTX)的第二端与所述第三晶体管PTN的控制端连接。

[53] 在另一个方式中，如图5所示，图5是本发明GOA电路第二实施方式的具体电路连接示意图。第一限压晶体管PTX的第一端与STV信号的输出端连接，所述第一限压晶体管PTX的第一端的第二端与所述第二滤波晶体管PTY的第一端连接，所述第二滤波晶体管PTY的控制端与所述第二滤波晶体管PTY的第一端连接，所述

第二滤波晶体管PTY的第二端与所述第三晶体管PTN的控制端连接。

- [54] 在上述两个实施方式中，以GOA电路为PMOS电路为例，当所有的晶体管为PMOS晶体管时，第一限压晶体管PTX的第一端为源极，其第二端为漏极；所述第二滤波晶体管PTY的第一端为源极，其第二端为漏极；所述第三晶体管PTN的第一端为源极，其第二端为漏极。第一电源端为低电平信号VGL。
- [55] 具体地，在STV信号打开后，STV信号输入一个低电平信号至第二滤波晶体管PTY源极和控制端栅极，经过第二滤波晶体管PTY的滤波，将STV低电平信号中的高电平即正静电过滤掉，过滤后的信号传输至经过第一限压晶体管PTX的源极，此时，第一限压晶体管PTX的控制端栅极连接的第一电源端为低电平VGL，在低电平信号VGL的驱动下，第一限压晶体管PTX打开，将源极输入的低电平信号按照预定电压限压后，降低STV信号中的负静电，使得经过第一限压晶体管PTX漏极传输至第三晶体管PTN的控制端栅极的栅极电压减小，避免第三晶体管PTN在大静电作用下的损伤。
- [56] 如图6所示，图6是本发明GOA电路STV信号的第二实施方式波形示意图。由图6可以看出，输入PTN的STV信号的正静电被完全过滤掉，负静电也被控制在适当范围内。在低电平信号的驱动下，第三晶体管PTN打开，源极将第一电源端的低电平信号传输至其漏极，漏极再将信号传输至GOA子电路的公共信号点P点。在STV信号的低电平作用完毕后，第三晶体管PTN的栅极电位由于寄生电容的存在会维持在偏低的电位，用于公共信号点P点的持续维持。当GOA电路开始工作时，GATE级传信号进行P点的上拉，此时，第三晶体管PTN的栅极的高阻态不会影响GOA的正常工作。
- [57] 在其他实施方式中，GOA电路也可以为NTFT电路，即GOA电路中的晶体管均为NTFT晶体管。如图7所示，图7为本发明GOA电路第三实施方式的具体电路连接示意图。当第一限压晶体管PTX、第三晶体管PTN和第二滤波晶体管PTY均为NTFT管时，所述第一限压晶体管PTX的第一端为漏极，其第二端为源极；第二滤波晶体管PTY的第一端为漏极，其第二端为源极；所述第三晶体管PTN的第一端为漏极，其第二端为源极。第一电源端为高电平VGH，第二电源端为低电平VGL。

- [58] 在另一个实施方式中，如图8所示，图8是本发明GOA电路多个GOA子电路级联第二实施方式的结构示意图。GOA电路包括多个电位下拉处理电路801，每个所述电位下拉处理电路801与从第三级到最后一级的GOA子电路一一对应连接。具体地，每个所述电位下拉处理电路801的第三晶体管PTN的第二端与GOA电路的第三级至最后一级的GOA电路一一对应连接。在此不做限定。
- [59] 如图9所示，图9是本发明GOA电路第四实施方式的具体电路连接示意图。本实施方式的GOA电路与上述任一实施方式的GOA电路的区别在于，本实施方式的电位下拉电路还包括第四晶体管PTM，其中，第四晶体管PTM与第三晶体管PTN相互配合，共同解决GOA电路的电位维持问题。以GOA电路为PMOS电路为例。第四晶体管PTM的栅极和源极分别与第三晶体管PTN的漏极连接，所述第四晶体管（PTM）的漏极与所述GOA子电路连接。
- [60] 在另一个实施方式中，如图10所示，图10为本发明GOA电路第五实施方式的具体电路连接示意图。本实施方式的GOA电路仍为PMOS电路。第四晶体管PTM的源极与所述第一电源端VGL连接，其控制端栅极与其源极相连接，其漏极与所述第三晶体管PTN的源极连接。
- [61] 当GOA电路为NTFT电路时，如图11和图12所示。图11是本发明GOA电路第六实施方式的结构示意图。图12是本发明GOA电路第七实施方式的结构示意图。
- [62] 如图11所示，图11是本发明GOA电路第六实施方式的具体电路连接示意图。本实施方式中第四晶体管PTM的漏极与第三晶体管PTN的源极连接，栅极与第四晶体管PTM的漏极连接，源极与GOA子电路的公共信号点P点连接。
- [63] 如图12所示，图12是本发明GOA电路第七实施方式的具体电路连接示意图。本实施方式中第四晶体管PTM的漏极与第一电源端VGH连接，栅极与其漏极连接，源极与第三晶体管PTN的漏极连接。
- [64] 区别于现有技术，本发明的GOA电路包括与STV信号连接的电位下拉处理电路，能够在STV信号输出低电平时将公共信号点P点的电位拉成低电平，有效解决GOA电路工作时由于自举电容产生的维持问题。另外本发明电位下拉处理电路还包括相互串联的第一限压晶体管PTX、第二滤波晶体管PTY，第一限压晶体管PTX能够有效过滤掉STV信号中的负静电，降低负静电的电平，第二滤波晶

体管PTY能够过滤掉STV信号中的正静电，在第一限压晶体管PTX和第二滤波晶体管PTY的配合下，使得进入第三晶体管PTN的栅极电压减小，有效避免STV信号中的大静电对第三晶体管PTN的损伤，也能够有效避免STV信号中的大静电通过第三晶体管PTN流入到GOA子电路中对GOA子电路带来的损伤，提高GOA电路的稳定性。

[65] 本发明还提供一种液晶显示器，如图13所示，图13是本发明液晶显示器一实施方式的结构示意图。液晶显示装置包括相对设置的阵列基板1301以及彩膜基板1302，还包括设置在阵列基板1301和彩膜基板1302之间的液晶层1303，其中，阵列基板1301上包括上述任意实施方式的GOA电路，在此不再赘述。

[66] 区别于现有技术，本发明液晶显示装置的阵列基板包括GOA电路，GOA电路包括与STV信号连接的电位下拉处理电路，能够在STV信号输出低电平时将公共信号点P点的电位拉成低电平，有效解决GOA电路工作时由于自举电容二产生的维持问题。另外本发明电位下拉处理电路还包括相互串联的第一限压晶体管PTX、第二滤波晶体管PTY，第一限压晶体管PTX能够有效d过滤掉STV信号中的负静电，降低负静电的电平，第二滤波晶体管PTY能够过滤掉STV信号中的正静电，在第一限压晶体管PTX和第二滤波晶体管PTY的配合下，使得进入第三晶体管PTN的栅极电压减小，有效避免STV信号中的大静电对第三晶体管PTN的损伤，也能够有效避免STV信号中的大静电通过第三晶体管PTN流入到GOA子电路中对GOA子电路带来的损伤，提高GOA电路的稳定性。

[67] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

- [权利要求 1] 一种GOA电路，用于液晶显示器，其中，所述GOA电路包括电位下拉处理电路和多个级联的GOA子电路，
- 所述电位下拉处理电路包括第一限压晶体管、第二滤波晶体管以及第三晶体管，所述第一限压晶体管与所述第二滤波晶体管串联后连接在初始扫描信号STV信号的输出端与所述第三晶体的控制端之间，所述第一限压晶体的控制端与所述第三晶体的第一端分别与第一电源端连接，所述第三晶体的第二端与所述GOA子电路连接。
- [权利要求 2] 根据权利要求1所述的GOA电路，其中，所述第二滤波晶体管的第一端分别与其控制端以及所述STV信号的输出端连接，所述第二滤波晶体的第二端与所述第一限压晶体管的第一端连接，所述第一限压晶体的第二端与所述第三晶体的控制端连接。
- [权利要求 3] 根据权利要求2所述的GOA电路，其中，所述第一限压晶体管、所述第二滤波晶体管以及所述第三晶体管均为PMOS晶体管；所述第一限压晶体管的第一端为源极，其第二端为漏极；所述第二滤波晶体管的第一端为源极，其第二端为漏极；所述第三晶体管的第一端为源极，其第二端为漏极。
- [权利要求 4] 根据权利要求2所述的GOA电路，其中，所述第一限压晶体管、所述第三晶体管和所述第二滤波晶体管均为NTFT管，所述第一限压晶体管的第一端为漏极，其第二端为源极；所述第二滤波晶体管的第一端为漏极，其第二端为源极；所述第三晶体管的第一端为漏极，其第二端为源极。
- [权利要求 5] 根据权利要求3所述的GOA电路，其中，所述电位下拉处理电路还包括第四晶体管，所述第四晶体管的第一端与所述第三晶体的第二端连接，所述第四晶体的控制端与所述第四晶体管的第一端连接，所述第四晶体的第二端与所述GOA子电路连接；其中，所述第四晶体管与所述第三晶体的类型相同。

- [权利要求 6] 根据权利要求4所述的GOA电路，其中，所述电位下拉处理电路还包括第四晶体管，所述第四晶体管的第一端与所述第三晶体管的第二端连接，所述第四晶体管的控制端与所述第四晶体管的第一端连接，所述第四晶体管的第二端与所述GOA子电路连接；其中，所述第四晶体管与所述第三晶体管的类型相同。
- [权利要求 7] 根据权利要求3所述的GOA电路，其中，所述电位下拉处理电路还包括第四晶体管，所述第四晶体管的第一端与所述第一电源端连接，其控制端与所述第一端连接，其第二端与所述第三晶体管的第一端连接；其中，所述第四晶体管与所述第三晶体管的类型相同。
- [权利要求 8] 根据权利要求4所述的GOA电路，其中，所述电位下拉处理电路还包括第四晶体管，所述第四晶体管的第一端与所述第一电源端连接，其控制端与所述第一端连接，其第二端与所述第三晶体管的第一端连接；其中，所述第四晶体管与所述第三晶体管的类型相同。
- [权利要求 9] 根据权利要求1所述的GOA电路，其中，所述第一限压晶体管的第一端与所述STV信号的输出端连接，所述第一限压晶体管的第二端与所述第二滤波晶体管的第一端连接，所述第二滤波晶体管的控制端与所述第二滤波晶体管的第一端连接，所述第二滤波晶体管的第二端与所述第三晶体管的控制端连接。
- [权利要求 10] 根据权利要求1所述的GOA电路，其中，所述电位下拉处理电路的所述第三晶体管的第二端与所述COA电路的第三级至最后一级的每个所述GOA子电路分别连接。
- [权利要求 11] 根据权利要求1所述的GOA电路，其中，所述GOA电路包括多个所述电位下拉处理电路，每个所述电位下拉处理电路的第三晶体管的第二端与所述COA电路的第三级至最后一级的GOA电路一一对应连接。
- [权利要求 12] 一种液晶显示器，包括阵列基板、彩膜基板以及设置在所述阵列

基板以及所述彩膜基板之间的液晶层，其中，所述阵列基板包括GOA电路；所述GOA电路包括电位下拉处理电路和多个级联的GOA子电路，

所述电位下拉处理电路包括第一限压晶体管、第二滤波晶体管以及第三晶体管，所述第一限压晶体管与所述第二滤波晶体管串联后连接在初始扫描信号STV信号的输出端与所述第三晶体的控制端之间，所述第一限压晶体的控制端与所述第三晶体的第一端分别与第一电源端连接，所述第三晶体的第二端与所述GOA子电路连接。

[权利要求 13] 根据权利要求12所述的液晶显示器，其中，所述第二滤波晶体的第一端分别与其控制端以及所述STV信号的输出端连接，所述第二滤波晶体的第二端与所述第一限压晶体的第一端连接，所述第一限压晶体的第二端与所述第三晶体的控制端连接。

[权利要求 14] 根据权利要求13所述的液晶显示器，其中，所述第一限压晶体管、所述第二滤波晶体管以及所述第三晶体管均为PMOS晶体管；所述第一限压晶体的第一端为源极，其第二端为漏极；所述第二滤波晶体的第一端为源极，其第二端为漏极；所述第三晶体的第一端为源极，其第二端为漏极。

[权利要求 15] 根据权利要求13所述的液晶显示器，，其中，所述第一限压晶体管、所述第三晶体管和所述第二滤波晶体管均为NTFT管，所述第一限压晶体的第一端为漏极，其第二端为源极；所述第二滤波晶体的第一端为漏极，其第二端为源极；所述第三晶体的第一端为漏极，其第二端为源极。

[权利要求 16] 根据权利要求14所述的液晶显示器，其中，所述电位下拉处理电路还包括第四晶体管，所述第四晶体的第一端与所述第三晶体的第二端连接，所述第四晶体的控制端与所述第四晶体的第一端连接，所述第四晶体的第二端与所述GOA子电路连接；其中，所述第四晶体管与所述第三晶体的类型相同。

- [权利要求 17] 根据权利要求15所述的液晶显示器，其中，所述电位下拉处理电路还包括第四晶体管，所述第四晶体管的第一端与所述第三晶体管的第二端连接，所述第四晶体管的控制端与所述第四晶体管的第一端连接，所述第四晶体管的第二端与所述GOA子电路连接；其中，所述第四晶体管与所述第三晶体管的类型相同。
- [权利要求 18] 根据权利要求14所述的液晶显示器，其中，所述电位下拉处理电路还包括第四晶体管，所述第四晶体管的第一端与所述第一电源端连接，其控制端与所述第一端连接，其第二端与所述第三晶体管的第一端连接；其中，所述第四晶体管与所述第三晶体管的类型相同。
- [权利要求 19] 根据权利要求15所述的液晶显示器，其中，所述电位下拉处理电路还包括第四晶体管，所述第四晶体管的第一端与所述第一电源端连接，其控制端与所述第一端连接，其第二端与所述第三晶体管的第一端连接；其中，所述第四晶体管与所述第三晶体管的类型相同。
- [权利要求 20] 根据权利要求12所述的液晶显示器，其中，所述第一限压晶体管的第一端与所述STV信号的输出端连接，所述第一限压晶体管的第二端与所述第二滤波晶体管的第一端连接，所述第二滤波晶体管的控制端与所述第二滤波晶体管的第一端连接，所述第二滤波晶体管的第二端与所述第三晶体管的控制端连接。

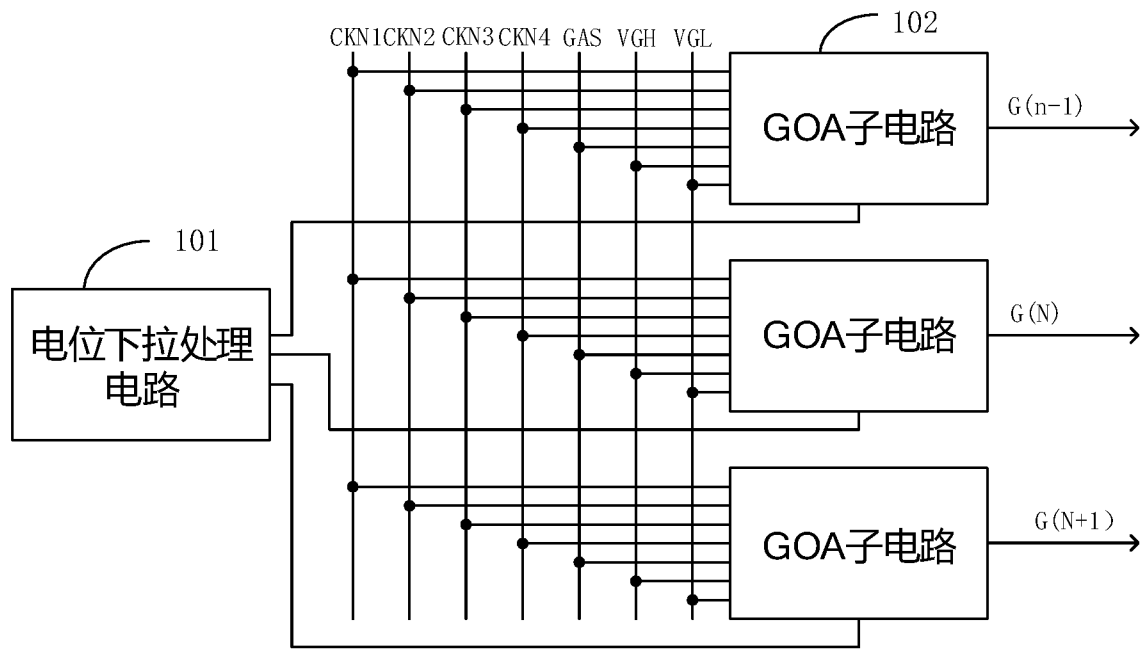


图 1

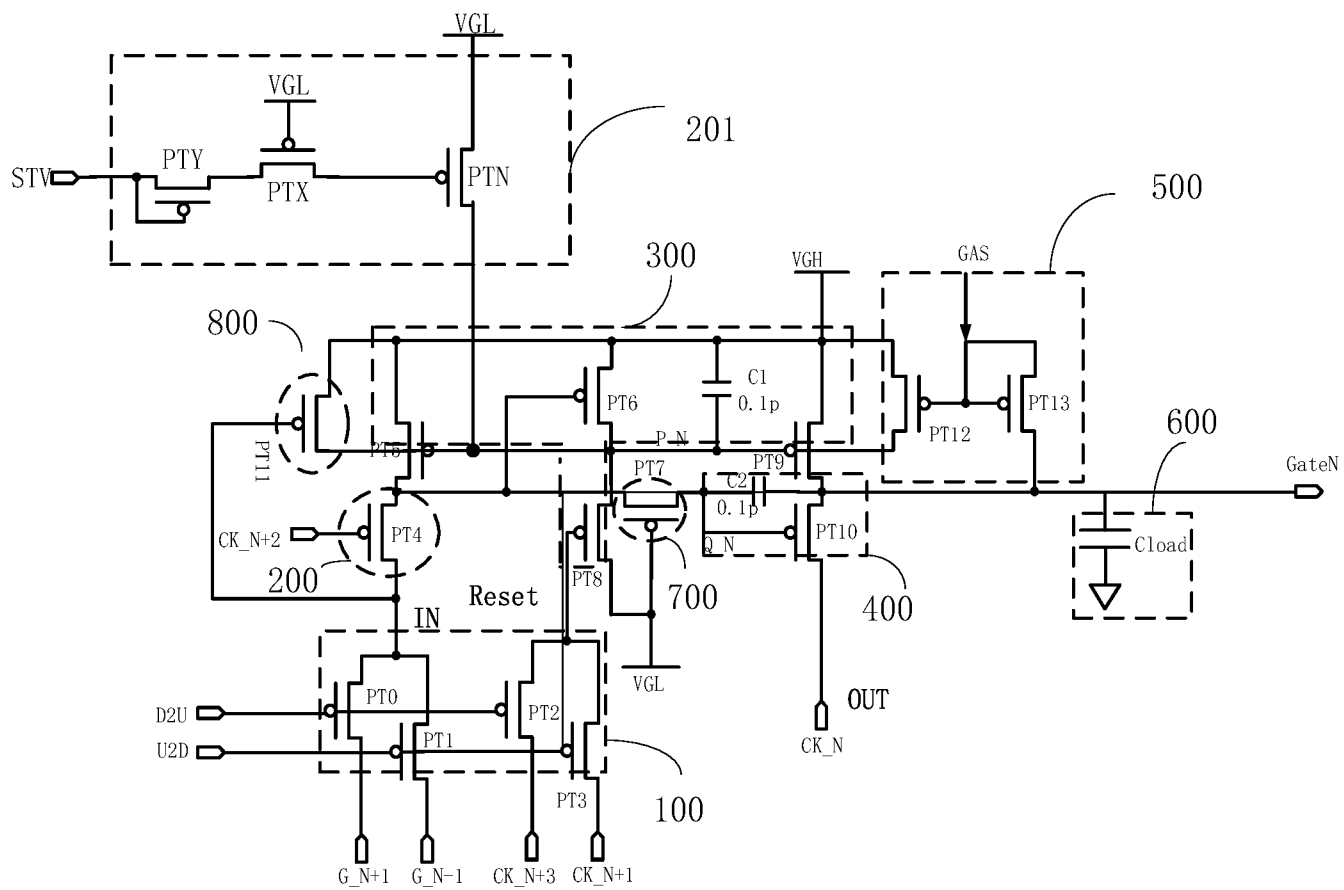


图 2

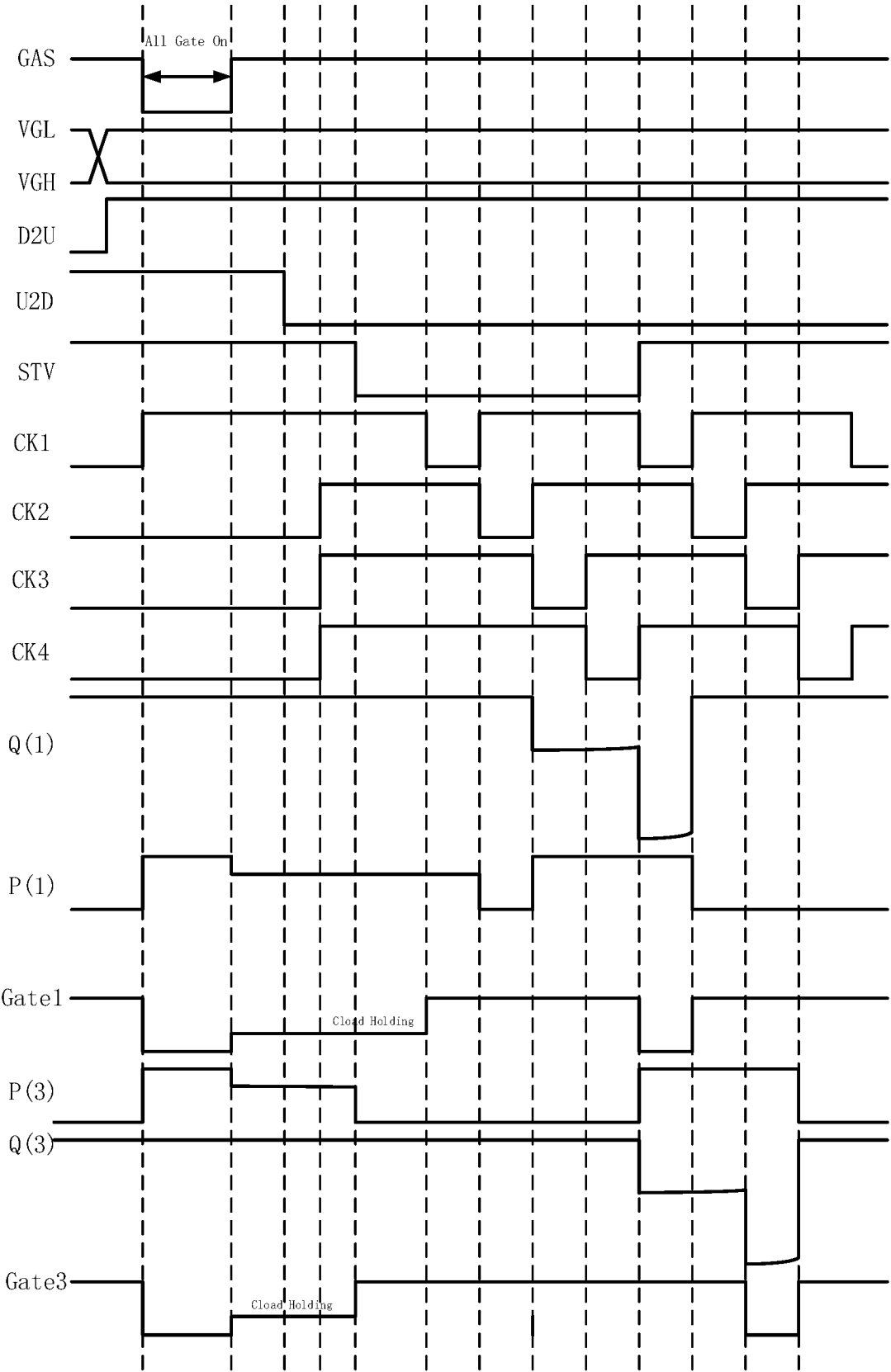


图 3

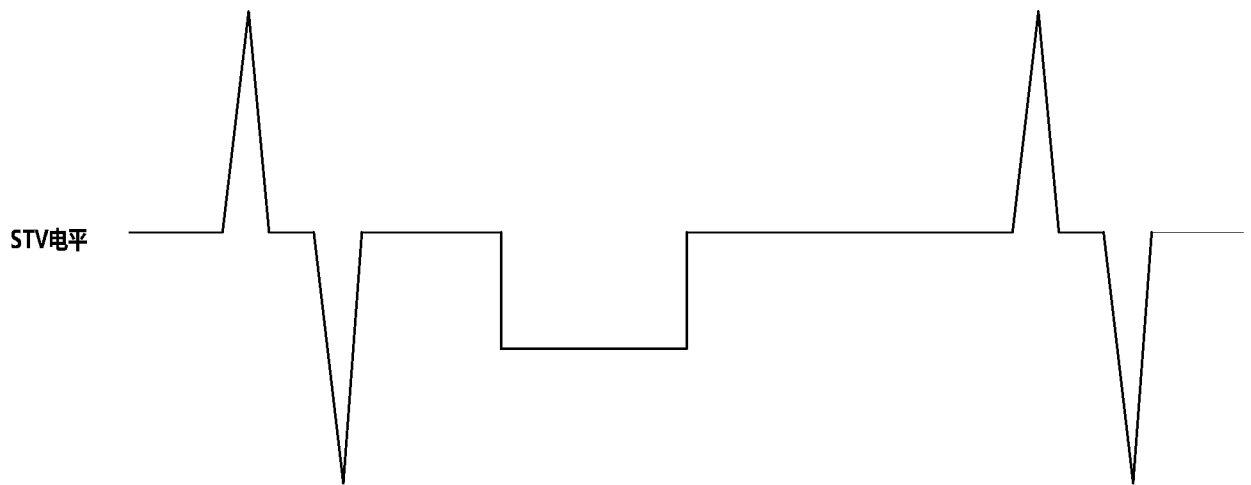


图 4

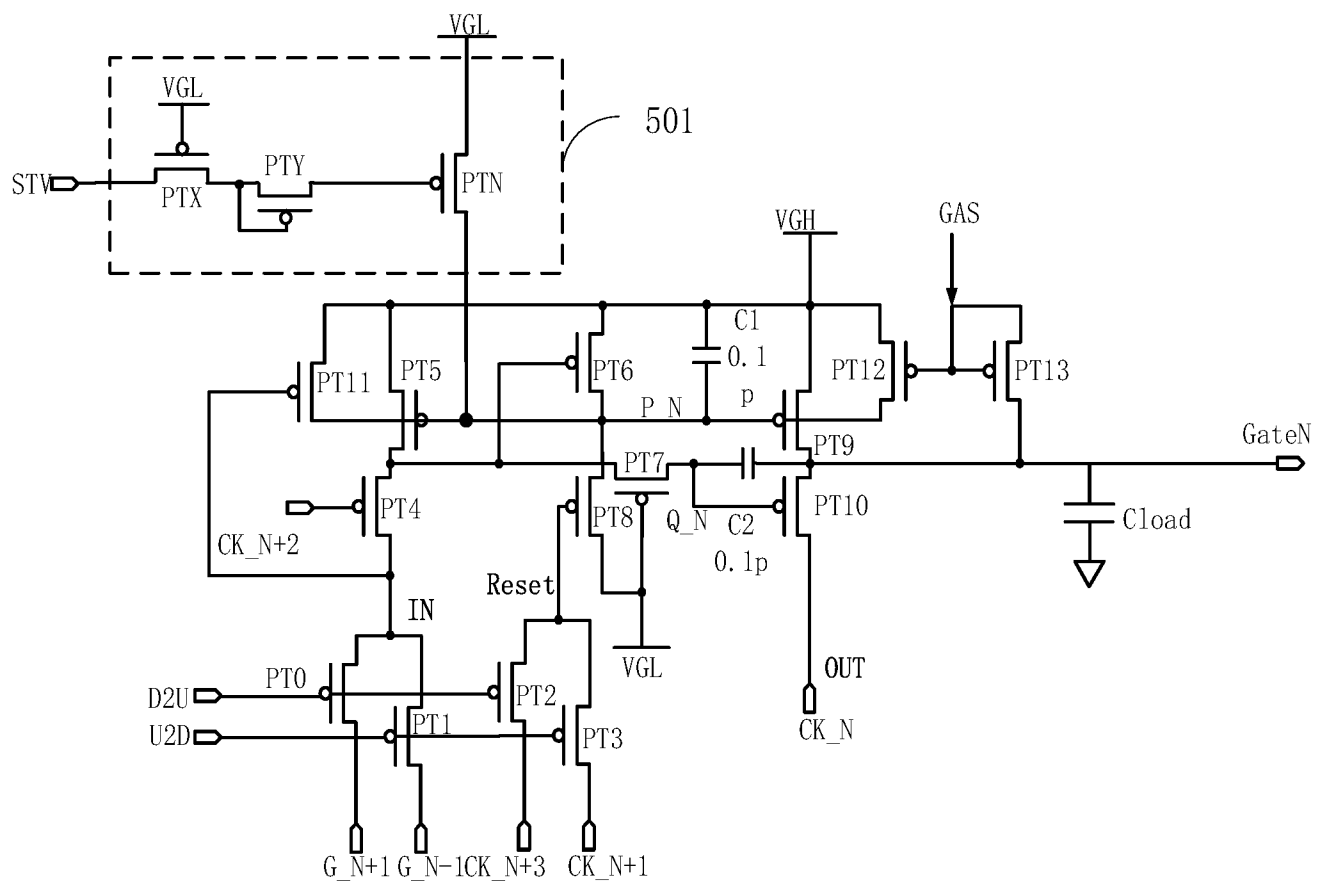


图 5

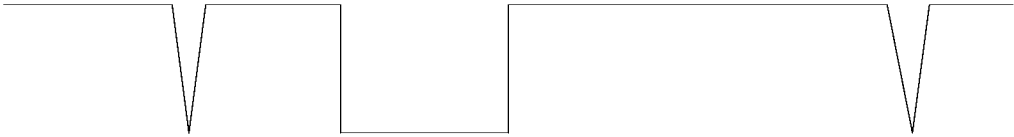


图 6

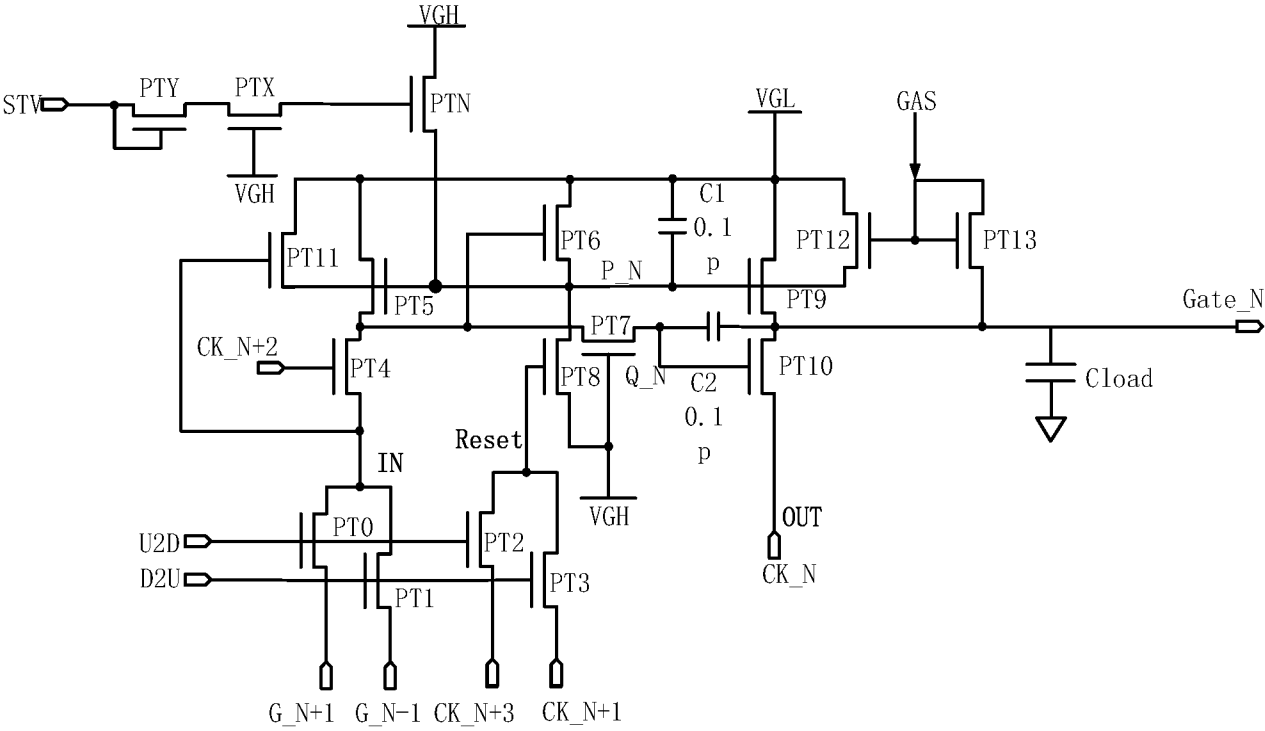


图 7

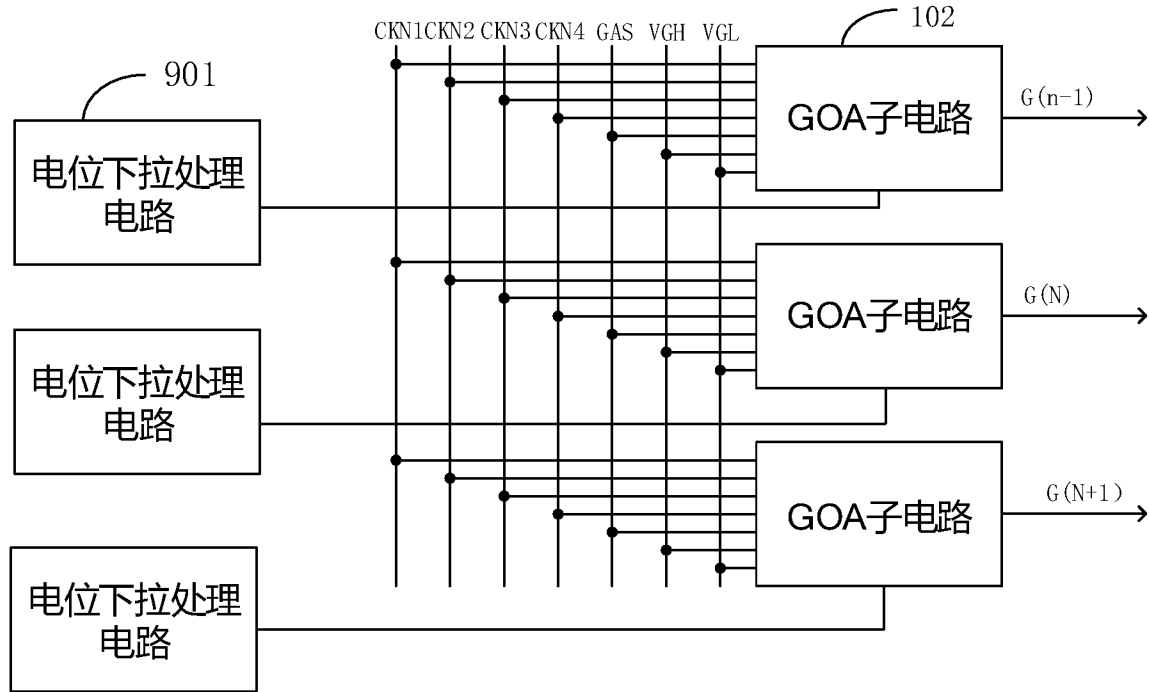


图 8

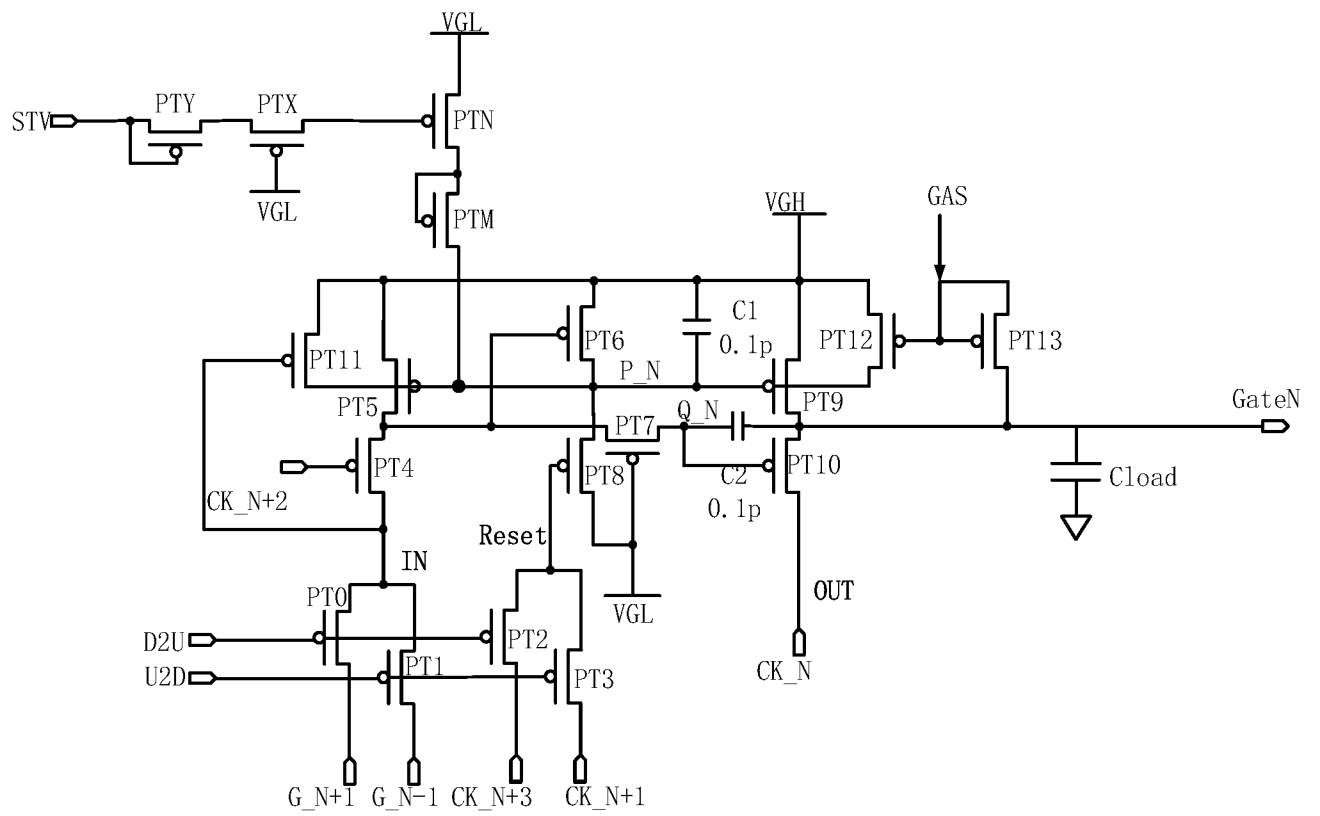


图 9

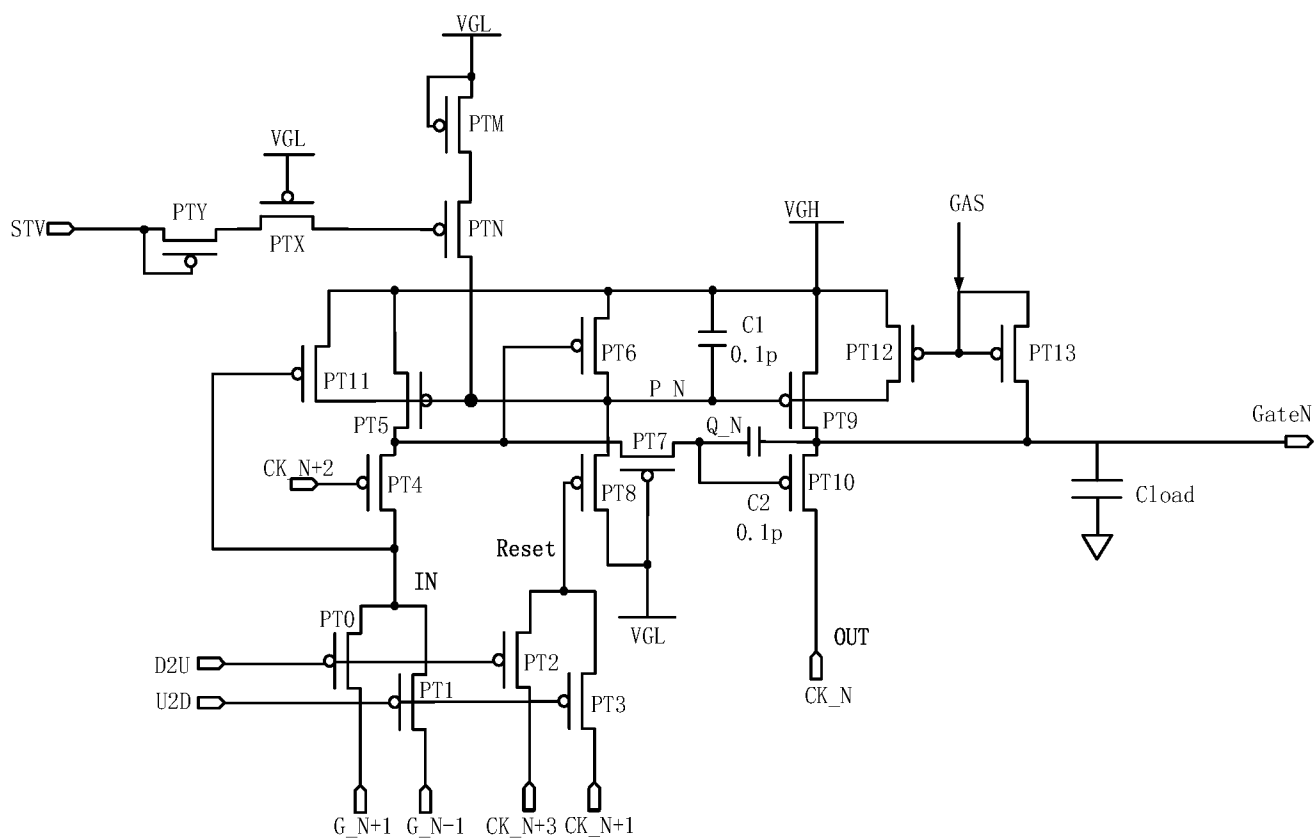


图 10

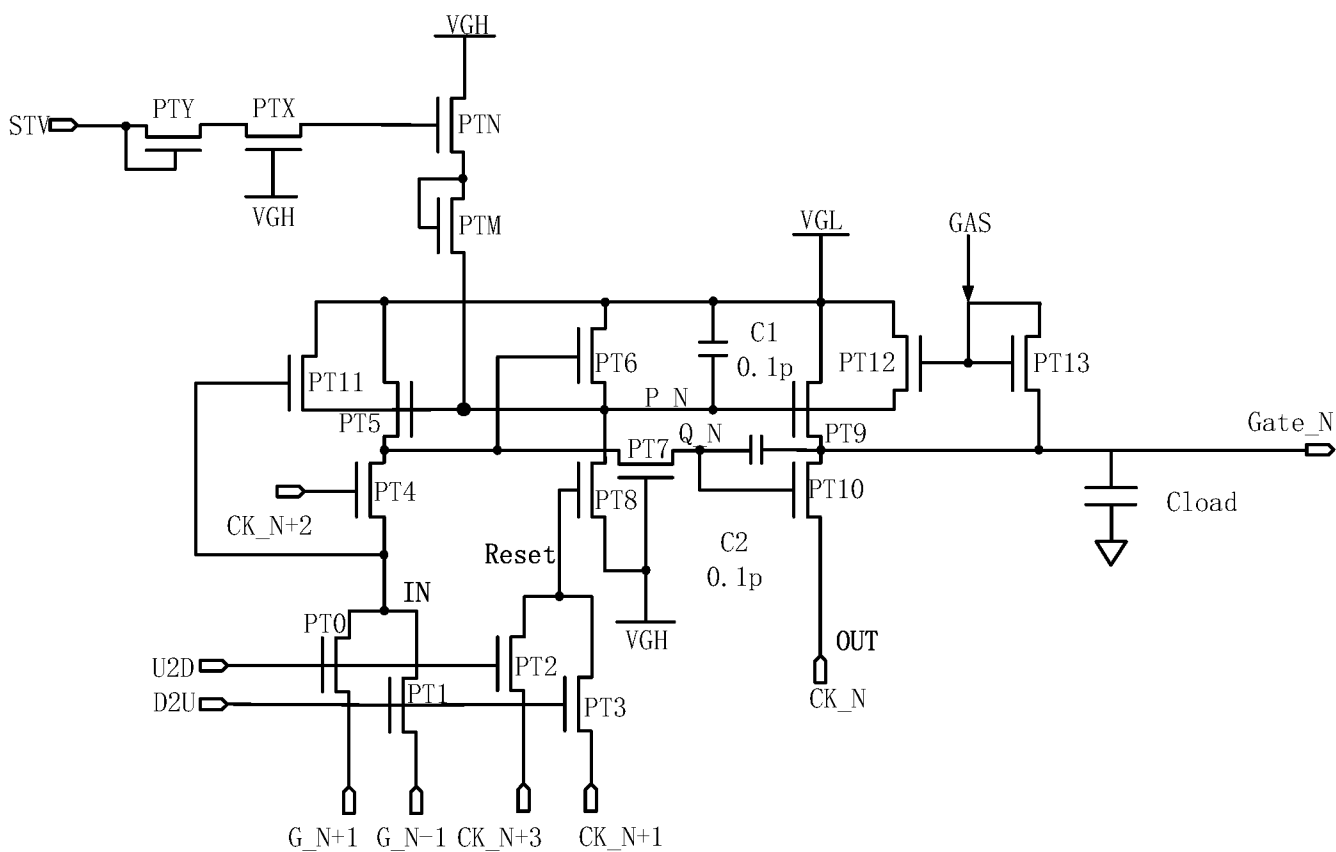


图 11

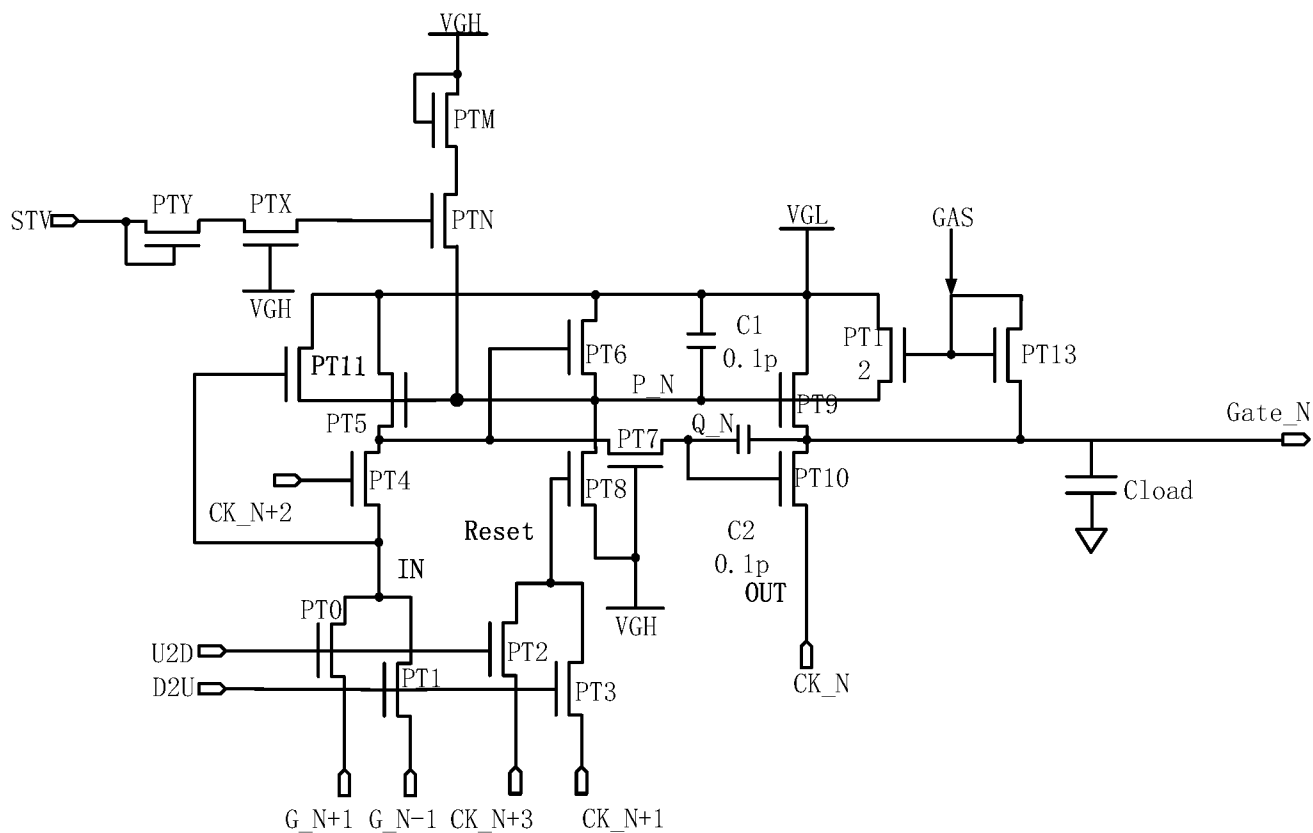


图 12

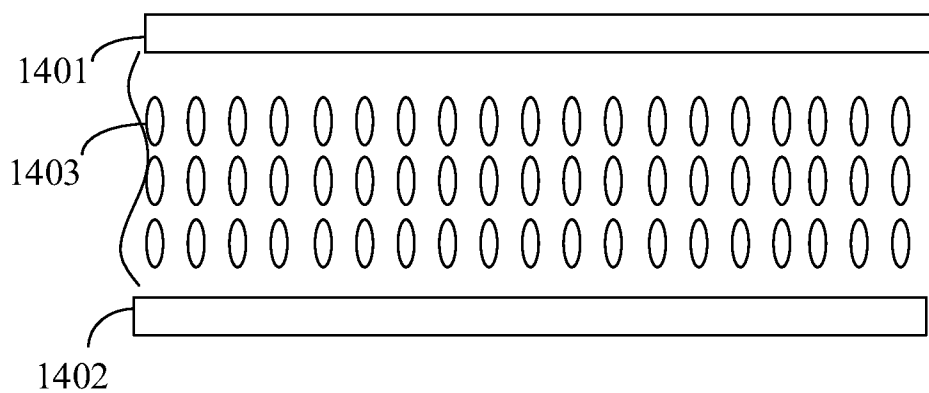


图 13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/092364

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC:CSOT, xiao juncheng, youda, pull-down, voltage limiting, static electricity, damage, stabilization, breakdown, protect, initial, noise reduction, pull+, drop+, filter+, filtrat+, limit+, start+, initia+, noise

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104778928 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 15 July 2015 (15.07.2015) description, paragraphs [0002]-[0004], [0069]-[0086], [0108]-[0131] and figures 1-9	1-20
A	CN 103943081 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 23 July 2014 (23.07.2014) the whole document	1-20
A	TW 201023156 A1 (AU OPTRONICS CORPORATION) 16 June 2010 (16.06.2010) the whole	1-20
A	CN 102650751 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 29 August 2012 (29.08.2012) the whole document	1-20
A	US 2010260312 A1 (TSAI, TSUNG-TING et al.) 14 October 2010 (14.10.2010) the whole document	1-20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 June 2016	Date of mailing of the international search report 28 June 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Xiaolin Telephone No. (86-10) 62413535

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/092364

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010164915 A1 (KIM, HAK-GYU et al.) 01 July 2010 (01.07.2010) the whole document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/092364

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104778928 A	15 July 2015	None	
CN 103943081 A	23 July 2014	None	
TW 201023156 A1	16 June 2010	US 2010150303 A1	17 June 2010
		US 7953201 B2	31 May 2011
		TW 1394134 B	21 April 2013
CN 102650751 A	29 August 2012	CN 102650751 B	06 August 2014
US 2010260312 A1	14 October 2010	US 2013070891 A1	21 March 2013
		US 8229058 B2	24 July 2012
		TW 1400686 B	01 July 2013
		US 8483350 B2	09 July 2013
		TW 201037675 A	16 October 2010
		US 8340240 B2	25 December 2012
		US 2012250816 A1	04 October 2012
US 2010164915 A1	01 July 2010	US 8654055 B2	18 February 2014

国际检索报告

国际申请号

PCT/CN2015/092364

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EPODOC; 华星光电, 肖军城, 友达, 下拉, 拉低, 限压, 滤波, 静电, 损伤, 损害, 稳定, 损坏, 保护, 启动, 起停, 启动, 初始, 初始, 起始, 降噪, 除噪, 噪声, pull+, drop+, filter+, filtrat+, limit+, start+, initiat+, noise

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104778928 A (京东方科技集团股份有限公司 等) 2015年 7月 15日 (2015 - 07 - 15) 说明书第[0002]-[0004]、[0069]-[0086]、[0108]-[0131]段, 附图1-9	1-20
A	CN 103943081 A (京东方科技集团股份有限公司 等) 2014年 7月 23日 (2014 - 07 - 23) 全文	1-20
A	TW 201023156 A1 (AU OPTRONICS CORP.) 2010年 6月 16日 (2010 - 06 - 16) 全文	1-20
A	CN 102650751 A (京东方科技集团股份有限公司 等) 2012年 8月 29日 (2012 - 08 - 29) 全文	1-20
A	US 2010260312 A1 (TSAI, TSUNG-TING 等) 2010年 10月 14日 (2010 - 10 - 14) 全文	1-20
A	US 2010164915 A1 (KIM, HAK-GYU 等) 2010年 7月 1日 (2010 - 07 - 01) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2016年 6月 6日

国际检索报告邮寄日期

2016年 6月 28日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

杨晓林

电话号码 (86-10)62413535

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/092364

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104778928	A	2015年 7月 15日	无			
CN	103943081	A	2014年 7月 23日	无			
TW	201023156	A1	2010年 6月 16日	US	2010150303	A1	2010年 6月 17日
				US	7953201	B2	2011年 5月 31日
				TW	I394134	B	2013年 4月 21日
CN	102650751	A	2012年 8月 29日	CN	102650751	B	2014年 8月 6日
US	2010260312	A1	2010年 10月 14日	US	2013070891	A1	2013年 3月 21日
				US	8229058	B2	2012年 7月 24日
				TW	I400686	B	2013年 7月 1日
				US	8483350	B2	2013年 7月 9日
				TW	201037675	A	2010年 10月 16日
				US	8340240	B2	2012年 12月 25日
				US	2012250816	A1	2012年 10月 4日
US	2010164915	A1	2010年 7月 1日	US	8654055	B2	2014年 2月 18日
				KR	101512336	B1	2015年 4月 15日
				KR	20100077472	A	2010年 7月 8日

表 PCT/ISA/210 (同族专利附件) (2009年7月)