

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-200570  
(P2009-200570A)

(43) 公開日 平成21年9月3日(2009.9.3)

(51) Int.Cl.			F I			テーマコード (参考)		
H03L	7/099	(2006.01)	H03L	7/08	F	5J106		
H04L	7/033	(2006.01)	H04L	7/02	B	5K047		
H03L	7/093	(2006.01)	H03L	7/08	E			

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2008-37088 (P2008-37088)  
(22) 出願日 平成20年2月19日 (2008.2.19)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区丸の内一丁目6番6号  
(74) 代理人 100080001  
弁理士 筒井 大和  
(72) 発明者 福田 幸二  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
(72) 発明者 山下 寛樹  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内  
Fターム(参考) 5J106 AA04 BB02 CC21 DD02 DD08  
FF05 FF08 FF09 GG10 HH02  
HH09 JJ06 KK03 KK06 KK12  
5K047 AA01 GG11 GG29 MM63

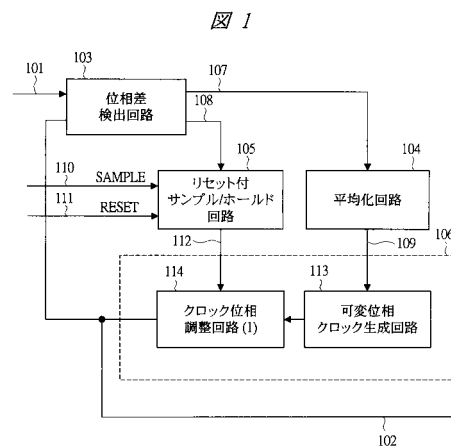
(54) 【発明の名称】 クロック再生回路

(57) 【要約】

【課題】短いビット同期時間、クロックワンダー追従性能、高い高周波ジッタ耐性、を同時に満たすクロック再生回路を提供する。

【解決手段】入力データ信号101と再生クロック102との位相差を検出する位相差検出回路103、位相差検出回路103の出力を平均化する平均化回路104、位相差検出回路103の出力をサンプル/ホールドするリセット付サンプル/ホールド回路105、平均化回路104の出力の積分値とリセット付サンプル/ホールド回路105の出力値との和に相当する位相の再生クロック102を生成する再生クロック生成回路106を備える。リセット付サンプル/ホールド回路105は、バースト伝送開始信号110を受けて位相差検出回路103の出力をサンプル/ホールドし、バースト伝送終了信号111を受けてホールドしている値を初期値にリセットする。

【選択図】 図1



101: 入力データ信号  
102: 再生クロック  
106: 再生クロック生成回路  
110: バースト伝送開始信号  
111: バースト伝送終了信号

**【特許請求の範囲】****【請求項 1】**

入力データ信号から再生クロックを生成するクロック再生回路であって、  
前記入力データ信号と前記再生クロックとの位相差を検出して出力する第 1 回路と、  
前記第 1 回路の出力を平均化して出力する第 2 回路と、  
前記第 1 回路の出力をサンプル/ホールドして出力する第 3 回路と、  
前記第 2 回路の出力の積分値と前記第 3 回路の出力値との和に相当する位相のクロック  
を生成して前記再生クロックとして出力する第 4 回路と、を備え、  
前記第 3 回路は、バースト伝送開始信号を受けて前記第 1 回路の出力をサンプル/ホー  
ルドして出力し、バースト伝送終了信号を受けてホールドしている値を初期値にリセット  
することを特徴とするクロック再生回路。

10

**【請求項 2】**

入力データ信号から再生クロックを生成するクロック再生回路であって、  
前記入力データ信号と前記再生クロックとの位相差を検出して出力する第 1 回路と、  
前記第 1 回路の出力を平均化して出力する第 2 回路と、  
前記第 1 回路の出力をサンプル/ホールドして出力する第 5 回路と、  
前記第 2 回路の出力の積分値と前記第 5 回路の出力値との和に相当する位相のクロック  
を生成して前記再生クロックとして出力する第 4 回路と、を備え、  
前記第 5 回路は、バースト伝送開始信号を受けて前記第 1 回路の出力をサンプル/ホー  
ルドして出力し、その後、ホールドしている値が初期値に向かって変化することを特徴と  
するクロック再生回路。

20

**【請求項 3】**

請求項 2 記載のクロック再生回路において、  
前記第 5 回路は、  
前記第 1 回路の出力と前記第 5 回路の出力との間を開閉するスイッチと、  
前記第 5 回路の出力とグランドとの間に並列に接続された容量と抵抗と、を備え、  
前記スイッチは、前記バースト伝送開始信号を受けて閉じることを特徴とするクロック  
再生回路。

**【請求項 4】**

請求項 2 または 3 記載のクロック再生回路において、  
前記第 5 回路がホールドしている値が初期値に向かって変化する速度は、前記第 2 回路  
の動作速度に比べて遅く、かつ、前記入力データ信号の各バースト時間幅よりは短いこ  
とを特徴とするクロック再生回路。

30

**【請求項 5】**

請求項 1 ~ 4 のいずれか 1 項に記載のクロック再生回路において、  
前記第 4 回路は、  
前記第 2 回路の積分値に相当する位相のクロックを発生する第 6 回路と、  
前記第 3 回路または前記第 5 回路の出力に相当するだけ、入力されたクロックの位相を  
変化させる第 7 回路と、を備え、  
前記第 6 回路と前記第 7 回路とが従続接続されていることを特徴とするクロック再生回  
路。

40

**【請求項 6】**

請求項 5 記載のクロック再生回路において、  
前記第 6 回路は、前記第 2 回路の出力に相当する周波数のクロックを発生させることを  
特徴とするクロック再生回路。

**【請求項 7】**

請求項 5 記載のクロック再生回路において、  
前記第 6 回路は、外部から供給されたクロックの位相を、前記第 2 回路の積分値に相当  
する値だけ変化させて出力することを特徴とするクロック再生回路。

**【請求項 8】**

50

請求項 5 記載のクロック再生回路において、

前記第 7 回路は、入力されたクロックを、前記第 3 回路または前記第 5 回路の出力に相当する値だけ遅延させる可変遅延回路であることを特徴とするクロック再生回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、クロック再生回路に関し、特に、受信データ信号からクロック信号を再生するクロック再生に適用して有効な技術に関する。

【背景技術】

【0002】

本発明者が検討した技術として、例えば、クロック再生回路においては、以下の技術が考えられる。

【0003】

図 7 は、本発明の背景にある P O N (Passive Optical Network) システムを示す図である。P O N システムは通信事業者の局舎に設置される O L T (Optical Line Terminal) 7 0 1 と、多数のユーザサイトに設置される加入者装置 O N U (Optical Network Unit) 7 0 2 - n との間を、光ファイバ 7 0 3 及び光ファイバを分岐するカブラ 7 0 4 で結合した構成をしている。なお、n は自然数である。

【0004】

各 O N U 7 0 2 - n から O L T 7 0 1 へのデータ信号は、一連のバーストデータ信号として O L T 7 0 1 へ送信される。図 8 に P O N システムにおける上りデータ送信の概念図を示す。各 O N U 7 0 2 - n は、時分割されたタイムスロットにおいて、バーストデータ信号 8 0 1 - n を送信する。バーストデータ信号 8 0 1 - n は、O L T 7 0 1 がバーストデータ信号の先頭を検出してクロック再生するためのプリアンプル 8 0 2 - n と、ユーザの通信データを格納するペイロード 8 0 3 - n から構成される。O L T 7 0 1 及び各 O N U 7 0 2 - n はそれぞれ独自の内部クロック発生源をもち、各 O N U 7 0 2 - n は自分の内部クロックに同期した位相でバースト信号を送信する。このため、O L T 7 0 1 は、O N U 7 0 2 - n からのバーストデータ信号 8 0 1 - n を受信する毎に、プリアンプル 8 0 2 - n 領域でデータ信号と位相の一致するクロックを再生するクロック再生回路を備えている。クロック再生回路がバーストデータの開始を検知してから、バーストデータ信号と位相の一致するクロックを再生するまでにかかる時間をビット同期時間と呼ぶ。

【0005】

ビット同期時間が長い O L T ではプリアンプル領域を長くとる必要がある。プリアンプル領域が長くなると、O N U 毎にバーストデータ信号を送信する P O N システムでは全通信量に占めるペイロードの割合が低下し、データ転送効率が低下する。このため、クロック再生回路は、短時間でビット同期が可能であることが要求される。

【0006】

また、クロック再生回路は、送信側にある O N U の内部クロック発生源が不可避免的に持つクロック周波数のゆっくりとしたゆらぎ、すなわちクロックワンダーに起因するバーストデータ信号の位相のゆらぎに追従して、再生クロック信号の位相を変化させる必要がある。

【0007】

ところで、O N U の内部クロック発生源が不可避免的にもつ高周波ジッタ、および、光ファイバ 7 0 3 及びカブラ 7 0 4 の信号周波数に依存する減衰特性による送信符号系列に依存する波形歪みが原因で、O L T 7 0 1 に入力される受信波形の立ち上がりエッジ時刻、および、立ち下がりエッジ時刻にはゆらぎ、すなわち高周波ジッタが存在する。クロック再生回路は、入力波形に存在する高周波ジッタをキャンセルして、ジッタの少ないクロックを再生すること、すなわち高い高周波ジッタ耐性を持つことが要求される。

【0008】

以上のように、P O N システム等のバースト伝送向けのクロック再生回路は、短いビッ

10

20

30

40

50

ト同期時間、クロックワンダー追従性能、高い高周波ジッタ耐性、という3つの要求を同時に満たす必要がある。

【0009】

図9は、特許文献1で開示されているクロック再生回路の構成図を簡略化したものである。位相差検出回路901は、入力データ信号101と再生クロック(内部クロック)102の位相差を検出し、再生クロック102の位相が入力データ信号101の位相よりも早い場合にはEARLY信号902を、遅い場合にはLATE信号903を出力する。平均化回路904は、入力されるEARLY信号902およびLATE信号903をカウントし、EARLY信号のカウント数がLATE信号のカウント数よりも多い場合にはDOWN信号906を、少ない場合にはUP信号905を出力する。クロック位相調整回路907は、外部から入力されたリファレンスクロック908の位相を変化させて再生クロック102として出力する。クロック位相調整回路907は、UP信号905が入力された場合には内部クロックの位相を早め、DOWN信号906が入力された場合には、内部クロックの位相を遅らせる。

10

【0010】

特許文献1で開示されているクロック再生回路は、位相差検出回路901で検出した入力データ信号101と再生クロック102の位相差を、平均化回路904で平均化した値に基づいて内部クロックの位相を調整する。このため、入力データ信号101に含まれる高周波ジッタは平均化されることでキャンセルされて再生クロック102には現れない。一方で、入力データ信号101に含まれる周波数の低いクロックワンダーは、平均化によって強調されるため、再生クロック102は、入力データ信号101のクロックワンダーに追従することができる。また、特許文献1で開示されているクロック再生回路は、クロック信号発生回路を内蔵することなく、外部から入力されたリファレンスクロック908の位相をクロック位相調整回路907で調整することで、再生クロック102の位相を調整している。このため、低ジッタのリファレンスクロック908を用いることで、再生クロックのジッタを減少させることが可能である。したがって、特許文献1で開示されているクロック再生回路は、バースト伝送向けクロック再生回路に求められる前記3つの要求のうち、クロックワンダー追従性能および高い高周波ジッタ耐性を満たす。

20

【0011】

ところが、特許文献1で開示されているクロック再生回路は、入力データ信号101と再生クロック102の位相差を一定期間、平均化した結果に基づいて、クロック位相を調整するため、入力データ信号101の位相と、再生クロック102の位相が同期するまでに長い時間が必要である。このため、特許文献1で開示されているクロック再生回路は、ビット同期時間が長いという問題がある。

30

【0012】

図10は、非特許文献1で開示されているクロック再生回路の構成図を簡略化したものである。内部クロック発生回路1001は、内部クロック周波数制御回路1002からの制御信号1003にしたがって、発生するクロックの周波数を調整する。このとき、内部クロック周波数制御回路1002は、入力データ信号101の符号周期と再生クロック102の周期を同期させるように制御信号1003を適切に調整する。一方、エッジ検出回路1004は、入力データ信号101の立ち上がりエッジ及び立ち下りエッジを検出し、そのタイミングで内部クロック位相リセット信号1005を出力する。内部クロック発生回路1001は、内部クロック位相リセット信号1005に同期して、発生するクロックの位相をリセットする。内部クロック発生回路1001は、典型的には、偶数個の可変遅延論理反転回路、および1つの否定論理積回路をリング状に接続した構造をしている。可変遅延論理反転回路の遅延時間を調整することで発生するクロック周波数の調整が可能である。また、内部クロック位相リセット信号1005を、否定論理積回路に入力することで、位相のリセット動作が可能である。

40

【0013】

非特許文献1で開示されているクロック再生回路によれば、入力データ信号101のエ

50

ッジのタイミングで再生クロック102の位相がリセットされるため、バースト伝送が開始してから最初の立ち上がりエッジで、入力されたバースト信号の位相に再生クロック102の位相を同期させることが可能である。また、再生クロックの位相が入力信号のエッジのタイミングでリセットされるため、入力データ信号101にクロックワンダーが存在している場合でも、再生クロックの位相は入力データ信号101の位相に追従することが可能である。したがって、非特許文献1で開示されているクロック再生回路は、バースト伝送向けクロック再生回路に求められる上記の3つの要求のうち、短いビット同期時間、クロックワンダー追従性能を満たす。

#### 【0014】

ところが、非特許文献1で開示されているクロック再生回路は、入力データ信号101のエッジのタイミングで直接内部クロック発生回路1001の位相をリセットするため、入力データ信号101に含まれる高周波ジッタが再生クロックにそのまま乗ってしまう。また、内部クロック発生回路1001をクロック再生回路に内蔵する必要があるため、回路規模や電力消費の制約から、ジッタの少ないクロック発生回路を構成することが難しい。このため、非特許文献1で開示されているクロックデータ発生回路は、高周波ジッタ耐性が低いという問題点がある。

【特許文献1】特開2004-180188号公報

【非特許文献1】マサフミ・ノガワ、外7名、「ア・10キガビット/秒・バーストモード・シーディーアール・アイシー・イン・0.13ミクロン・シームス(A 10Gb/s Burst-Mode CDR IC in 0.13 $\mu$ m CMOS)」、2005・アイトリプルイー・インターナショナル・ソリッドステート・サーキット・コンファレンス・ダイジェスト・オブ・テクニカル・ペーパーズ(2005 IEEE International Solid-State Circuits Conference Digest of Technical Papers)、2005年2月、p. 228-229

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0015】

前記のように、バースト伝送向けのクロック再生回路は、短いビット同期時間、クロックワンダー追従性能、高い高周波ジッタ耐性、という3つの要求を同時に満たす必要がある。しかしながら、特許文献1によるクロック再生回路は、クロックワンダー追従性能、および、高い高周波ジッタ耐性を備えるものの、ビット同期時間が長いという問題がある。一方で、非特許文献1によるクロック再生回路は、短いビット同期時間およびクロックワンダー追従性能を備えるものの、高周波ジッタ耐性は低いという問題がある。

#### 【0016】

前記のような従来技術の問題点に鑑みて、本発明の目的のひとつは、バースト伝送向けのクロック再生回路に要求される、短いビット同期時間、クロックワンダー追従性能、高い高周波ジッタ耐性、を同時に満たすクロック再生回路を提供することにある。

#### 【0017】

なお、本発明の前記ならびにそれ以外の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【課題を解決するための手段】

#### 【0018】

本願において開示される実施例のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

#### 【0019】

すなわち、代表的な実施例によるクロック再生回路は、主に通常の伝送時に使用する入力データ信号と再生クロックの位相差を平均化してクロック位相を調整する第1のフィードバックパスに加えて、バースト伝送開始時のみ動作して再生クロックの位相をすばやく変化させる第2のフィードバックパスを備えている。これにより、バースト伝送向けのクロック再生回路に要求される、短いビット同期時間、クロックワンダー追従性能、高い高周波ジッタ耐性、を同時に満たす。

10

20

30

40

50

## 【0020】

また、前記代表的な実施例によるクロック再生回路において、バースト伝送開始時に再生クロック位相を高速に変化させる第2のフィードバックパスが、通常動作にゆっくりとリセットされることを特徴とする。これにより、内部クロックの位相を高速に変化させる第2のフィードバックパスをリセットする必要がないため、バースト伝送とバースト伝送の間の時間間隔を短くすることが可能である。

## 【発明の効果】

## 【0021】

代表的な実施例によれば、短時間でビット同期ができ、かつ、クロックワンダー追従性能と、高いジッタ耐性をもつクロック再生回路が可能となる。

10

## 【発明を実施するための最良の形態】

## 【0022】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態によりこの発明が限定されるものではない。

## 【0023】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

20

## 【0024】

## （実施の形態1）

図1は、本発明の実施の形態1によるクロック再生回路において、その構成の一例を示すブロック図である。本実施の形態1によるクロック再生回路は、入力データ信号101を受けて、再生クロック102を出力する回路であり、位相差検出回路103（第1回路）と、平均化回路104（第2回路）と、リセット付サンプル/ホールド回路105（第3回路）と、再生クロック生成回路106（第4回路）と、を備えている。また、再生クロック生成回路106は、可変位相クロック生成回路113（第6回路）と、クロック位相調整回路（1）114（第7回路）と、を備えている。

30

## 【0025】

本実施の形態1のクロック再生回路は、例えば半導体集積回路とされ、周知の半導体製造技術によって1個の半導体チップ上に形成される。

## 【0026】

位相差検出回路103は、入力データ信号101と、再生クロック102との位相差を検出し、低速用位相差信号107と、高速用位相差信号108を出力する。典型的には低速用位相差信号107と、高速用位相差信号108は同じ信号であるが、後述するように、低速用位相差信号107と高速用位相差信号108を異なる信号とする構成も可能である。

40

## 【0027】

平均化回路104は、低速用位相差信号107をある一定期間毎に平均化処理を行って低速クロック位相制御信号109として出力する。平均化回路104は、典型的にはアナログあるいはデジタル処理によるローパスフィルタとして実装される。

## 【0028】

リセット付サンプル/ホールド回路105は、外部からバースト伝送の開始のタイミングで入力されるバースト伝送開始信号110に同期して、高速用位相差信号108をサンプリング/ホールドして、高速クロック位相調整信号112として出力する。リセット付サンプル/ホールド回路105は、外部からバースト伝送終了のタイミングで入力されるバースト伝送終了信号111に同期して、高速クロック位相調整信号112をゼロにリセ

50

ットする。

【0029】

再生クロック生成回路106は、低速クロック位相制御信号109の積分値と高速クロック位相調整信号112の和に相当する位相のクロックを生成する回路であり、典型的には、今回生成するクロックの位相を、前回生成したクロックの位相から、低速クロック位相制御信号109に指定された値だけ変化させたものとするのが可能な可変位相クロック生成回路113と、入力されたクロックの位相を高速クロック位相調整信号112で指定された値だけ変化させて出力するクロック位相調整回路(1)114と、の従続接続により実現されている。

【0030】

ここで、位相が周波数の積分値であることを考えると、可変位相クロック生成回路113は、低速クロック位相制御信号109に指定された値を周波数とするクロックを生成する回路とする構成が可能である。

【0031】

また、高速クロック位相調整信号112は、常に、入力データ信号101の符合周期以下の値である。したがって、クロック位相調整回路(1)114は、位相可変範囲に限りがない一方で回路構成が複雑になることが多い位相補間方式のクロック位相調整回路のみならず、位相可変範囲に制限がある一方で回路構成が簡単な可変遅延回路による構成とすることが可能である。

【0032】

本発明の実施の形態1によるクロック再生回路では、バースト伝送開始時には、サンプル/ホールド回路が動作して高速クロック位相調整信号112が大きく変化することで、再生クロック102の位相を短時間で入力データ信号101の位相に同期させることが可能である。バースト伝送中の再生クロック102の位相は、高速クロック位相調整信号112がリセット付サンプル/ホールド回路105によって一定に保たれるため入力データ信号101の高周波ジッタの影響を受けない一方で、平均化回路104によって平均化された低速クロック位相制御信号109にしたがって変化することで、入力データ信号101に存在するクロックワンダーに追随する。その後、バースト伝送終了のタイミングで高速クロック位相調整信号112がリセットされ、次のバースト伝送開始に備えて再生クロック102の位相をリセットする。

【0033】

以上のように、本発明の実施の形態1によるクロック再生回路は、PONシステム等のバースト伝送向けのクロック再生回路に求められる、短いビット同期時間、クロックワンダー追随性能、高い高周波ジッタ耐性、という3つの要求を同時に満たす。

【0034】

ここで、バースト伝送開始信号110は、外部から入力されるとしたが、バースト伝送開始のタイミングで入力データ信号101に特徴的に現れるパターンを検出する、あるいは、位相差検出回路103が出力する入力データ信号101と再生クロック102の位相差がある閾値以上になった瞬間をバースト伝送開始とする、などの手段によって内部で生成する構成も可能である。

【0035】

また、ここでは、バースト伝送終了信号111は、外部から入力されるとしたが、バースト伝送終了のタイミングで入力データ信号101に特徴的に現れるパターンを検出する、などの手段によって内部で生成する構成も可能である。

【0036】

また、クロック位相調整回路(1)114をクロック系に挿入するかわりに、高速クロック位相調整信号112にしたがって入力データ信号101を変化させる構成も可能である。

【0037】

図2に、再生クロック生成回路106の図1とは異なる構成の例を示した。図2に示し

10

20

30

40

50

た再生クロック生成回路106は、外部から入力されるリファレンスクロック203の位相を、低速クロック位相制御信号109、および、高速クロック位相調整信号112にしたがって変化させて、再生クロック102として出力する回路である。この再生クロック生成回路106は、低速クロック位相制御信号109の積分値を計算して低速クロック位相調整信号202として出力する積分回路201と、外部から入力されたリファレンスクロック203の位相を低速クロック位相調整信号202で指定された値だけ変化させて出力するクロック位相調整回路(2)204と、入力されたクロックの位相を高速クロック位相調整信号112で指定された値だけ変化させて出力するクロック位相調整回路(1)114と、を備えている。外部から入力されたリファレンスクロック203は、クロック位相調整回路(2)204およびクロック位相調整回路(1)114を通ることで位相が変化して、再生クロック102として出力される。図2に示した再生クロック生成回路106によれば、内部にクロック生成回路を備える必要がないので、低ジッタのリファレンスクロックを用いることで、低ジッタの再生クロックを得ることができ、クロック再生回路の高周波ジッタ耐性の向上が見込まれる。

10

20

30

40

50

**【0038】**

ここで、360°ごとに位相が1回転することから、積分回路201は、積分値が360°ごとにリセットされる飽和リセット付の積分回路とする構成も可能である。

**【0039】**

また、クロック位相調整回路(1)114とクロック位相調整回路(2)204の接続順序は任意であり、リファレンスクロック203をクロック位相調整回路(1)114に入力して位相を変化させた後、クロック位相調整回路(2)204に入力してさらに位相を変化させて再生クロック102とする、あるいは、リファレンスクロック203をクロック位相調整回路(2)204に入力して位相を変化させた後、クロック位相調整回路(1)114に入力してさらに位相を変化させて再生クロック102とする、のいずれの構成も可能である。

**【0040】**

また、高速クロック位相調整信号112は、常に、入力データ信号101の符合周期以下の値であるため、クロック位相調整回路(1)114は、位相可変範囲に限りがない一方で回路構成が複雑になることが多い位相補間方式のクロック位相調整回路のみならず、位相可変範囲に制限がある一方で回路構成が簡単な可変遅延回路による構成とすることが可能である。

**【0041】**

図3に位相差検出回路103の構成の一例を示した。図3に示した位相差検出回路103は、デジタル出力位相比較器301と、アナログ出力位相比較器302と、を備えている。デジタル出力位相比較器301は、典型的には、入力データ信号101と再生クロック102の位相を比較し、再生クロック102の位相が早すぎる場合には+1を、遅すぎる場合には-1を、低速用位相差信号107として出力するバングバング出力の位相比較器である。デジタル出力位相比較器301は、一般的なアレキサンダー方式位相比較回路、あるいは、特許文献1で開示されているアイトラッキング方式位相比較回路などの公知な手段によって構成可能である。低速用位相差信号107は、平均化回路104で平均化された後に、再生クロック生成回路106に入力されるため、バングバング出力にともなう量子化誤差の影響は小さい。図3に示した位相差検出回路103における構成のように、低速用位相差信号107がデジタル信号である場合には、図1の平均化回路104はデジタル処理によって平均化処理を行う回路とする構成が可能である。

**【0042】**

アナログ出力位相比較器302は、入力データ信号101と再生クロック102との位相差をアナログ値として出力する位相比較器である。アナログ出力位相比較器302は、一般的なホッジ方式位相比較回路などといった公知な手段によって構成可能である。

**【0043】**

図4に位相差検出回路103の別の構成の一例を示した。図4に示した位相差検出回路

103は、アナログ出力位比較器302の出力を、低速用位相差信号107および高速用位相差信号108の両方に出力している。図4に示した位相差検出回路103の構成のように、低速用位相差信号107がアナログ信号である場合には、図1の平均化回路104はアナログのローパスフィルタ回路とする構成が可能である。

#### 【0044】

(実施の形態2)

図5は、本発明の実施の形態2によるクロック再生回路において、その構成の一例を示すブロック図である。本実施の形態2によるクロック再生回路は、実施の形態1におけるリセット付サンプル/ホールド回路105をリーク付サンプル/ホールド回路501(第5回路)に置き換えた構成をしている。

10

#### 【0045】

リーク付サンプル/ホールド回路501は、外部からバースト伝送の開始のタイミングで入力されるバースト伝送開始信号110に同期して、高速用位相差信号108をサンプリング/ホールドして、高速クロック位相調整信号112として出力する。ただし、ホールド動作にはリークがあり、高速クロック位相調整信号112はゆっくりと初期値であるゼロに向かって変化する。このリークによる高速クロック位相調整信号112の変化の速度は、平均化回路104が出力する低速クロック位相制御信号109の変化(平均化回路104の動作速度)に比べて十分に遅い一方で、入力データ信号101の各バースト時間幅よりは短いものとする。

#### 【0046】

本発明の実施の形態2によるクロック再生回路では、バースト伝送開始時には、リーク付サンプル/ホールド回路501がサンプル/ホールド動作して高速クロック位相調整信号112が大きく変化することで、再生クロック102の位相を短時間で入力データ信号101の位相に同期させることが可能である。

20

#### 【0047】

バースト伝送中の再生クロック102の位相は、高速クロック位相調整信号112がリーク付サンプル/ホールド回路501によってほぼ一定に保たれるため入力データ信号101の高周波ジッタの影響を受けない。一方で、再生クロック102の位相が、平均化回路104によって平均化された低速クロック位相制御信号109にしたがって変化することで、入力データ信号101に存在するクロックワンダーに追随する。

30

#### 【0048】

このとき、リーク付サンプル/ホールド回路501のリーク動作による高速クロック位相調整信号112のゆっくりとした変化による再生クロック102の位相変化は、位相差検出回路103によって入力データ信号101と再生クロック102の位相差として検出され、平均化回路104が出力する低速クロック位相制御信号109が変化することによって吸収される。

#### 【0049】

以上のように、本発明の実施の形態2によるクロック再生回路は、PONシステム等のバースト伝送向けのクロック再生回路に求められる、短いビット同期時間、クロックワンダー追随性能、高い高周波ジッタ耐性、という3つの要求を同時に満たす。

40

#### 【0050】

また、本発明の実施の形態2によるクロック再生回路では、高速クロック位相調整信号112は、リーク付サンプル/ホールド回路501によって、各バースト伝送の伝送終了時にはすでにゼロにリセットされているため、バースト伝送終了時に、高速クロック位相調整信号112をリセットして、再生クロック102の位相を動かすために必要なリセット時間をとる必要がない。このため、バースト伝送と次のバースト伝送との間の休止時間を減らして、実効的な伝送効率を向上させる、あるいは、休止時間をなくしてバースト伝送を連続的に行う、といった伝送が可能である。

#### 【0051】

図6にリーク付サンプル/ホールド回路501の構成の一例を示す回路図を示した。図

50

6に示したリーク付サンプル/ホールド回路501は、高速用位相差信号108が電圧値として入力されて、高速クロック位相調整信号112を電圧値として出力する回路であり、スイッチ601と、容量602、抵抗603と、を備えている。スイッチ601は、高速用位相差信号108と出力との間を開閉するスイッチである。容量602と抵抗603は、出力とグランドとの間に並列に接続されている。

【0052】

スイッチ601は、短時間幅のパルス信号として入力されるバースト伝送開始信号110がオンである期間に閉じて導通し、容量602の両端電圧、すなわち高速クロック位相調整信号112は、高速用位相差信号108に等しくなる。その後、バースト伝送開始信号110がオフになると同時にスイッチ601が切断されるが、容量602によって高速クロック位相調整信号112の電圧は保存される。その後、容量602にチャージされている電荷が、抵抗603を通過して抜けていくため、高速クロック位相調整信号112の電圧は、ゆっくりとゼロに向かって変化することになる。

10

【0053】

図6に示したリーク付サンプル/ホールド回路501によれば、容量602と抵抗603の大きさを適切に調整することで、高速クロック位相調整信号112の変化速度を、平均化回路104が出力する低速クロック位相制御信号109の変化に比べて十分に遅い一方で、各バースト伝送の伝送時間よりは早くなるように設定することが可能である。

【0054】

なお、図6に示したリーク付サンプル/ホールド回路501では、容量602と抵抗603を回路図上に描いたが、回路素子が不可避免的にもつ寄生容量および寄生抵抗を利用することで、一般的なサンプル/ホールド回路の構成を用いて、リーク付サンプル/ホールド回路を構成することも可能である。

20

【0055】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0056】

本発明は通信インタフェースおよび高速シリアルインタフェースを用いたデータ伝送回路に属し、特にバースト伝送される入力データに重畳されているクロックを再生する必要がある伝送システム全てに対して広く適用可能である。

30

【図面の簡単な説明】

【0057】

【図1】本発明の実施の形態1によるクロック再生回路において、その構成の一例を示すブロック図である。

【図2】本発明の実施の形態1によるクロック再生回路において、再生クロック生成回路の別な構成の一例を示すブロック図である。

【図3】本発明の実施の形態1によるクロック再生回路において、位相差検出回路の詳細な構成の一例を示すブロック図である。

40

【図4】本発明の実施の形態1によるクロック再生回路において、位相差検出回路の別な構成の一例を示すブロック図である。

【図5】本発明の実施の形態2によるクロック再生回路において、その構成の一例を示すブロック図である。

【図6】本発明の実施の形態2によるクロック再生回路において、リーク付サンプル/ホールド回路の詳細な構成の一例を示す回路図である。

【図7】本発明の背景であるPONシステムにおいて、ネットワーク構成の一例を示す図である。

【図8】本発明の背景であるPONシステムにおいて、上りデータ送信の概念を示す図である。

50

【図9】本発明の前提として検討したクロック再生回路において、その一例を示すブロック図である。

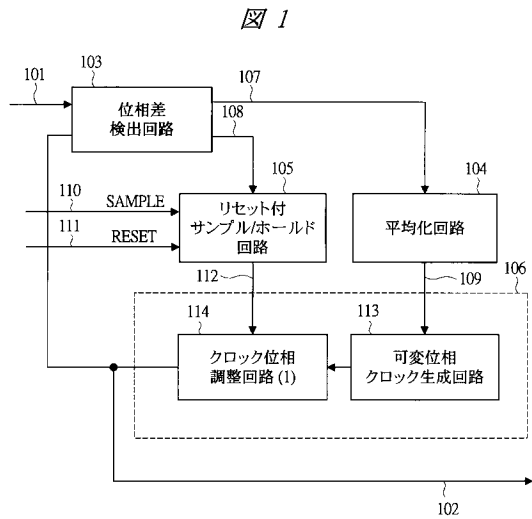
【図10】本発明の前提として検討したクロック再生回路において、その別の一例を示すブロック図である。

【符号の説明】

【0058】

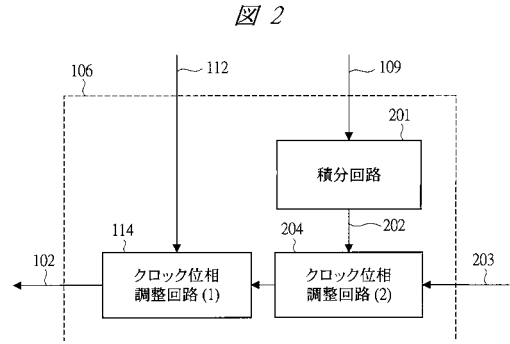
101	入力データ信号	
102	再生クロック	
103	位相差検出回路	
104	平均化回路	10
105	リセット付サンプル/ホールド回路	
106	再生クロック生成回路	
107	低速用位相差信号	
108	高速用位相差信号	
109	低速クロック位相制御信号	
110	バースト伝送開始信号	
111	バースト伝送終了信号	
112	高速クロック位相調整信号	
113	可変位相クロック生成回路	
114	クロック位相調整回路(1)	20
201	積分回路	
202	低速クロック位相調整信号	
203	リファレンスクロック	
204	クロック位相調整回路(2)	
301	デジタル出力位相比較器	
302	アナログ出力位相比較器	
501	リーク付サンプル/ホールド回路	
601	スイッチ	
602	容量	
603	抵抗	30
701	OLT (Optical Line Terminal)	
702	ONU (Optical Network Unit)	
703	光ファイバ	
704	カプラ	
801	バーストデータ信号	
802	プリアンプル	
803	ペイロード	
901	位相差検出回路	
902	EARLY信号	
903	LATE信号	40
904	平均化回路	
905	UP信号	
906	DOWN信号	
907	クロック位相調整回路	
908	リファレンスクロック	
1001	内部クロック発生回路	
1002	内部クロック周波数制御回路	
1003	制御信号	
1004	エッジ検出回路	
1005	内部クロック位相リセット信号	50

【 図 1 】



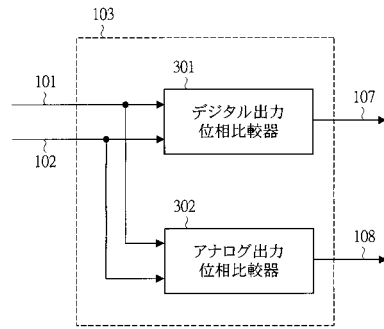
101 : 入力データ信号  
 102 : 再生クロック  
 106 : 再生クロック生成回路  
 110 : バースト伝送開始信号  
 111 : バースト伝送終了信号

【 図 2 】



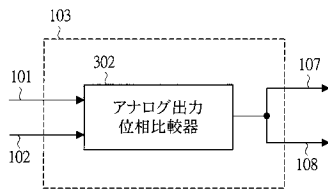
【 図 3 】

図 3



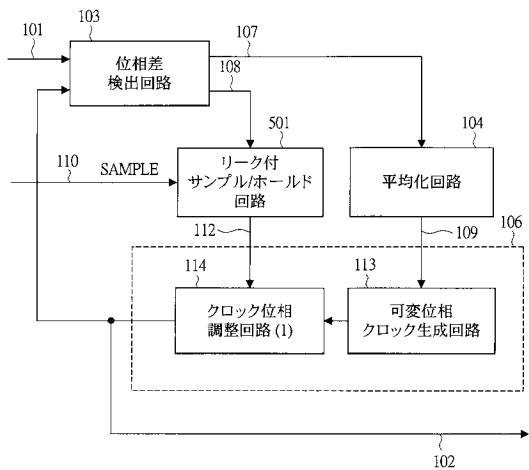
【 図 4 】

図 4



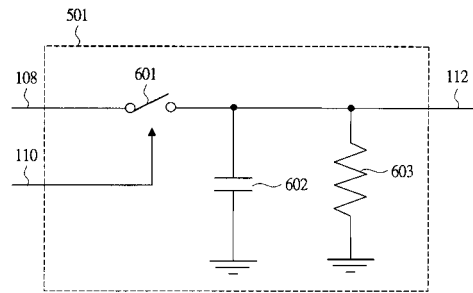
【 図 5 】

図 5



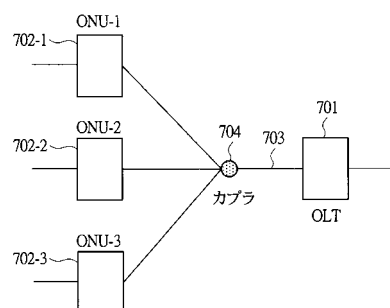
【 図 6 】

図 6

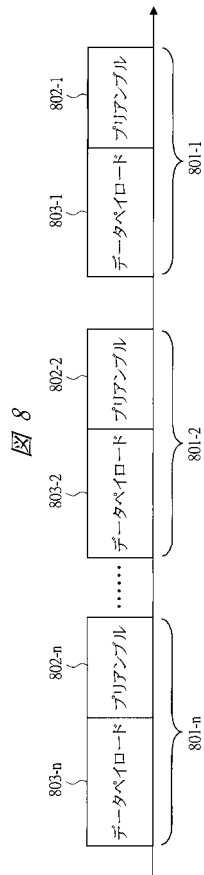


【 図 7 】

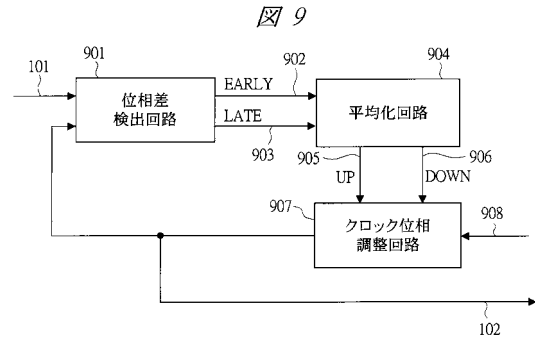
図 7



【 図 8 】



【 図 9 】



【 図 10 】

