



(12) 发明专利

(10) 授权公告号 CN 102859462 B

(45) 授权公告日 2014. 08. 20

(21) 申请号 201080066118. 4

代理人 王璐

(22) 申请日 2010. 12. 21

(51) Int. Cl.

(30) 优先权数据

G05F 3/02 (2006. 01)

12/799, 288 2010. 04. 21 US

G05F 3/20 (2006. 01)

(85) PCT国际申请进入国家阶段日

(56) 对比文件

2012. 10. 11

CN 1202039 A, 1998. 12. 16, 全文.

(86) PCT国际申请的申请数据

US 6281743 B1, 2001. 08. 28, 全文.

PCT/US2010/061421 2010. 12. 21

JP 2003338548 A, 2003. 11. 28, 全文.

(87) PCT国际申请的公布数据

CN 1672110 A, 2005. 09. 21, 全文.

W02011/133192 EN 2011. 10. 27

US 20080258959 A1, 2008. 10. 23, 全文.

CN 1940800 A, 2007. 04. 04, 全文.

(73) 专利权人 德州仪器公司

审查员 解鸿国

地址 美国得克萨斯州

(72) 发明人 迪米塔尔·T·特里福诺夫

杰丽·L·多尔雷恩博斯

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

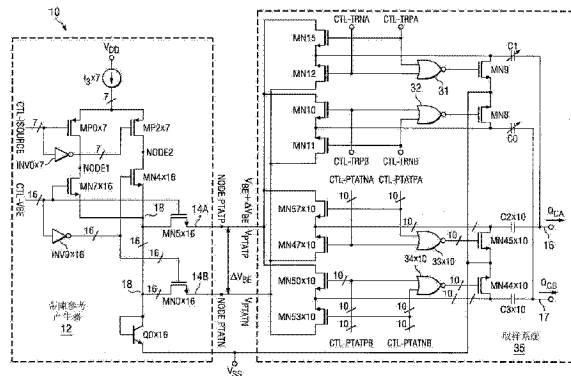
权利要求书3页 说明书15页 附图6页

(54) 发明名称

带隙电压参考电路和装置

(57) 摘要

一种用于产生带隙参考电压 (VREF) 的电路包含用于将第一电流供应到第一导体 (NODE1) 并将第二电流供应到第二导体 (NODE2) 的电路 (I3×7)。所述第一导体响应于数字信号 (CTL-VBE) 而分别连续地耦合到多个二极管 (Q0×16), 以致使所述第一电流连续地流入选定二极管中。所述第二导体耦合到当前未耦合到所述第一导体的所述二极管的集电极。所述二极管连续地耦合到所述第一导体, 以使得所述第一电流分别致使所述二极管在所述第一导体上产生相对大的 VBE 电压, 且所述第二电流致使未耦合到所述第一导体的若干组所述二极管在所述第二导体上产生相对小的 VBE 电压。所述相对大和相对小的 VBE 电压提供差分带隙电荷 (QCA-QCB), 所述差分带隙电荷经平均以提供稳定的带隙参考电压 (VREF)。



1. 一种带隙电压参考电路,其包括:

带隙参考产生器电路,其包含

电流源电路,其用于将第一电流供应到第一导体且将第二电流供应到第二导体,其中所述电流源电路包含多个单位电流源,每一者用于递送单位电流;

多个二极管,各自具有耦合到第一参考电压的阴极端子;

第一开关群组,其用于响应于第一数字控制信号而分别使所述第一导体选择性地耦合到所述二极管的阳极端子,以致使所述第一电流流入选定二极管中;

第二开关群组,其用于响应于所述第一数字控制信号而使所述第二导体选择性地耦合到未选择性地耦合到所述第一导体的所述二极管的阳极端子,以致使所述第二电流流入未选择性地耦合到所述第一导体的所述二极管中并在所述二极管之间共享,其中所述第一数字控制信号具有致使所述二极管连续地耦合到所述第一导体的值,以使得所述第一电流分别致使所述二极管在所述第一导体上产生对应的相对大的 V_{BE} 电压,且所述第二电流致使未耦合到所述第一导体的所述连续地耦合的二极管在所述第二导体上产生对应的相对小的 V_{BE} 电压,每一相对大的 V_{BE} 电压与对应的相对小的 V_{BE} 电压之间的差等于对应的 ΔV_{BE} 电压;

第三开关群组,其用于响应于第二数字控制信号而分别使所述第一导体选择性地耦合到所述单位电流源,从而产生所述第一电流;以及

第四开关群组,其用于响应于所述第二数字控制信号而使所述第二导体选择性地耦合到未选择性地耦合到所述第一导体的所述单位电流源,从而产生所述第二电流;

取样电路,其用于对所述相对大的 V_{BE} 电压与所述相对低的 V_{BE} 电压进行取样以产生差分带隙电荷;以及

平均电路,其通过所述取样电路的第一和第二输出导体而耦合,以接收所述差分带隙电荷,以用于对连续的差分带隙电荷求平均,从而提供稳定的带隙参考电压。

2. 根据权利要求 1 所述的带隙电压参考电路,其包含开关控制器以用于产生所述第一数字控制信号。

3. 根据权利要求 1 所述的带隙电压参考电路,其中每一二极管是 NPN 二极管连接的晶体管;每一阳极端子包含二极管连接的晶体管的集电极;每一阴极端子包含二极管连接的晶体管的发射极;所述二极管连接的晶体管中的每一者是单位晶体管。

4. 根据权利要求 3 所述的带隙电压参考电路,其中第三导体耦合到所述第一群组的所述开关、所述第二群组的所述开关、第五群组的开关和第六群组的开关;所述第五群组的所述开关响应于所述第一数字控制信号而使第四导体耦合到所述第三导体,以避免跨越所述第一群组的所述开关的电压降误差;且所述第六群组的所述开关响应于所述第一数字控制信号而使第五导体耦合到所述第三导体,以避免跨越所述第二群组的所述开关的电压降误差。

5. 根据权利要求 4 所述的带隙电压参考电路,其中开关控制器产生所述第二数字控制信号,以使得所述单位电流源连续地耦合到所述第二导体,以在所述第二导体上产生所述相对小的 V_{BE} 电压,以使得未耦合到所述第二导体的所述单位电流源在所述第一导体上产生所述相对大的 V_{BE} 电压,进而产生所述 ΔV_{BE} 电压。

6. 根据权利要求 5 所述的带隙电压参考电路,其中所述取样电路包含第一取样电容器

群组和第二取样电容器群组,以用于对所述相对大的 V_{BE} 电压和所述相对小的 V_{BE} 电压进行取样,从而产生第一输出电荷和第二输出电荷,所述第一和第二输出电荷分别被作为输入施加到所述平均电路,对应的第一和第二输出电荷之间的差等于所述差分带隙电荷。

7. 根据权利要求 3 所述的带隙电压参考电路,其中所述晶体管是单位晶体管,且单位晶体管的数目等于 16。

8. 根据权利要求 7 所述的带隙电压参考电路,其中所述晶体管是单位晶体管,且单位晶体管的所述数目等于 16,且其中单位电流源的数目等于 7。

9. 根据权利要求 6 所述的带隙电压参考电路,其中所述开关控制器产生多个数字控制信号以作为对耦合到所述第一和第二取样电容器群组的所述取样电容器的各个开关的控制输入,以针对所述相对大的 V_{BE} 电压和所述相对小的 V_{BE} 电压的每一取样而旋转所述第一和第二取样电容器群组中的每一者中的取样电容器预定次数。

10. 根据权利要求 6 所述的带隙电压参考电路,其中所述取样电路包含第一微调电容器,所述第一微调电容器响应于第一数字微调信号而通过第一开关耦合到所述第四导体,且还响应于第二数字微调信号而通过第二开关耦合到所述第五导体,且其中所述取样电路还包含第二微调电容器,所述第二微调电容器响应于第三数字微调信号而通过第三开关耦合到所述第四导体,且还响应于第四数字微调信号而通过第四开关耦合到所述第五导体。

11. 根据权利要求 6 所述的带隙电压参考电路,其包含曲率校正电路,所述曲率校正电路经耦合以在所述取样电路的所述第一和第二输出导体中产生曲率校正电荷,以校正所述差分带隙电荷中的曲率。

12. 根据权利要求 4 所述的带隙电压参考电路,其中所述带隙参考产生器电路包含:

第一反相器群组,每一反相器具有耦合到所述第一数字控制信号的输入和耦合到所述第二和第六群组的对应开关的控制端子的输出,且所述第一数字控制信号直接耦合到所述第一和第五群组的对应开关的控制端子;以及

第二反相器群组,每一反相器具有耦合到所述第二数字控制信号的输入和耦合到所述第四群组的对应开关的控制端子的输出,且所述第二数字控制信号直接耦合到所述第三群组的开关的控制端子。

13. 根据权利要求 4 所述的带隙电压参考电路,其中来自所述第一、第二、第三、第四、第五和第六开关群组的开关是晶体管。

14. 根据权利要求 13 所述的带隙电压参考电路,其中所述第一、第二、第五和第六群组的所述晶体管是 N 沟道晶体管,且所述第三和第四群组的所述晶体管是 P 沟道晶体管。

15. 一种装置,包括:

控制电路,其配置为提供第一和第二控制信号;

带隙参考电路,其具有:

第一节点;

第二节点;

第三节点;

第四节点;

多个单位电流源;

第一组开关,其中来自所述第一组开关中的每一个开关耦合在至少一个所述单位电流

源和所述第一节点之间,并且其中来自所述第一组开关中的每一个开关由所述第一控制信号所控制;

第二组开关,其中来自所述第二组开关中的每一个开关耦合在至少一个所述单位电流源和所述第二节点之间,并且其中来自所述第二组开关中的每一个开关由所述第一控制信号所控制;

第一组开关电路,其各自并联耦合在所述第一节点和第四节点之间,其中来自所述第一组开关电路中的每一个开关电路由所述第二控制信号所控制;

第二组开关电路,其各自并联耦合在所述第二节点和第四节点之间,其中来自所述第二组开关电路中的每一个开关电路由所述第二控制信号所控制;以及

多个双极晶体管,其中每一个双极晶体管是二极管连接的,并且其中每一个双极晶体管耦合到至少一个来自所述第一组开关电路中的开关电路,并且其中每一个双极晶体管耦合到至少一个来自所述第二组开关电路中的开关电路;

取样电路,其耦合到所述第三和第四节点;以及

平均电路,其耦合到所述取样电路。

16. 如权利要求 15 所述的装置,其中来自所述第一组开关电路的每一个开关电路还包括:

第五节点,其耦合到至少一个所述双极晶体管;

第一晶体管,其耦合到所述第一和第五节点之间;

第二晶体管,其耦合到所述第五和第四节点之间。

17. 如权利要求 16 所述的装置,其中来自所述第二组开关电路的每一个开关电路还包括:

反相器,其配置为接收至少所述第二控制信号的一部分;

第六节点,其耦合到至少一个所述双极晶体管;

第三晶体管,其耦合到所述第二和第六节点之间,并且耦合到所述反相器;

第四晶体管,其耦合到所述第六和第三节点之间,并且耦合到所述反相器。

18. 如权利要求 17 所述的装置,其中所述反相器还包括第一反相器,并且其中来自所述第一组开关的每一个开关还包括第五晶体管,并且其中来自所述第二组开关的每一个开关还包括:

第二反相器,其配置为接收至少所述第一控制信号的一部分;

第六晶体管,其耦合到所述第二节点和第二反相器。

19. 如权利要求 18 所述的装置,其中所述装置还包括曲率校正电路,其耦合到所述取样电路和所述平均电路。

20. 如权利要求 19 所述的装置,其中所述平均电路是积分器。

带隙电压参考电路和装置

技术领域

[0001] 本发明大体上涉及带隙参考电压电路。

背景技术

[0002] 图 1A 展示常规的带隙电压参考电路 1, 带隙电压参考电路 1 包含放大器 4, 放大器 4 的 (+) 输入连接到电阻器 R1 的一个端子与二极管连接的 NPN 晶体管 Q5 的基极和集电极之间的结 2。类似地, 放大器 4 的 (-) 输入连接到电阻器 R2 的一个端子与电阻器 R3 的一个端子之间的结 3。电阻器 R3 的另一端子连接到二极管连接的 NPN 晶体管 Q4 的基极和集电极。电阻器 R1 和 R2 的上部端子通过导体 5 连接到放大器 4 的输出, 在所述输出上产生参考电压 V_{REF} 。晶体管 Q4 和 Q5 的发射极连接到供应电压 V_{SS} 。

[0003] 例如图 1A 中所示的常规的带隙参考电路一般具有以下严重问题: 所产生的参考电压 V_{REF} 的热漂移的较差的长期稳定性和较宽的芯片间变化。常规的带隙参考电路通常提供用以调整“磁值”的微调能力, 所述“磁值”是硅的实际带隙电压 V_{BG} , 且通常为 1.2 伏。所产生的参考电压 V_{REF} 是 V_{BE} 电压 (基极 - 发射极电压) 与 ΔV_{BE} 电压的总和, 所述 V_{BE} 电压是与绝对温度成反比的 CTAT 电压, 且所述 ΔV_{BE} 电压是与绝对温度成正比的 PTAT 电压 (与绝对温度成比例) 电压。所述 ΔV_{BE} 电压是由于以下操作而产生: (1) 迫使等同的电流流经经缩放的二极管连接的双极晶体管 Q4 和 Q5, 所述经缩放的二极管连接的双极晶体管 Q4 和 Q5 例如具有以 1 比 8 的比率缩放的发射极区域, (2) 迫使经缩放的电流穿过等同的二极管连接的双极晶体管 Q4 和 Q5, 或 (3) 前述方法 (1) 和 (2) 两者的组合。

[0004] 对于最实际的情况, ΔV_{BE} 电压小于 V_{BE} 电压, 且需要通过显著大的因子进行放大, 通常约 6 到 20, 其取决于两个晶体管和流过所述两个晶体管的发射极电流被缩放的方式。通过额外的电路 (例如, 图 1A 中的放大器 4 和电阻器 R1、R2 和 R3) 来执行对两个分量 V_{BE} 和 ΔV_{BE} 的放大和相加。由放大器 4 产生的输出电压是 $V_{REF} = V_{BE} + N \times \Delta V_{BE}$, 其中 N 是增益因子。可从前述等式认识到, 图 1A 中的带隙参考电路 1 对随机原因具有高敏感性, 所述随机原因例如是组件失配、各种半导体芯片材料缺陷、温度变化、长期输入偏移电压漂移、集成电路芯片中的机械应力, 以及施加到芯片的封装应力。

[0005] 因为图 1A 中的带隙参考电路 1 使用经缩放的组件来产生必需的 ΔV_{BE} 电压, 所以出现对随机失配的高敏感性。举例来说, 晶体管 Q5 的发射极区域可比晶体管 Q4 的发射极区域小 8 倍, 且所述发射极区域主要决定了带隙参考电路 1 对以上提及的随机原因的总体敏感性。如果利用了包含电阻器 R1 和电阻器 R2 以及 R3 的经缩放的电流源, 那么具有较低电阻的一个电阻器 (即, 电阻器 R3) 实质上影响了 V_{REF} 对随机失配的敏感性。随机误差的支配源的变化影响了 ΔV_{BE} 电压的值, 将所述值乘以以上提及的增益因子 N 以确定所产生的参考电压 V_{REF} 。放大器 4 的输入偏移电压和漂移通过其增益进行放大, 且因此增加了所产生的参考电压 V_{REF} 的芯片间可变性。支配了 V_{REF} 对随机失配的敏感性的相同小区域组件 (即, Q5) 也对其上形成了电路的硅芯片的背部研磨应力和封装级应力敏感。

[0006] 带隙参考电路 1 难以优化, 因为尽管晶体管 Q4 和 Q5 的发射极区域和发射极电流

密度的比率的减小导致了更好的组件匹配,但此减小也减小了 ΔV_{BE} 电压的值,因此,需要较高的放大器增益。这种情况归因于“上涨了的”输入偏移电压和放大器 4 的偏移电压的相关联的漂移而遗憾地导致了所产生的参考电压 V_{REF} 的较高的变化,且因此导致了所产生的参考电压 V_{REF} 中的较高的噪声。

[0007] 如上文所指示,大晶体管 Q4 和小晶体管 Q5 的发射极区域经缩放以便产生跨越电阻器 R3 的 PTAT 电压,且仅晶体管 Q5 的较小的发射极区域主要决定了随机的芯片间变化 V_{REF} 。举例来说,如果晶体管 Q4 和 Q5 的发射极区域的比率是 24,那么晶体管 Q5 可为具有一个“最小单位”发射极区域的单一“单位晶体管”,且较大的晶体管 Q4 可由具有总共 24 个单位发射极区域的 24 个并联连接的单位晶体管构成。那意味着仅单一小晶体管 Q5 的发射极区域中的随机芯片间变化(而不是所有单位晶体管的阵列的整个区域)直接导致了由图 1A 的带隙电压参考电路产生的输出带隙电压中的对应的随机芯片间变化。(如果在一系列中存在多个元件或装置,那么相对于个别元件或装置的参数的随机变化的阵列参数的总变化显著低于所述阵列的任何单一元件或装置的参数变化。举例来说,在图 1A 中,小区域单位晶体管 Q5 的发射极区域比大区域晶体管 Q4 的发射极区域的变化得大得多,因为晶体管 Q4 具有大量小区域单位晶体管的平均特性。于是出现了问题,即,为了产生 ΔV_{BE} 电压,必须使用大区域晶体管和小区域晶体管两者。但随机变化不大取决于大区域晶体管 Q4,而是主要取决于单一小区域单位晶体管 Q5,且因此不存在最佳地减小单一小区域单位晶体管的影响的方式。)运算放大器 4 通常具有约 10 的增益,且此导致其输入偏移电压和所述输入偏移电压的漂移乘以那个增益。上涨了的输入偏移电压经受随机芯片间变化,且因此对所产生的参考电压 V_{REF} 的随机变化产生显著影响。

[0008] 图 1B 是标题为“具有较低的积分器摆动和低复杂性的集成的 SAR ADC 和方法 (Integrating SAR ADC and Method with Low Integrator Swing and Low Complexity)”的美国专利 7,511,648 的图 6 的复制图。图 1B 展示并描述了已知的带隙电压参考电路的结构和操作,所述带隙电压参考电路包含与图 1A 的带隙参考电路类似的基本的带隙参考电路以及积分器 30 和比较器 22。积分器 30 与输入取样电容器 C0 和 C1 以及相关联的取样开关 SW1 和 SW2 一起工作。比较器 22 控制积分的方向。

[0009] 图 1C 是标题为“混合 Δ - Σ /SAR 模/数转换器及其使用方法 (Hybrid Delta-Sigma/SAR Analog to Digital Converter and Methods for Using Such)”的美国专利 7,504,977 的图 3a 的复制图。图 1C 展示了与图 1B 中的开关电路类似的已知开关电路,包含运算放大器 412 和比较器 414。比较器 414 控制施加到运算放大器 412 的输入的进行取样的带隙参考电压值的积分方向。

[0010] 已知各种动态元件匹配技术,其中集成电路芯片中的例如电流源、电阻器或电容器等各种匹配的电路元件“旋转”或连续地连接到特定电路中,以便实际上提供匹配的电路元件的各种参数的平均值。这使包含这些匹配的电路元件的电路对所述电路元件的各种参数中的随机变化的敏感性最小化。具体来说,已在温度感测集成电路中利用连接到一对等同的二极管连接的晶体管中的每一者的多个电流源的动态元件匹配,以减小其基极-发射极电压之间的差电压 ΔV_{BE} 的敏感性,从而减小其集电极电流中的随机失配。而且,已在以上提及的温度感测电路中使用取样电容器的动态元件匹配,以减小温度感测电路对取样电容器中的随机失配的敏感性。

[0011] 然而,尽管动态元件匹配技术广泛用于许多应用中,然而,这些技术在许多应用中不适合,因为动态元件匹配通常涉及高度复杂、非常昂贵的电路、缓慢的电路操作,以及应付起来非常困难且代价高的波纹信号或音调的产生。用于带隙电压参考电路的各种“曲率校正”电路和技术是已知的。

[0012] 因此需要解决以上问题并且实质上减小由此产生的带隙参考电压中的随机芯片间变化的带隙参考电压电路。

发明内容

[0013] 简要描述,且根据一个实施例,本发明提供一种用于产生带隙参考电压 (V_{REF}) 的电路,所述电路包含用于将第一电流供应到第一导体 (NODE1) 并将第二电流供应到第二导体 (NODE2) 的电路 ($I_3 \times 7$)。所述第一导体响应于数字信号 (CTL-VBE) 而分别连续地耦合到多个二极管 ($Q0 \times 16$),以致使第一电流连续地流入选定二极管中。第二导体耦合到二极管,所述二极管当前未耦合到第一导体。所述二极管连续地耦合到第一导体,以使得分别地,第一电流在第一导体上产生相对大的 V_{BE} 电压,且第二电流致使未耦合到第一导体的二极管在第二导体上产生相对小的 V_{BE} 电压。所述相对大和相对小的 V_{BE} 电压提供了差分带隙电荷 ($Q_{CA} - Q_{CB}$),所述差分带隙电荷经平均以提供稳定的带隙参考电压 (V_{REF})。

[0014] 在一个实施例中,本发明提供一种包含带隙参考产生器电路 (12) 的带隙电压参考电路 (10),带隙参考产生器电路 (12) 包含用于将第一电流供应到第一导体 (NODE1) 并将第二电流供应到第二导体 (NODE2) 的电流源电路 ($I_3 \times 7$)。多个二极管 ($Q0 \times 16$) 各自具有耦合到第一参考电压 (V_{SS}) 的阴极端子。第一开关群组 ($MN7 \times 16$) 响应于第一数字控制信号 (CTL-VBE) 而分别使第一导体 (NODE1) 选择性地耦合到二极管 ($Q0 \times 16$) 的阳极端子,以致使第一电流流入选定二极管 ($Q0$) 中。第二开关群组 ($MN4 \times 16$) 响应于第一数字控制信号 (CTL-VBE) 而使第二导体 (NODE2) 选择性地耦合到未选择性地耦合到第一导体 (NODE1) 的二极管 ($Q0 \times 16$) 的阳极端子,以致使第二电流流入未选择性地耦合到第一导体 (NODE1) 的二极管 ($Q0 \times 16$) 中并在其间共享。第一控制信号 (CTL-VBE) 具有若干值,所述值致使二极管 ($Q0 \times 16$) 连续地耦合到第一导体 (NODE1),以使得第一电流分别致使二极管 ($Q0 \times 16$) 在第一导体 (NODE1) 上产生对应的相对大的 V_{BE} 电压 (V_{PTATP}),且第二电流致使未耦合到第一导体 (NODE1) 的连续地耦合的二极管 ($Q0 \times 16$) 在第二导体 (NODE2) 上产生对应的相对小的 V_{BE} 电压 (V_{PTATN})。每一相对大的 V_{BE} 电压与对应的相对小的 V_{BE} 电压之间的差等于对应的 ΔV_{BE} 电压。用于对相对大的 V_{BE} 电压 (V_{PTATP}) 与相对低的 V_{BE} 电压 (V_{PTATN}) 进行取样的取样电路 (35) 操作以产生差分带隙电荷 ($Q_{CA} - Q_{CB}$)。通过取样电路 (35) 的第一 (16) 和第二 (17) 输出导体而耦合的平均电路 (30) 接收差分带隙电荷 ($Q_{CA} - Q_{CB}$),且操作以对连续的差分带隙电荷 ($Q_{CA} - Q_{CB}$) 求平均,以提供稳定的带隙参考电压 (V_{REF})。在所描述的实施例中,开关控制器 (20) 产生第一控制信号 (CTL-VBE)。

[0015] 在一个实施例中,每一二极管是 NPN 二极管连接的晶体管。每一阳极端子包含二极管连接的晶体管的集电极,且每一阴极端子包含二极管连接的晶体管的发射极。电流源电路包含多个单位电流源 ($I_3 \times 7$),每一者递送单位电流 (I_3),且二极管连接的晶体管 ($Q0 \times 16$) 中的每一者是单位晶体管 ($Q0$)。带隙电压参考产生器电路 (12) 包含第三开关群组 ($MP0 \times 7$),以用于响应于第二数字控制信号 (CTL-ISOURCE) 而分别使第一导体

(NODE1) 选择性地耦合到单位电流源 ($I_3 \times 7$), 从而产生第一电流, 且还包含第四开关群组 ($MP2 \times 7$), 以用于响应于第二数字控制信号 (CTL-ISOURCE) 而使第二导体 (NODE2) 选择性地耦合到未选择性地耦合到第一导体 (NODE1) 的单位电流源 ($I_3 \times 7$), 从而产生第二电流。第三导体 (18) 耦合到第一群组的开关 ($MN7 \times 16$)、第二群组的开关 ($MN4 \times 16$)、第五群组的开关 ($MN5 \times 16$) 和第六群组的开关 ($MN0 \times 16$)。第五群组的开关 ($MN5 \times 16$) 响应于第一数字控制信号 (CTL-VBE) 而使第四导体 (NODE PTATP) 耦合到第三导体 (18), 以避免跨越第一群组 ($MN7 \times 16$) 的晶体管的电压降误差, 且第六群组的开关 ($MN0 \times 16$) 响应于第一数字控制信号 (CTL-VBE) 而使第五导体 (NODE PTATN) 耦合到第三导体 (18), 以避免跨越第二群组 ($MN4 \times 16$) 的晶体管的电压降误差。

[0016] 在所描述的实施例中, 开关控制器 (20) 产生第二数字控制信号 (CTL-ISOURCE), 以使得单位电流源 ($I_3 \times 7$) 连续地耦合到第二导体 (NODE2), 以在第二导体 (NODE2) 上产生相对小的 V_{BE} 电压, 以使得未耦合到第二导体 (NODE2) 的单位电流源 ($I_3 \times 7$) 在第一导体 (NODE1) 上产生相对大的 V_{BE} 电压, 进而产生 ΔV_{BE} 电压。

[0017] 在所描述的实施例中, 取样电路 (35) 包含第一取样电容器群组 ($C2 \times 10$) 和第二取样电容器群组 ($C3 \times 10$), 以用于对相对大的 V_{BE} 电压 (V_{PTATP}) 和相对小的 V_{BE} 电压 (V_{PTATN}) 进行取样, 从而产生第一输出电荷 (Q_{CA}) 和第二输出电荷 (Q_{CB})。第一 (Q_{CA}) 和第二 (Q_{CB}) 输出电荷分别被作为输入施加到平均电路 (30), 对应的第一 (Q_{CA}) 和第二 (Q_{CB}) 输出电荷之间的差等于差分带隙电荷 ($Q_{CA} - Q_{CB}$)。

[0018] 在一个实施例中, 晶体管是单位晶体管 ($Q0$), 且单位晶体管 ($Q0 \times 16$) 的数目 (N) 等于 16。在一个实施例中, 晶体管是单位晶体管 ($Q0$), 且单位晶体管 ($Q0 \times 16$) 的数目 (N) 等于 16, 且单位电流源 ($I_3 \times 7$) 的数目 (M) 等于 7。

[0019] 在一个实施例中, 开关控制器 (20) 产生多个数字控制信号以作为对耦合到第一 ($C2 \times 10$) 和第二 ($C3 \times 10$) 取样电容器群组的取样电容器的各个开关的控制输入, 以针对相对大的 V_{BE} 电压 (V_{PTATP}) 和相对小的 V_{BE} 电压 (V_{PTATN}) 的每一取样而旋转第一 ($C2 \times 10$) 和第二 ($C3 \times 10$) 取样电容器群组中的每一者中的取样电容器预定次数 ($L = 5$)。

[0020] 在一个实施例中, 取样电路 (35) 包含第一微调电容器 ($C1$), 第一微调电容器 ($C1$) 响应于第一数字微调信号 (CTL-TRPA) 而通过第一开关 ($MN15$) 耦合到第四导体 (NODEPTATP), 且还响应于第二数字微调信号 (CTL-TRNA) 而通过第二开关 ($MN12$) 耦合到第五导体 (NODE PTATN)。取样电路 (35) 还包含第二微调电容器 ($C0$), 第二微调电容器 ($C0$) 响应于第三数字微调信号 (CTL-TRPB) 而通过第三开关 ($MN10$) 耦合到第四导体 (NODEPTATP), 且还响应于第四数字微调信号 (CTL-TRNB) 而通过第四开关 ($MN11$) 耦合到第五导体 (NODE PTATN)。

[0021] 在一个实施例中, 曲率校正电路 (42) 经耦合以在取样电路 (35) 的第一 (16) 和第二 (17) 输出导体中产生曲率校正电荷, 以校正差分带隙电荷 ($Q_{CA} - Q_{CB}$) 中的曲率。

[0022] 在一个实施例中, 带隙参考产生器电路 (12) 包含第一反相器群组 ($INV9 \times 16$), 每一反相器具有耦合到第一数字控制信号 (CTL-VBE) 的输入和耦合到第二 ($MN4 \times 16$) 和第六 ($MN0 \times 16$) 群组的对应开关的控制端子的输出, 所述第一数字控制信号 (CTL-VBE) 直接耦合到第一 ($MN7 \times 16$) 和第五 ($MN5 \times 16$) 群组的对应开关的控制端子。带隙参考产生器电路 (12) 还包含第二反相器群组 ($INV0 \times 7$), 每一者具有耦合到第二数字控制信号

(CTL-ISOURCE) 的输入和耦合到第四群组 (MP2×7) 的对应开关的控制端子的输出, 所述第二数字控制信号 (CTL-ISOURCE) 直接耦合到第三群组 (MP0×7) 的开关的控制端子。

[0023] 在一个实施例中, 本发明提供一种用于产生带隙参考电压 (V_{REF}) 的方法, 所述方法包含: 将第一电流供应到第一导体 (NODE1) 并将第二电流供应到第二导体 (NODE2); 分别响应于第一数字控制信号 (CTL-VBE) 的连续值, 连续地将第一导体 (NODE1) 耦合到多个二极管 ($Q0 \times 16$) 的阳极端子, 以致使第一电流分别连续地流入二极管 ($Q0$) 中; 分别响应于第一数字控制信号 (CTL-VBE) 的连续值, 连续地将第二导体 (NODE2) 耦合到未选择性地耦合到第一导体 (NODE1) 的二极管 ($Q0 \times 16$) 的连续群组的阳极端子, 以致使第二电流分别流入所述群组中的每一者的二极管 ($Q0 \times 16$) 中并在其间共享; 其中第一电流致使二极管 ($Q0 \times 16$) 分别连续地在第一导体 (NODE1) 上产生对应的相对大的 V_{BE} 电压 (V_{PTATP}), 且第二电流致使未选择性地耦合到第一导体 (NODE1) 的二极管 ($Q0 \times 16$) 的连续群组连续地在第二导体 (NODE2) 上产生对应的相对小的 V_{BE} 电压 (V_{PTATN}), 每一相对大的 V_{BE} 电压与对应的相对小的 V_{BE} 电压之间的差等于对应的 ΔV_{BE} 电压; 对相对大的 V_{BE} 电压 (V_{PTATP}) 和相对低的 V_{BE} 电压 (V_{PTATN}) 进行连续取样, 以产生对应的差分带隙电荷 ($Q_{CA} - Q_{CB}$); 以及对连续的差分带隙电荷 ($Q_{CA} - Q_{CB}$) 求平均, 以提供稳定的带隙参考电压 (V_{REF})。

[0024] 在一个实施例中, 每一二极管是 NPN 二极管连接的晶体管, 且每一阳极端子包含二极管连接的晶体管的集电极, 且每一阴极端子包含二极管连接的晶体管的发射极, 且二极管连接的晶体管 ($Q0 \times 16$) 中的每一者是单位晶体管 ($Q0$), 其中所述方法包含分别响应于第二数字控制信号 (CTL-ISOURCE) 的连续值而连续地将第一导体 (NODE1) 耦合到多个单位电流源 ($I_3 \times 7$), 以产生第一电流, 且其中所述方法还包含响应于第二数字控制信号 (CTL-ISOURCE) 的连续值而连续地将第二导体 (NODE2) 耦合到未选择性地耦合到第一导体 (NODE1) 的单位电流源 ($I_3 \times 7$), 以产生第二电流。

[0025] 在一个实施例中, 所述方法包含操作开关控制器 (20) 以产生第一 (CTL-VBE) 和第二 (CTL-ISOURCE) 数字控制信号, 以使得单位电流源 ($I_3 \times 7$) 连续地耦合到第二导体 (NODE2), 以在第二导体 (NODE2) 上产生相对小的 V_{BE} 电压, 且使得未耦合到第二导体 (NODE2) 的单位电流源 ($I_3 \times 7$) 在第一导体 (NODE1) 上产生相对大的 V_{BE} 电压, 进而产生 ΔV_{BE} 电压。

[0026] 在一个实施例中, 所述方法包含操作取样电路 (35) 以连续地接收对应的相对大的 V_{BE} 电压 (V_{PTATP}) 和相对小的 V_{BE} 电压 (V_{PTATN}), 从而产生对应的差分带隙电荷 ($Q_{CA} - Q_{CB}$) 的连续值, 其中开关控制器 (20) 产生多个数字控制信号以作为输入来控制耦合到第一 ($C2 \times 10$) 和第二 ($C3 \times 10$) 取样电容器群组的各个开关, 以便针对相对大的 V_{BE} 电压 (V_{PTATP}) 和相对小的 V_{BE} 电压 (V_{PTATN}) 的每一值的每一取样而旋转第一群组的取样电容器 ($C2 \times 10$) 预定次数 ($L = 5$), 以便针对相对大的 V_{BE} 电压 (V_{PTATP}) 和相对小的 V_{BE} 电压 (V_{PTATN}) 的每一值的每一取样而旋转第二群组的取样电容器 ($C3 \times 10$) 预定次数 ($L = 5$)。

[0027] 在一个实施例中, 本发明提供一种用于产生带隙参考电压 (V_{REF}) 的电路, 所述电路包含: 用于将第一电流供应到第一导体 (NODE1) 并将第二电流供应到第二导体 (NODE2) 的构件 ($I_3 \times 7$); 用于分别响应于第一数字控制信号 (CTL-VBE) 而连续地将第一导体 (NODE1) 耦合到多个双极二极管连接的晶体管 ($Q0 \times 16$) 的集电极以致使所述第一电流连续地流入选定的二极管连接的晶体管 ($Q0$) 中的构件 ($MN7 \times 16$); 用于响应于第一数字控制信号

(CTL-VBE) 而连续地将第二导体 (NODE2) 耦合到当前未选择性地耦合到第一导体 (NODE1) 的二极管连接的晶体管 ($Q0 \times 16$) 的集电极以致使所述第二电流流入未选择性地耦合到所述第一导体 (NODE1) 的晶体管 ($Q0 \times 16$) 中并在其间共享的构件 ($MN4 \times 16$) ; 用于产生第一控制信号 (CTL-VBE) 以使得晶体管 ($Q0 \times 16$) 连续地耦合到第一导体 (NODE1), 以使得所述第一电流分别致使晶体管 ($Q0 \times 16$) 在第一导体 (NODE1) 上产生对应的相对大的 V_{BE} 电压 (V_{PTATP}), 且所述第二电流致使未耦合到第一导体 (NODE1) 的若干组晶体管 ($Q0 \times 16$) 在第二导体 (NODE2) 上产生对应的相对小的 V_{BE} 电压 (V_{PTATN}) 的构件 (20), 每一相对大的 V_{BE} 电压与对应的相对小的 V_{BE} 电压之间的差等于对应的 ΔV_{BE} 电压; 用于对相对大的 V_{BE} 电压 (V_{PTATP}) 和相对低的 V_{BE} 电压 (V_{PTATN}) 进行连续取样以产生对应的差分带隙电荷 ($Q_{CA}-Q_{CB}$) 的构件 (35); 以及用于对连续的差分带隙电荷 ($Q_{CA}-Q_{CB}$) 求平均以提供稳定的带隙参考电压 (V_{REF}) 的构件 (30)。

附图说明

[0028] 参考附图描述实例实施例, 其中:

[0029] 图 1A 是常规的带隙电压参考电路的示意图。

[0030] 图 1B 是美国专利 7, 511, 648 的图 6 的副本, 且展示已知的积分器和比较器电路。

[0031] 图 1C 是美国专利 7, 504, 977 的图 3a 的副本, 且展示用于对带隙电压参考电路进行取样的已知的开关电路。

[0032] 图 2A 是本发明的带隙电压参考电路的示意图。

[0033] 图 2B 是包含图 2A 的电路和积分器的带隙电压参考电路的方框图。

[0034] 图 2C 是在图 2A 中产生控制信号的开关控制器的方框图。

[0035] 图 3 是用于提供对由图 2A 的电路产生的带隙电压的曲率校正的电路的示意图。

具体实施方式

[0036] 图 2A, 方框 12 的结构

[0037] 图 2A 展示带隙电压参考系统 10, 其具有动态元件匹配以减少归因于各种电路组件的参数中的正常变化而引起的电路不准确性。电压参考系统 10 包含带隙参考产生器电路 12, 带隙参考产生器电路 12 的输出耦合到动态取样系统 35。在此实例中, 参考产生器电路 12 包含 $M = 7$ 个等同的电流源 I_3 , 共同标示为“ $I_3 \times 7$ ”。所述 7 个电流源 I_3 中的每一者具有耦合到 V_{DD} 的一个端子和连接到对应的 P 沟道晶体管 MP0 的源极且还连接到另一对应的 P 沟道晶体管 MP2 的源极的另一端子。7 个晶体管 MP0 被共同标示为“ $MP0 \times 7$ ”, 且 7 个晶体管 MP2 被共同标示为“ $MP2 \times 7$ ”。晶体管 $MP0 \times 7$ 的栅极分别连接到传导数字控制信号 CTL-ISOURCE 的 $M = 7$ 个位的总线的 7 个导体, 且还分别连接到被共同标示为“ $INV0 \times 7$ ”的 7 个对应的反相器的输入。所述 7 个反相器 $INV0 \times 7$ 的输出分别连接到 7 个晶体管 $MP2 \times 7$ 的栅极。

[0038] 晶体管 $MP0 \times 7$ 的漏极全部连接到被标示为“NODE1”的单一导体, 且晶体管 $MP2 \times 7$ 的漏极全部连接到被标示为“NODE2”的单一导体。NODE1 还连接到被共同标示为“ $MN7 \times 16$ ”的 $N = 16$ 个 N 沟道晶体管的漏极, 所述 $N = 16$ 个 N 沟道晶体管的栅极分别连接到传导数字信号 CTL-VBE 的总线的 $N = 16$ 个导体。晶体管 $MN7 \times 16$ 的栅极还连接到被标示为

“INV9×16”的 N = 16 个反相器的输入。NODE2 连接到被共同标示为“MN4×16”的 16 个 N 沟道晶体管的漏极,所述 16 个 N 沟道晶体管的栅极分别连接到所述 16 个反相器 INV9×16 的输出。16 个晶体管 MN7×16 中的每一者的源极通过中间总线 18 的 N = 16 个导体中的对应一者而连接到被共同标示为“Q0×16”的 16 个二极管连接的 NPN 晶体管中的对应一者的集电极和基极、被共同标示为“MN5×16”的所述 16 个 N 沟道晶体管中的对应一者的漏极,和被共同标示为“MN0×16”的 16 个 N 沟道晶体管中的对应一者的漏极。晶体管 Q0×16 的发射极连接到 V_{SS} 。晶体管 Q0×16 中的每一者是具有“单位发射极区域”的“单位晶体管”。

[0039] 7 位总线 CTL-ISOURCE 控制 7 个电流源 I_3 的旋转,以使得每一者又变为单一晶体管电流源 I_3 流过 NODE2 进入 15 个并联的二极管连接的晶体管 Q0 中,而其它 6 个电流源 I_3 流过 NODE1 进入单一二极管连接的晶体管 Q0 中。总线 CTL-VBE 控制开关 MN7×16 和 MN4×16,以使得 15 个二极管连接的晶体管 Q0 当前连接到 NODE2,且一个单一“旋转了的”晶体管 Q0 当前连接到 NODE1。通过将 CTL-ISOURCE 的 6 个位设定为“0”且将剩余的一个位设定为“1”,以使得等于 $6 \times I_3$ 的大电流流过 NODE1 进入单一二极管连接的晶体管 Q0 的相对小的单位发射极区域中,而实现对六个 $I_3 \times 7$ 单位电流源中的每一者的旋转。当 P 沟道晶体管 MP0×7 被数字信号 CTL-ISOURCE 中的“1”关闭时,反相器 INV0×7 致使 P 沟道晶体管 MP2×7 接通,且反之亦然(即,当 P 沟道晶体管 MP0×7 被 CTL-ISOURCE 中的“0”接通时,反相器 INV0×7 还致使 P 沟道晶体管 MP2×7 关闭)。类似地,当 N 沟道晶体管 MN7×16 和 MN5×16 被 CTL-VBE 中的“0”关闭时,反相器 INV9×16 致使 N 沟道晶体管 MN4×16 和 MN0×16 接通,且以此类推。

[0040] 类似地,16 个晶体管 MN4×16 的源极还分别连接到中间总线 18 的对应的 16 个导体。晶体管 MN5×16 的源极连接到被标示为 NODE PTATP 的单一导体,且晶体管 MN0×16 的源极连接到被标示为 NODE PTATN 的单一导体。NODE PTATP 上的电压是 V_{PTATP} ,且 NODE PTATN 上的电压是 V_{PTATN} 。

[0041] 额外的开关 MN5×16 和 MN0×16 由 CTL-VBE 控制,以将单一二极管连接的晶体管 Q0 连接到 NODE PTATP,且将其它 15 个二极管连接的晶体管 Q0 连接到 NODE PTATN。此开关布置提供电流源 $I_3 \times 7$ 与 Q0×16 阵列中的双极晶体管之间的“强制 - 电流 / 感测 - 电压连接”,且如下文所描述,消除了归因于跨越开关 MN7×16 和 MN4×16 的电压降而引起的误差。

[0042] 总线 CTL-VBE 经控制以便连续地“旋转”Q0×16 阵列中的全部双极晶体管,一次一个,以使得每一者又变为从 NODE1 吸收大电流 $6 \times I_3$ 且产生出现在 NODE PTATP 上的 V_{BE} 电压 V_{PTATP} 的值的单一单位晶体管 Q0。结果,具有流过其的等于 6 个单位电流 I_3 的相对大的电流的一个二极管连接的双极晶体管 Q0(仅具有一个相对小的总单位发射极区域)连接到 NODE PTATP 以产生相对大的 V_{BE} 电压 V_{PTATP} 。具有总共 15 个单位发射极区域(在其间基本上均等地划分仅仅单一 1 单位电流)的剩余的 15 个双极二极管连接的晶体管 Q0 连接到 NODE PTATN 以产生相对小的 V_{BE} 电压 V_{PTATN} 。

[0043] 响应于数字信号 CTL-ISOURCE,电流源 $I_3 \times 7$ 中的 6 个同时耦合到 NODE1,且其中的 1 个耦合到 NODE2,因此,来自电流源 $I_3 \times 7$ 的总电流的大多数(即, $6 \times I_3$) 去向 NODE1,且因此去向单一二极管连接的晶体管 Q0 的集电极和基极。同时,响应于数字信号 CTL-VBE,二极管连接的晶体管 Q0×16 中的 15 个耦合到 NODE2,且其中的 1 个耦合到 NODE1,因此,来自电流源 $I_3 \times 7$ 的总电流的非常小的部分(即, $1 \times I_3$) 去向 NODE2,且因此基本上在其它 15 个并

联接的二极管连接的晶体管 Q0 当中均等地共享。这产生等于 V_{PTATP} 的相对大的 V_{BE} 电压，和等于 V_{PTATN} 的相对低 V_{BE} 的电压。因此，存在 NODE PTATP 上的第一 CTAT V_{BE} 电压和 NODE PTATN 上的第二 CTAT V_{BE} 电压。同时，在 V_{PTATP} 与 V_{PTATN} 之间存在 PTAT 电压差 ΔV_{BE} 。由于电压 V_{PTATP} 是 V_{PTATN} 和 ΔV_{BE} 的总和，所以使用电压 V_{PTATP} 来用于构建带隙参考电压更便利。两个 V_{BE} 电压 V_{PTATP} 与 V_{PTATN} 之间的差是将以随后描述的方式取样的 ΔV_{BE} 电压。

[0044] 因此，图 2A 中所示的带隙电压参考电路 10 是基于二极管连接的 NPN 晶体管 Q0 的阵列（16 元件阵列，更一般来说，是 N 元件阵列）和电流源 I_3 的阵列（7 元件阵列，更一般来说，是 M 元件阵列）。电流源 I_3 通过开关 $MP0 \times 7$ 和 $MP2 \times 7$ 连接到 NODE1 和 NODE2，以使得 6 个电流流过 NODE1 到达单一单位晶体管 Q0，且仅一个电流流过 NODE2 到达 6 个并联的单位晶体管 Q0。这允许容易地优化带隙电压参考电路 10 的设计。这是因为随机失配不取决于单一组件。如果需要较大的 V_{BE} 电压，那么晶体管的比率可实质上增加，但所产生的参考电压的随机变化可能不增加，且可能实际上减小，因为可使用较大数目的双极晶体管，借此，随机变化的量取决于双极晶体管的整个阵列。这导致随机变化的量与电压参考电路中的缩放解除关系，以使得两者不是以随机变化的量取决于一个单一单位晶体管的方式相关的。

[0045] 图 2A, 方框 35 的结构

[0046] 在图 2A 的取样电路 35 中，单位电容器 $C2 \times 10$ 、 $C3 \times 10$ 、 $C1$ 和 $C0$ 的阵列可通过开关阵列耦合到 V_{PTATP} 、 V_{PTATN} 和 V_{SS} ，所述开关阵列包含 $MN44 \times 10$ 、 $MN45 \times 10$ 、 $MN47 \times 10$ 、 $MN50 \times 10$ 、 $MN53 \times 10$ 、 $MN57 \times 10$ 、 $MN8$ 、 $MN9$ 、 $MN10$ 、 $MN11$ 、 $MN12$ 和 $MN15$ 。

[0047] 图 2A 中的取样系统 35 包含 N 沟道晶体管 $MN15$ ，N 沟道晶体管 $MN15$ 的漏极通过 NODE PTATP 耦合到 N 沟道晶体管 $MN10$ 、被标示为“ $MN57 \times 10$ ”的 10 个 N 沟道晶体管，和被标示为“ $MN50 \times 10$ ”的 10 个 N 沟道晶体管中的每一者的漏极。晶体管 $MN15$ 的栅极连接到数字控制信号 CTL-TRPA 和“或非”门 31 的一个输入。晶体管 $MN15$ 的源极连接到 N 沟道晶体管 $MN12$ 的源极、N 沟道晶体管 $MN9$ 的漏极和微调电容器 $C1$ 的一个端子。电容器 $C1$ 的另一端子连接到导体 16。晶体管 $MN12$ 的栅极连接到数字信号 CTL-TRNA 和“或非”门 31 的另一输入。“或非”门 31 的输出连接到晶体管 $MN9$ 的栅极。晶体管 $MN9$ 的源极连接到 V_{SS} 。晶体管 $MN12$ 的漏极通过 NODE PTATN 连接到 N 沟道晶体管 $MN11$ 、被标示为“ $MN47 \times 10$ ”的 10 个 N 沟道晶体管，和被标示为 $MN53 \times 10$ 的 10 个 N 沟道晶体管中的每一者的漏极。晶体管 $MN10$ 的栅极连接到数字信号 CTL-TRPB 和“或非”门 32 的一个输入，“或非”门 32 的输出连接到 N 沟道晶体管 $MN8$ 的栅极。晶体管 $MN8$ 的源极连接到 V_{SS} 。晶体管 $MN10$ 的源极连接到 N 沟道晶体管 $MN11$ 的源极、晶体管 $MN8$ 的漏极和微调电容器 $C0$ 的一个端子，微调电容器 $C0$ 的另一端子连接到导体 17。晶体管 $MN11$ 的栅极连接到数字信号 CTL-TRNB 和“或非”门 32 的另一输入。

[0048] 10 个晶体管 $MN57 \times 10$ 的栅极分别连接到数字信号 CTL-PTATPA 的 10 个位，且分别连接到被标示为“ 33×10 ”的 10 个“或非”门中的每一者的第一输入。10 个“或非”门 33×10 的输出分别连接到被标示为“ $MN45 \times 10$ ”的 10 个 N 沟道晶体管的栅极，所述 10 个 N 沟道晶体管的源极全部连接到 V_{SS} 。晶体管 $MN45 \times 10$ 的漏极分别连接到晶体管 $MN57 \times 10$ 的源极和被标示为“ $C2 \times 10$ ”的 10 个电容器中的每一者的一个端子，且还连接到晶体管 $MN47 \times 10$ 的源极。电容器 $C2 \times 10$ 的另一端子连接到导体 16。

[0049] 10 个晶体管 MN47×10 的栅极分别连接到数字信号 CTL-PTATNA 的 10 个位,且分别连接到被标示为 33×10 的 10 个“或非”门中的每一者的第二输入。10 个晶体管 MN50×10 的栅极分别连接到数字信号 CTL-PTATPB 的 10 个位,且分别连接到被标示为“34×10”的 10 个“或非”门中的每一者的第一输入。10 个“或非”门 34×10 的输出分别连接到被标示为“MN44×10”的 10 个 N 沟道晶体管的栅极,所述 10 个 N 沟道晶体管的源极全部连接到 V_{SS} 。晶体管 MN44×10 的漏极分别连接到晶体管 MN50×10 的源极和被标示为“C3×10”的 10 个电容器中的每一者的一个端子,且还连接到晶体管 MN53×10 的源极。电容器 C3×10 的另一端子连接到导体 17。10 个晶体管 MN53×10 的栅极分别连接到数字信号 CTL-PTATNB 的 10 个位,且分别连接到被标示为 34×10 的 10 个“或非”门中的每一者的第二输入。

[0050] 在图 2A 中,被取样到电容器 C2×10 上的 V_{BE} 和 ΔV_{BE} 电压导致对应的带隙电荷 Q_{CA} 经由导体 16 转移到积分器 30 的第一输入,如图 2B 中所示。同时,被取样到电容器 C3×10 上的 V_{BE} 和 ΔV_{BE} 电压导致对应的带隙电荷 Q_{CB} 经由导体 17 转移到积分器 30 的第二输入,如随后描述。

[0051] 参看图 2B,带隙电压参考系统 10A 包含图 2A 的带隙电压参考系统 10,其中差分带隙电荷 $Q_{CA}-Q_{CB}$ 经由导体 16 和 17 被馈送到积分器 30 中。积分器 30 可与图 1B 中所示的积分器 30 相同。在一个应用中,带隙参考电压系统 10A 可耦合到输入电压取样系统 22,如通过图 2B 中的虚线所指示。此情况下,通过对外部输入电压 V_{in+} 和 V_{in-} 进行取样而获得的电荷分别与电荷 Q_{CA} 和 Q_{CB} 进行组合,以使得积分器 30 有助于外部差分输入电压 $V_{in+}-V_{in-}$ 的模 / 数转换。

[0052] 图 2C 展示开关控制器 20,开关控制器 20 产生所有上文提及的图 2A 中的数字控制信号,且还产生随后提及的图 3 中的控制信号。此开关控制器可容易以许多不同方式实施,例如,通过状态机或各种二进制计数器。

[0053] 图 2A,方框 12 的操作

[0054] 在任何给定时间的 V_{BE} 和 ΔV_{BE} 电压的值与在图 1A 中所示的基本电路中的情况一样对失配、应力和缺陷敏感。使得图 2A 的电路对上文提及的组件失配、半导体芯片材料缺陷、温度变化、长期输入偏移电压漂移和机械应力较不敏感的方法是使用电流 $I_3 \times 7$ 和双极晶体管 Q0×16 的动态元件匹配“旋转”。为了减少此敏感性,控制总线 CTL-ISOURCE 旋转每个电流源 $I_3 \times 7$,使得每一者又变为 NODE1 上的单位电流源,且控制总线 CTL-VBE 旋转每个双极晶体管,使得每一者又变为连接到 NODE PTATP 的单位晶体管。旋转经执行以使得单一晶体管 Q0 与流过其的等于 $(M-1) \times I_3$ 的电流存在 $M \times N$ 个组合,其中 M 是单位电流源 I_3 的数目,且 N 是单位二极管连接的晶体管 Q0 的数目。

[0055] 每当图 2B 中的带隙电压参考系统 10A 的积分器 30 需要产生参考电压 V_{REF} 的新值时,差分带隙参考电荷 $Q_{CA}-Q_{CB}$ 的新值首先被取样,且随后通过取样电容器 C2×10 和 C3×10 传递到积分器 30 的输入。通过对当前的上文提及的 V_{BE} 和 ΔV_{BE} 电压进行取样来获得差分带隙电荷 $Q_{CA}-Q_{CB}$ 的所述新值。每一取样导致在图 2B 中的积分器 30 的输出 5 上产生参考电压 V_{REF} 的新中间或瞬时值,直到对 $I_3 \times M$ 个电流、Q0×N 个二极管连接的双极晶体管和 L 个电容性取样组合的 $M \times N \times L$ 个可能的组合的所有积分已执行,进而提供经取样的 V_{BE} 和 ΔV_{BE} 电压的平均值为止。在此实例中, $M = 7$ 、 $N = 16$ 且 $L = 5$ 。

[0056] 当所有旋转已完成,且差分带隙电荷 $Q_{CA}-Q_{CB}$ 的对应值已进行积分,从而提供 V_{BE} 和

ΔV_{BE} 的平均值时,由积分器 30 产生的 V_{REF} 的所得平均值对带隙电压参考电路 10A 的内部组件的随机失配相对不敏感,且还对其中形成了带隙参考电压电路的集成电路芯片中的温度、输入偏移电压的长期漂移和机械应力相对不敏感。

[0057] 为了获得差分带隙电荷 $Q_{CA}-Q_{CB}$ 的每一新值,通过提供 CTL-VBE 的下一值而执行对晶体管 $Q0 \times 16$ 中的下一者的额外旋转。通过 CTL-ISOURCE 的下一值选择电流源 $I_3 \times 7$ 中的另一者的下一值以经由 NODE2 流过其它 15 个晶体管 $Q0$;其它 6 个电流源 I_3 流过 NODE1 到达单一经旋转晶体管 $Q0$ 。接着,执行对 V_{BE} 和 ΔV_{BE} 的新值的前述取样,以提供 $Q_{CA}-Q_{CB}$ 的下一对应值以作为积分器 30 的下一输入值。

[0058] 先前提及的 16 个晶体管 MN7 和 16 个晶体管 MN5,还有 16 个晶体管 MN4 和 16 个晶体管 MN0 成对操作,以消除归因于跨越晶体管 MN7 和 MN4 的 IR 电压降而引起的误差。跨越每一晶体管 MN7 的归因于流过其的 $6 \times I_3$ 电流而引起的电压降产生额外误差。为了避免此误差,提供两组 16 个对应的晶体管 MN7 $\times 16$ 和 MN5 $\times 16$ 。此“双开关”布置允许跨越双极晶体管 $Q0$ 的 V_{BE} 电压被直接感测,以便消除上文提及的归因于跨越晶体管 MN7 $\times 16$ 的 IR 降而引起的误差。当 MN7 $\times 16$ 个晶体管中的一者接通,即启用时,那个晶体管提供从 NODE1 到 16 个双极二极管连接的晶体管 $Q0 \times 16$ 中的一者的基极和集电极的连接,且同时通过 MN5 $\times 16$ 朝向取样系统 35 中的电容器阵列提供选定的单一晶体管 $Q0$ 上的电压。所述选定的单一二极管连接的晶体管 $Q0$ 的集电极和基极上的电压通过对应的晶体管 MN5 $\times 16$ 被直接感测,因为没有电流流过它,原因是晶体管 MN5 $\times 16$ 的源极仅连接到电容性负载。(这可被视为强制感测对应的二极管连接的双极晶体管。)晶体管 MN4 $\times 16$ 和 MN0 $\times 16$ 以类似方式工作,以允许对通过 15 个对应的晶体管 MN0 $\times 16$ 而耦合到 NODE2 的剩余 15 个晶体管 $Q0 \times 16$ 的集电极和基极电压的直接感测,因为没有电流流过它们,原因是晶体管 MN0 $\times 16$ 的源极仅连接到电容性负载。

[0059] 图 2A,取样系统 35 的操作

[0060] 图 2A 的电路操作以通过使用取样系统 35 中所示的相关联的取样开关的阵列同时地将 V_{PTATP} 取样到取样电容器 $C2 \times 10$ 的选定群组上,且还将 V_{PTATN} 取样到取样电容器 $C3 \times 10$ 的选定群组上(或反之亦然)。举例来说,在通过 CTL-VBE 选择特定单位晶体管 $Q0$ 且通过 CTL-ISOURCE 选择特定单位电流源 I_3 之后,通过数字信号 CTL-PTATNA、CTL-PTATPA、CTL-PTATPB 和 CTL-PTATNB 的合适值选择单位电容器 $C2 \times 10$ 和 $C3 \times 10$ 的特定组合,以便对所得的当前的 V_{BE} 和 ΔV_{BE} 电压进行适当地取样。取样电路 35 的结构允许电容器 $C0$ 、 $C1$ 、 $C2 \times 10$ 和 $C3 \times 10$ 中的每一者的左端子连接到电压 V_{PTATP} 、 V_{PTATN} 和接地中的任一者。CTL-PTATPA 通过施加到 N 沟道晶体管 MN57 $\times 10$ 的栅极的“1”将选定数目的电容器 $C2 \times 10$ 连接到 V_{PTATP} ,且 CTL-PTATNA 通过施加到 N 沟道晶体管 MN47 $\times 10$ 的栅极的“1”将选定数目的电容器 $C2 \times 10$ 连接到 V_{PTATN} 。

[0061] 类似地,CTL-PTATPB 通过施加到晶体管 MN50 $\times 10$ 的栅极的“1”将选定数目的电容器 $C3 \times 10$ 连接到 V_{PTATP} ,且 CTL-PTATNB 通过施加到晶体管 MN53 $\times 10$ 的栅极的“1”将选定数目的电容器 $C3 \times 10$ 连接到 V_{PTATN} 。应注意,如果“0”存在于 CTL-PTATNA 和 CTL-PTATPA 的对应位上,则对应的取样电容器 $C2 \times 10$ 的左端子通过对应的“或非”门 33 $\times 10$ 的反相操作而连接到 V_{SS} 。然而,CTL-PTATNA 和 CTL-PTATPA 的对应位从不同时等于“1”,因为那样将把 V_{PTATP} 短路到 V_{PTATN} 。类似地,如果“0”存在于 CTL-PTATNB 和 CTL-PTATPB 的对应位上,

则对应的取样电容器 $C3 \times 10$ 的左端子通过对应的“或非”门 34×10 的反相操作而连接到 V_{SS} 。CTL-PTATNB 和 CTL-PTATPB 的对应位从不同时设定成等于“1”，以便避免将 V_{PTATP} 短路到 V_{PTATN} 。

[0062] 应注意，节点 16 和 17 上的电压包含积分器 30 的相对于 V_{SS} 的共模电压，且在导体 16 与 17 之间的差分电压是零（如果积分器 30 是理想的积分器）。差分带隙电荷 $Q_{CA}-Q_{CB}$ 通过导体 16 和 17 被有效地传递到积分器 30 的输入（图 2B）。此电荷倾向于改变导体 16 和 17 的电压，但积分器 30 通过将电荷移动穿过导体 16 和 17 进入图 2B 中的积分器 30 的反馈回路中存在（但未图示）的积分电容器（例如，图 1C 中的积分电容器 440a 和 440b）而作出响应。电容器 $C2 \times 10$ 和 $C3 \times 10$ 还有图 2A 中的微调电容器 C0 和 C1 充当积分器 30 的输入电容器来实现对中间差分参考电荷值 $Q_{CA}-Q_{CB}$ 的序列的积分或平均。

[0063] 带隙电压参考电路 10A（图 2B）的每一循环涉及 2 个阶段（如从其取得图 1C 的现有技术专利 7, 504, 977 中所阐释）。第一阶段可被称作“自动归零阶段”（对积分器 30 的所有偏移电压执行自动归零），且第二阶段可被称作“积分阶段”。电容器 $C2 \times 10$ 和 $C3 \times 10$ 中的每一者可用于对 V_{PTATP} 与 V_{PTATN} 之间的 ΔV_{BE} 电压或者 V_{PTATP} 与 V_{SS} 之间的 ΔV_{BE} 电压进行取样。

[0064] 举例来说，在每一循环期间，电容器 $C2 \times 10$ 或 $C3 \times 10$ 中的一些用于对 V_{BE} 电压进行取样，且那个群组中的剩余电容器用于对 ΔV_{BE} 电压进行取样。在此实例中，2 对电容器（每一对包含一个 $C2$ 取样电容器和一个 $C3$ 取样电容器）用于对 V_{BE} 电压进行取样，且 8 对用于对 ΔV_{BE} 电压进行取样。在第一阶段期间，基本上同时地 (1) 所有 10 个电容器 $C2 \times 10$ 的左端子连接到 V_{PTATP} ；(2) 8 个电容器 $C3$ 的左端子连接到 V_{PTATN} ；以及 (3) 2 个电容器 $C3$ 的左端子连接到接地。

[0065] 随后，在第二阶段期间，各种晶体管开关的状态改变，以使得 8 个取样电容器 $C2$ 的左端子从先前阶段的 V_{PTATP} 电压改变为 V_{PTATN} ，这意味着到导体 16 的电荷传递表示 ΔV_{BE} 电压乘以 $8 \times C2$ ，即乘以 8 个单位电容。其它 2 个电容器 $C2$ 的左端子从 V_{PTATP} 去向 V_{SS} ，这意味着针对其它两个电容器 $C2$ 的在导体 16 上传递的电荷 Q_{CA} 表示对应于 V_{BE} 电压乘以 $2 \times C2$ （即，乘以 2 个单位电容）的电荷传递。

[0066] 在相同的第二阶段期间，所有 10 个电容器 $C3 \times 10$ 的左端子改变为 V_{PTATP} 。因此，在先前阶段中曾连接到接地的 2 个电容器 $C3$ 现在改变为 V_{PTATP} ，且此导致从这 2 个电容器将乘以 2 倍 $C3$ 的电荷传递到导体 17。那代表 V_{BE} 电压 V_{PTATP} 。曾连接到 V_{PTATN} 现在去向 V_{PTATP} 的其它 8 个单位电容器 $C3$ 表示对应于 ΔV_{BE} 电压乘以 $8 \times C3$ 的电荷传递。导体 16 去往更负的电压，且表示 ΔV_{BE} 和 V_{BE} 的电荷在一个方向上被传递到导体 16。类似地，表示 ΔV_{BE} 和 V_{BE} 的电荷在相反的方向上被传递到导体 17。因此，表示中间值 V_{REF} 的差分电荷被传递到导体 16 和 17。此差分电荷被积分或传递到图 2B 中的积分器 30 的反馈电容器（例如，图 1C 中的积分器 30 的积分反馈电容器 440a 和 440b）中。

[0067] 应注意，上文所提及的图 1B（其等同于专利 7, 511, 648 的图 6）展示了具有双极“带隙”晶体管 MN0 和 MN1、开关 SW1 和 SW2 以及电容器 C0 和 C1 的类似带隙参考电路。图 1B 中的晶体管 MN0 和 MN1 分别类似于图 2A 中的一个 Q0 晶体管和 15 个 Q0 晶体管。图 1B 中的电容器 C0 和 C1 对应于图 2A 中的取样电容器 $C2 \times 10$ 和 $C3 \times 10$ 。而且，在先前提及的图 1C（其等同于上文提及的专利 7, 504, 977 的图 3a）中，电容器 432a 和 432b 分别对应于

图 2A 中的电容器 C2 和 C3, 且导体 484 和 485 分别对应于图 2A 中的导体 16 和 17。

[0068] 因此, V_{PTATP} 被取样为第一 V_{BE} 电压, 且 V_{PTATN} 被取样为第二 V_{BE} 电压, 且 V_{PTATP} 与 V_{PTATN} 之间的差等于 ΔV_{BE} 电压。 V_{PTATP} 和 V_{PTATN} 两者都是“ V_{BE} 电压”, 因为其是通过强制单位电流 $I_{3 \times 7}$ 的上文提及的组合穿过二极管连接的双极晶体管 $Q_{0 \times 16}$ 的各种组合并直接感测其所得的发射极-集电极电压而获得的电压。由于 V_{PTATP} 与 V_{PTATN} 之间的差等于 ΔV_{BE} , V_{PTATP} 等于 V_{PTATN} 加上前述 ΔV_{BE} 电压, 因此, 仅对 V_{PTATP} 进行取样是便利的, 因为其包含 ΔV_{BE} 分量。

[0069] 如果不存在如图 2B 中的对外部输入电压的取样, 则积分器 30 基本上作为低通滤波器操作, 其中差分电荷 $Q_{CA}-Q_{CB}$ 在每个循环被积分, 且在每个循环期间, 积分器 30 从其积分电容器损失一些电荷。在一时间间隔中, 积分产生参考电压 V_{REF} 的平均值。然而, 在其中积分器 30 如图 2B 中对外部输入电压 $V_{IN}^+ - V_{IN}^-$ 进行积分的情况下, 每当比较器 (例如, 图 1B 中的比较器 22) 开关时, 随后积分器 30 便在下一循环期间在相反方向上对参考电压进行积分, 并且对经取样的外部输入电压进行积分。

[0070] 再次参看图 2B, 带隙参考电压电路 10A 的一个应用是将其与外部输入电压取样系统 22 结合使用, 如通过图 2B 中的虚线所指示。随后, 图 2A 中的取样系统 35 操作以对表示由带隙参考产生器 12 产生的带隙参考电压 $V_{BE} + \Delta V_{BE}$ 的差分参考电荷 $Q_{CA}-Q_{CB}$ 进行取样, 且类似的取样系统 (未图示) 对表示外部差分输入电压 $V_{in+}-V_{in-}$ 的差分参考电荷进行取样, 一般如图 1C 中所指示且在上文提及的以引用的方式并入的专利 7, 504, 977 中所描述。待测量的外部电压在每个循环被取样, 且当比较器在一个方向上或另一方向上切换状态时, 由图 2A 中的带隙参考产生器 12 产生的带隙参考电荷 $Q_{CA}-Q_{CB}$ 与表示外部输入电压的电荷一起进行积分。在图 1C 中, 参考电压和开关 404、406、408、402 和电容器 432a 和 432b 包含于对外部参考电压的取样系统中, 其中 V_{in+} 和 V_{in-} 构成与开关 424a、422a、422b、424b 以及电容器 430a 和 430b 一起工作的外部差分输入电压。

[0071] 上文提及的单位微调电容器 C0 和 C1 用于微调所产生的参考电压 V_{REF} 。所述对单位微调电容器 C0 和 C1 可充当具有微调值的电容器对, 或充当仅用于一些循环中且不用于其它循环中的一对单位电容器 (即, 以时分模式)。微调电容器 C1 和 C0 各自由 1 个单位电容组成, 且可分别与取样电容器 $C_{2 \times 10}$ 和 $C_{3 \times 10}$ 并联连接。如果 C1 和 C0 两者都是可微调的电容, 则其各自可等于单位电容的一半, 且 ΔV_{BE} 和 V_{BE} 电压的对应的取样量可经调整以便实现在一温度范围内的参考输出电压 V_{REF} 的恒定值。或者, 如果 C1 和 C0 是不可微调的电容器, 则可使用 C1 和 C0 以使得通过仅在部分时间使用它们, 它们实际上是可微调的。

[0072] 图 3 展示为图 2A 的电压参考电路 10 提供曲率校正的电路 40。电路 40 包含曲率校正电路 42, 曲率校正电路 42 的输出被施加到取样电路 44 的输入。曲率校正电路 42 包含 P 沟道晶体管 MP23 和 MP24 (其源极连接以接收 PTAT 电流 I_{PTAT}), 且还包含 P 沟道晶体管 MP25 和 MP26 (其源极连接以接收 CTAT 电流 I_{CTAT})。晶体管 MP23 和 MP25 的栅极连接到传导数字信号 CTL-CC 的导体 45。晶体管 MP24 和 MP26 的栅极通过导体 46 连接到反相器 INV11 的输出, 所述反相器的输入连接到导体 45。晶体管 MP23 和 MP26 的漏极通过导体 41 连接到二极管连接的 NPN 晶体管 Q1 (其发射极连接到 V_{SS}) 的集电极和基极, 且晶体管 MP24 和 MP25 的漏极通过导体 43 连接到二极管连接的 NPN 晶体管 Q2 (其发射极连接到 V_{SS}) 的集电极和基极。在导体 41 上产生电压 V_{CCP} , 且在导体 43 上产生电压 V_{CCN} 。

[0073] 图 3 的取样电路 44 包含 N 沟道晶体管 MN16 (其漏极连接到导体 41), 且还包含 N

沟道晶体管 MN17 (其漏极连接到导体 43 且其源极通过导体 47 连接到晶体管 MN16 的源极、N 沟道晶体管 MN18 的漏极, 和可调整电容器 C6 的一个端子 (其另一端子连接到图 2A 的 Q_{CA} 导体 16))。晶体管 MN16 的栅极通过导体 54 连接到数字信号 CTL-CCPA 和“或非”门 50 的一个输入, “或非”门 50 的输出连接到晶体管 MN18 的栅极, 晶体管 MN18 的源极连接到 V_{SS} 。“或非”门 50 的另一输出通过导体 53 连接到晶体管 MN17 的栅极和数字信号 CTL-CCNA。类似地, 取样电路 44 包含 N 沟道晶体管 MN15 (其漏极连接到导体 41), 且还包含 N 沟道晶体管 MN14 (其漏极连接到导体 43 且其源极通过导体 48 连接到晶体管 MN15 的源极、N 沟道晶体管 MN19 的漏极, 和可调整电容器 C5 的一个端子 (其另一端子连接到图 2A 的 Q_{CB} 导体 17))。晶体管 MN15 的栅极通过导体 55 连接到数字信号 CTL-CCPB 和“或非”门 51 的一个输入, “或非”门 51 的输出连接到晶体管 MN19 的栅极, 晶体管 MN19 的源极连接到 V_{SS} 。“或非”门 51 的另一输出通过导体 56 连接到晶体管 MN14 的栅极和数字信号 CTL-CCNB。

[0074] 在图 3 的方框 42 中, 两个电流源 (未图示) 供应施加于两个二极管连接的晶体管 Q1 和 Q2 的两个电流 I_{PTAT} 和 I_{CTAT} 。所得的曲率校正电压被一对电容器 C5 和 C6 取样。为实现最佳参考曲率, C5 和 C6 可为可微调的电容器或其可为仅用于取样循环的一部分中的一对标准电容器。控制信号 CTL-CC 切换两个双极晶体管 Q1 和 Q2 之间的两个电流 I_{PTAT} 和 I_{CTAT} , 且以此方式, 基本上消除了所述双极晶体管之间的任何失配的效应。

[0075] 在操作中, 图 3 中的可微调电容器 C5 和 C6、各个开关以及数字信号 CTL-CCNA、CTL-CCPA、CTL-CCPB 和 CTL-CCNB 提供对电压 V_{CCP} 和电压 V_{CCN} 的取样。各个开关操作以致使对 V_{CCP} 和 V_{CCN} 的取样提供所需的极性, 使得其可增加或减小正由图 2A 的带隙电压参考电路 10 产生的 Q_{CA} 和 Q_{CB} 的值, 这是实现对正由带隙电压参考电路 10 产生的差分参考电荷 $Q_{CA}-Q_{CB}$ 的所需的曲率校正所需的。

[0076] 图 3 中的曲率校正电路 40 的输出叠加于图 2A 中的输出导体 16 和 17 上, 以便校正带隙参考产生器电路 12 的曲率。在图 3 中, 一起使用 PTAT 电流 I_{PTAT} 和 CTAT 电流 I_{CTAT} 导致相对于温度的相反变化, 且导致产生自身具有与图 2A 中的取样系统 35 的输出处所产生的曲率方向相反的方向上的大曲率的校正电压。通过将此曲率校正电压叠加到在图 2A 中的导体 16 与 17 之间产生的输出电压上, 最终的带隙参考电压 V_{REF} 的曲率特性得以有效地校正。电流 I_{PTAT} 和 I_{CTAT} 通过晶体管 MP23、MP24、MP25 和 MP26 进行交换, 以提供连续的或交替的电容性取样循环, 从而将图 3 中的晶体管 Q1 与 Q2 之间的失配的效应进行平均。

[0077] 图 2A 和 2B 中所示的本发明的实施例不同于现有技术之处在于提供了选择晶体管 $Q0 \times 16$ 中的哪一者是带隙电压参考电路中的单一单位发射极区域元件, 且哪些其它 15 个 $Q0 \times 16$ 晶体管形成 15 个单位发射极区域元件的能力。举例来说, 在一个循环中, 可将晶体管 $Q0 \times 16$ 中的第一晶体管选择为单位晶体管, 且在下一循环中, 可选择第二晶体管 Q02, 且以此类推。通过此“旋转”, 所产生的参考电压 V_{REF} 的值可基于由 16 个晶体管 $Q0 \times 16$ 的整个阵列产生的 V_{BE} 电压和 ΔV_{BE} 电压的平均值。因此, 误差、噪声等的量不取决于一个单一晶体管 (例如, 图 1A 中的晶体管 Q5)。在任何循环期间的电压 V_{PTATP} 取决于晶体管 $Q0 \times 16$ 中的哪一晶体管是选择循环, 且所有其它 Q0 晶体管在后面的循环中一次被选择一个。

[0078] 总的来说, 本发明的所描述的实施例应用一种动态元件匹配旋转技术来消除 PTAT ΔV_{BE} 电压和 CTAT V_{BE} 电压对产生参考电压 V_{REF} 的双极晶体管的随机变化的敏感性。所述动态元件匹配旋转通过以下方式实质上消除了图 1A 中的放大器的偏移和漂移的效应和

产生 V_{BE} 和 ΔV_{BE} 电压的电流源的失配的效应:将用于产生 ΔV_{BE} 和 V_{BE} 电压并对其进行取样的电路的这些和其它组件的参数求平均。这与比通常在现有技术中利用的技术使用更多电路和更多功率的技术形成对比。

[0079] 所述动态元件匹配旋转技术经应用以“旋转”取样电路 35 中的各种电容器,使得其全部用以在连续循环期间对 V_{BE} 电压和 ΔV_{BE} 电压进行选择性地取样。如此,实现 V_{BE} 和 ΔV_{BE} 电压的组合,而不需要放大器和其相关联的偏移和漂移。还通过求平均来消除取样电容器的失配的效应。如果参考取样电容器在 L 个循环(在此实例中是 5 个循环)中进行完全的旋转,且如果 M 、 N 和 L 是相对质数,那么在 $M \times N \times L$ 个循环(在此实例中是 $16 \times 7 \times 5 = 560$ 个循环)之后导出平均参考值。在已执行图 2A 的带隙电压参考电路 10 的所有 $M \times N \times L$ 个取样循环之后(其中 M 等于电流源 I_3 的数目, N 等于晶体管 Q_0 的数目,且 L 是用于 V_{BE} 和 ΔV_{BE} 电压的取样中的电容器对的数目),带隙差分电荷 $Q_{CA}-Q_{CB}$ 的所得平均值比现有技术中所使用的带隙电压参考电路具有对个别 V_{BE} 和 ΔV_{BE} 电压的随机失配、缺陷和应力小得多的敏感性。

[0080] 上文所描述的带隙电压参考电路提供了使用非常小的集成电路芯片区域实现的极佳长期稳定性和其温度漂移的紧密分布的优点。此外,所描述的带隙参考电压电路具有提供高参考电压值且因此提供系统中的较低噪声和功率消耗的能力。而且本发明的所描述的实施例的所产生的带隙参考电压 V_{REF} 的值仅取决于流过参与确定参考电压 V_{REF} 的双极晶体管 $Q_0 \times 16$ 的电流 $I_3 \times 7$ 的平均值,且作为二次效应,取决于形成 V_{BE} 和 ΔV_{BE} 电压的电流源的平均值而不是实际值。本发明还避免所产生的参考电压 V_{REF} 对放大器的偏移和漂移敏感。此外,所描述的带隙电压参考电路的敏感性取决于所使用的芯片区域的总量,而不是单一单位双极晶体管的区域。举例来说,如果双极晶体管在 1 比 15 的比率下缩放,则输出值 V_{REF} 将取决于 16 个晶体管 $Q_0 \times 16$ 的阵列的随机变化,而非取决于如图 1A 中的单一晶体管的随机变化。

[0081] 此外,所描述的电路拓扑允许更积极地缩放晶体管区域和电流比率。对带隙产生电路 12 中的电流比率的积极缩放可产生大 ΔV_{BE} 电压,且此允许使用少量取样电容器。此又允许实现 V_{REF} 的更高的放大值。而且,图 2A 的带隙电压参考系统 10 电路在供应电压 V_{DD} 的低值下操作,且可提供比供应电压 V_{DD} 高的参考电压 V_{REF} 的高有效值。

[0082] 虽然已参考本发明的若干特定实施例描述了本发明,但所属领域的技术人员将能够在不脱离本发明的真实精神和范围的情况下对本发明的所描述的实施例作出各种修改。期望非实质上不同于权利要求书中所叙述的元件或步骤但以实质上相同的方式分别执行实质上相同的功能以实现与所主张的元件或步骤相同的结果的所有元件或步骤均在本发明的范围内。

[0083] 举例来说,表示 ΔV_{BE} 和 V_{BE} 电压的电荷被传递穿过图 2A 中所示的本发明的实施例中的取样电容器 $C_2 \times 10$ 和 $C_3 \times 10$ 。在此实例中使用 10 对取样电容器 C_2 和 C_3 ,其中在取样电容器的 $L = 5$ 个组合中的每一者中,使用 2 对取样电容器(来自 C_2 和 C_3 中的每一者的两对)来对 V_{BE} 进行取样,且使用其它 8 对来对 ΔV_{BE} 进行取样。然而,如果替代地,取样电容器 C_2 和 C_3 的每一群组是由 5 个而不是 10 个单位电容器构成,则取样操作将是相同的。在那种情况下,1 对将用于对 V_{BE} 进行取样,且其它 4 对将用于对 ΔV_{BE} 进行取样,且 L 将仍等于 5。

[0084] 此外,可使用单位电流源 I_3 和单位晶体管 Q0 的各种模式。举例来说,如果提供单位电流源 I_3 的 3 个组合和单位晶体管 Q0 的 4 个组合,则一种旋转它们的方式将是提供单位电流 I_3 的第一可能的组合,且随后旋转单位晶体管 Q0 的所述 4 个组合。随后,可提供单位电流的第二组合,且可再次旋转单位晶体管的所述 4 个组合。随后此程序可针对单位电流的最后一个组合进行重复,且将在 $3 \times 4 = 12$ 个循环中实现所有 12 个可能的组合。然而,旋转单位电流源 I_3 的 3 个组合和单位晶体管 Q0 的 4 个组合的另一方式将是,在第一循环期间使用单位电流的第一组合和单位晶体管的第一组合,在第二循环期间使用单位电流的第二组合和单位晶体的第二组合,在第三循环期间使用单位电流的第三组合和单位晶体的第三组合,在第四循环期间使用单位电流的第一组合和单位晶体的第四组合,且在第五循环期间使用单位电流的第二组合和单位晶体的第一组合。如果单位电流的组合的数目和单位晶体的组合的数目两者都是质数,那么在单位电流和单位晶体的组合的与先前实例中相同的总数中,将已实现所有单位晶体管和所有单位电流的旋转,且将已实现良好的匹配。但如果单位电流的组合和单位晶体的组合的数目不是质数,那么将尚未实现此实例中的所有单位晶体管和所有单位电流的旋转。对于此旋转技术,如果组合的数目不是质数,那么将不实现良好的平均结果。

[0085] 尽管二极管连接的 NPN 晶体管由于其具有比简单的 PN 二极管更理想的电路特性而用作所描述的实施例中的二极管,但在一些应用中,可利用 PN 二极管。

[0086] 在图 2A 中,流入晶体管 Q0 \times 16 中的所有电流是 PTAT 电流。具有 PTAT 电流的双极晶体管实现最佳的曲率特性。然而,可使用其它种类的电流,例如 CTAT 电流或零温度系数电流。

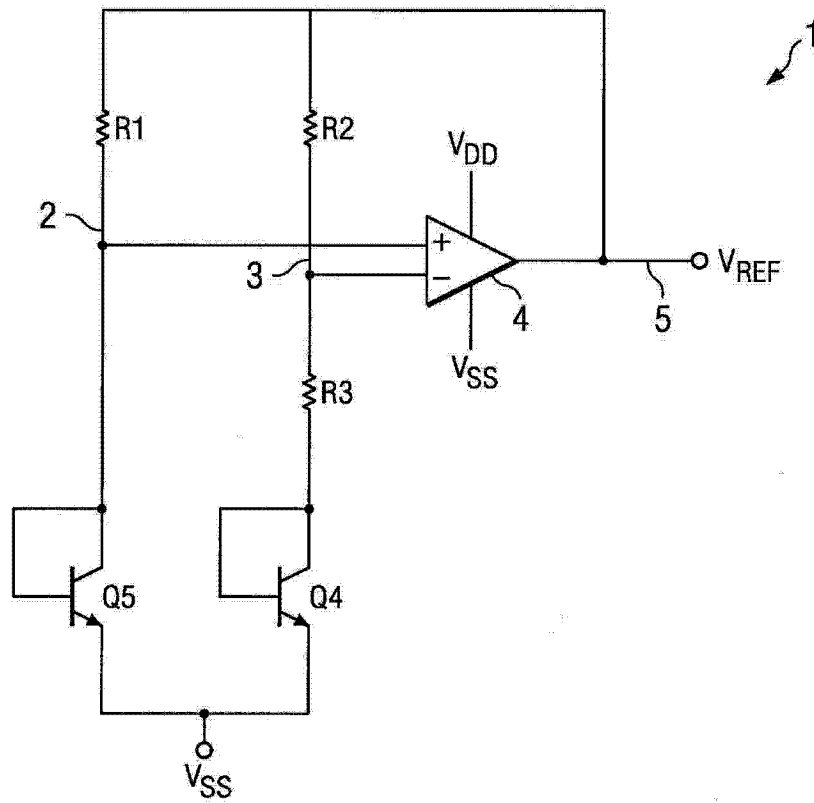


图 1A(现有技术)

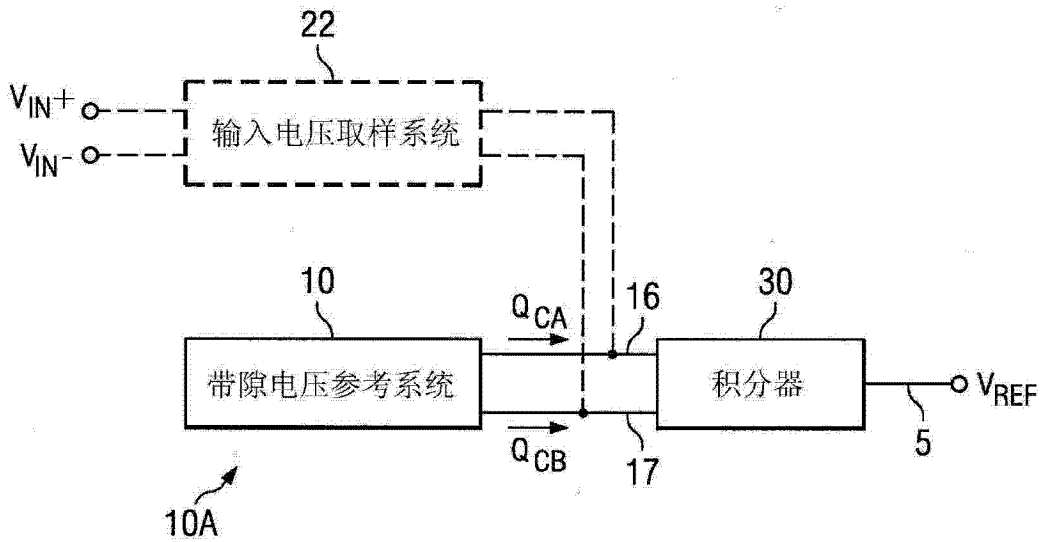


图 2B

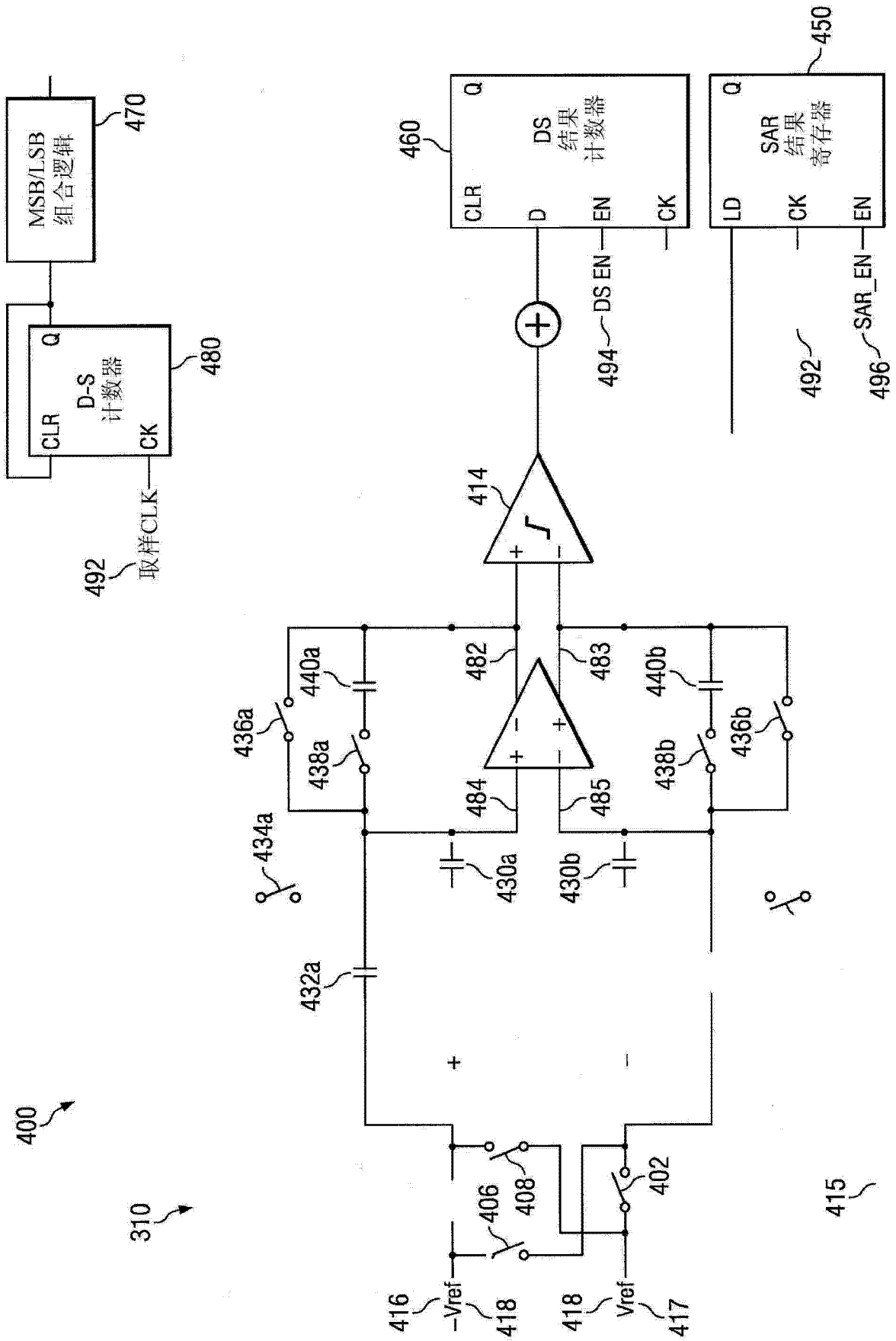


图 1C(现有技术)

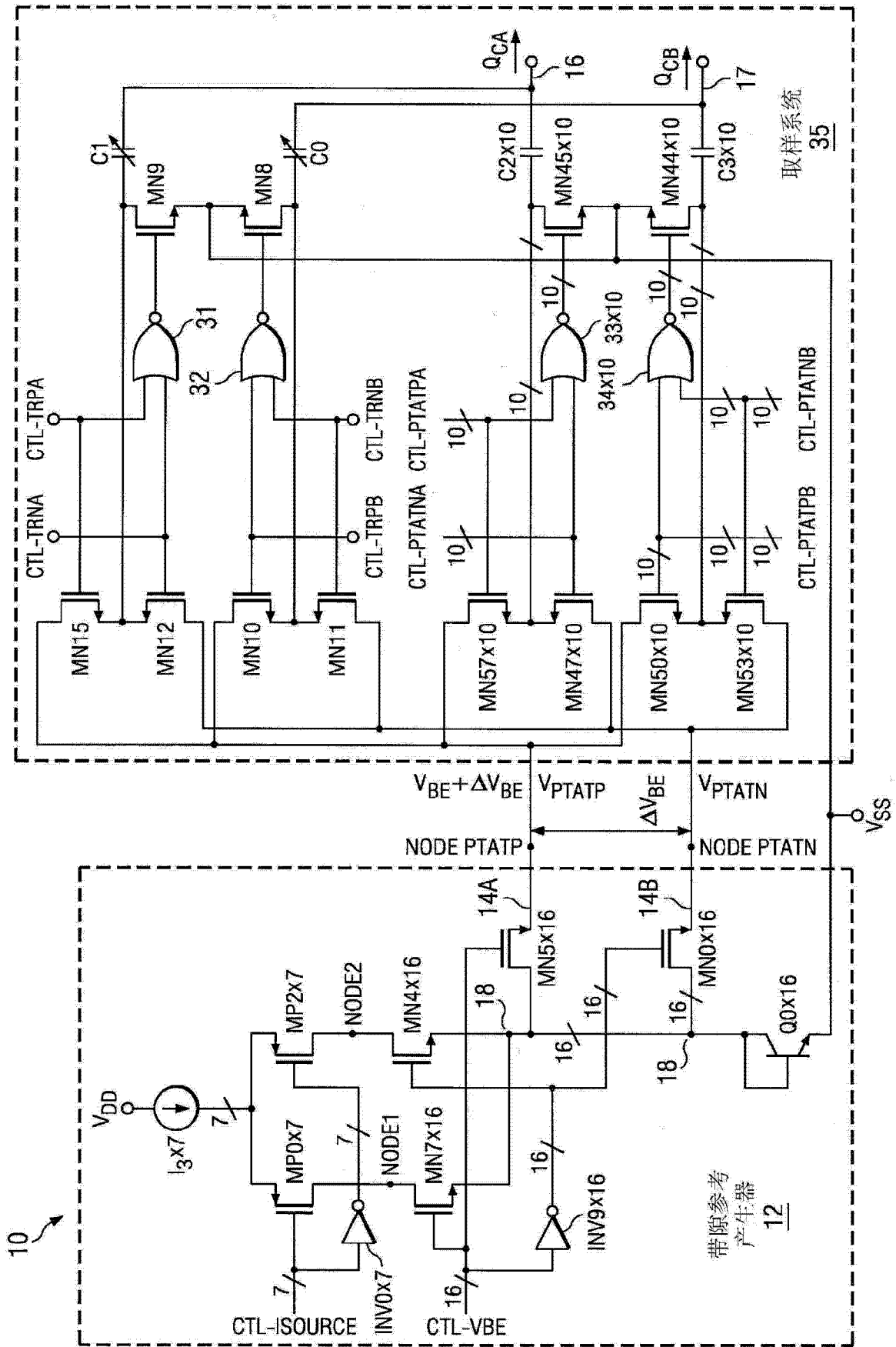


图 2A

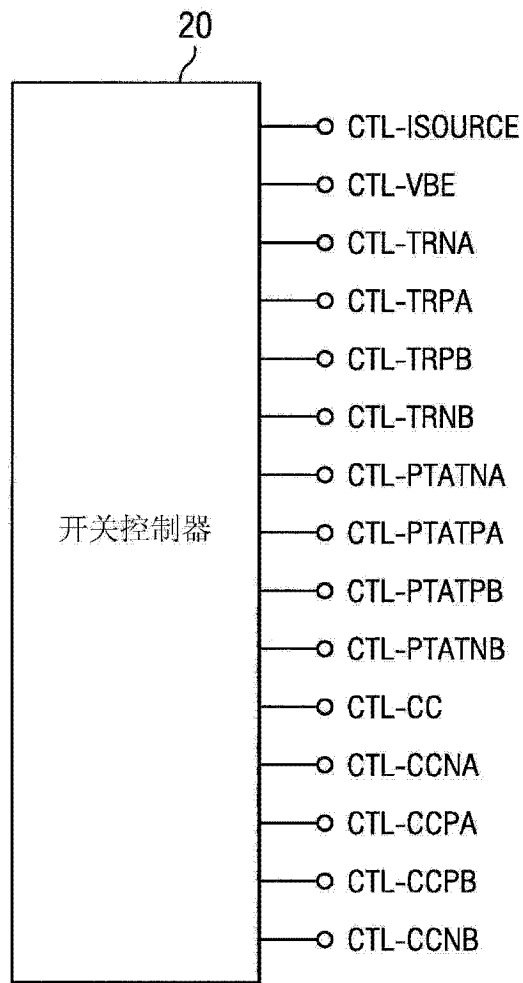


图 2C

