

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4260405号
(P4260405)

(45) 発行日 平成21年4月30日(2009.4.30)

(24) 登録日 平成21年2月20日(2009.2.20)

(51) Int.Cl.

F 1

H01L 21/3205	(2006.01)	H01L 21/88	T
H01L 23/52	(2006.01)	H01L 21/88	R
H01L 21/66	(2006.01)	H01L 21/66	F
H01L 21/8247	(2006.01)	H01L 27/10	4 3 4
H01L 27/115	(2006.01)	H01L 29/78	3 7 1

請求項の数 12 (全 32 頁) 最終頁に続く

(21) 出願番号

特願2002-32379 (P2002-32379)

(22) 出願日

平成14年2月8日(2002.2.8)

(65) 公開番号

特開2003-234348 (P2003-234348A)

(43) 公開日

平成15年8月22日(2003.8.22)

審査請求日

平成17年1月5日(2005.1.5)

(73) 特許権者 503121103

株式会社ルネサステクノロジ

東京都千代田区大手町二丁目6番2号

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 矢島 明

東京都小平市上水本町五丁目20番1号

株式会社日立製作所 半導体グループ内

(72) 発明者 山本 健一

東京都小平市上水本町五丁目20番1号

株式会社日立製作所 半導体グループ内

(72) 発明者 阿部 宏美

東京都小平市上水本町五丁目20番1号

株式会社日立製作所 半導体グループ内

最終頁に続く

(54) 【発明の名称】半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

(a) 半導体ウエハのチップ領域に、第1導電性膜とその上部の第2導電性膜とを有する第1配線を形成し、前記半導体ウエハのスクライプ領域に第1導電性膜とその上部の第2導電性膜とを有するテスト用パターンを形成する工程と、

(b) 前記第1配線上に、絶縁膜を介して第2配線を形成する工程と、

(c) 前記第2配線の一部であるパッド領域を、前記テスト用パターンの表面の第2導電性膜が露出した状態で、酸性の洗浄液を用いて洗浄、又はメッキ液を用いて置換メッキする工程と、

を含み、

前記第1導電性膜は、Al (アルミニウム) もしくはCu (銅) を主成分としており、

前記第2導電性膜は、TiN (窒化チタン) 膜、Ta (タンタル) 膜、TaN (窒化タングタル) 膜、W (タングステン) 膜もしくはWN (窒化タングステン) 膜の単層膜、もしくはこれらの膜の積層膜よりなることを特徴とする半導体集積回路装置の製造方法。

【請求項 2】

前記絶縁膜は、ポリイミド膜であることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項 3】

前記置換メッキ工程により、前記第2配線の一部である前記パッド領域にメッキ膜が形成されることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項 4】

前記メッキ膜は、A u (金)から成ることを特徴とする請求項3記載の半導体集積回路装置の製造方法。

【請求項 5】

前記半導体集積回路装置の製造方法は、

前記(c)工程の後に、

(d)前記テスト用パターンを用いて、前記テスト用パターンもしくは前記テスト用パターンと電気的に接続されている部分の評価を行う工程、

を有することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項 6】

前記第1配線と前記テスト用パターンとは電気的に接続されていることを特徴とする請求項1記載の半導体集積回路装置の製造方法。 10

【請求項 7】

(a)半導体ウエハのチップ領域に、第1導電性膜とその上部の第2導電性膜とを有する第1配線を形成し、前記半導体ウエハのスクライプ領域に第1導電性膜とその上部の第2導電性膜とを有するテスト用パターンを形成する工程と、

(b)前記第1配線およびテスト用パターン上に、第1絶縁膜を形成する工程と、

(c)前記第1配線およびテスト用パターン上の前記第1絶縁膜を除去することにより第1パッド領域を露出させる工程と、

(d)前記第1配線上の第1パッド領域から第2パッド領域まで延在する第2配線を形成する工程と、 20

(e)前記第2配線およびテスト用パターン上に、第2絶縁膜を形成する工程と、

(f)前記第2配線の第2パッド領域上およびスクライプ領域の第2絶縁膜を除去する工程と、

(g)前記(f)工程の後、前記半導体ウエハを酸性の洗浄液を用いて洗浄、又はメッキ液を用いて置換メッキする工程と、

を含み、

前記第1パッド領域は、前記第1絶縁膜を除去することにより露出した前記第1配線及び前記テスト用パターンのそれぞれの一部であり、

前記第2パッド領域は、前記第2絶縁膜を除去することにより露出した前記第2配線の一部であり、 30

前記第1導電性膜は、A l (アルミニウム)もしくはC u (銅)を主成分としており、

前記第2導電性膜は、T i N (窒化チタン)膜、T a (タンタル)膜、T a N (窒化タンタル)膜、W (タングステン)膜もしくはW N (窒化タングステン)膜の単層膜、もしくはこれらの膜の積層膜よりなることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】

前記第1絶縁膜は、ポリイミド膜であることを特徴とする請求項7記載の半導体集積回路装置の製造方法。

【請求項 9】

前記置換メッキ工程により、前記第2配線の一部である前記第2パッド領域にメッキ膜が形成されることを特徴とする請求項 7記載の半導体集積回路装置の製造方法。 40

【請求項 10】

前記メッキ膜は、A u (金)から成ることを特徴とする請求項9記載の半導体集積回路装置の製造方法。

【請求項 11】

前記第1配線と前記テスト用パターンとは電気的に接続されていることを特徴とする請求項7記載の半導体集積回路装置の製造方法。

【請求項 12】

前記半導体集積回路装置の製造方法は、

前記(c)工程の後に、

(h) 前記テスト用パターンを用いて、前記テスト用パターンもしくは前記テスト用パターンと電気的に接続されている部分の評価を行う工程、

を有することを特徴とする請求項7記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、バンプ電極の下にメッキ法で形成される金属を有する半導体装置およびその製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】

I C (Integrated Circuit) チップの表面のボンディングパッド部とパッケージのリードとを金細線などで電気的に接続するワイヤーボンディング (wire bonding) に比べ、小型・薄型化を実現できるパッケージとしてワイヤレスボンディングが実用化されている。10

【0003】

このワイヤレスボンディングとは、I C チップをプリント基板などに実装する際、金細線等のボンディングワイヤーを使わず、チップのボンディングパッド部に形成した突起 (バンプ) を接続する実装形態をいう。

【0004】

なかでもC S P (チップサイズパッケージ) は、半導体チップのサイズと同等または、わずかに大きいパッケージの総称であり、1) 多ピン化が容易になる、2) バンプ電極同士のスペースを広く取れ、また、バンプ電極の直径を大きくできる等の理由から、外部接続端子を構成するバンプ電極をチップの中央部にエリア配置する (いわゆるエリアアレイ構造) ものがある。20

【0005】

このエリアアレイ構造のI C を製造するには、例えば、チップの周辺部に沿って配置されるパッド部とチップ全面にエリア配置されるバンプ電極とを接続するための配線、いわゆる再配線が必要となる。

【0006】

例えば、特開2000-294607号公報には、ポリイミド系の樹脂からなる絶縁膜6に、電極パッド部2Aの表面を露出する開口6Aを形成し、開口6A内を含む絶縁層6上に例えれば銅 (Cu) 膜からなる配線7を形成し、さらに、配線7上に絶縁層8を形成し、絶縁層8に配線7の一端側を露出する開口8Bを形成した後、開口8B上に電極パッド部2Aの配列ピッチよりも広い配列ピッチの電極パッド部9Bを形成する技術が開示されている。30

【0007】

【発明が解決しようとする課題】

本発明者らは、半導体集積回路装置 (半導体装置) の研究・開発に従事しており、電極パッド部とバンプ電極とを接続するための再配線を用いることを検討している。また、この再配線上には、バンプ電極が形成されるが、その下地膜としてはAu (金) 膜等が検討されており、その形成方法として経済的なメッキ法の採用を検討している。40

【0008】

一方、ウエハ上には、半導体集積回路の基本的特性、例えば、配線やプラグの接続抵抗やその温度特性等を適宜検査するため、実際の半導体集積回路を構成する素子や配線と同一工程で形成されたテスト用パターン (T E G : Test Element Group) が形成される。

【0009】

このようなT E G は、実際の半導体集積回路が形成されるチップ領域間、いわゆるスクライブライン上に形成される。

【0010】

しかしながら、T E G 上のパッド部上には、再配線やバンプ電極を形成する必要がなく、また、再配線やその上部の保護層等を形成した場合には、スクライブライン上の積層膜厚50

が大きくなりダイシング（個片化）が困難となる。

【0011】

従って、追って詳細に説明するように、下地膜等の形成時には、TEG上のパッド部が露出した状態となり、メッキ液やメッキを行う前の洗浄液により、パッド部が浸食される。

【0012】

また、半導体集積回路においては、TEGを用いた試験の他、実際の半導体集積回路の特性についても検査が行われる。例えば、フラッシュメモリ等の電気的書き込みおよび消去が可能な不揮発性メモリ（EEPROM：Electrically Erasable Programmable Read Only Memory）においては、例えば、その寿命を検査（保証）するため、フラッシュメモリを、高温下、例えば、250℃の雰囲気下に、8時間程度さらし（バーンインし）、その前後のメモリセルの特性、例えば、浮遊電極に蓄積された電荷量の変化を測定し、良、不良を判定する。10

【0013】

この際、検査に用いられるパッド部の表面には、1) パッド部上に当接するプローブ針の接触抵抗を低減するため、また、2) 検査後に、パッド部上に形成される半田バンプのぬれ性を良くするために、前述の金（Au）層が下地膜として形成される。

【0014】

しかしながら、このAu層に、バーンインによる熱負荷が加わると、追って詳細に説明するように、半田搭載時のぬれ性の悪化や半田バンプ形成後のシェア強度の劣化が生じた。20

【0015】

本発明の目的は、TEG上のパッド部の浸食を防止することにより、半導体集積回路装置の適切な評価を可能とするものである。

【0016】

また、本発明の他の目的は、TEG上のパッド部の露出を防止することにより、実デバイスが形成されるチップ領域において、メッキ不良を防止し、引いては、半導体集積回路装置の特性を向上させることにある。

【0017】

また、本発明の他の目的は、半田搭載時のぬれ性や半田搭載後のシェア強度の向上を図り、半導体集積回路装置の特性を向上させることにある。

【0018】

本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。30

【0019】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0020】

(1) 本発明の半導体集積回路装置の製造方法は、(a) 半導体ウエハのチップ領域に、第1導電性膜とその上部の第2導電性膜とを有する第1配線を形成し、前記半導体ウエハのスクライプ領域に第1導電性膜とその上部の第2導電性膜とを有するテスト用パターンを形成する工程と、(b) 前記第1配線上に、絶縁膜を介して第2配線を形成する工程と、(c) 前記第2配線の一部であるパッド領域を、前記テスト用パターンの表面の第2導電性膜が露出した状態で、酸性の洗浄液を用いて洗浄、又はメッキ液を用いて置換メッキする工程と、を含み、前記第1導電性膜は、Al（アルミニウム）もしくはCu（銅）を主成分としており、前記第2導電性膜は、TiN（窒化チタン）膜、Ta（タンタル）膜、TaN（窒化タンタル）膜、W（タンゲステン）膜もしくはWN（窒化タンゲステン）膜の単層膜、もしくはこれらの膜の積層膜よりなるものである。40

【0021】

(2) 本発明の半導体集積回路装置の製造方法は、(a) 半導体ウエハのチップ領域に、第1導電性膜とその上部の第2導電性膜とを有する第1配線を形成し、前記半導体ウエハ

10

20

30

40

50

ハのスクライプ領域に第1導電性膜とその上部の第2導電性膜とを有するテスト用パターンを形成する工程と、(b)前記第1配線およびテスト用パターン上に、第1絶縁膜を形成する工程と、(c)前記第1配線およびテスト用パターン上の前記第1絶縁膜を除去することにより第1パッド領域を露出させる工程と、(d)前記第1配線上の第1パッド領域から第2パッド領域まで延在する第2配線を形成する工程と、(e)前記第2配線およびテスト用パターン上に、第2絶縁膜を形成する工程と、(f)前記第2配線の第2パッド領域上およびスクライプ領域の第2絶縁膜を除去する工程と、(g)前記(f)工程の後、前記半導体ウエハを酸性の洗浄液を用いて洗浄、又はメッキ液を用いて置換メッキする工程と、を含み、前記第1パッド領域は、前記第1絶縁膜を除去することにより露出した前記第1配線及び前記テスト用パターンのそれぞれの一部であり、前記第2パッド領域は、前記第2絶縁膜を除去することにより露出した前記第2配線の一部であり、前記第1導電性膜は、Al(アルミニウム)もしくはCu(銅)を主成分としており、前記第2導電性膜は、TiN(窒化チタン)膜、Ta(タンタル)膜、TaN(窒化タンタル)膜、W(タンゲステン)膜もしくはWN(窒化タンゲステン)膜の単層膜、もしくはこれらの膜の積層膜よりなるものである。

10

【0022】

(3) 本発明の半導体集積回路装置の製造方法は、半導体ウエハ上に形成された半導体素子と電気的に接続された第1配線のパッド領域上に、第1導電性膜を形成し、半導体ウエハに熱処理を施し、パッド領域を利用して半導体素子の特性を検査した後に、第1導電性膜上にさらに第2導電性膜を形成するものである。

20

【0023】

(4) 本発明の半導体集積回路装置の製造方法は、ウエハ状態の半導体基板上に形成された不揮発性メモリと電気的に接続された配線上のパッド領域に開口部を有するポリイミド膜を形成した後、ウエハ状態で、前記半導体基板に一定時間の熱負荷を加え、パッド領域を利用して不揮発性メモリの情報保持特性を検査するものである。

【0024】

(5) 本発明の半導体集積回路装置の製造方法は、ウエハ状態の半導体基板上に形成された不揮発性メモリと電気的に接続された配線上のパッド領域に開口部を有するポリイミド膜を形成し、ウエハ状態で、前記半導体基板に一定時間の熱負荷を加え、パッド領域を利用して不揮発性メモリの情報保持特性を検査し、その後、パッド領域上にメッキ膜を形成するものである。

30

【0025】**【発明の実施の形態】**

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0026】**(実施の形態1)**

本発明の実施の形態である半導体集積回路装置をその製造方法に従って説明する。

【0027】

(1) まず、図1～図6を参照しながら、半導体ウエハのメモリセル形成領域(MCFR)に不揮発性半導体メモリセル(以下、単に「メモリセル」という)を、周辺回路形成領域上にnチャネル型MISFETQ_nを、形成するまでの工程について説明する。なお、図1～図6は、本発明の実施の形態1である半導体集積回路装置(不揮発性半導体メモリ)の製造方法を示す基板の要部断面図もしくは要部平面図である。

40

【0028】

図1～図3は、半導体ウエハ(半導体基板1)のチップ領域CAの要部断面図であり、図4は、半導体ウエハのスクライプ領域SAの要部断面図である。また、図1および図2は、チップ領域CAのうちのメモリセル形成領域(MCFR)の要部断面図を示し、図3は、チップ領域CAのうちの周辺回路形成領域(PCFR)要部断面図を示す。図5は、メ

50

モリセル形成領域（M C F R）の基板の要部平面図であり、図1は、図5のA-A断面部に、図2は、図5のB-B断面部に対応する。

【0029】

即ち、図34に示すように、本実施の形態の半導体集積回路装置が形成される半導体ウエハ（半導体基板）1は、略矩形状のチップ領域CAを複数有し、複数のチップ領域CAは、スクライプ領域SAによって区画される。後述するように、このスクライプ領域SAを切断することによりチップが個片化される。

【0030】

図1～図5に示すように、例えばp型の単結晶シリコンからなる半導体基板（以下、単に「基板」という）1中に素子分離4を形成する。この素子分離4は、例えば、以下の方法で形成する。10

【0031】

基板1をエッチングすることにより溝を形成する。その後、基板1を熱酸化することによって、溝の内壁に薄い酸化シリコン膜を形成し、さらに、溝の内部を含む基板1上に、絶縁膜として例えば酸化シリコン膜6をCVD（Chemical Vapor Deposition）法で堆積する。次いで、CMP（Chemical Mechanical Polishing）法で溝の外部の酸化シリコン膜6を研磨することにより、溝内部に酸化シリコン膜6を埋め込む。その結果、メモリセルや周辺回路が形成される活性領域間が分離される。なお、LOCOS（Local Oxidation of silicon）法を用いて、素子分離4を形成してもよい。

【0032】

次に、基板1にp型不純物（例えば、ホウ素）をイオン打ち込みした後、熱処理を施し、前記不純物を拡散させることによって、メモリセル形成領域（M C F R）および周辺回路形成領域（P C F R）にp型ウエル8を形成する。なお、周辺回路形成領域（P C F R）には、必要に応じてn型ウエルが形成されるが、ここではその図示は省略する。20

【0033】

次に、基板1（p型不純物）を熱酸化することにより、p型ウエル8の表面に、ゲート絶縁膜11を形成する。なお、このゲート絶縁膜11は、メモリセルおよび周辺回路を構成するMISFET（Metal Insulator Semiconductor Field Effect Transistor）のゲート絶縁膜となるが、これらの膜厚が異なる場合には、それぞれを別工程で形成する。

【0034】

次に、基板1上に、導電性膜としてリンをドープした多結晶シリコン膜を、例えばCVD法で堆積する。次に、フォトレジスト膜（図示せず、以下単に「レジスト膜」という）をマスクにして多結晶シリコン膜をドライエッチングすることにより、図5に示すように、メモリセル形成領域（M C F R）において、X方向に延在する多結晶シリコンパターン13aを形成する。図5は、多結晶シリコンパターン13a形成後のメモリセル形成領域（M C F R）の基板の要部平面図である。また、周辺回路形成領域（P C F R）にゲート電極Gを形成する。なお、多結晶シリコンパターン13aは、この後、Y方向にエッチングされることによりメモリセルの浮遊電極FGとなる（図6参照）。

【0035】

次に、多結晶シリコンパターン13aおよびゲート電極G上に、絶縁膜として例えばONO膜15を形成する。このONO膜15は、酸化シリコン膜、窒化シリコン膜および酸化シリコン膜の積層膜であり、例えばCVD法を用いてこれらの膜を順次堆積することにより形成する。なお、最上層の酸化シリコン膜上に、さらに窒化シリコン膜を堆積してもよい。

【0036】

次いで、基板1上に、導電性膜としてリンがドープされた多結晶シリコン膜17を例えばCVD法により堆積する。なお、この多結晶シリコン膜17は、メモリセルの制御電極CGとなる。続いて、その上部に絶縁膜として窒化シリコン膜19を例えばCVD法で堆積する。

【0037】

10

20

30

40

50

次に、メモリセル形成領域（M C F R）のレジスト膜（図示せず）をマスクにして窒化シリコン膜19、多結晶シリコン膜17、ON O膜15、多結晶シリコンパターン13aをドライエッチングする。

【0038】

このドライエッチングにより、多結晶シリコンパターン13aがメモリセル毎に分割され、浮遊電極F Gとなる。また、この浮遊電極F G上には、ON O膜15を介して制御電極C Gが形成される。制御電極C Gは、図6に示すように、Y方向に延在している。図6は、制御電極C G形成後のメモリセル形成領域（M C F R）の基板の要部平面図である。

【0039】

次に、図示しないレジスト膜をマスクに、p型ウエル8にn型不純物（例えば、ヒ素）をイオン打ち込みした後、熱処理を施し前記不純物を拡散させることによって、ゲート電極Gの両側に、n⁻型半導体領域21を形成する。また、制御電極C Gの一方の側にn⁻型半導体領域21を形成する。

【0040】

また、図示しないレジスト膜をマスクに、p型ウエル8にn型不純物（例えば、ヒ素）をイオン打ち込みした後、熱処理を施し前記不純物を拡散させることによって、制御電極C Gの他方の側にn⁺型半導体領域22（ドレイン）を形成する。

【0041】

次いで、基板1上に、絶縁膜として窒化シリコン膜を例えればC V D法で堆積し、異方的にエッチングすることによって、制御電極C Gおよびゲート電極Gの側壁にサイドウォールスペーサ23を形成する。

【0042】

次に、図示しないレジスト膜をマスクに、p型ウエル8にn型不純物（リンまたはヒ素）をイオン打ち込みした後、熱処理を施し前記不純物を拡散させることによって、ゲート電極Gの両側に、n⁺型半導体領域25（ソース、ドレイン領域）を形成する。また、制御電極C Gの一方の側（n⁻型半導体領域21）に、n⁺型半導体領域25（ソース）を形成する。

【0043】

以上の工程により、メモリセル形成領域（M C F R）に、制御電極C G、ON O膜15、浮遊電極F Gおよびゲート絶縁膜11を有するメモリセルが形成され、周辺回路形成領域（P C F R）にnチャネル型M I S F E T Q nが形成される。なお、本実施の形態においては、周辺回路形成領域（P C F R）の形成されるnチャネルM I S F E Tを例にその製造工程を説明したが、もちろん周辺回路形成領域（n型ウエル）に、pチャネル型M I S F E Tを形成してもよい。このpチャネル型M I S F E Tの形成工程については、M I S F E Tを構成する不純物領域の導電型が異なることを除いては前述の工程（nチャネル型M I S F E Tの場合）と同様の工程で形成することができるためその説明を省略する。

【0044】

(2) 次いで、メモリセルおよびnチャネル型M I S F E T Q n上に、例えば、3層の配線を形成する工程について、図7～図12を参照しながら説明する。なお、図7～図12は、本発明の実施の形態1である半導体集積回路装置（不揮発性半導体メモリ）の製造方法を示す基板の要部断面図もしくは要部平面図である。図7～図9は、半導体ウエハ（半導体基板1）のチップ領域C Aの要部断面図であり、図10は、半導体ウエハのスクライプ領域S Aの要部断面図である。また、図7および図8は、チップ領域C Aのうちのメモリセル形成領域（M C F R）の要部断面図を示し、図9は、チップ領域C Aのうちの周辺回路形成領域（P C F R）要部断面図を示す。図11および図12は、メモリセル形成領域（M C F R）の基板の要部平面図であり、図7は、A - A断面部に、図8は、B - B断面部に対応する。

【0045】

まず、図7～図11に示すように、基板1の上部に、導電性膜としてW（タンゲステン）膜を例えればC V D法により堆積する。次いで、レジスト膜（図示せず）をマスクに、W膜

10

20

30

40

50

をドライエッティングすることにより、メモリセル形成領域（M C F R）のn⁺型半導体領域22（ドレイン）およびn⁺型半導体領域25（ソース）上に、導電性層M Lを形成する。なお、この導電性層M Lは、図11に示すように、n⁺型半導体領域22（ドレイン）上においては、メモリセル毎に分割して形成され、また、n⁺型半導体領域25（ソース）上においては、Y方向に位置するメモリセルのソースを接続するよう形成されている。

【0046】

次いで、導電性層M L上および窒化シリコン膜19上に、絶縁膜として酸化シリコン膜31を例えればCVD法により堆積する。次いで、導電性層M L上の酸化シリコン膜31を除去することによりコンタクトホールC1を形成する。この際、周辺回路形成領域（P C F R）のn⁺型半導体領域25（ソース、ドレイン領域）上にもコンタクトホールC1を形成する。なお、図11に示すように、メモリセル形成領域（M C F R）のn⁺型半導体領域25（ソース）上のコンタクトホールC1は、図7とは異なる断面に表れる。

【0047】

次いで、コンタクトホールC1の内部を含む酸化シリコン膜31上に、バリア膜としてTi（チタン）およびTiN（窒化チタン）の積層膜（図示せず）を例えればスパッタ法により順次堆積した後、さらに、導電性膜としてW（タンゲステン）膜を例えればCVD法により堆積する。次いで、コンタクトホールC1の外部のW膜、TiN膜およびTi膜を例えればCMP法により除去することにより、プラグP1を形成する。図11は、プラグP1形成後のメモリセル形成領域（M C F R）の基板の要部平面図である。

【0048】

次いで、プラグP1上を含む酸化シリコン膜31上に、導電性膜としてW膜を例えればCVD法により堆積する。次いで、レジスト膜（図示せず）をマスクにW膜をドライエッティングすることによって第1層配線M1を形成する。図7および図8中の第1層配線M1は、副ビット線SBLとなり、また、図12に示すように、メモリセル形成領域（M C F R）のn⁺型半導体領域25（ソース）上に形成されるプラグP1上の第1層配線M1は、共通ソース線CSLとなる。図12は、第1層配線M1形成後のメモリセル形成領域（M C F R）の基板の要部平面図である。

【0049】

次いで、第1層配線M1上を含む酸化シリコン膜31上に、絶縁膜として酸化シリコン膜33を例えればCVD法により堆積する。次いで、第1層配線M1上の酸化シリコン膜33を除去することによりコンタクトホールC2を形成する。次いで、プラグP1と同様にコンタクトホールC2内に導電性膜を埋め込むことによりプラグP2を形成する。

【0050】

次いで、プラグP2上を含む酸化シリコン膜33上に、導電性膜としてW膜を例えればCVD法により堆積する。次いで、レジスト膜（図示せず）をマスクにW膜をドライエッティングすることによって第2層配線M2を形成する。なお、図7および図8中の第2層配線M2は、副ビット線SBLと図示しないプラグを介し接続される主ビット線MBLである。この主ビット線MBLは、副ビット線SBLと同じ方向（X方向）に延在する。

【0051】

次いで、第2層配線M2上を含む酸化シリコン膜33上に、絶縁膜として酸化シリコン膜35を例えればCVD法により堆積する。次いで、第2層配線M2上の酸化シリコン膜35を除去することによりコンタクトホールC3を形成する。次いで、プラグP1と同様にコンタクトホールC3内に導電性膜を埋め込むことによりプラグP3を形成する。

【0052】

次いで、プラグP3上を含む酸化シリコン膜35上に、導電性膜としてTiN膜M3a、A1（アルミニウム）合金膜M3bおよびTiN膜M3cを例えればスパッタ法で堆積する。TiN膜M3aおよびM3cは、1) A1合金膜M3bと酸化シリコン膜35等の絶縁膜との接着性を高める、また、2) A1合金よりなる第3層配線のエレクトロマイグレーション耐性を向上させる等、配線の信頼性を確保するために形成される。なお、TiN膜

10

20

30

40

50

の他、Ti膜、TiW膜、Ta(タンタル)膜、W(タンゲステン)膜もしくはWN(窒化タンゲステン)膜の単層膜、もしくはこれらの膜の積層膜を用いてもよい。

【0053】

次いで、レジスト膜(図示せず)をマスクにTiN膜M3a、Al(アルミニウム)合金膜M3bおよびTiN膜M3cをドライエッチングすることによって第3層配線M3を形成する。なお、図7および図8中の第3層配線M3は、例えば、制御電極CGと同じ方向に延在し、図示しないプラグや配線を介して制御電極CGと接続されている。

【0054】

ここで、図10に示すように、スクリープ領域SAにも、第3層配線M3が形成される。このスクリープ領域SAの第3層配線M3は、例えば、第3層配線M3の配線抵抗やその温度特性を評価するためのテストパターン(TEGパターン)である。また、図示はしないが、第3層配線M3は、その他評価すべき箇所(スクリープ領域に形成されたプラグ、配線やメモリセル等)と接続されている場合もある。

10

【0055】

(3) 次いで、チップ領域CA(メモリセル形成領域および周回路形成領域)およびスクリープ領域SA上の第3層配線M3上に、パッシベーション膜、ポリイミド膜等の保護膜、再配線およびバンプ電極等が形成されるが、これらの形成工程について、図13～図21および図24～33を参照しながら説明する。これらの図は、2つのチップ領域CAおよびこれらの間のスクリープ領域SAの断面図もしくはその部分拡大図である。なお、酸化シリコン膜35より下層の層は省略されている。

20

【0056】

前述したように、チップ領域CAおよびスクリープ領域SAには、TiN膜M3a、Al(アルミニウム)合金膜M3bおよびTiN膜M3cよりなる第3層配線M3が形成されている(図7～図10、図13等参照)。なお、チップ領域CA上の第3層配線M3は、メモリセル形成領域(MCFR)に形成されたものであるか、また、周回路形成領域(PCFR)に形成されたものであるかを問わない。

【0057】

次いで、図13に示すように、第3層配線M3上に、保護膜として窒化シリコン膜および酸化シリコン膜を、例えばCVD法で順次堆積し、これらの積層膜よりなるパッシベーション膜41を形成する。なお、パッシベーション膜41を、単層で構成してもよい。

30

【0058】

次いで、スクリープ領域SAの両端のパッシベーション膜41をドライエッチングにより除去し、開口部OA1を形成する。これにより、図34を参照しながら説明したスクリープ領域SAが明確になる。

【0059】

次いで、図14に示すように、パッシベーション膜41の上層に、所望の位置に開口部を有するポリイミド樹脂膜43を形成する。このポリイミド樹脂膜43を形成するには、まず、感光性ポリイミド樹脂膜を5μm程度スピニ塗布し、熱処理(プリベーク)を施す。次いで、ポリイミド樹脂膜を露光、現像して開口(OA2)した後、熱処理(ポストベーク)を施し、ポリイミド樹脂膜を硬化(キュア)させる。ポストベーク時には、例えば350度、1時間程度の熱処理が行われる。

40

【0060】

次に、図15に示すように、上記ポリイミド樹脂膜43をマスクにして下層のパッシベーション膜41をドライエッチングし、第3層配線M3(TiN膜M3c)の一部を露出させる。この第3層配線M3の露出領域を、第1パッド部PAD1と呼ぶ。この第1パッド部PAD1のうち、チップ領域CA上の第1パッド部PAD1は、後述する再配線およびバンプ電極との接続のため、また、スクリープ領域SA上の第1パッド部PAD1は、かかる領域に、例えばプローブ針を当接し、評価(プローブ検査)を行うために開口される。評価には、例えば、第3層配線M3の配線抵抗やその温度特性、もしくは第3層配線M3と接続される配線、プラグやメモリセル等(図示せず)の特性の評価がある。なお、本

50

工程以降、スクリープ領域 S A 上の第 1 パッド部 P A D 1 が露出している状態において、適宜評価を行うことができる。

【 0 0 6 1 】

ここで、重要なことは、第 3 層配線 M 3 の最上部の T i N 膜 M 3 c を除去せず、残存させることである。即ち、第 1 パッド部 P A D 1 からは、T i N 膜 M 3 c の表面が露出していることとなる。

【 0 0 6 2 】

次いで、図 1 6 に示すように、スクリープ領域 S A のポリイミド樹脂膜 4 3 をドライエッティングにより除去する。なお、この工程を省略し、スクリープ領域 S A 上のポリイミド樹脂膜 4 3 を残存させたまま（図 1 5 に示す状態のまま）でも良い。

10

【 0 0 6 3 】

次いで、図 1 7 に示すように、第 1 パッド部 P A D 1 上を含むポリイミド樹脂膜 4 3 の上部にシード層（給電層）4 5 を形成する。このシード層 4 5 は、例えば、C r（クロム）膜と C u（銅）膜との積層膜よりなり、例えば、ポリイミド樹脂膜 4 3 の上部にスパッタリング法で膜厚 7 5 n m 程度の薄い C r 膜を堆積し、続いてこの C r 膜の上部にスパッタリング法で膜厚 2 5 0 n m 程度の C u 膜を堆積することにより形成する。

【 0 0 6 4 】

次に、図 1 8 に示すように、シード層 4 5 の上部にフォトリソグラフィー技術を用いて、第 1 パッド部 P A D 1 の上部から後述する第 2 パッド部 P A D 2 形成領域まで延在する長溝 4 7 を有するレジスト膜 R を形成する。

20

【 0 0 6 5 】

次に、図 1 9 に示すように、長溝 4 7 の内部に電解メッキ法で C u 膜 4 9 a を形成する。C u 膜 4 9 a を形成するには、基板 1 を C u 用のメッキ液に浸漬してシード層 4 5 をマイナス（-）電極に固定し、レジスト膜 R で覆われていない長溝 4 7 の底部のシード層 4 5 の表面に膜厚 3 . 5 μ m 程度の C u 膜 4 9 a を析出させる。

【 0 0 6 6 】

さらに、この後、長溝 4 7 の内部の C u 膜 4 9 a 上に N i（ニッケル）膜 4 9 b を電界メッキ法で形成する。N i 膜 4 9 b を形成するには、基板 1 を N i 用のメッキ液に浸漬してシード層 4 5 をマイナス（-）電極に固定し、レジスト膜 R で覆われていない長溝 4 7 の底部の C u 膜 4 9 a の表面に膜厚 3 . 3 μ m 程度の N i 膜 4 9 b を析出させる。

30

【 0 0 6 7 】

ここで、図 1 9 に示すように、スクリープ領域 S A 上は、レジスト膜 R で覆われており、C u 膜 4 9 a および N i 膜 4 9 b は形成されない。これは、スクリープ領域 S A 上には、後述する再配線を形成する必要がなく、また、スクリープライン上の積層膜厚をできるだけ小さくすることにより、切断（ダイシング）し易くするためである。

【 0 0 6 8 】

その後、レジスト膜 R を除去した後、C u 膜 4 9 a および N i 膜 4 9 b をマスクにしたウエットエッティングで不要となったシード層 4 5 を除去する。その結果、シード層 4 5 、 C u 膜 4 9 a と N i 膜 4 9 b との積層膜で構成される再配線 4 9 が形成される（図 2 0 ）。

40

【 0 0 6 9 】

この再配線は、例えば、チップ領域 C A の周りに密に形成された第 1 パッド部 P A D 1 上（図 3 5 参照）に、バンプ電極を形成するのは困難であるため、チップ領域 C A の全面に渡りバンプ電極を第 1 パッド部 P A D 1 より広い間隔で配置する際、第 1 パッド部 P A D 1 とバンプ電極（後述する第 2 パッド部 P A D 2 ）とを接続する役割を果たす。また、再配線は、間隔の狭い第 1 パッド部 P A D 1 をより間隔の広い第 2 パッド部 P A D 2 に再配置するための配線とも言える。もしくは、パッド部間の間隔を変えるための配線と言える。

【 0 0 7 0 】

なお、再配線 4 9 の下部のシード層 4 5 は、C u 膜 4 9 a とその下部のポリイミド樹脂膜 4 3 との接着強度を向上させる役割、また、C u がポリイミド樹脂膜 4 3 中に拡散するの

50

を防ぐ役割を果たす。

【0071】

ここで、Cu膜49a上にNi膜49bを積層するのは、後述する半田バンプ電極55とCu膜49aが接触することにより不所望な生成物が形成されることを防止するためである。また、Ni膜は、この後形成されるポリイミド樹脂膜に対する接着性が良いからである。なお、Niの他、Cr、Ti、TiN、Ta、TaN、WNなどを用いてもよい。

【0072】

次に、図21に示すように、再配線49上の第2パッド部PAD2およびスクライブ領域SAを開孔したポリイミド樹脂膜51を形成する。このポリイミド樹脂膜51は、ポリイミド樹脂膜43と同様に形成することができる。即ち、感光性ポリイミド樹脂膜を5μm程度スピン塗布し、熱処理(プリベーク)を施す。次いで、ポリイミド樹脂膜を露光、現像して第2パッド部PAD2およびスクライブ領域SAを開孔した後、熱処理(ポストベーク)を施し、ポリイミド樹脂膜を硬化(キュア)させる。ポストベーク時には、例えば350で、1時間程度の熱処理が行われる。

【0073】

ここで、ポリイミド樹脂膜51の開口部(第2パッド部PAD2)からは、再配線49(Ni膜49b)の表面が露出している。また、スクライブ領域SAのポリイミド樹脂膜51は除去されるため、第3層配線M3(TiN膜M3c)の表面が露出している。

【0074】

次に、ポリイミド樹脂膜51の開口部(第2パッド部PAD2)に露出したNi膜49b上に、無電界メッキ法でAu膜53aを形成するのであるが、まず、アッシング(灰化)処理、アルカリ脱脂処理および酸洗浄等の処理を行う。

【0075】

即ち、第2パッド部PAD2のNi膜49b上には、酸化膜Oxや、ポリイミド樹脂膜の残差等の有機汚染層Orが形成されているため(図21の丸部)、まず、酸素を用いたアッシング処理により、有機汚染層Orを除去する。但し、ポリイミド樹脂膜51等が過度に除去されるのを防止するため、アッシャ量は、0.2μm程度とする。

【0076】

次に、酸化膜Oxの除去およびNi膜49bの表面の活性化のためにアルカリ脱脂および酸洗浄を行う。アルカリ脱脂処理は、例えば、メタ珪酸ナトリウム溶液を用い、60で10分行う。また、酸洗浄は、例えば、20%の塩酸(HCl)を用いて25で5分行う。

【0077】

ここで、本実施の形態によれば、スクライブ領域SAの第3層配線M3が露出しているものの、その表面には、TiN膜M3cが残存しているため、酸洗浄等の前述の処理により、その下層のAl合金膜M3bが腐食することを防止できる。

【0078】

例えば、図22に示すように、第3層配線M3表面のTiN膜M3cを、例えば、第1パッド部PAD1を開口する際に、除去することも可能である。

【0079】

しかしながら、この場合、第1パッド部PAD1からは、Al合金膜M3bが露出しており、例えば、HCl等の洗浄液により腐食(溶解、酸化)してしまう。

【0080】

これに対して、本実施の形態によれば、前述したとおり、Al合金膜M3b上に、酸性の洗浄液に対する保護膜の役割を果たすTiN膜M3cが残存しているので、Al合金膜M3bの腐食を防止できる。ここで、接着性やエレクトロマイグレーション耐性を向上させるため、TiN膜の他、Ti膜、TiW膜、Ta膜、W膜もしくはWN膜の単層膜、もしくはこれらの膜の積層膜が用いられるが、酸性の洗浄液に対する保護膜としては、耐酸化性のあるTiN膜、Ta膜、TaN膜、W膜もしくはWN膜の単層膜、もしくはこれらの膜の積層膜を用いて好適である。また、これらの膜は、配線の表面を覆っていればよく、

10

20

30

40

50

例えば、A1合金膜M3b上にTi膜およびTiN膜が順次積層された構造でもよい。また、もちろん、酸性の洗浄液に対する保護膜として、配線を形成した後、洗浄工程やメッキ工程の前に前記膜を別途形成してもよい。

【0081】

また、第3層配線M3表面のTiN膜M3cを、例えば、第1パッド部PAD1を開口する際に、除去した場合、図23に示すように、チップ領域CAの第3層配線M3表面のTiN膜M3cも除去される。この場合、TiN膜M3cの膜厚分、開口部が深くなり、開口部コーナー部において、シード層45を構成するCr膜やCu膜の成膜性が悪くなる。これに対し、本実施の形態によれば、図24に示すように、開口部の段差が低減され、コーナー部におけるシード層45の被覆性を良くすることができる。

10

【0082】

また、TiN膜をエッティングする際には、TiN膜のサイドエッチが生ずる恐れがある。即ち、第1パッド部PAD1を開口する際に、TiN膜M3cの上層のパッシベーション膜41やポリイミド樹脂膜43による開口部側壁よりTiN膜M3cの側壁が後退し、オーバーハング形状となる。従って、このような開口部内に、Cr膜やCu膜（シード層45）を形成すると、コーナー部における被覆性が悪くなり、段切れが生じる。特に、TiN膜M3c、パッシベーション膜41およびポリイミド樹脂膜43を異なるマスクを用いてエッティングする際には、TiN膜M3cの側壁が何度もエッティング下にさらされることとなりオーバーハング形状となりやすく、段切れが生じやすくなる。これに対し、本実施の形態によれば、図24に示すように、TiN膜M3cを残存させたので、コーナー部におけるシード層45の被覆性を良くすることができる。

20

【0083】

なお、図23および図24は、それぞれ図21および図22の第1パッド部（PAD1）近傍の部分拡大図である。

【0084】

次いで、図25に示すように、第2パッド部PAD2から露出したNi膜49b上に、無電解メッキ法で膜厚20nm～150nm程度のAu膜53aを析出させる。メッキ液としては、Au用のメッキ液、例えば、亜硫酸金ナトリウム系のメッキ液を用い、55で10分間処理する。このメッキ法は、NiとAuのイオン化傾向の差を利用し、これらを置換させることによりAu膜53aを形成するもので、無電界メッキ法の中でも置換メッキ法と呼ばれる。なお、この置換メッキにおいては、Ni膜49b表面のNiがある程度Auと置換された後は、Auの析出は律速するため、厚い膜を得るのは困難である（図38のグラフ（a）参照）。従って、図26に示すように、その膜中には不連続部（ピンホール）が形成され易い。図26は、図25の第2パッド部（PAD2）近傍の部分拡大図である（図30～図32も同じ）。

30

【0085】

このように、第2パッド部PAD2のNi膜49b上にAu膜53aを形成するのは、1)後述するリテンション検査の際、第2パッド部PAD2上に当接するプローブ針の接触抵抗を低減させる、2)この第2パッド部PAD2上に形成される半田バンプ電極55の濡れ性を向上させるためである。この「濡れ性」とは、例えば、Sn（スズ）とPb（鉛）の合金半田を第2パッド部PAD2上に搭載する際、合金半田とAu膜との馴染みの程度をいう。

40

【0086】

ここで、本実施の形態によれば、スクライブ領域SAには、第3層配線M3が露出しているものの、その表面には、TiN膜M3cが残存しているため、メッキ液（例えば、亜硫酸金ナトリウム系のメッキ液）によるA1合金膜M3bの腐食を防止することができる。また、Au膜53aの膜質を向上させ、その成膜性を良くすることができる。

【0087】

例えば、図22に示したように、第3層配線M3表面のTiN膜M3cを第1パッド部PAD1を開口する際に、除去することも可能であるが、この場合、第1パッド部PAD1か

50

らは、A1合金膜M3bが露出しており、メッキ液によりA1合金膜M3bが腐食（溶解、酸化）してしまう。

【0088】

また、既に、第1パッド部PAD1を利用した検査が終わっている場合には、A1合金膜M3bが腐食しても問題ないように思える。

【0089】

しかしながら、メッキ液中にA1等の金属がとけ込むと、メッキ液を劣化させ、Au膜53aの析出を阻害し、また、Au膜53aの膜質を劣化させてしまう。

【0090】

また、スクライプ領域SAの第3層配線M3（TiN膜M3c）とチップ領域CAの第3層配線M3（TiN膜M3c）とが電気的に接続されている場合（図22参照）があり、この場合には、後述する電池効果が生じ、チップ領域CAにおいて、Au膜53aの析出を阻害してしまう。

【0091】

この電池効果とは、スクライプ領域SAにおいては、メッキ液中の塩素イオン等により、A1合金膜M3bがアルミニウムイオンとなり溶け出す、この際、放出された電子が、チップ領域CAのNi膜49bに影響し、その表面の活性化を阻害する。その結果、Au膜53aの析出速度が遅くなる。なお、この現象は、前述したHCl等を用いた洗浄の際にも生じ得る。

【0092】

これに対し、本実施の形態によれば、A1合金膜M3b上にTiN膜M3cが残存しているので、A1合金膜M3bの腐食を防止でき、チップ領域CAのNi膜49bの表面の活性化を適切に行うことができ、また、その活性化を維持することができる。その結果、Ni膜49b上に、Au膜53aを効果的に析出させることができる。

【0093】

次いで、リテンション検査を行う。このリテンション検査は、メモリセルを駆動し、制御電極CG内に電荷を蓄積させた際の情報保持特性を検査するもので、例えば、高温下にさらす（リテンションベークを行う）ことによって加速的に検査を行う。なお、リテンション検査は、例えば、ポリイミド樹脂膜51等のベーク等、高温の熱処理工程が終わった時点で行う方が好ましい。検査後に高温処理工程が存在するとかかる工程によりその特性が変化する恐れがあるからである。

【0094】

まず、現工程での情報保持特性を測定する。図27に示すように、第2パッド部PAD2の表面のAu膜53aにプローブ針Nを当接し、測定を行う。ここで、前述した通り、本実施の形態によれば、Au膜53aが成膜性良く形成されているため、精度良く上記測定を行うことができる。

【0095】

次いで、図28に示すように、基板1（半導体ウエハ）を、例えば、250℃の温度下に、8時間さらす（リテンションベーク）。

【0096】

次いで、リテンションベーク後の情報保持特性を測定する。即ち、図29に示すように、第2パッド部PAD2の表面のAu膜53aにプローブ針Nを当接し、測定を行う。なお、このリテンション検査の前もしくは後に、前述のTEG評価を行ってもよい。

【0097】

次いで、第2パッド部PAD2の表面のAu膜53a上に、バンプ電極を形成するのであるが、本発明者らは、以下の検討を行った。

【0098】

このAu膜53a（図29）上に、半田バンプ電極55を形成したところ、半田の濡れ性が悪く、不良となった。この際、Au膜53aの膜厚は55nmであった。

【0099】

10

20

30

40

50

これに対し、リテンションベーク前のAu膜53a(図27)上に、半田バンプ電極55を形成したところ、半田の濡れ性不良はなく、また、半田バンプ電極55のシェア強度も良かった。

【0100】

従って、上記不良は、リテンションベークによる第2パッド部PAD2の表面状態の劣化が深く関与しているのではないかとの結論に達し、その状態を検討し、以下に示す工程で、半田の濡れ性および半田バンプ電極55のシェア強度を向上させた。

【0101】

まず、基板1の表面を、酸性の洗浄液、例えば、HCl(塩化水素)等を用いて洗浄する。この洗浄を行う理由について以下に説明する。

10

【0102】

即ち、図30に示すように、リテンションベーク等、大気中において200℃を越える熱処理があると、Au膜53aの不連続部(ピンホール)を介しNiが表出し、酸化膜OXが形成される。また、Au膜53aの不連続部(ピンホール)から侵入した酸素により、ピンホール上やAu膜53aとNi膜49bとの界面に酸化膜が形成される。

【0103】

図39に、熱処理温度[℃]とNiの酸化膜厚[nm]との関係を示す。グラフ(a)は、Au膜を形成しなかった場合、グラフ(b)は、Au膜を44nm形成した場合、およびグラフ(c)は、Au膜を22nm形成した場合を示す。なお、熱処理時間は、8時間とした。

20

【0104】

グラフ(a)～(c)に示すように、熱処理温度が高くなるに従い、酸化膜厚が増大している。どのグラフも200℃を越えた辺りから急激に形成される酸化膜厚が増加する。また、Au膜が形成されたNi膜については、Au膜の膜厚の小さい方が、酸化膜厚が大きいという傾向があった。なお、Ni膜表面(Au膜の形成なし)よりも、Au膜が形成されたNi膜の表面の方が、酸化膜厚が大きいという傾向があった。これは、Au膜が薄い場合には、Au膜が島状となるため、その表面に凹凸が生じ表面積が大きくなる。この表面に、Ni膜中のNiが拡散し酸素を吸着してしまうためAu膜を付けた方が却って酸化膜厚が大きくなったものと推測される。

【0105】

30

このような酸化膜OXの存在が、半田を搭載する際の半田濡れ性を劣化させ、また、半田バンプ電極のシェア強度を劣化させる。このシェア強度とは、例えば、半田バンプ電極55に、横からの応力を機械的に加えた際、半田バンプ電極55のはがれや破壊に至るまで応力をいう。そこで、前述したように、例えば、20%の塩酸(HCl)を用いて25分間の洗浄を行い、上記酸化膜を除去する(図31)。

【0106】

次いで、図32に示すように、第2パッド部PAD2上のAu膜53a上に、置換メッキを施すことによりAu膜53bを析出させる。その結果、Au膜53aおよび53bの積層膜となる下地膜53が形成される。この積層膜の膜厚は、例えば、85nm程度である。なお、このようにAu膜53a上にさらにAu膜53bが成長するのは、Au膜53aのピンホール(不連続部)下のNiがAuと置換され、また、Au膜53a表面に存在するNiイオンがAuと置換されるためと考えられる。2回目のメッキ処理後のAu膜(53a、53b)をTEM(transmission electron microscope)で観察したところ図32に示すように連続膜であった。

40

【0107】

また、この洗浄や置換メッキの際にも、スクライブ領域SA上のAl合金膜M3b上にTiN膜M3cが残存しているので、Al合金膜M3bの腐食を防止でき、チップ領域CAのNi膜49bの表面の活性化を適切に行うことができる。

【0108】

なお、Au膜(下地膜53)とNi膜と境界を安定させるため、アニール(熱処理)を行

50

つても良い。

【0109】

この後、図33に示すように、この下地膜53の上にSn/Pb合金半田で構成されたバンプ電極55を接続する。バンプ電極55は、例えば印刷法もしくはボール転写法で形成する。なお、図33には、説明を分かり易くするため、Au膜53aおよび53bを表記してあるが、半田搭載後、Au膜53aおよび53bは半田中に吸収される。

【0110】

このように、本実施の形態によれば、第2パッド部PAD2上の酸化膜O_Xが除去されているので、半田の濡れ性を向上させることができる。また、リテンションペーク後に、さらに、Au膜53a上に、Au膜53bを形成したので、Au膜の不連続部（ピンホール）を減少させることができ、半田の濡れ性を向上させることができる。また、半田バンプ電極55のシェア強度を向上させることができる。例えば、前記条件においては、250g f / バンプのシェア強度が得られた。

【0111】

ここで、本発明者らは、置換メッキ処理時間を長くし、Au膜の厚膜を例えば、74nm程度（Au膜53aの膜厚の2倍程度）とすることで、ピンホールの数を減らし、Ni酸化膜O_Xの生成を抑制する方法についても検討した。この場合、図37に示すように、膜厚を70nm程度確保するためには、1900秒以上の処理時間が必要である。

【0112】

しかしながら、この場合も、半田の濡れ不良が生じ、また、Ni膜との界面において半田バンプ電極55のはがれが生じるといった不良が生じた。

【0113】

図37に、メッキ時間とAuの膜厚との関係を示す。グラフ(a)に示すように、メッキ時間が大きくなるに従いAuの膜厚も大きくなる。本実施の形態では、例えば、グラフ(a)に示すの処理の前段（例えば700秒）でAu膜53aを形成し、次いで、グラフ(b)に示す処理によりAu膜53bを形成する。このように、2段階で成膜することによって、連続処理の場合（グラフ(a)）よりも、短時間で所望の膜厚を確保することができる。

【0114】

また、図40に示すように、例えば1000nm程度のAu膜153aを形成することにより、ピンホールの形成や、Ni膜49bの露出およびその酸化を防止することも検討した。

【0115】

しかしながら、この場合は、前述の置換メッキ法を用いることは困難であり、例えば、メッキ液中に還元剤を添加することによりメッキ膜を厚く形成する（自己触媒型メッキ）方法を用いる必要がある。この場合、メッキ液が不安定となり易く、膜質の良い膜が得られない。また、Ni膜49b表面以外にもメッキ膜が以上析出する可能性が大きい。また、膜質を確保するためには、頻繁にメッキ液を交換する必要があり、コスト高となる。さらに、リテンションペークを行った後は、図41に示すように、Au膜153aとNi膜49bとの間に、AuとNiの合金層50が形成され、半田がその下部に侵入できなくなり、かかる界面で半田バンプ電極55の剥がれが生じやすくなる。このように、半田バンプ電極55のシェア強度を劣化させてしまう。

【0116】

これに対し、本実施の形態によれば、前述したように、半田バンプ電極55のシェア強度を向上させることができる。

【0117】

なお、図38に示すように、メッキ処理は、2段階である必要はなく、3段階もしくはそれ以上の工程で形成してもよい（グラフ(b)）。この場合、連続処理（グラフ(a)）では、その反応が律速し、形成することができない膜厚の膜であっても形成することができる。

10

20

30

40

50

【0118】

図34は、バンプ電極55の形成が完了した半導体ウエハ(半導体基板)1の全体平面図である。その後、このウエハ1をダイシングして複数個のチップCAに分割する(図35)。なお、チップCAの周囲に配置されている第1パッド部(PAD1)は、バンプ電極55と再配線(図示せず)によって接続されている。

【0119】

図36は、チップCAを実装基板60に実装した状態を示す断面図である。例えば、チップCAを実装基板60上にフェイスダウンボンディングし、バンプ電極55を加熱リフローした後、チップCAと実装基板60との隙間にアンダフィル樹脂62を充填することによりCSPが完成する。

10

【0120】

なお、本実施の形態は、リテンションベークにより劣化したAu膜53aの修復を例に説明したが、プローブ針等により傷つけられ、その表面の状態が悪くなったAu膜53aの修復にも適用可能である。

【0121】

(実施の形態2)

実施の形態1においては、第3層配線M3をAl合金膜を用いて形成したが、Cu膜を用いて形成してもよい。なお、第3層配線M3より下層の層、例えば、酸化シリコン膜35やその内部のプラグ等は、実施の形態1と同様に形成し得るため、その説明を省略する。

【0122】

20

まず、図42に示すように、酸化シリコン膜35上に、絶縁膜として窒化シリコン膜237および酸化シリコン膜239を例えばCVD法を用いて順次堆積する。

【0123】

次いで、窒化シリコン膜237および酸化シリコン膜239をドライエッティングすることにより配線溝MGを形成する。なお、窒化シリコン膜237は、エッティングストッパーの役割を果たす。

【0124】

次いで、配線溝MG内を含む酸化シリコン膜239の上部に、バリア膜として窒化タンタル(TaN)膜を例えばスパッタ法により堆積した後、TaN膜の上部に、導電性膜としてCu膜を、メッキ法もしくはCVD法で形成する。

30

【0125】

次いで、配線溝MG外部のTaN膜およびCu膜をCMP法により除去することにより第3層配線2M3を形成する。この際、Cu膜等をオーバー研磨することにより、その表面を酸化シリコン膜239の表面より後退させる。

【0126】

次いで、酸化シリコン膜239および第3層配線2M3上に、TiN膜2M3cを例えばCVD法で形成し、酸化シリコン膜239上のTiN膜2M3cを除去する。その結果、第3層配線2M3の表面が、TiN膜2M3cで覆われる。

【0127】

次に、酸化シリコン膜239および第3層配線2M3(TiN膜2M3c)上に、絶縁膜として窒化シリコン膜241および酸化シリコン膜243を例えばCVD法を用いて順次堆積することにより、これらの膜の積層膜よりなるバッシベーション膜を形成する。

40

【0128】

次いで、第3層配線2M3(TiN膜2M3c)上の窒化シリコン膜241および酸化シリコン膜243をエッティングにより除去することにより、第1パッド部PAD1を開口する。この後、実施の形態1と同様に、再配線やバンプ電極が形成される。

【0129】

このように、本実施の形態によれば、第3層配線2M3の表面にTiN膜2M3cを形成したので、スクライブ領域SAの第3層配線2M3(TiN膜M3c)が露出しても、酸洗浄やメッキ等の処理によりその下層のCu膜が腐食することを防止できる等、実施の形

50

態1で詳細に説明した効果を得ることができる。

【0130】

また、第1パッド部PAD1を開口した後、この開口部にTiN膜244を形成してもよい。

【0131】

即ち、図43に示すように、酸化シリコン膜239および第3層配線2M3上に、絶縁膜として窒化シリコン膜241および酸化シリコン膜243の積層膜よりなるパッシベーション膜を形成し、これらの膜をエッチングにより除去することにより、第1パッド部PAD1を開口する。

【0132】

次いで、開口部内を含む酸化シリコン膜243上に、TiN膜244を例えればCVD法で堆積し、その後、酸化シリコン膜243上のTiN膜244をCMP法により除去することにより、開口部の側壁および底部(第1パッド部PAD1)に、TiN膜244を残存させる。この後、実施の形態1と同様に、再配線やバンプ電極が形成される。

【0133】

この場合も、スクライブ領域SAの第3層配線2M3が露出しても、その上部にはTiN膜244が形成されているので、酸洗浄やメッキ等の処理によりその下層のCu膜が腐食することを防止できる等、実施の形態1で詳細に説明した効果を得ることができる。

【0134】

また、Cu膜は、ポリイミド樹脂膜との接触により変質層を形成するため、上記TiN膜(2M3c、244)によって、この変質層の形成を防止することができる。

【0135】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0136】

特に、前記実施の形態においては、NOR型の不揮発性メモリを例に説明したが、AND型、NAND型等の不揮発性メモリの他、半導体集積回路装置にも広く適用可能である。

【0137】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0138】

(1) 半導体ウエハのチップ領域に、第1配線を形成し、スクライブ領域にテスト用パターンを形成し、これらを第1導電性膜とその上部の第2導電性膜とで構成したので、第1配線上に絶縁膜を介して第2配線を形成した後、第2配線上のパッド領域を洗浄し、もしくはその上部にメッキ膜を形成しても、テスト用パターンの表面は、第2導電性膜で覆われているため、テスト用パターンが腐食することを防止することができる。また、テスト用パターンを用いて半導体集積回路装置を適切に評価することができる。また、テスト用パターンが腐食することを防止することにより、実デバイスが形成されるチップ領域におけるメッキ不良を防止することができる。また、半導体集積回路装置の特性を向上させることができる。

【0139】

(2) また、半導体ウエハ上に形成された半導体素子と電気的に接続された第1配線のパッド領域上に、第1導電性膜を形成し、半導体ウエハに熱処理を施し、パッド領域を利用して半導体素子の特性を検査した後に、第1導電性膜上にさらに第2導電性膜を形成したので、半田搭載時のぬれ性や半田形成後のシェア強度の向上を図ることができる。また、半導体集積回路装置の特性を向上させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断

10

20

30

40

50

面図である。

【図2】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図3】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図4】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図5】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部平面図である。

【図6】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部平面図である。 10

【図7】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図8】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図9】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図10】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。 20

【図11】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部平面図である。

【図12】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部平面図である。

【図13】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図14】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。 30

【図15】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図16】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図17】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図18】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図19】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図20】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図21】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。 40

【図22】本発明の実施の形態1の効果を説明するための半導体集積回路装置を示す基板の要部断面図である。

【図23】本発明の実施の形態1の効果を説明するための半導体集積回路装置を示す基板の要部断面図である。

【図24】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図25】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図26】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部 50

断面図である。

【図27】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図28】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図29】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図30】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図31】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。 10

【図32】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図33】本発明の実施の形態1である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図34】本発明の実施の形態1である半導体集積回路装置のバンプ電極の形成工程後の半導体ウエハの全体平面図である。

【図35】本発明の実施の形態1である半導体集積回路装置のバンプ電極の形成工程後のチップの平面図である。

【図36】本発明の実施の形態1である半導体集積回路装置(チップ)を実装基板に実装した状態を示す断面図である。 20

【図37】メッキ時間とAuの膜厚との関係を示す図である。

【図38】メッキ時間とAuの膜厚との関係を示す図である。

【図39】熱処理温度[]とNiの酸化膜厚[nm]との関係を示す図である。

【図40】本発明の実施の形態1の効果を説明するための半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図41】本発明の実施の形態1の効果を説明するための半導体集積回路装置の製造工程を示す基板の要部断面図である。

【図42】本発明の実施の形態2である半導体集積回路装置の製造工程を示す基板の要部断面図である。 30

【図43】本発明の実施の形態2である半導体集積回路装置の製造工程を示す基板の要部断面図である。

【符号の説明】

1 半導体ウエハ(半導体基板)

4 素子分離

6 酸化シリコン膜

8 p型ウエル

11 ゲート絶縁膜

13a 多結晶シリコンパターン

15 ONO膜

17 多結晶シリコン膜

19 室化シリコン膜

21 n-型半導体領域

22 n+型半導体領域

23 サイドウォールスペーサ

25 n+型半導体領域

31 酸化シリコン膜

33 酸化シリコン膜

35 酸化シリコン膜

41 パッシベーション膜

10

20

30

40

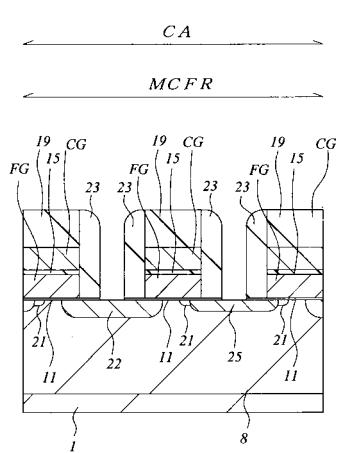
50

4 3	ポリイミド樹脂膜	
4 5	シード層	
4 7	長溝	
4 9	再配線	
4 9 a	C u 膜	
4 9 b	N i 膜	
5 0	合金層	
5 1	ポリイミド樹脂膜	
5 3	下地膜	
5 3 a	A u 膜	10
5 3 b	A u 膜	
5 5	バンプ電極（半田バンプ電極）	
6 0	実装基板	
6 2	アンダフィル樹脂	
1 5 3 a	A u 膜	
2 3 7	窒化シリコン膜	
2 3 9	酸化シリコン膜	
2 4 1	窒化シリコン膜	
2 4 3	酸化シリコン膜	
2 4 4	T i N 膜	20
2 M 3	第3層配線	
2 M 3 c	T i N 膜	
C 1	コントラクトホール	
C 2	コントラクトホール	
C 3	コントラクトホール	
C G	制御電極	
F G	浮遊電極	
G	ゲート電極	
C A	チップ領域（チップ）	
M 1	第1層配線	30
M 2	第2層配線	
M 3	第3層配線	
M 3 a	T i N 膜	
M 3 b	A l 合金膜	
M 3 c	T i N 膜	
C S L	共通ソース線	
M B L	主ビット線	
M G	配線溝	
M L	導電性層	
N	プローブ針	40
O A 1	開口部	
O A 2	開口部	
O r	有機汚染層	
O x	酸化膜	
P 1	プラグ	
P 2	プラグ	
P 3	プラグ	
P A D 1	第1パッド部	
P A D 2	第2パッド部	
R	レジスト膜	50

S A スクライブ領域
S B L 副ピット線

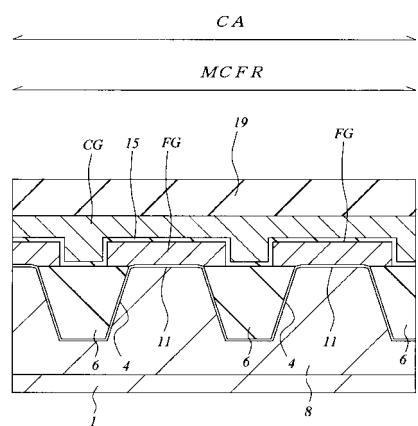
【図 1】

図 1



【図 2】

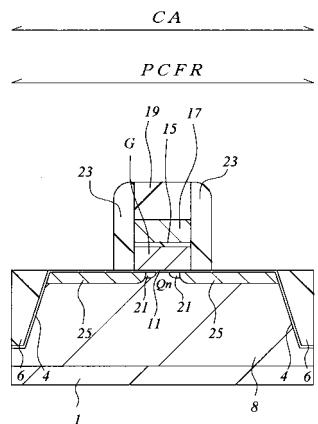
図 2



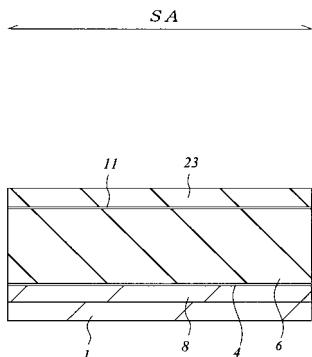
【 四 3 】

【 四 4 】

☒ 3



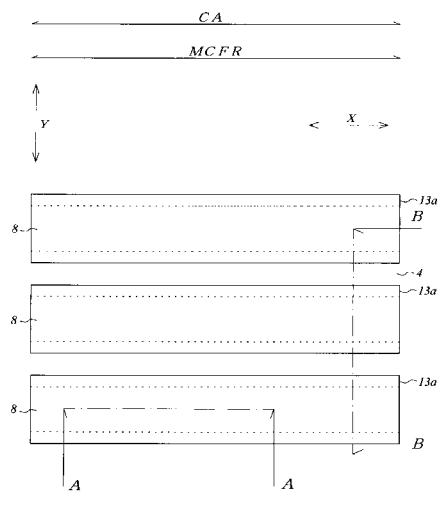
四



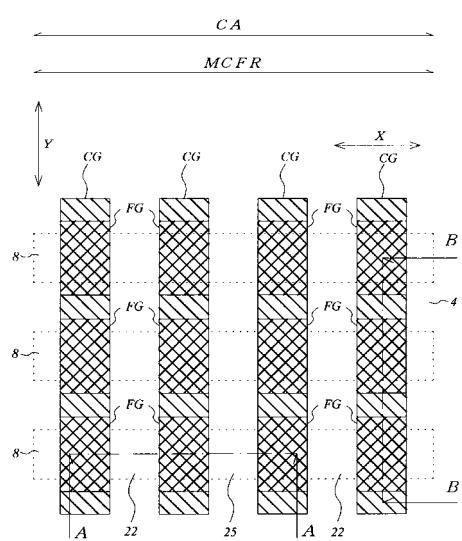
【 四 5 】

【 四 6 】

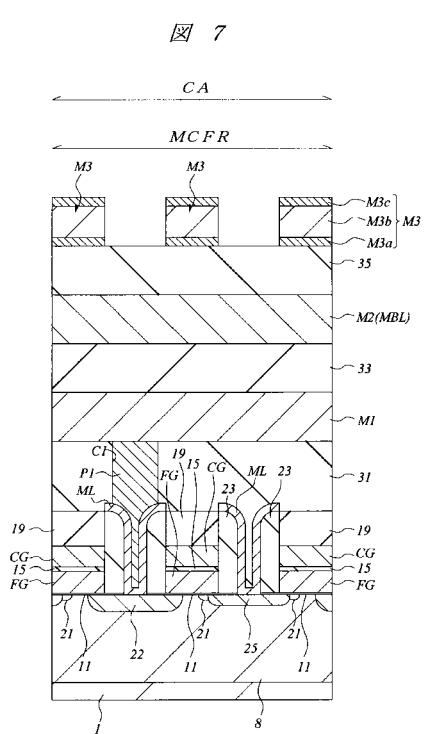
图 5



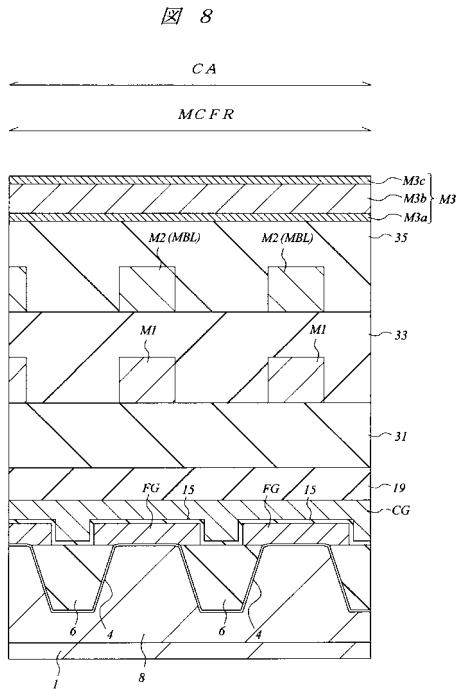
☒ 6



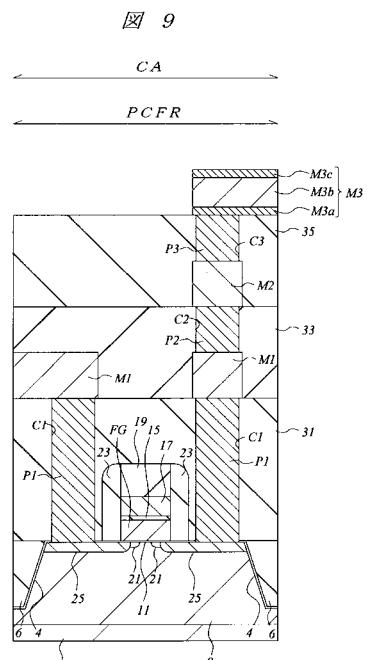
【図7】



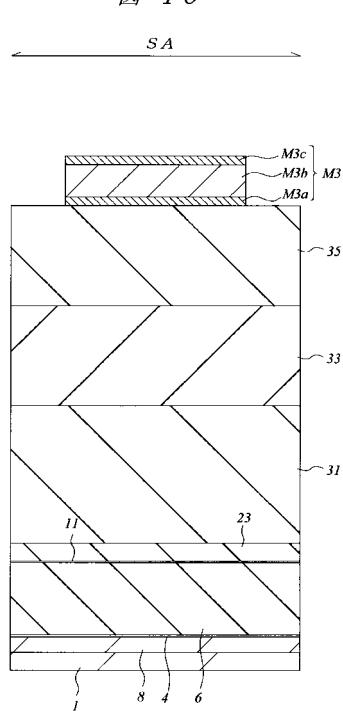
【図8】



【図9】

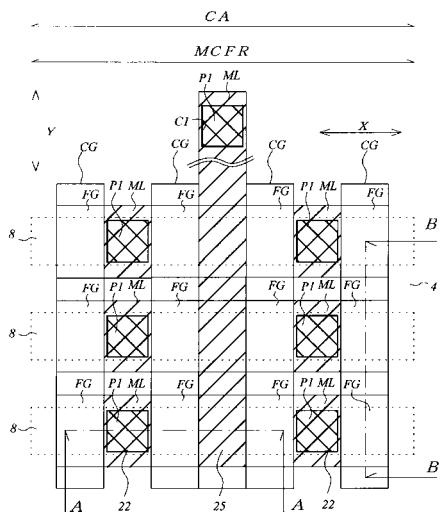


【図10】



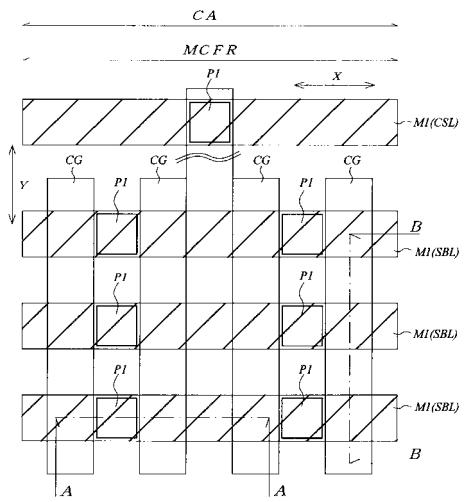
【図11】

図11

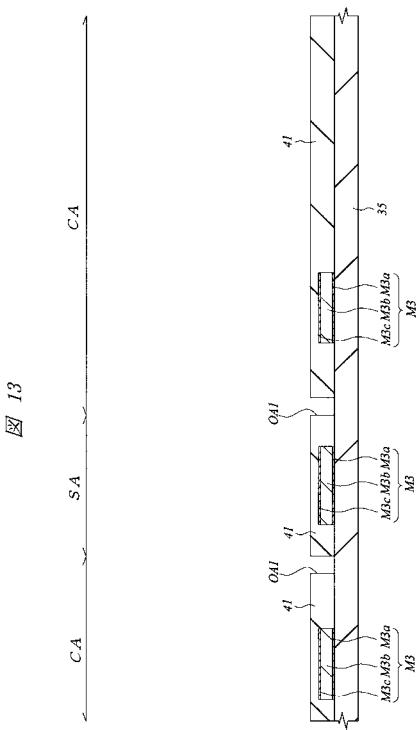


【図12】

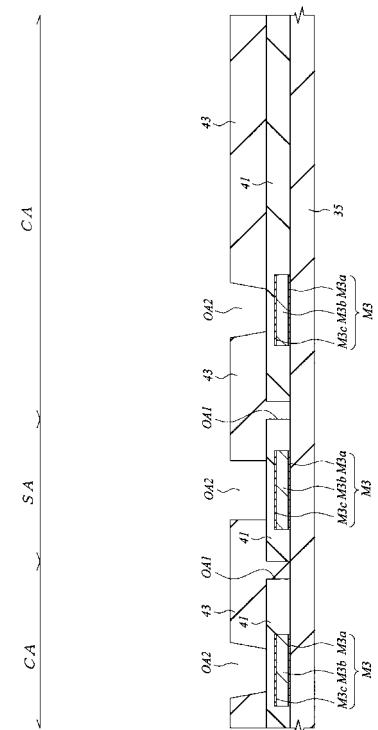
図12



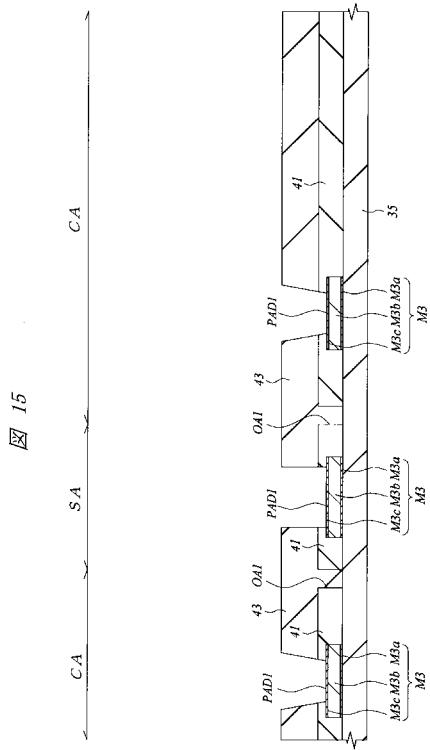
【図13】



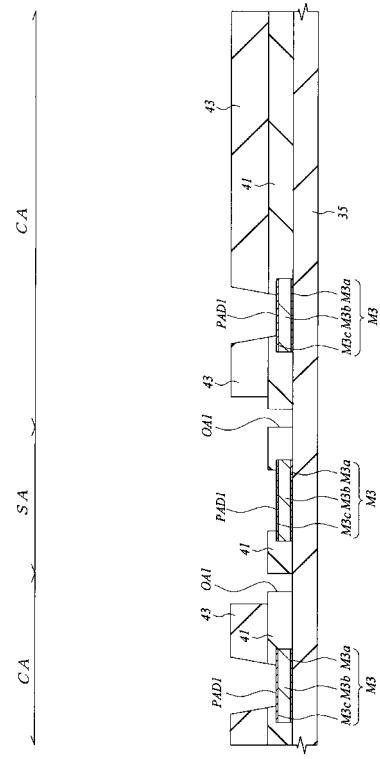
【図14】



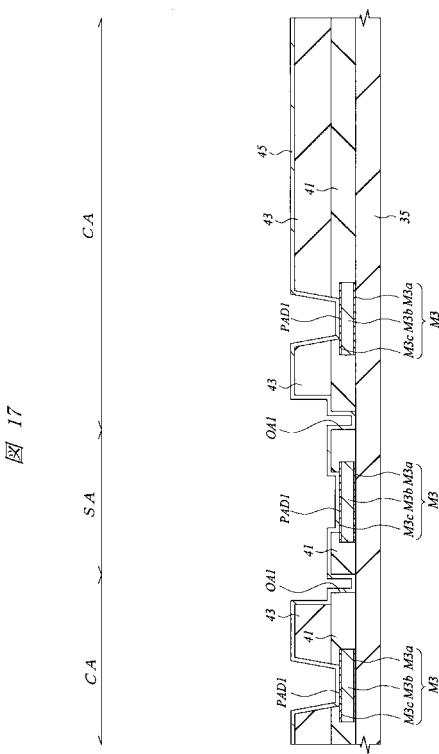
【図15】



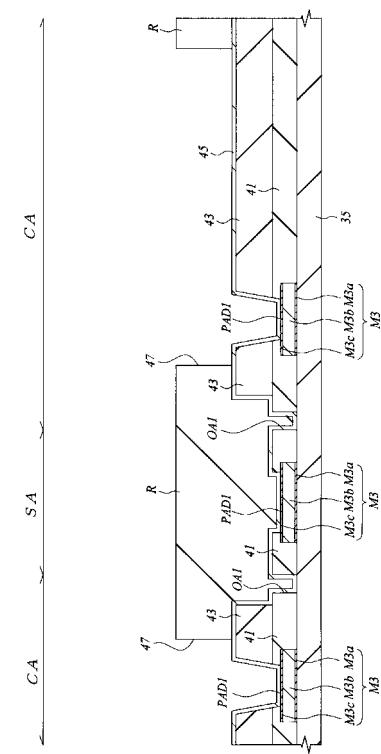
【図16】



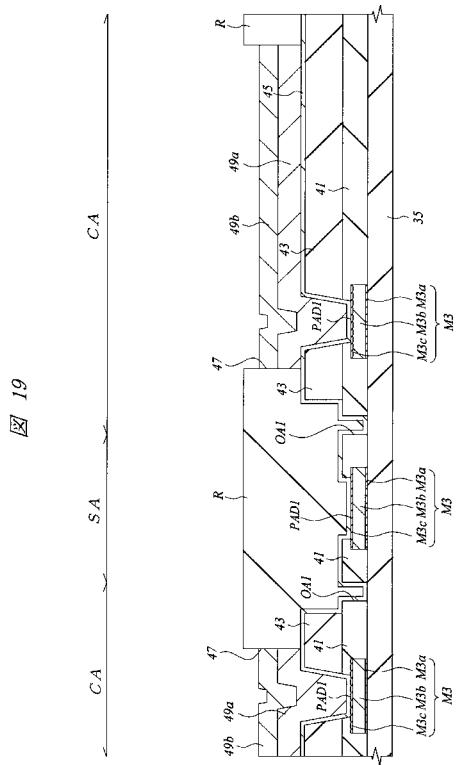
【図17】



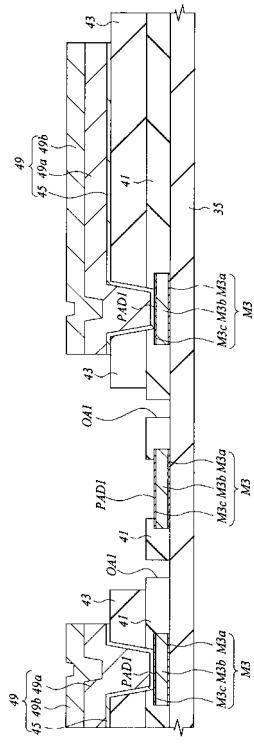
【図18】



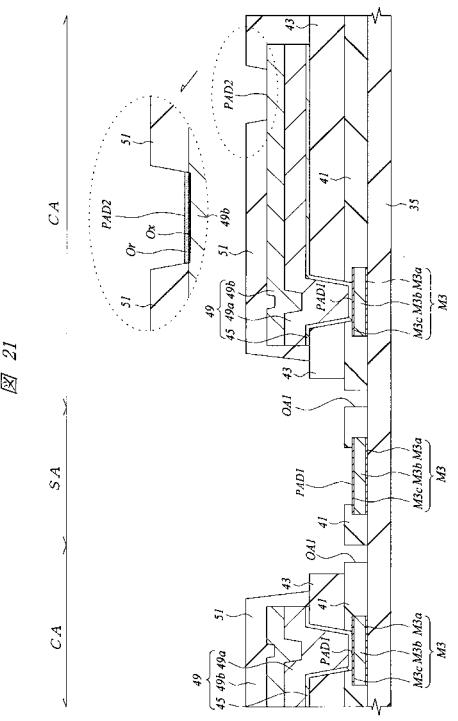
【図19】



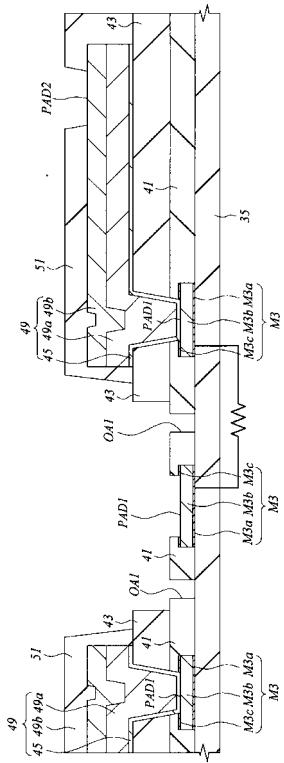
【図20】



【図21】

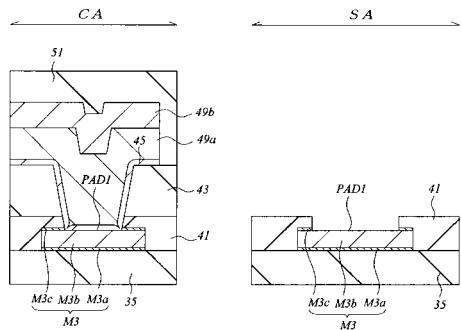


【図22】



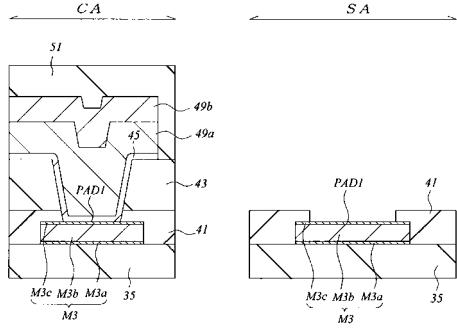
【図23】

図23

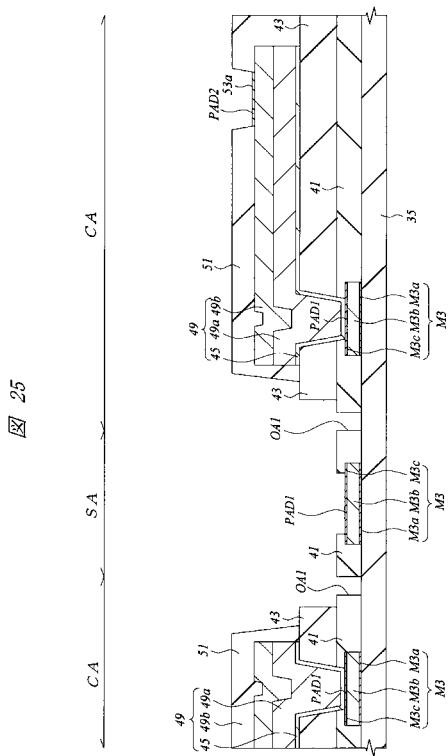


【図24】

図24

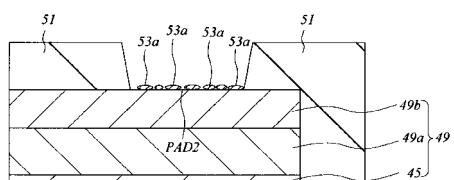


【図25】

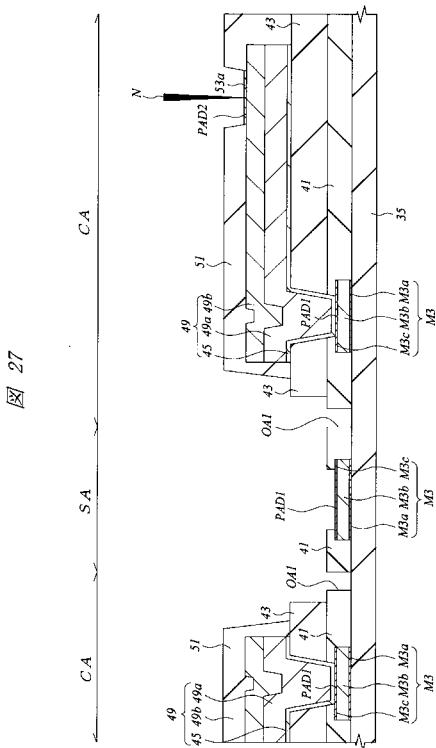


【図26】

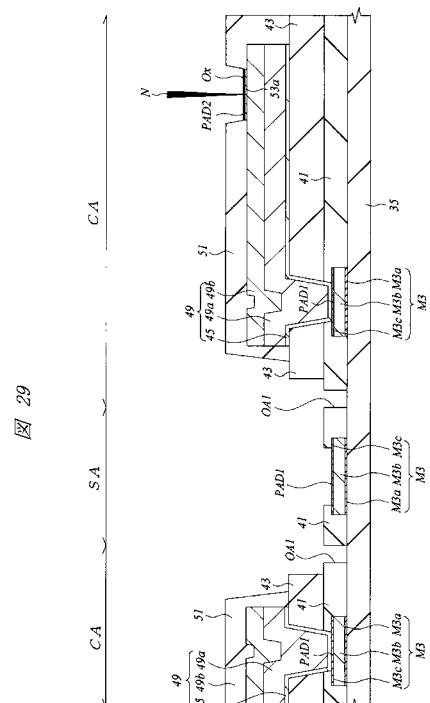
図26



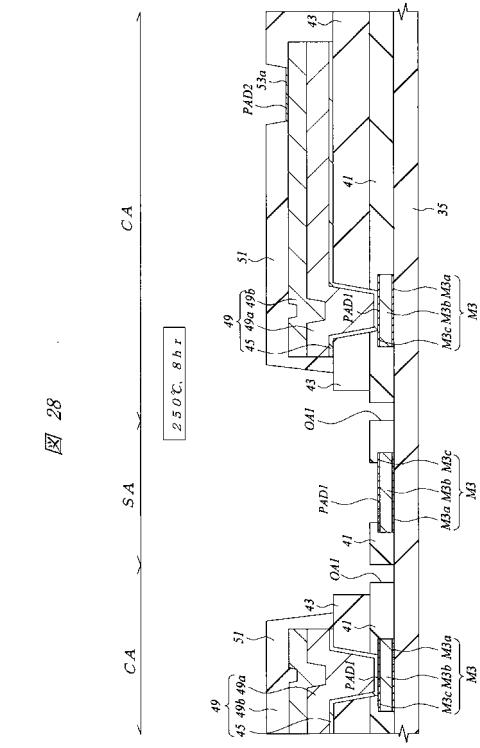
【図27】



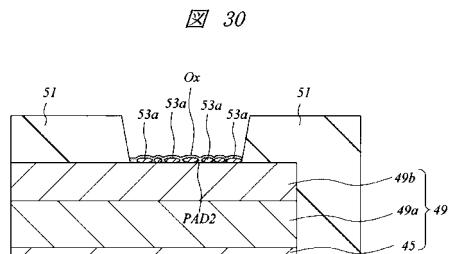
【図29】



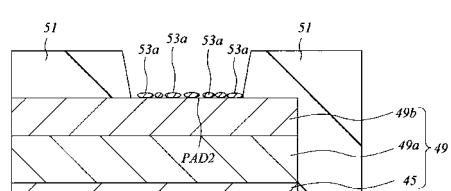
【図28】



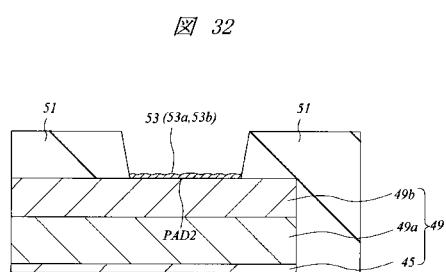
【図30】



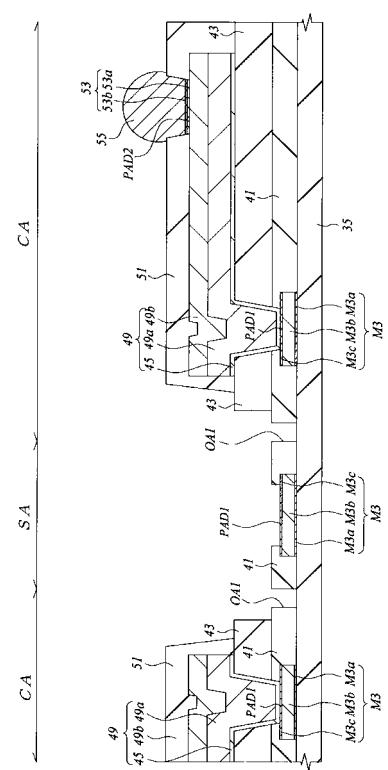
(図 3-1)



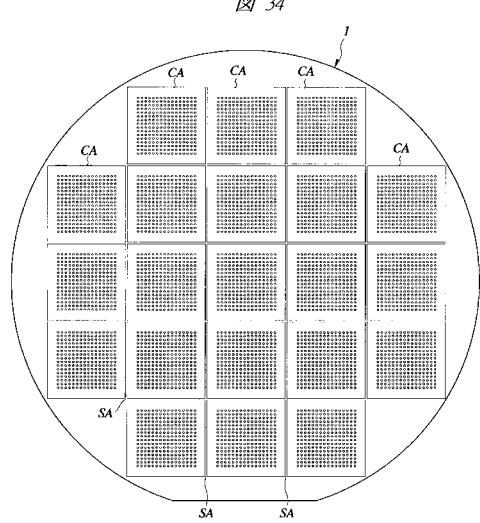
【図32】



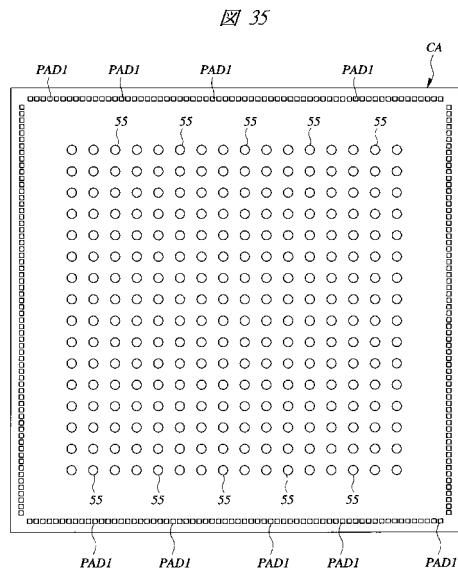
【図33】



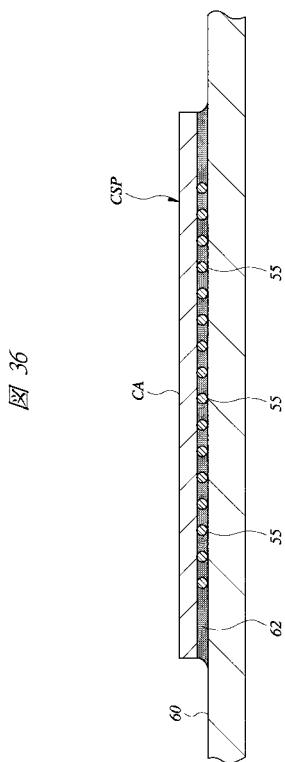
【図34】



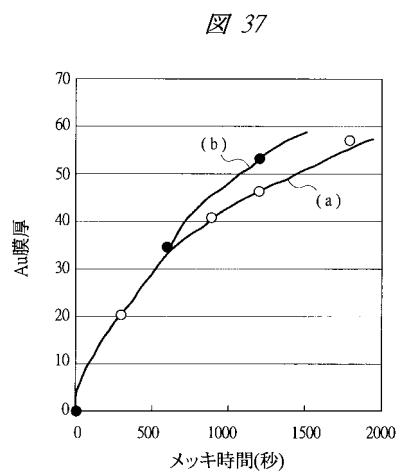
【図35】



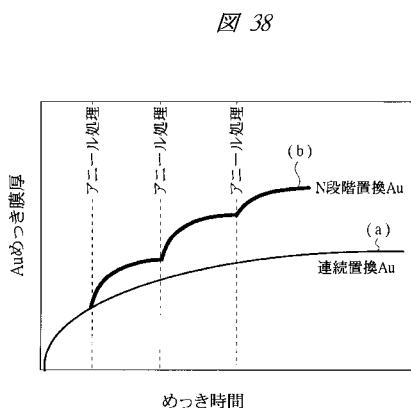
【図36】



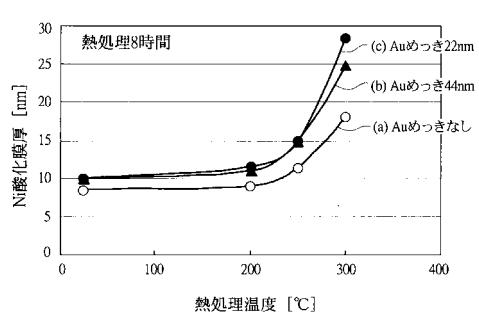
【図37】



【図38】

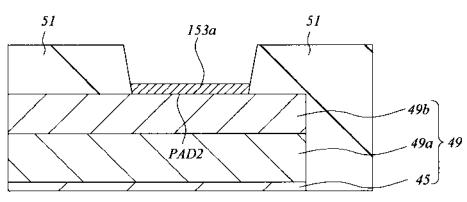


【図39】



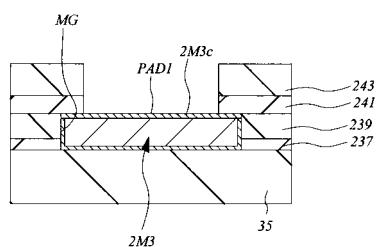
【図40】

図40



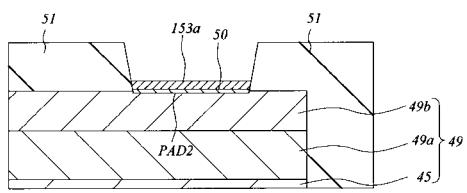
【図42】

図42



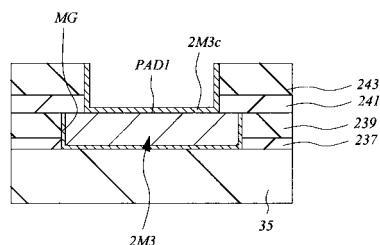
【図41】

図41



【図43】

図43



フロントページの続き

(51)Int.Cl.	F I
H 01 L 29/788 (2006.01)	H 01 L 23/12 501C
H 01 L 29/792 (2006.01)	H 01 L 27/10 461
H 01 L 23/12 (2006.01)	
H 01 L 27/10 (2006.01)	

審査官 村岡 一磨

(56)参考文献 特開2000-294607(JP,A)
特開平05-013659(JP,A)
特開平03-097229(JP,A)
特開平03-230531(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205

H01L 21/66

H01L 21/8247

H01L 23/12

H01L 23/52

H01L 27/10

H01L 27/115

H01L 29/788

H01L 29/792