

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-124782

(P2011-124782A)

(43) 公開日 平成23年6月23日(2011.6.23)

(51) Int.Cl.	F I	テーマコード (参考)
H03F 3/45 (2006.01)	H03F 3/45 A	2H193
G09G 3/20 (2006.01)	G09G 3/20 623B	5C006
G09G 3/36 (2006.01)	G09G 3/36	5C080
G02F 1/133 (2006.01)	G09G 3/20 621F	5J500
	G09G 3/20 611A	

審査請求 未請求 請求項の数 13 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2009-280706 (P2009-280706)
 (22) 出願日 平成21年12月10日 (2009.12.10)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 河越 弘和
 神奈川県川崎市中原区下沼部1753番地
 NECエレクトロニクス株式会社内
 Fターム(参考) 2H193 ZA04 ZF01 ZF31 ZJ20
 5C006 AA01 AA22 AF50 AF51 AF68
 AF69 AF71 AF75 BB16 BC11
 BF24 BF25 BF32 BF34 BF37
 BF42 EB05 FA12 FA14 FA16
 FA31 FA37 FA41 FA47

最終頁に続く

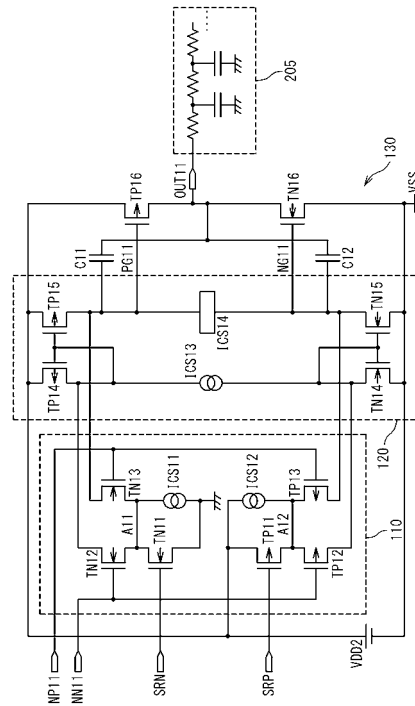
(54) 【発明の名称】 差動増幅器およびその制御方法

(57) 【要約】

【課題】 高スルーレートの差動増幅器を提供する。

【解決手段】 差動増幅器は、差動入力信号を受ける差動対トランジスタ(TN12/TN13、TP12/TP13)と、定電流源(ICS11、ICS12)と、スイッチ(TN11、TP11)とを具備する。定電流源(ICS11、ICS12)は、差動対トランジスタ(TN12/TN13、TP12/TP13)に流れる電流を制御する。スイッチ(TN11、TP11)は、定電流源(ICS11、ICS12)と並列に配置され、差動入力信号の反転動作に同期して差動入力信号の反転動作の遷移時間より短い時間だけ差動対トランジスタTN12/TN13、TP12/TP13)に流れる電流を増加する。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

差動入力信号を受ける差動対トランジスタと、
前記差動対トランジスタに流れる電流を制御する定電流源と、
前記定電流源と並列に配置され、前記差動入力信号の反転動作に同期して前記差動入力
信号の反転動作の遷移時間より短い時間だけ前記差動対トランジスタに流れる電流を増加
するスイッチと
を具備する
差動増幅器。

【請求項 2】

液晶表示装置の液晶パネル駆動回路に用いられ、
前記スイッチは、前記液晶表示装置の表示タイミングを示すストロープ信号に同期して
生成される前記遷移時間より短い時間を示すパルス信号に基づいて、前記差動対トランジ
スタに流れる電流を増加する
請求項 1 に記載の差動増幅器。

10

【請求項 3】

前記差動対トランジスタは、互いに相補の関係になる第 1 差動対トランジスタと、第 2
差動対トランジスタとを備え、
前記スイッチは、前記第 1 差動対トランジスタに流れる電流を増加する第 1 スwitch と
、前記第 2 差動対トランジスタに流れる電流を増加する第 2 スwitch とを備える
請求項 2 に記載の差動増幅器。

20

【請求項 4】

前記第 1 スwitch と前記第 2 スwitch とは、前記ストロープ信号に含まれるパルスの 1
つおきのパルスに同期して、前記第 1 差動対トランジスタおよび前記第 2 差動対トランジ
スタに流れる電流を交互に増加する
請求項 3 に記載の差動増幅器。

【請求項 5】

前記第 1 差動対トランジスタは、ゲートに前記差動入力信号が印加され、ソース同士が
接続され、それぞれのドレインが能動負荷を介して正電源電圧に接続される 2 つの N チャ
ネル MOS トランジスタを備え、
前記第 1 スwitch は、前記 2 つの N チャネル MOS トランジスタのソースにドレインが
接続され、ソースが負電源電圧に接続され、ゲートに前記遷移時間より短い時間を示すパ
ルス信号が印加される N チャネル MOS トランジスタを備え、
前記第 2 差動対トランジスタは、ゲートに前記差動入力信号が印加され、ソース同士が
接続され、それぞれのドレインが能動負荷を介して前記負電源電圧に接続される 2 つの P
チャネル MOS トランジスタを備え、
前記第 2 スwitch は、前記 2 つの P チャネル MOS トランジスタのソースにドレインが
接続され、ソースが前記正電源電圧に接続され、ゲートに前記遷移時間より短い時間を示
すパルス信号が印加される P チャネル MOS トランジスタを備える
請求項 4 に記載の差動増幅器。

30

40

【請求項 6】

前記第 1 スwitch のソースと前記負電源電圧との間に第 1 定電流源を備え、
前記第 2 スwitch のソースと前記正電源電圧との間に第 2 定電流源を備える
請求項 5 に記載の差動増幅器。

【請求項 7】

前記パルス信号は、前記正電源電圧と前記負電源電圧とを振幅とする信号である
請求項 5 または請求項 6 に記載の差動増幅器。

【請求項 8】

前記ゲートに前記遷移時間より短い時間を示すパルス信号が印加される N チャネル MOS
トランジスタと、前記ゲートに前記遷移時間より短い時間を示すパルス信号が印加され

50

る P チャンネル MOS トランジスタとは、他の論理回路における回路素子のサイズと同じサイズである最小寸法で形成される

請求項 5 から請求項 7 のいずれかに記載の差動増幅器。

【請求項 9】

請求項 2 から請求項 7 のいずれかに記載の差動増幅器と、
前記ストローク信号に同期して、前記遷移時間より短い時間を示すパルス信号を生成する信号生成回路と
を具備する
液晶表示装置。

【請求項 10】

請求項 2 から請求項 7 のいずれかに記載の差動増幅器と、
前記ストローク信号に同期して、前記遷移時間より短い時間を示すパルス信号を外部から入力する入力回路と
を具備する
液晶表示装置。

【請求項 11】

請求項 2 から請求項 7 のいずれかに記載の差動増幅器と、
前記ストローク信号に同期して、前記遷移時間より短い時間を示すパルス信号を生成する信号生成回路と、
前記ストローク信号に同期して、前記遷移時間より短い時間を示すパルス信号を外部から入力する入力回路と、
前記信号生成回路において生成される前記遷移時間より短い時間を示すパルス信号と、
前記入力回路において取り込まれる前記遷移時間より短い時間を示すパルス信号とのうちの一方を選択して前記スイッチに供給する選択回路と
を具備する
液晶表示装置。

【請求項 12】

液晶表示装置の表示タイミングを示すストローク信号に同期して第 1 の状態の差動入力信号と第 2 の状態の差動入力信号とを交互に生成するステップと、
前記第 1 の状態の差動入力信号を差動対トランジスタで受けるステップと、
前記第 2 の状態の差動入力信号を前記差動対トランジスタで受けるステップと、
前記ストローク信号に基づいて、前記第 1 の状態の差動入力信号から前記第 2 の状態の差動入力信号に変わることを示す第 1 パルス信号を生成するステップと、
前記ストローク信号に基づいて、前記第 2 の状態の差動入力信号から前記第 1 の状態の差動入力信号に変わることを示す第 2 パルス信号を生成するステップと、
前記第 1 のパルス信号に基づいて、前記差動対トランジスタに流れる電流を増加するステップと、
前記第 2 のパルス信号に基づいて、前記差動対トランジスタに流れる電流を増加するステップと
を具備する
液晶表示装置の差動増幅器を制御する方法。

【請求項 13】

前記第 1 のパルス信号を生成するステップおよび前記第 2 のパルス信号を生成するステップは、外部端子から入力されるパルス信号を選択して前記第 1 のパルス信号および前記第 2 のパルス信号の代わりに供給するステップを含む
請求項 12 に記載の液晶表示装置の差動増幅器を制御する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高スルーレートの差動増幅器およびその制御方法に関する。

10

20

30

40

50

【背景技術】

【0002】

近年、テレビやパソコン用ディスプレイに使用される液晶表示装置の大画面化・高精細化が進んでいる。それに伴いソースドライバには、より大きな負荷を、より高速に、消費電力を抑えたままで駆動する能力が必要となってきた。加えて、ソースドライバにはより多数の差動増幅器が搭載されるようになってきている。このため、チップの増大を招来しないように、出来る限り回路面積の小さな回路で高スルーレート化することが必要である。

【0003】

例えば、特開2001-156559号公報にその回路と動作が開示されている。図1に示されるように、その高スルーレート差動増幅器は、アンプ正入力INP31とアンプ負入力INN31とに印加される差動入力信号を増幅してアンプ出力OUT31から出力する。液晶駆動装置のソースドライバとして使用される場合、差動増幅器は、アンプ負入力INN31とアンプ出力OUT31を接続して利得1のボルテージフォロア型増幅器として使用される。アンプ出力OUT31が低電圧から高電圧に遷移する時、ノードPG31の電圧が暫時下がることでトランジスタTP31をオンさせ、入力差動段の定電流ICS32、ICS36を暫時増加させる。これにより差動増幅器は高スルーレート化される。アンプ出力OUT31が高電圧から低電圧に遷移する時は、ノードNG31の電圧が暫時上がることでトランジスタTN31がオンし、定電流源ICS31の電流に定電流源ICS35の電流が加わり、入力差動段の電流が暫時増加する。これにより差動増幅器は高スルーレート化される。

【0004】

この差動増幅器のアンプ出力OUT31が低電圧から高電圧に高速化されて遷移する時、ノードPG31の電圧が下がることにより高速化される。しかし、回路の動作上、ノードPG31の電圧ドロップ時間が非常に長いため(図2(b) t_{bp1} :約 $10\mu s$)、差動入力段の定電流値は長い間増加することになる。そのため、図2に示されるように、リングング波形が現れる(図2(d))。さらに異常動作として差動入力段が中間段の電流を全て引き込んでしまうことにより発振動作に陥ることがある。

【0005】

差動増幅器のアンプ出力OUT31が高電圧から低電圧に高速化されて遷移する時、ノードNG31の電圧が上昇することにより上記と同じように動作する。さらに、遷移動作の後、差動増幅器は定常動作に戻るため、トランジスタTP31、TN31のゲート電圧は、TP31のゲート電圧 $V_{DD2} - V_{TP}$ 、TN31のゲート電圧 V_{TN} となる。このようなゲート電圧が残る状態でトランジスタTP31およびTN31をオフ状態にしなければならず、トランジスタTP31およびTN31のサイズ(W/L)設計は、非常に難しくなる。ここで、 V_{TP} 、 V_{TN} は、それぞれトランジスタTP31、TN31の閾値電圧である。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2001-156559号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は、リングングや発振が起きない安定した高スルーレートの差動増幅器を提供する。

【課題を解決するための手段】

【0008】

以下に、[発明を実施するための形態]で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明

10

20

30

40

50

を実施するための形態]との対応関係を明らかにするために付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0009】

本発明の観点では、差動増幅器は、差動入力信号を受ける差動対トランジスタ(TN12/TN13、TP12/TP13)と、定電流源(ICS11、ICS12)と、スイッチ(TN11、TP11)とを具備する。定電流源(ICS11、ICS12)は、差動対トランジスタ(TN12/TN13、TP12/TP13)に流れる電流を制御する。スイッチ(TN11、TP11)は、定電流源(ICS11、ICS12)と並列に配置され、差動入力信号の反転動作に同期して差動入力信号の反転動作の遷移時間より短い時間だけ差動対トランジスタ(TN12/TN13、TP12/TP13)に流れる電流を増加する。

10

【0010】

本発明の他の観点では、液晶表示装置は、上記の差動増幅器と、ストローク信号に同期して、遷移時間より短い時間を示すパルス信号を生成する信号生成回路とを具備する。

【0011】

また、本発明の他の観点では、液晶表示装置の差動増幅器を制御する方法は、液晶表示装置の表示タイミングを示すストローク信号に同期して第1の状態の差動入力信号と第2の状態の差動入力信号とを交互に生成するステップと、第1の状態の差動入力信号を差動対トランジスタで受けるステップと、第2の状態の差動入力信号を差動対トランジスタで受けるステップと、ストローク信号に基づいて第1の状態の差動入力信号から第2の状態の差動入力信号に変わることを示す第1パルス信号を生成するステップと、ストローク信号に基づいて第2の状態の差動入力信号から第1の状態の差動入力信号に変わることを示す第2パルス信号を生成するステップと、第1のパルス信号に基づいて差動対トランジスタに流れる電流を増加するステップと、第2のパルス信号に基づいて差動対トランジスタに流れる電流を増加するステップとを具備する。

20

【発明の効果】

【0012】

本発明によれば、リングングや発振が起きない安定した高スルーレートの差動増幅器を提供することができる。

30

【図面の簡単な説明】

【0013】

【図1】関連する高スルーレート差動増幅器の構成を示す回路図である。

【図2】その動作を示す各部の電圧波形を示す図である。

【図3】本発明の実施の形態に係る液晶表示装置の構成を示す図である。

【図4】本発明の実施の形態に係るSRN/SRP生成回路を説明する図である。

【図5】本発明の実施の形態に係る制御信号SRN/SRPの選択を説明する図である。

【図6】本発明の実施の形態に係る差動増幅器の構成を示す回路図である。

【図7】その動作を示す各部の電圧波形を示す図である。

【図8】本発明の実施の形態に係る差動増幅器の他の構成を示す回路図である。

40

【発明を実施するための形態】

【0014】

図面を参照して、本発明の実施の形態を説明する。

【0015】

図3は、本発明の実施の形態に係る液晶表示装置の構成を示すブロック図である。液晶表示装置は、表示制御装置201、ソースドライバ(SD)203、ゲートドライバ(GD)204、液晶パネル(TFT-LCD:Thin Film Transistor-Liquid Crystal Display)205を備える。液晶パネル205は、画素がマトリクス上に配列された液晶表示パネルであり、画像を映し出す。表示制御装置201は、電源回路202、SRN/SRP生成回路207を備え、表示用データ

50

信号と制御用信号とをソースドライバ203およびゲートドライバ204に供給する。

【0016】

電源回路202は、ソースドライバ203およびゲートドライバ204の動作に必要な基準電圧を供給する。SRN/SRP生成回路207は、図4に示されるように、同期信号STBに基づいて高スルーレート化のための制御信号SRN、SRPを生成し、制御信号としてソースドライバ203に供給する。図5に示されるように、表示制御装置201の外部から高スルーレート化のための制御信号O__SRN、O__SRPが与えられる場合、SRN/SRP生成回路207において生成される制御信号と、外部から与えられる制御信号O__SRNおよびO__SRPとを切り替えるセレクタ208を備えてもよい。

【0017】

ソースドライバ203は、表示用データ信号と制御用信号とに基づいて、液晶パネル205の列方向の画素ラインを制御する。ゲートドライバ204は、制御用信号に基づいて、液晶パネル205の行方向の画素ラインを制御する。

【0018】

図6に、ソースドライバ203に含まれる差動増幅器の構成を示す回路図が示される。差動増幅器は、NチャンネルMOSトランジスタTN11~TN16、PチャンネルMOSトランジスタTP11~TP16、定電流源ICS11~ICS13、浮遊定電流源ICS14、位相補償容量C11~C12を備える。

【0019】

トランジスタTN12、TN13は、ソース同士が接続され(ノードA11)、差動対を形成する。トランジスタTN12のゲートは反転入力INN11に接続され、トランジスタTN12のドレインはトランジスタTP14のドレインと定電流源ICS13との接続ノードに接続される。トランジスタTN13のゲートは正転入力INP11に接続され、トランジスタTN13のドレインはトランジスタTP15のドレインと浮遊定電流源ICS14との接続ノードに接続される。ノードA11と電源電圧VSSとの間にトランジスタTN11と定電流源ICS11とが並列に接続される。トランジスタTN11のゲートには、制御信号SRNが印加される。

【0020】

トランジスタTP12、TP13は、ソース同士が接続され(ノードA12)、差動対を形成する。トランジスタTP12のゲートは反転入力INN11に接続され、トランジスタTP12のドレインはトランジスタTN14のドレインと定電流源ICS13との接続ノードに接続される。トランジスタTP13のゲートは正転入力INP11に接続され、トランジスタTP13のドレインはトランジスタTN15のドレインと浮遊定電流源ICS14との接続ノードに接続される。ノードA12と電源電圧VSSとの間にトランジスタTP11と定電流源ICS12とが並列に接続される。トランジスタTP11のゲートには、制御信号SRPが印加される。トランジスタTN11~TN13、TP11~TP13、および定電流源ICS11~12は、差動入力段110を形成する。

【0021】

ゲート同士が接続されるトランジスタTP14およびトランジスタTP15は、電源電圧VDD2と定電流源ICS13との間、電源電圧VDD2と浮遊定電流源ICS14との間にそれぞれ接続される。トランジスタTP14、TP15のゲートは、トランジスタTP14のドレインと定電流源ICS13との接続ノードに接続され、その接続ノードには、さらにトランジスタTN12のドレインが接続される。

【0022】

ゲート同士が接続されるトランジスタTN14およびトランジスタTN15は、電源電圧VSSと定電流源ICS13との間、電源電圧VSSと浮遊定電流源ICS14との間にそれぞれ接続される。トランジスタTN14、TN15のゲートは、トランジスタTN14のドレインと定電流源ICS13との接続ノードに接続され、その接続ノードには、さらにトランジスタTP12のドレインが接続される。トランジスタTP14~TP15、TN14~TN15、定電流源ICS13、浮遊定電流源ICS14は、中間段120

10

20

30

40

50

を形成する。

【0023】

出力段130は、電源電圧VDD2と電源電圧VSSとの間に直列に接続されるトランジスタTP16、トランジスタTN16を含む。トランジスタTP16およびトランジスタTN16のドレイン同士が接続され、出力OUT1に接続される。出力OUT1と浮遊定電流源ICS14の2つのノードとの間に位相補償容量C11、C12が接続される。トランジスタTP16のゲートは、トランジスタTP15のドレインと浮遊定電流源ICS14とが接続されるノードPG11に接続される。トランジスタTN16のゲートは、トランジスタTN15のドレインと浮遊定電流源ICS14とが接続されるノードNG11に接続される。出力OUT1は、液晶パネル205に接続される。

10

【0024】

次に、図7を参照して、この差動増幅器の動作を説明する。この差動増幅器は、制御信号SRN、SRPによってトランジスタTN11、TP11のオン/オフが制御される。制御信号SRN、SRPは、図7(b)および(c)に示されるように、電圧VSS-VDD2間を振幅とする信号である。制御信号SRN、SRPは、同期信号STB(図7(a))のパルスに対して1つおきに、交互に電圧VDD2、電圧VSSとなるパルスを含む。すなわち、制御信号SRNは、電圧VSSを定常状態として、1つおきの同期信号STBの立ち上がりから時間tSRNの幅を有する電圧VDD2のパルスを含む。制御信号SRPは、電圧VDD2を定常状態として、1つおきの同期信号STBの立ち下がりから時間tSRPの幅を有する電圧VSSのパルスを含む。

20

【0025】

入力INP11は、同期信号STBに同期して、状態が切り替わる。したがって、差動増幅器の出力OUT11は、図7(d)に示されるように、同期信号STBに同期して振幅が切り替わる。本発明は、振幅が切り替わる遷移期間における差動増幅器のスルーレートを上げて遷移を高速化する。その切り替えの遷移時に制御信号SRN、SRPのパルスがトランジスタTN11、TP11に印加される。

【0026】

すなわち、差動増幅器の出力OUT11が高電圧から低電圧に遷移する時は、制御信号SRNに応答してトランジスタTN11が時間tSRNの間オンすることにより、定電流源ICS11がその間補助(高電流化)される。電流が多く流れることによって差動増幅器は高スルーレート化する。具体的な電圧変動としては、トランジスタTN12、TN13を備える差動対と定電流源ICS11との接続ノードA11の電圧が電源電圧VSS近辺に収束することになる。

30

【0027】

差動増幅器の出力OUT11が低電圧から高電圧に遷移する時は、制御信号SRPに応答してトランジスタTP11が時間tSRPの間オンすることにより、定電流源ICS12がその間補助(高電流化)される。電流が多く流れることによって差動増幅器は高スルーレート化する。具体的な電圧変動としては、トランジスタTP12、TP13を備える差動対と定電流源ICS12の接続ノードA12の電圧が電源電圧VDD2近辺に収束することになる。

40

【0028】

高スルーレート化するために用いられるトランジスタTN11、TP11の素子サイズは、最小寸法であっても十分効果がある。スルーレートを変える時間の調整は、制御信号SRNおよびSRPのパルス幅で行うことができる。また、この制御信号SRNおよびSRPは、各ソースドライバ203に共通であり、SRN/SRP生成回路207において1対のみ生成されるとよい。その生成は、同期信号STB信号を用いることによって簡単に出来るものであり、回路サイズへの影響はほとんどない。したがって、SRN/SRP生成回路207を組み込むICチップの回路面積への影響はない。

【0029】

従来のスルーレートの調整時間tbp1、tbn1が10μs程度であるのに対して、

50

制御信号 S_{RN} 、 S_{RP} が $1 \mu s$ 以下という一瞬の動作であることと、その振幅が電圧 $V_{SS} - V_{DD2}$ 間であることより、差動増幅器の出力が振幅を入れ替える遷移時間中にリングングが発生したり、差動増幅器が発振したりという動作は無くなる。

【0030】

図8に示されるように、トランジスタ T_{N11} のソースと電源電圧 V_{SS} との間に定電流源 I_{CS25} を挿入し、トランジスタ T_{P11} のソースと電源電圧 V_{DD2} との間に定電流源 I_{CS26} を挿入してもよい。

【0031】

このように定電流源 I_{CS25} 、 I_{CS26} を加えることにより、制御信号 S_{RN} 、 S_{RP} によってトランジスタ T_{N11} 、 T_{P11} がオンすると、定電流源 I_{CS25} 、 I_{CS26} が機能し、電流が増加する。このとき、 $(I_{CS25} \text{の電流}) \gg (I_{CS21} \text{の電流})$ 、 $(I_{CS26} \text{の電流}) \gg (I_{CS22} \text{の電流})$ 、という関係になるように各定電流源の電流値を設定すると、高スルーレート化への効果は大きくなる。同期信号 S_{TB} に基づいて生成される制御信号 S_{RN} 、 S_{RP} によって制御されるトランジスタ T_{N21} 、 T_{P21} がオフになると、すなわち遷移が終了すると、高スルーレート化のための電流は流れなくなるため、定電流源 I_{CS25} 、 I_{CS26} の電流値は、大きな値に設定されても回路全体の電源電流の増大には殆んど影響しない。

10

【0032】

このように、差動入力段 110 において、定電流源 I_{CS11} に並列にトランジスタ T_{N11} が接続され、定電流源 I_{CS12} に並列にトランジスタ T_{P11} が接続される。トランジスタ T_{N11} は、ゲートに制御信号 S_{RN} が印加されてオン/オフ制御される。トランジスタ T_{P11} は、ゲートに制御信号 S_{RP} が印加されてオン/オフ制御される。制御信号 S_{RN} 、 S_{RP} の振幅は、差動増幅器と同じ電圧 $V_{SS} - V_{DD2}$ であり、アンプ出力を反転する動作を示す信号である同期信号 S_{TB} に対して、パルスの1回おきの立ち上がりまたは立ち下りエッジに同期する。この制御信号 S_{RN} 、 S_{RP} は、外部から自由に与えられてもよい。

20

【0033】

差動増幅器の出力 $OUT11$ が高電圧から低電圧に遷移する時は、制御信号 S_{RN} によりトランジスタ T_{N11} が一瞬オンして定電流源 I_{CS11} を一瞬補助（高電流化）し、差動増幅器は高スルーレート化される。差動増幅器の出力 $OUT11$ が低電圧から高電圧に遷移する時は、制御信号 S_{RP} によりトランジスタ T_{P11} が一瞬オンして定電流源 I_{CS12} を一瞬補助（高電流化）し、差動増幅器は高スルーレート化される。

30

【0034】

この高スルーレート化に用いられるトランジスタ T_{N11} 、 T_{P11} の素子サイズは、最小寸法であっても十分効果がある。スルーレートを調整する時間は、制御信号 S_{RN} 、 S_{RP} のパルス幅で制御することができる。また、この同期信号 S_{TB} に同期する1ショットパルスである制御信号 S_{RN} 、 S_{RP} は、ソースドライバ IC 内で1つあればよい。さらに、同期信号 S_{TB} を用いることにより、制御信号 S_{RN} 、 S_{RP} は、IC 内で簡単に生成できるものであり、チップ増大への影響はほとんどない。

40

【0035】

S_{TB} 信号の周期が約 $15 \mu s$ 程度とした場合、制御信号 S_{RN} 、 S_{RP} が $100 ns$ 程度の短い時間の動作でも高スルーレート化の効果がある。通常ソースドライバのスルーレートは、 $3 \mu s$ 程度であり、その時間と同等もしくはそれ以下のパルス幅に設定されることが好ましい。このように短い時間の動作であることと、振幅が電源電圧 $V_{SS} - V_{DD2}$ の範囲であることから、差動増幅器の動作上、バイアス電流が安定している時間を長くすることができ、差動増幅器の出力にリングングが発生したり、差動増幅器が発振したりという動作は無くなる。

【0036】

このように、差動増幅器のスルーレートは、制御信号 S_{RN} 、 S_{RP} のパルス幅によって細かく制御できる。表示タイミングに合わせた簡単な制御信号を生成する共通回路と、

50

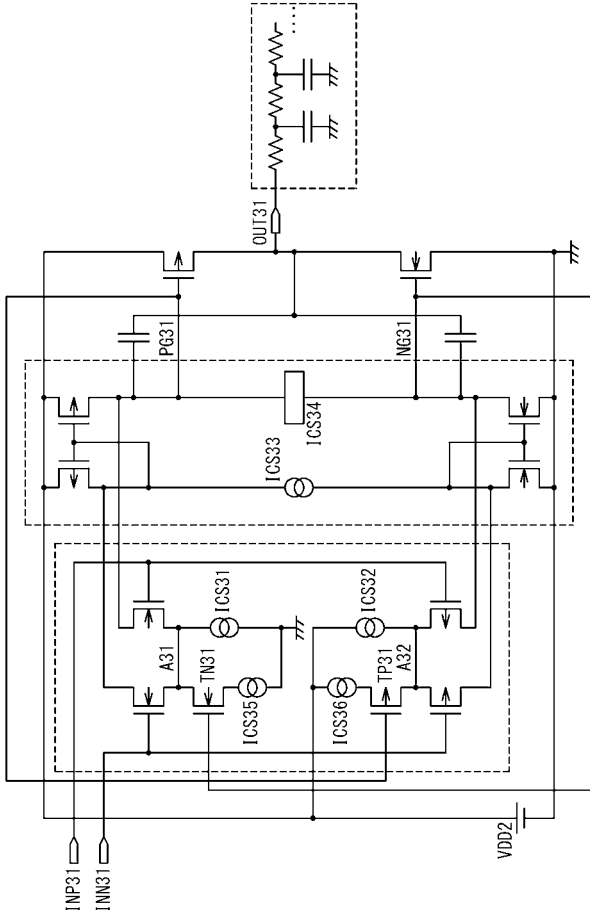
差動増幅器に少ない素子とを追加することによって、差動増幅器を高スルーレート化することができる。このような回路構成では、帰還ループ型の制御ではないため、差動増幅器の安定性が向上する。したがって、出力信号のリングングや差動増幅器の発振を防止することができる。また、差動入力段の定電流源の定常状態における電流を少なくすることができ、位相補償容量を小さくする必要がない。すなわち、消費電流を増加させることなく、安定性を保ちつつ、スルーレートが向上する差動増幅器を提供することができる。

【符号の説明】

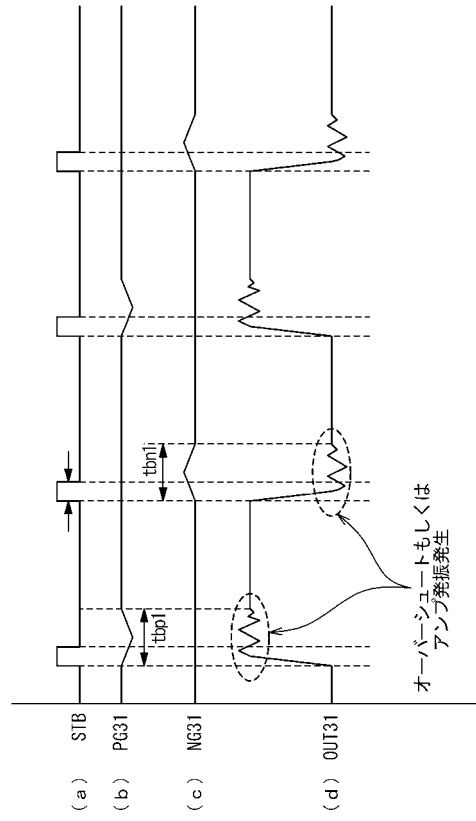
【 0 0 3 7 】

1 0 0	差動増幅器	
1 1 0	差動入力段	10
1 2 0	中間段	
1 3 0	出力段	
2 0 1	表示制御装置	
2 0 2	電源回路	
2 0 3	ソースドライバ	
2 0 4	ゲートドライバ	
2 0 5	液晶パネル	
2 0 7	SRN / SRP 生成回路	
2 0 8	セレクタ	
INP 1 1	正転入力	20
INN 1 1	反転入力	
OUT 1 1	差動増幅器の出力	
SRN、SRP	制御信号	
VDD 2、VSS	電源電圧	
A 1 1、A 1 2、NG 1 1、PG 1 1	ノード	
TN 1 1 ~ TN 1 6	NチャンネルMOSトランジスタ	
TP 1 1 ~ TP 1 6	PチャンネルMOSトランジスタ	
ICS 1 1 ~ ICS 1 4、ICS 2 5 ~ ICS 2 6	定電流源	
C 1 1、C 1 2	位相補償容量	
INP 3 1	アンプ正入力	30
INN 3 1	アンプ負入力	
OUT 3 1	アンプ出力	
TN 3 1、TP 3 1	トランジスタ	
ICS 3 1 ~ ICS 3 6	定電流源	
A 3 1、A 3 2、PG 3 1、NG 3 1	ノード	

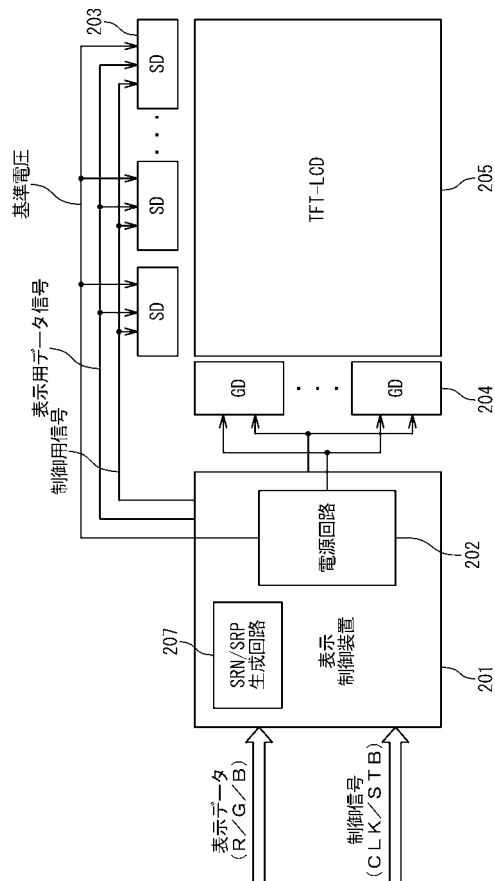
【 図 1 】



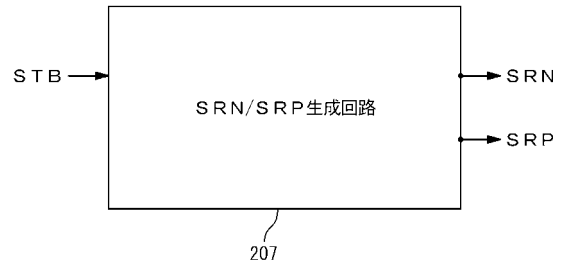
【 図 2 】



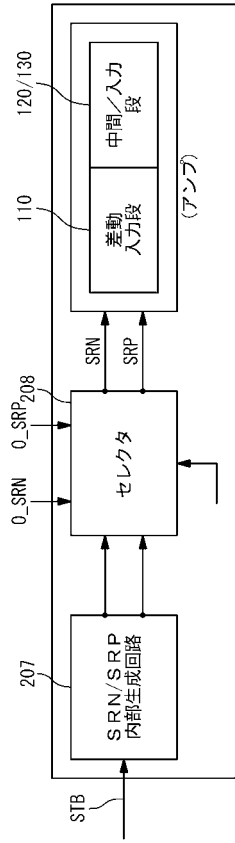
【 図 3 】



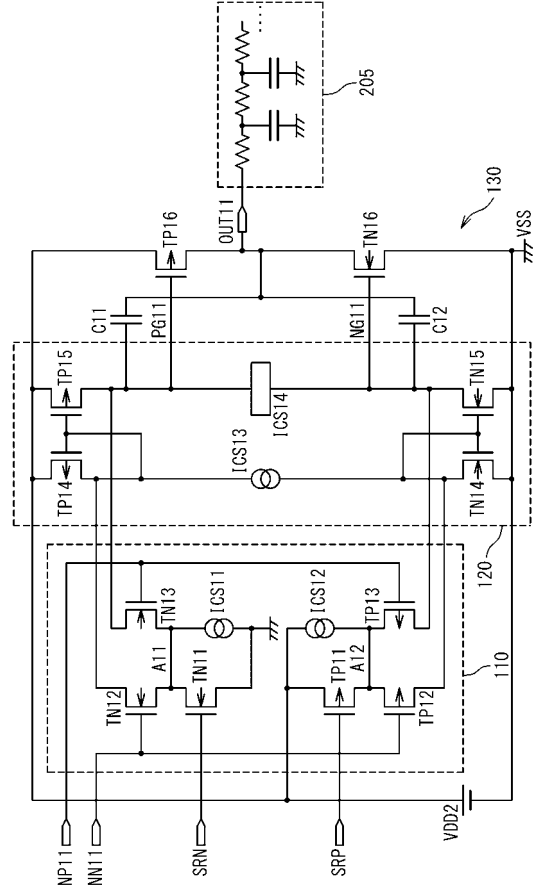
【 図 4 】



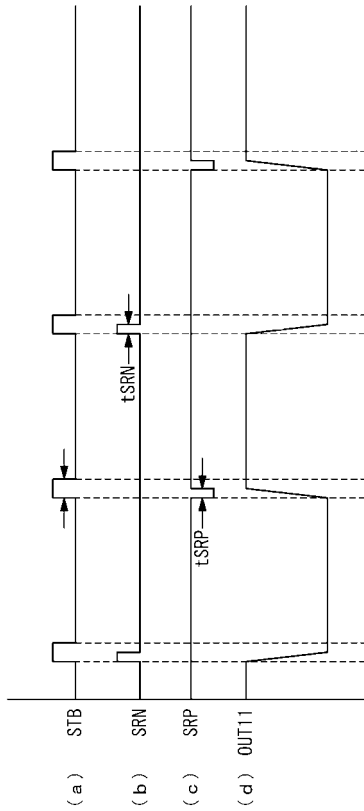
【 図 5 】



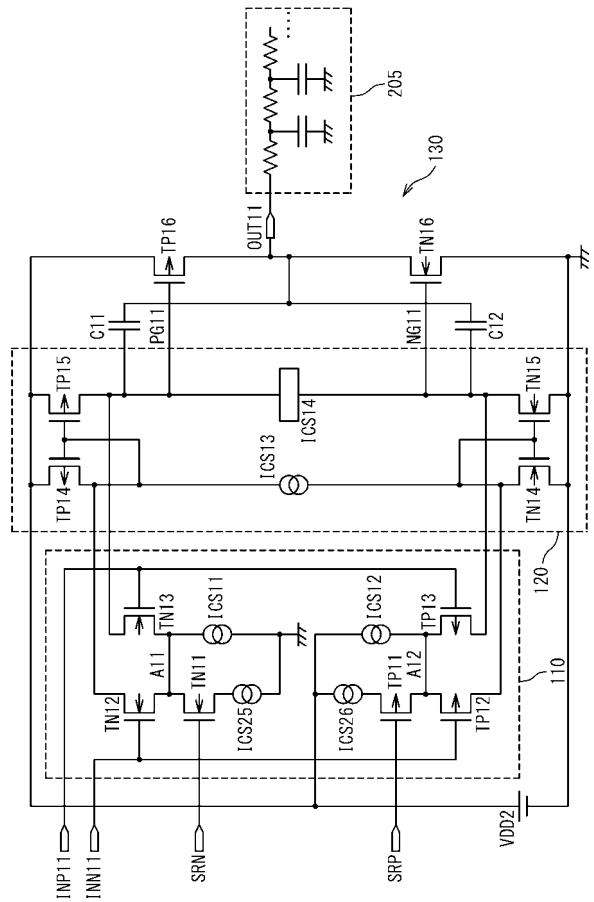
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 1 1 J
G 0 2 F 1/133 5 5 0

Fターム(参考) 5C080 AA10 BB05 CC03 DD08 DD09 DD12 DD19 DD25 DD26 FF03
FF11 JJ02 JJ03 JJ04 KK04 KK43
5J500 AA01 AA12 AA17 AA21 AC36 AC54 AC65 AC92 AF10 AF15
AH02 AH10 AH39 AK02 AK05 AK09 AK33 AS09 AT01 DN02
DN14 DN22 DN23 DP01