(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3825338号
(P3825338)
(45)発行日　平成18年9月27日(2006.9.27)　(24)登録日　平成18年7月7日(2006.7.7)

(51)Int.Cl.　F I
G11C 11/409 (2006.01)　G11C 11/34 354H

請求項の数 7 (全 9 頁)

(21)出願番号　特願2002-50152(P2002-50152)
(22)出願日　平成14年2月26日(2002.2.26)
(65)公開番号　特開2002-288982(P2002-288982A)
(43)公開日　平成14年10月4日(2002.10.4)
審査請求日　平成15年3月12日(2003.3.12)
(31)優先権主張番号　2001-009606
(32)優先日　平成13年2月26日(2001.2.26)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
Ｓａｍｓｕｎｇ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｃｏ．，Ｌｔｄ．
大韓民国４４３－７４２京畿道水原市霊通区梅灘洞４１６
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100112508
弁理士　高柳　司郎
(74)代理人　100115071
弁理士　大塚　康弘
(74)代理人　100116894
弁理士　木村　秀二

最終頁に続く

(54)【発明の名称】メモリ装置の入出力ライン感知増幅器

(57)【特許請求の範囲】
【請求項１】
入出力ライン及び相補入出力ラインからの信号電流とこの相補電流とを感知する半導体メモリ装置の入出力ライン感知増幅器において、
前記入出力ライン及び前記相補入出力ラインと接地との間に接続され、前記入出力ライン及び前記相補入出力ラインからの電流を差動増幅して、第１ノード及び第２ノードに第１出力信号及び第２出力信号として出力する電流感知回路と、
前記第１出力信号を反転増幅して第１出力端に出力する第１増幅器と、
前記第２出力信号を反転増幅して第２出力端に出力する第２増幅器とを備え、
前記第１増幅器は、
前記相補入出力ラインと前記第１出力端との間に接続され、前記電流感知回路の前記第１ノードにゲートが接続された第１トランジスタと、
前記入出力ラインと前記第１出力端との間に接続され、前記電流感知回路の前記第１ノードにゲートが接続された第２トランジスタと、
前記第１出力端と前記接地との間に接続され、前記電流感知回路の前記第１ノードにゲートが接続された第３トランジスタと、
を備え、
前記第２増幅器は、
前記入出力ラインと前記第２出力端との間に接続され、前記電流感知回路の前記第２ノードにゲートが接続された第４トランジスタと、

前記相補入出力ラインと前記第２出力端との間に接続され、前記電流感知回路の前記第２ノードにゲートが接続された第５トランジスタと、
前記第２出力端と前記接地との間に接続され、前記電流感知回路の前記第２ノードにゲートが接続された第６トランジスタと、
を備えることを特徴とする入出力ライン感知増幅器。
【請求項２】
前記相補入出力ラインと前記第１トランジスタとの間に流れる電流は、前記入出力ラインと前記第２トランジスタとの間に流れる電流と同量であることを特徴とする請求項１に記載の入出力ライン感知増幅器。
【請求項３】
前記第１トランジスタのチャネル長とチャネル幅との比は、前記第２トランジスタのチャネル長とチャネル幅との比と等しいことを特徴とする請求項１又は請求項２に記載の入出力ライン感知増幅器。
【請求項４】
前記電流感知回路は、
前記入出力ラインと前記第１ノードとの間に接続された第１電流感知トランジスタと、
前記相補入出力ラインと前記第２ノードとの間に接続された第２電流感知トランジスタと、
前記第１ノードと接地との間に接続された第１負荷トランジスタと、
前記第２ノードと前記接地との間に接続された第２負荷トランジスタとを備えることを特徴とする請求項１乃至請求項３のいずれか１項に記載の半導体メモリ装置の入出力ライン感知増幅器。
【請求項５】
前記入出力ライン感知増幅器は、
前記第１負荷トランジスタの一端、前記第２負荷トランジスタの一端、前記第３トランジスタの一端及び前記第６トランジスタの一端が共通接続される第３ノードと前記接地との間に接続され、イネーブル信号に応答して前記電流感知回路、前記第１増幅器、及び前記第２増幅器をイネーブルさせるイネーブル部をさらに備えることを特徴とする請求項４に記載の半導体メモリ装置の入出力ライン感知増幅器。
【請求項６】
前記第１トランジスタのチャネル幅及びチャネル長は、前記第２トランジスタのチャネル幅及びチャネル長と等しいことを特徴とする請求項１乃至請求項５のいずれか１項に記載の半導体メモリ装置の入出力ライン感知増幅器。
【請求項７】
前記第４トランジスタのチャネル幅及びチャネル長は、前記第５トランジスタのチャネル幅及びチャネル長と等しいことを特徴とする請求項１乃至請求項６のいずれか１項に記載の半導体メモリ装置の入出力ライン感知増幅器。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体メモリ装置に係り、特に半導体メモリ装置の入出力ライン感知増幅器に関する。
【０００２】
【従来の技術】
図１に示されるように、半導体メモリ装置では、読み出し動作時にメモリセルアレイ１１内の所定のメモリセル１１１に保存されているデータがビットライン対ＢＬ、ＢＬＢを介してビットライン感知増幅器１１２により増幅される。この増幅された信号は、カラム選択トランジスタ１１３、１１４を介してローカル入出力ライン対ＩＯ、ＩＯＢ及びグローバル入出力ライン対ＤＩＯ、ＤＩＯＢに伝えられる。次に、グローバル入出力ライン対ＤＩＯ、ＤＩＯＢのデータは、入出力ライン感知増幅器１３により再び増幅され、この増幅

されたデータは、出力バッファ１５を経て入出力ピンＤＱを介して外部に出力される。
【０００３】
一般的に、入出力ライン感知増幅器１３は、電流感知型増幅器（ＣＳＡ）または電圧感知型増幅器（ＶＳＡ）より構成される。入出力ライン対ＤＩＯ、ＤＩＯＢの電圧差は、読み出し動作時には非常に小さいので、速度面でＶＳＡより速いＣＳＡがより広く使われる。しかしながら、ＣＳＡの出力信号の電圧レベルは小さいために、ＣＳＡの出力信号が直ちにラッチによりＣＭＯＳレベルに変換される場合に速度が落ちるという問題点がある。
【０００４】
従って、図１に示されるように、入出力ライン感知増幅器１３では、ＣＳＡ１３１の出力信号をＶＳＡ１３２がもう一回増幅し、この増幅された信号がラッチ１３３の入力として使われる。ラッチ１３３はＶＳＡ１３２により増幅された信号をＣＭＯＳレベルに変換する役割を果たす。
【０００５】
図２は、図１に示されるＣＳＡ１３１の一例を示す回路図である。ここで、Ｍｐ１１とＭｐ１２とはＰＭＯＳトランジスタを示し、Ｍｎ１１～Ｍｎ１３はＮＭＯＳトランジスタを示す。ＤＩＯとＤＩＯＢとは入出力ライン対ＤＩＯ、ＤＩＯＢを示し、ＥＮはイネーブル信号を示す。
【０００６】
図３は、図１に示されるＶＳＡ１３２の一例を示す回路図である。図３を参照すれば、ＶＳＡ１３２は差動増幅器で構成されることが分かる。ここで、Ｍｐ３１～Ｍｐ３４はＰＭＯＳトランジスタを示し、Ｍｎ３１～Ｍｎ３５はＮＭＯＳトランジスタを示す。Ｏ１とＯ１ＢとはＣＳＡ１３１の出力信号対を示し、ＥＮはイネーブル信号を示す。
【０００７】
図４は、図１に示されるラッチ１３３の一例を示す回路図である。ここで、Ｍｐ４１～Ｍｐ４４はＰＭＯＳトランジスタを示し、Ｍｎ４１～Ｍｎ４３はＮＭＯＳトランジスタを示す。Ｏ２とＯ２ＢとはＶＳＡ１３２の出力信号対を示し、ＬＡＴはラッチイネーブル信号を示す。ＤＯＵＴとＤＯＵＴＢとはラッチ１３３の出力信号対であり、図１に示される入出力ライン感知増幅器１３の出力信号対を示す。
【０００８】
しかしながら、以上のように説明した従来の入出力ライン感知増幅器は、電流消費が大きく、特に差動増幅器で構成されるＶＳＡ１３２を含むことによりＤＣ電流が大きくなるという問題点がある。
【０００９】
【発明が解決しようとする課題】
本発明は、上記の問題点に鑑みてなされたものであり、例えば、電流消費及びＤＣ電流を抑えた半導体メモリ装置の入出力ライン感知増幅器を提供することを目的とする。
【００１０】
【課題を解決するための手段】
前記の技術的課題を達成するための本発明の第１の側面による入出力ライン感知増幅器は、信号電流とこの相補電流とを感知する半導体メモリ装置の入出力ライン感知増幅器において、前記信号電流の第１部分と前記相補電流の第１部分とを感知する電流感知回路、前記電流感知回路の第１検出出力から第１出力信号を生成するために、前記信号電流の第２部分と前記相補電流の第２部分とを受信して動作する第１増幅器、前記電流感知回路の第２検出出力から第２出力信号を生成するために、前記信号電流の第３部分と前記相補電流の第３部分とを受信して動作する第２増幅器及び前記第１増幅器及び前記第２増幅器により生じた前記第１出力信号及び前記第２出力信号を受信するラッチを備えることを特徴とする。
【００１１】
本発明の好適な実施形態によれば、前記信号電流の第２部分は前記相補電流の第２部分と同量である。

【００１２】
本発明の好適な実施形態によれば、前記第１増幅器は、互いに接続されて前記電流感知回路の第１検出出力により制御される第１トランジスタ及び第２トランジスタ及び前記第１トランジスタ及び第２トランジスタに接続されて前記電流感知回路の第１検出出力により制御される第３トランジスタを備え、前記第１トランジスタは前記信号電流の第２部分を受信して前記第３トランジスタは前記相補電流の第２部分を受信する。
【００１３】
本発明の好適な実施形態によれば、前記第１トランジスタのチャネル長とチャネル幅との比（Ｗ／Ｌ）は前記第２トランジスタのチャネル長とチャネル幅との比と等しい。
【００１４】
前記の技術的課題を達成するための本発明の第２の側面による入出力ライン感知増幅器は、入出力ライン及び相補入出力ラインの電流を感知する電流感知回路、前記入出力ライン及び前記相補入出力ラインから同量の第１電流をバイパスさせ、前記第１電流を利用して前記電流感知回路の出力信号を増幅及び反転させ、第１出力端に出力する第１増幅器及び前記入出力ライン及び前記相補入出力ラインから同量の第２電流をバイパスさせ、前記第２電流を利用して前記電流感知回路の相補出力信号を増幅及び反転させ、第２出力端に出力する第２増幅器を備えることを特徴とする。
【００１５】
本発明の好適な実施形態によれば、前記電流感知回路は、前記入出力ラインと前記出力信号が出力される第１ノードとの間に接続される第１電流感知トランジスタ、前記相補入出力ラインと前記相補出力信号とが出力される第２ノードとの間に接続される第２電流感知トランジスタ、前記第１ノードと接地電圧との間に接続される第１負荷トランジスタ及び前記第２ノードと前記接地電圧との間に接続される第２負荷トランジスタを備える。
【００１６】
本発明の好適な実施形態によれば、前記第１増幅器は、前記相補入出力ラインと前記第１出力端との間に接続され、前記電流感知回路の前記出力信号により制御される第１トランジスタ、前記入出力ラインと前記第１出力端との間に接続され、前記電流感知回路の前記出力信号により制御される第２トランジスタ及び前記第１出力端と前記接地電圧との間に接続され、前記電流感知回路の前記出力信号により制御される第３トランジスタを備える。
【００１７】
本発明の好適な実施形態によれば、前記第２増幅器は、前記入出力ラインと前記第２出力端との間に接続され、前記電流感知回路の前記相補出力信号により制御される第４トランジスタ、前記相補入出力ラインと前記第２出力端との間に接続され、前記電流感知回路の前記相補出力信号により制御される第５トランジスタ及び前記第２出力端と前記接地電圧との間に接続され、前記電流感知回路の前記相補出力信号により制御される第６トランジスタを備える。
【００１８】
本発明の好適な実施形態によれは、前記第１トランジスタのチャネル幅及びチャネル長は前記第２トランジスタのチャネル幅及びチャネル長と等しいことが望ましい。また、前記第４トランジスタのチャネル幅及びチャネル長は前記第５トランジスタのチャネル幅及びチャネル長と等しいことが望ましい。
【００１９】
【発明の実施の形態】
以下、添付した図面を参照して本発明の好適な実施形態を説明することにより、本発明を詳細に説明する。各図面に提示された類似の参照符号は同じ又は対応する要素を示す。
【００２０】
図５は、本発明の好適な実施形態による半導体メモリ装置の入出力ライン感知増幅器の回路図である。
【００２１】

図５を参照すれば、本発明の実施形態による入出力ライン感知増幅器は、電流感知回路５１、第１増幅器５３、第２増幅器５５、イネーブル部５９及びラッチ５７を備えることが分かる。

【００２２】

電流感知回路５１は、半導体メモリ装置内の所定のメモリセルから読み出しされたデータを伝達する入出力ライン対、すなわち入出力ラインＤＩＯ及び相補入出力ラインＤＩＯＢの電流を感知する。第１増幅器５３は、入出力ラインＤＩＯ及び相補入出力ラインＤＩＯＢから同量の第１電流αをバイパスさせ、第１電流αを利用して電流感知回路５１の出力信号Ｖ１Ｐを増幅及び反転させて第１出力端Ｏに出力する。第２増幅器５５は、入出力ラインＤＩＯ及び相補入出力ラインＤＩＯＢから同量の第２電流βをバイパスさせ、第２電流βを利用して電流感知回路５１の相補出力信号Ｖ２Ｐを増幅及び反転させて第２出力端ＯＢに出力する。

【００２３】

イネーブル部５９は、イネーブル信号ＥＮに応答して電流感知回路５１、第１増幅器５３及び第２増幅器５５をイネーブルさせる。ラッチ５７は、第１出力端Ｏ及び第２出力端ＯＢの信号をラッチしてＣＭＯＳレベルに変換して出力する。

【００２４】

以下、各要素の構成について説明する、電流感知回路５１は、二つのＰＭＯＳトランジスタＭｐ５１、Ｍｐ５２と二つのＮＭＯＳトランジスタＭｎ５１、Ｍｎ５２とを含んで構成される。ＰＭＯＳトランジスタＭｐ５１は、入出力ラインＤＩＯの電流を感知する電流感知トランジスタであり、入出力ラインＤＩＯと出力信号Ｖ１Ｐが出力されるノードとの間に接続される。ＰＭＯＳトランジスタＭｐ５２は、相補入出力ラインＤＩＯＢの電流を感知する電流感知トランジスタであり、相補入出力ラインＤＩＯＢと相補出力信号Ｖ２Ｐが出力されるノードとの間に接続される。

【００２５】

ＰＭＯＳトランジスタＭｐ５１とＰＭＯＳトランジスタＭｐ５２とは、クロスカップリングされる。すなわち、ＰＭＯＳトランジスタＭｐ５１のゲートは、相補出力信号Ｖ２Ｐが出力されるノードに接続され、ＰＭＯＳトランジスタＭｐ５２のゲートは、出力信号Ｖ１Ｐが出力されるノードに接続される。

【００２６】

ＮＭＯＳトランジスタＭｎ５１は、抵抗の役割を果たす負荷トランジスタであり、出力信号Ｖ１Ｐが出力されるノードと共通ノードＮとの間に接続される。ＮＭＯＳトランジスタＭｎ５１は、出力信号Ｖ１Ｐが出力されるノードにドレインとゲートとが共通接続され、ダイオードとして機能する。ＮＭＯＳトランジスタＭｎ５２も抵抗の役割を果たす負荷トランジスタであり、相補出力信号Ｖ２Ｐが出力されるノードと共通ノードＮとの間に接続される。ＮＭＯＳトランジスタＭｎ５２は、相補出力信号Ｖ２Ｐが出力されるノードにドレインとゲートとが共通接続され、ダイオードとして機能する。

【００２７】

第１増幅器５３は、二つのＰＭＯＳトランジスタＭｐ５３、Ｍｐ５４と一つのＮＭＯＳトランジスタＭｎ５３とを含んで構成される。

【００２８】

ＰＭＯＳトランジスタＭｐ５３は、相補入出力ラインＤＩＯＢと第１出力端Ｏとの間に接続され、電流感知回路５１の出力信号Ｖ１Ｐにより制御される。ＰＭＯＳトランジスタＭｐ５４は、入出力ラインＤＩＯと第１出力端Ｏとの間に接続され、電流感知回路５１の出力信号Ｖ１Ｐにより制御される。ＮＭＯＳトランジスタＭｎ５３は、第１出力端Ｏと共通ノードＮとの間に接続され、電流感知回路５１の出力信号Ｖ１Ｐにより制御される。ＰＭＯＳトランジスタＭｐ５３のチャネル幅及びチャネル長は、ＰＭＯＳトランジスタＭｐ５４のチャネル幅及びチャネル長と等しいことが望ましい。

【００２９】

第２増幅器５５は、二つのＰＭＯＳトランジスタＭｐ５５、Ｍｐ５６と一つのＮＭＯＳト

ランジスタＭｎ５４とを含んで構成される。

【００３０】

ＰＭＯＳトランジスタＭｐ５５は、入出力ラインＤＩＯと第２出力端ＯＢとの間に接続され、電流感知回路５１の相補出力信号Ｖ２Ｐにより制御される。ＰＭＯＳトランジスタＭｐ５６は、相補入出力ラインＤＩＯＢと第２出力端ＯＢとの間に接続され、電流感知回路５１の相補出力信号Ｖ２Ｐにより制御される。ＮＭＯＳトランジスタＭｎ５４は、第２出力端ＯＢと共通ノードＮとの間に接続され、電流感知回路５１の相補出力信号Ｖ２Ｐにより制御される。ＰＭＯＳトランジスタＭｐ５５のチャネル幅及びチャネル長は、ＰＭＯＳトランジスタＭｐ５６のチャネル幅及びチャネル長と等しいことが望ましい。

【００３１】

イネーブル部５９は、共通ノードＮと接地電圧ＶＳＳとの間に接続され、イネーブル信号ＥＮにより制御されるＮＭＯＳトランジスタＭｎ５５を含んで構成される。

【００３２】

イネーブル部５９は、必要に応じて図５の入出力ライン感知増幅器に含まれないこともあり、その場合にＮＭＯＳトランジスタＭｎ５１～Ｍｎ５４の一端は直接接地電圧ＶＳＳに接続される。

【００３３】

以下、図５を参照して、本発明の好適な実施形態に係る入出力ライン感知増幅器の構成及び動作をさらに説明する。図５に示される入出力ライン感知増幅器は、電流感知回路５１と増幅器５３、５５とが混合された回路である。電流感知回路５１は、入力電流を最大化するために入力抵抗値がほとんど０になるように最適化され、この時の入出力ラインＤＩＯと相補入出力ラインＤＩＯＢとはほとんど同じ電圧レベルを有する。

【００３４】

一方、第１増幅器５３において、ＰＭＯＳトランジスタＭｐ５３のチャネル幅及びチャネル長がＰＭＯＳトランジスタＭｐ５４のチャネル幅及びチャネル長と等しいならば、ＰＭＯＳトランジスタＭｐ５３とＰＭＯＳトランジスタＭｐ５４とは同じＶＧＳ（ゲートとソースとの間の電圧）を有する。従って、ＰＭＯＳトランジスタＭｐ５３とＰＭＯＳトランジスタＭｐ５４とは、それぞれ同量の第１電流αを相補入出力ラインＤＩＯＢ及び入出力ラインＤＩＯからバイパスさせる。

【００３５】

また、第２増幅器５５においてＰＭＯＳトランジスタＭｐ５５のチャネル幅及びチャネル長がＰＭＯＳトランジスタＭｐ５６のチャネル幅及びチャネル長と等しいならば、ＰＭＯＳトランジスタＭｐ５５とＰＭＯＳトランジスタＭｐ５６とは同じＶＧＳを有する。従って、ＰＭＯＳトランジスタＭｐ５５とＰＭＯＳトランジスタＭｐ５６とは、それぞれ同量の第２電流βを入出力ラインＤＩＯ及び相補入出力ラインＤＩＯＢからバイパスさせる。

【００３６】

これにより、電流感知回路５１においてＮＭＯＳトランジスタＭｎ５１に流れる電流はＩ１－α－βになり、ＮＭＯＳトランジスタＭｎ５２に流れる電流はＩ２－α－βとなる。ここでＩ１は入出力ラインＤＩＯを通じて流れる電流であり、Ｉ２は相補入出力ラインＤＩＯＢを通じて流れる電流である。従って、二つの電流差はＩ１－Ｉ２になり、結局差動入力電流の大きさは影響を受けなくなる。

【００３７】

ＰＭＯＳトランジスタＭｐ５３及びＰＭＯＳトランジスタＭｐ５４によりバイパスされた第１電流αは、電流感知回路５１の出力信号Ｖ１Ｐを増幅するのに使われる。すなわち、第１増幅器５３のＰＭＯＳトランジスタＭｐ５３、Ｍｐ５４とＮＭＯＳトランジスタＭｎ５３とは一つのインバータを形成し、このインバータは第１電流αを利用して電流感知回路５１の出力信号Ｖ１Ｐを増幅して反転する。

【００３８】

インバータとしての機能を有する第１増幅器５３を最適のバイアス条件において動作させるバイアス電圧は、電流感知回路５１の出力信号Ｖ１Ｐにより提供される。これは、出力

信号Ｖ１ＰがＰＭＯＳトランジスタＭｐ５１とＮＭＯＳトランジスタＭｎ５１とによる電圧分配作用により前記インバータのスレショルド電圧近くにおいて動作点を形成するためである。言い換えれば、Ｗ／Ｌ（Ｗはトランジスタのチャネル幅であり、Ｌはトランジスタのチャネル長である）がＭｐ５１：Ｍｎ５１＝（Ｍｐ５３＋Ｍｐ５４）：Ｍｎ５３となるように最適化されれば、温度と工程変化とに関係なくＶ１Ｐが前記インバータのスレショルド電圧近くの値を有するバイアス電圧を自動的に供給する。

【００３９】

ＰＭＯＳトランジスタＭｐ５５及びＰＭＯＳトランジスタＭｐ５６によりバイパスされた第２電流βは、電流感知回路５１の相補出力信号Ｖ２Ｐを増幅するのに使われる。すなわち、第２増幅器５５のＰＭＯＳトランジスタＭｐ５５、Ｍｐ５６とＮＭＯＳトランジスタＭｎ５４とは一つのインバータを形成し、このインバータは第２電流βを利用して電流感知回路５１の相補出力信号Ｖ２Ｐを増幅して反転する。

【００４０】

インバータ形態の第２増幅器５５を最適のバイアス条件において動作させるバイアス電圧は電流感知回路５１の相補出力信号Ｖ２Ｐにより提供される。これは、出力信号Ｖ２ＰがＰＭＯＳトランジスタＭｐ５２とＮＭＯＳトランジスタＭｎ５２とによる電圧分配作用により前記インバータのスレショルド電圧近くで動作点を形成するためである。言い換えれば、Ｗ／ＬがＭｐ５２：Ｍｎ５２＝（Ｍｐ５５＋Ｍｐ５６）：Ｍｎ５４となるようにに最適化されれば、温度と工程変化とに関係なくＶ２Ｐが前記インバータのスレショルド電圧近くの値を有するバイアス電圧を自動的に供給する。

【００４１】

以上のように、本発明の好適な実施形態によれば、入出力ライン感知増幅器は電流感知回路５１と増幅器５３、５５とが混合された回路であり、従来の技術とは異なり差動増幅器で構成されるＶＳＡを含まない。従って、電流消費及びＤＣ電流を抑えた半導体メモリ装置の入出力ライン感知増幅器を提供することができる、

以上のように図面と明細書とにおいて好適な実施形態について説明した。本発明において用いられた特定の用語は、単に本発明を説明するための目的に使われたものであり、意味を限定したり特許請求の範囲に記載された本発明の範囲を制限したりするために用いられたものではない。従って、当業者であるならば、本発明の概念を逸脱しない限りにおいて、ここから多様な変形及び均等な他の実施形態が可能であるという点が理解される。従って、本発明の範囲は請求項の範囲に属する技術的思想によって与えられるものである。

【００４２】

【発明の効果】

本発明によれば、例えば、電流消費及びＤＣ電流を抑えた半導体メモリ装置の入出力ライン感知増幅器を提供することができる。

【図面の簡単な説明】

【図１】半導体メモリ装置の読み出しデータパスを示す図面である。

【図２】図１に示されるＣＳＡの一例を示す回路図である。

【図３】図１に示されるＶＳＡの一例を示す回路図である。

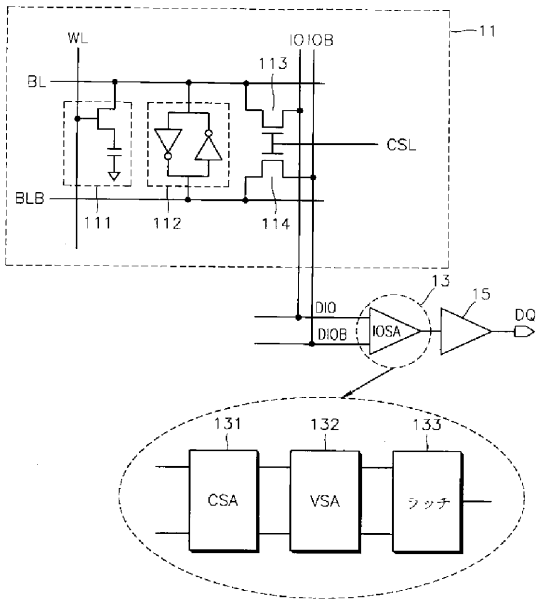
【図４】図１に示されるラッチの一例を示す回路図である。

【図５】本発明の好適な実施形態による半導体メモリ装置の入出力ライン感知増幅器の回路図である。

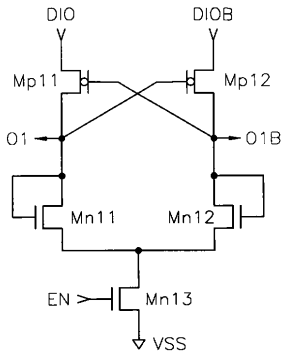
【符号の説明】

５１　電流感知回路
５３　第１増幅器
５５　第２増幅器
５７　ラッチ
Ｍｐ５１、５２、５３、５４、５５、５６　ＰＭＯＳトランジスタ
Ｍｎ５１、５２、５３、５４、５５　ＮＭＯＳトランジスタ

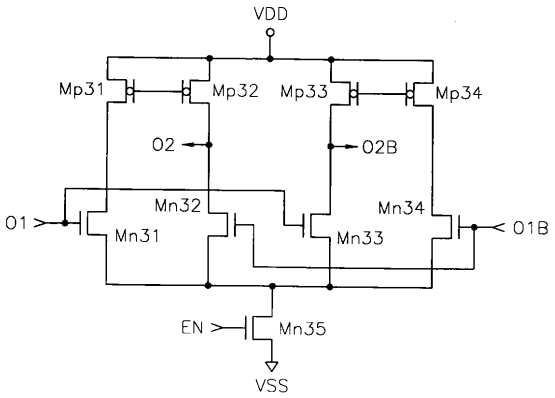
【図１】


WL
IO IOB
113
11
BL
CSL
BLB
111
112
114
13
15
DIO
DIOB
IOSA
DQ
131
132
133
CSA
VSA
ラッチ

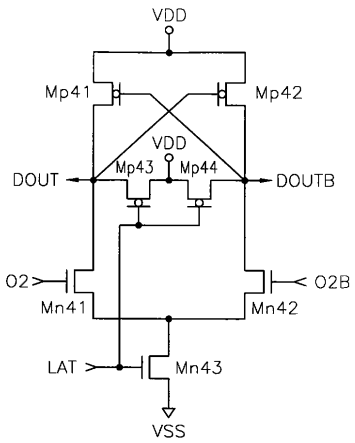
【図２】


DIO
DIOB
Mp11
Mp12
O1
O1B
Mn11
Mn12
EN
Mn13
VSS

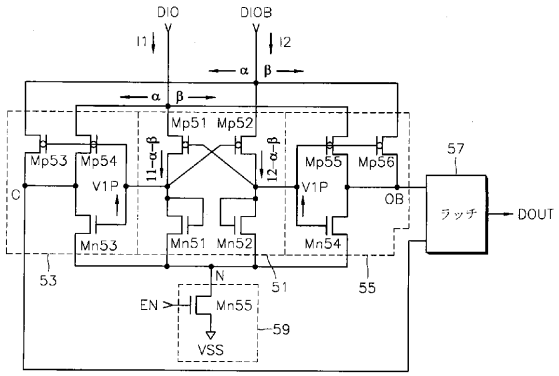
【図３】


VDD
Mp31
Mp32
Mp33
Mp34
O2
O2B
Mn32
Mn34
O1
Mn31
Mn33
O1B
EN
Mn35
VSS

【図４】


VDD
Mp41
Mp42
VDD
Mp43
Mp44
DOUT
DOUTB
O2
O2B
Mn41
Mn42
LAT
Mn43
VSS

【図５】


DIO
DIOB
I1
I2
α
β
Mp51
Mp52
Mp53
Mp54
Mp55
Mp56
V1P
C
OB
57
ラッチ
DOUT
Mn53
Mn51
Mn52
Mn54
53
51
55
N
EN
Mn55
59
VSS

フロントページの続き

(72)発明者　沈載潤
大韓民国京畿道水原市八達洞靈通洞９５５－１番地凰谷マウル住公１団地アパート１２７棟５０２号

審査官　須原　宏光

(56)参考文献　特開平０８－２７９２９４（ＪＰ，Ａ）
特開平１０－３２６４９２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/40-11/419