

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4387397号  
(P4387397)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月9日(2009.10.9)

(51) Int.Cl. F I  
**G 1 1 C 11/56 (2006.01)** G 1 1 C 11/34 3 8 1 D  
**G 1 1 C 11/4091 (2006.01)** G 1 1 C 11/34 3 5 3 A

請求項の数 4 (全 16 頁)

|            |                              |           |  |
|------------|------------------------------|-----------|--|
| (21) 出願番号  | 特願2006-298466 (P2006-298466) | (73) 特許権者 | 308014341<br>富士通マイクロエレクトロニクス株式会社<br>東京都新宿区西新宿二丁目7番1号 |
| (22) 出願日   | 平成18年11月2日(2006.11.2)        | (74) 代理人  | 100094525<br>弁理士 土井 健二                               |
| (62) 分割の表示 | 特願平8-96354の分割                | (74) 代理人  | 100094514<br>弁理士 林 恒徳                                |
| 原出願日       | 平成8年4月18日(1996.4.18)         | (72) 発明者  | 川嶋 将一郎<br>神奈川県川崎市中原区上小田中4丁目1番<br>1号 富士通株式会社内         |
| (65) 公開番号  | 特開2007-26672 (P2007-26672A)  | 審査官       | 須原 宏光  |
| (43) 公開日   | 平成19年2月1日(2007.2.1)          |           |  |
| 審査請求日      | 平成18年11月2日(2006.11.2)        |           |  |

最終頁に続く

(54) 【発明の名称】 3値メモリ回路

(57) 【特許請求の範囲】

【請求項1】

メモリセルに接続されたビット線の電位を増幅する増幅部と、  
 該ビット線がリセット電位にされた時に該増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、  
 該メモリセルによりビット線が読出し電位にされた時に該増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、  
 該第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有することを特徴とするセンスアンプ回路。

10

【請求項2】

H, M, Lレベルの3値の電位を記憶するメモリセルと、  
 該メモリセルに接続されるビット線と、  
 前記HレベルとMレベルのメモリセルが読みだされた時のビット線の電位の中間の第1のリセット電位にビット線をリセットする第一のリセット回路と、  
 該ビット線を前記Mレベル近傍の第2のリセット電位にリセットする第二のリセット回路と、  
 前記LレベルとMレベルのメモリセルが読みだされた時のビット線の電位の中間の第3のリセット電位に該ビット線をリセットする第三のリセット回路と、  
 前記Hレベルのメモリセルが読みだされた時を検出する第一のセンスアンプ回路と、

20

前記 L レベルのメモリセルが読みだされた時を検出する第二のセンスアンプ回路と、  
該第一、第二のセンスアンプ回路の出力に従って再書込み電位を前記ビット線にフィードバックする再書込み回路とを有し、

前記第一のセンスアンプ回路は、  
ビット線の電位を増幅する第一の増幅部と、

該ビット線が第 1 のリセット電位にされた時に該第一の増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、

該メモリセルによりビット線が読出し電位にされた時に該第一の増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、

10

該第一及び第二のキャパシタに保持されている電位差を検出してラッチする第一のラッチ回路とを有し

前記第二のセンスアンプ回路は、  
ビット線の電位を増幅する第二の増幅部と、

該ビット線が第 3 のリセット電位にされた時に該第二の増幅部で増幅された電位を第三のサンプリングパルスにより第三のキャパシタに蓄積する第三のサンプリング保持部と、

該メモリセルによりビット線が読出し電位にされた時に該第二の増幅部で増幅された電位を前記第二のサンプリングパルスにより第四のキャパシタに蓄積する第四のサンプリング保持部と、

該第三及び第四のキャパシタに保持されている電位差を検出してラッチする第二のラッチ回路とを有することを特徴とする 3 値メモリ回路。

20

#### 【請求項 3】

前記再書き込み回路は、前記第一のセンスアンプ回路の出力をゲートに入力する第一の P チャネルトランジスタと、前記第二のセンスアンプ回路の出力をゲートに入力する第一の N チャネルトランジスタとを有する CMOS インバータ回路で構成され、前記第一のセンスアンプ回路がメモリセルの H レベルを検出した時に前記第一の P チャネルトランジスタを導通して出力を H レベルにし、前記第二のセンスアンプ回路がメモリセルの L レベルを検出した時に前記第一の N チャネルトランジスタを導通して出力を L レベルにし、前記メモリセルが M レベルの時には、出力を M レベルにすることを特徴とする請求項 2 記載の 3 値メモリ回路。

30

#### 【請求項 4】

前記再書き込み回路と出力バッファとの間に、

所定電位の電源に接続され、H、M、L レベルを有する 3 値入力をゲートに入力する第一の P チャネルトランジスタと、接地電源に接続され、前記 3 値入力をゲートに入力する第一の N チャネルトランジスタと、前記第一の P チャネルトランジスタと第一の N チャネルトランジスタの間に設けられ、リセット時に非導通となりリセット時以外で導通となる第二の P、N チャネルトランジスタと、該第二の P、N チャネルトランジスタの接続点に接続され、リセット時に前記 M レベルの電位にリセットされる出力端子とを有する 3 値インバータ回路を有することを特徴とする請求項 2 記載の 3 値メモリ回路。

#### 【発明の詳細な説明】

40

#### 【技術分野】

#### 【0001】

本発明は、3 値メモリ回路に係り、低電源電圧下であっても 3 値に対応する電圧値の差を正確に検出することができるセンスアンプ回路とその周辺回路としての 2 値と 3 値との間の変換回路とに関する。

#### 【背景技術】

#### 【0002】

現在普及している大容量の半導体メモリの一つは、メモリセル内に 1 または 0 の 2 値情報を記憶し、その 2 値情報に対応する電圧値をセンスアンプで検出するダイナミック型の RAM である。このメモリのセルは、1 個のトランジスタと 1 個のキャパシタの 2 素子で

50

構成されることで大容量を可能にしている。

【0003】

しかしながら、より大容量化を進める為には、単にこのメモリセルの数を増やすだけでは自ずと限界があり、それを解決する方法として3値の情報をメモリセルに記憶させる方法がある。

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、大容量化と共により低い電源電圧下で動作させることも要求されている。その場合、例えば1.0V程度の低い電源電圧下で3値の情報をメモリセルに記憶させると、3値に対応する電圧値の差が非常に狭くなり、それを検出するセンスアンプはより高感度であることが要求される。

10

【0005】

従来のDRAMで使用されているセンスアンプは、フリップ・フロップ型のラッチセンスアンプであり、その2つの入力にビット線に読み出されるHレベルまたはLレベルの電圧とそれらの中間の基準電圧とが入力され、基準電圧とビット線の読み出しレベルの差を検出している。しかしながら、かかるラッチセンスアンプでは、それを構成する4個のトランジスタの閾値や電流駆動能力にアンバランスが存在し、それに伴うオフセット電圧の為に、2入力の電位差は少なくとも100mV程度が必要である。

【0006】

20

一方、現在の1トランジスタ型のメモリセルによって1.0Vの電源電圧下で3値データを記憶する場合、例えばHレベルが1.0V、M(中間)レベルが0.5V、Lレベルが0Vとすると、ビット線とセルの容量比からビット線に読みだされる電圧は+100mV ~ -100mVを3つの領域に分割した領域内に入ることになる。従って、1つの区分はせいぜい70mV程度となり、上記した従来のセンスアンプでは入力オフセット電圧以下の電位差となり動作不良を起こすことがある。

【0007】

従って、3値メモリ実現の為に、上記した微小電圧差を有効に検出することができるセンスアンプを提供する必要がある。

【0008】

30

また、3値メモリ回路を従来から一般的に使用されている2値データのシステム内で使用しようとする場合には、外部の2値データとメモリ内部の3値データとを変換する必要がある。ところが、かかる2値と3値との間の変換回路は従来からあまり提案されておらず、3値メモリを実現する上で必要な要件である。

【0009】

そこで、本発明の目的は、3値メモリを実現するために必要な高感度のセンスアンプ回路を提供することにある。

【0010】

また、本発明の他の目的は、3値メモリを実現するために必要な2値と3値の間の変換回路を提供することにある。

40

【課題を解決するための手段】

【0011】

上記の目的は、本発明によれば、メモリセルに接続されたビット線の電位を増幅する増幅部と、該ビット線がリセット電位にされた時に該増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、該メモリセルによりビット線が読み出し電位にされた時に該増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、該第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有することを特徴とするセンスアンプ回路を提供することにより達成される。

【0012】

50

かかる構成のセンスアンプ回路であれば、ビット線の電位が増幅部で一旦増幅され、その増幅後の電位差がラッチ回路で検出されるので、微小電位差であっても安定して検出することができる。

【 0 0 1 3 】

更に、上記の目的は、本発明によれば、H, M, Lレベルの3値の電位を記憶するメモリセルと、該メモリセルに接続されるビット線と、前記HレベルとMレベルのメモリセルが読みだされた時のビット線の電位の中間の第1のリセット電位にビット線をリセットする第一のリセット回路と、該ビット線を前記Mレベル近傍の第2のリセット電位にリセットする第二のリセット回路と、前記LレベルとMレベルのメモリセルが読みだされた時のビット線の電位の中間の第3のリセット電位に該ビット線をリセットする第三のリセット回路と、前記Hレベルのメモリセルが読みだされた時を検出する第一のセンスアンプ回路と、前記Lレベルのメモリセルが読みだされた時を検出する第二のセンスアンプ回路と、該第一、第二のセンスアンプ回路の出力に従って再書き込み電位を前記ビット線にフィードバックする再書き込み回路とを有し、前記第一のセンスアンプ回路は、ビット線の電位を増幅する増幅部と、該ビット線が第1のリセット電位にされた時に該増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、該メモリセルによりビット線が読出し電位にされた時に該増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、該第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有し前記第二のセンスアンプ回路は、ビット線の電位を増幅する増幅部と、該ビット線が第3のリセット電位にされた時に該増幅部で増幅された電位を第一のサンプリングパルスにより第一のキャパシタに蓄積する第一のサンプリング保持部と、該メモリセルによりビット線が読出し電位にされた時に該増幅部で増幅された電位を第二のサンプリングパルスにより第二のキャパシタに蓄積する第二のサンプリング保持部と、該第一及び第二のキャパシタに保持されている電位差を検出してラッチするラッチ回路とを有することを特徴とする3値メモリ回路を提供することにより達成される。

10

20

【 0 0 1 4 】

上記の様に、二つのセンスアンプ回路を設けることで、3値情報を記憶するメモリセルの場合でも、安定して検出することができる。

【 0 0 1 5 】

上記の様な3値情報を記憶するメモリ回路の場合に、センスアンプ回路から出力回路まで又は入力回路から書き込み増幅回路までの3値信号を信号成形する必要がある。

30

【 0 0 1 6 】

その成形回路として、本発明では、所定電位の電源に接続され、H, M, Lレベルを有する3値入力をゲートに入力する第一のPチャネルトランジスタと、接地電源に接続され、前記3値入力をゲートに入力する第一のNチャネルトランジスタと、前記第一のPチャネルトランジスタと第一のNチャネルトランジスタの間に設けられ、リセット時に非導通となりリセット時以外で導通となる第二のP, Nチャネルトランジスタと、該第二のP, Nチャネルトランジスタの接続点に接続され、リセット時に前記Mレベルの電位にリセットされる出力端子とを有することを特徴とする3値インバータ回路が提供される。

40

【 0 0 1 7 】

また、本発明によれば、上記の3値インバータ回路において、リセット時の出力端子の電位をHレベルにするかLレベルにするかで、3値信号のHレベル又はLレベル信号を検出することができる。

【 0 0 1 8 】

上記した目的は、本発明によれば、2進数の3ビット信号を3進数の2ビット信号に変換するデコーダ回路において、該2進数の3ビット信号のうち第一、第二のビット信号が所定の組み合わせの時を検出する例外検出部と、該例外が検出されない時に、該第一、第二のビット信号を入力して反転させ、該例外が検出される時に2進数の3ビット信号のうち第三のビット信号を入力して反転させる第一及び第二のマルチプレクサ回路と、該例外

50

が検出されない時に、該第一及び第二のマルチプレクサ回路からの出力信号を入力し、該第一、第二のビット信号の組み合わせに従って、L、M、Hレベルを3進数の第一のビット信号として出力し、該例外が検出される時に、前記2進数の第三のビット信号を3進数の第一のビット信号として出力する第一のインバータ回路と、該例外が検出されない時に、前記2進数の第三のビット信号に従って、LレベルとMレベルを3進数の第二のビット信号として出力し、前記例外が検出される時に、Hレベルを3進数の第二のビット信号として出力する第二のインバータ回路とを有することを特徴とするデコーダ回路を提供することにより達成される。

#### 【0019】

また、同じ目的は、本発明によれば、3進数の2ビット信号を2進数の3ビット信号に変換するエンコーダ回路において、3進数の第一のビット信号のHレベルを検出する回路とLレベルを検出する回路と、3進数の第二のビット信号のHレベルを検出する回路とLレベルを検出する回路と、上記Hレベル又はLレベル検出回路のいずれかの第一の出力が所定の信号の時に例外時と判定され、該判定信号により制御される第一、第二、第三のマルチプレクサ回路とを有し、該第一のマルチプレクサ回路は、該例外が検出されない時に前記第一の出力に対応する逆相レベルの検出回路の第二の出力を反転し、該例外が検出される時に他方のビット信号のHレベル又はLレベル検出回路の一方の出力を反転し、該第二のマルチプレクサ回路は、該例外が検出されない時に前記他方のビット信号のHレベル又はLレベル検出回路の一方の出力を反転し、該例外が検出される時にH又はLレベルの何れかの一方のレベルを出力し、該第三のマルチプレクサ回路は、該例外が検出されない時に前記他方のビット信号のHレベル又はLレベル検出回路の他方の出力を反転し、該例外が検出される時にH又はLレベルの何れかの他方のレベルを出力することを特徴とするエンコーダ回路。

#### 【発明を実施するための最良の形態】

#### 【0020】

以下、図面にしたがって本発明の実施の形態について説明する。但し、本発明の技術的範囲はこれらの実施の形態に限定されず、特許請求の範囲に記載された事項とその均等物まで及ぶものである。

#### 【0021】

以下、本発明の実施の形態について図面に従って説明する。しかしながら、本発明の技術的範囲がかかる実施の形態に限定されるものではない。

#### 【0022】

##### [センスアンプの動作原理]

図1は、本発明にかかるセンスアンプの動作原理を説明する為の回路図であり、図2はその動作原理を説明する為のタイミングチャート図である。本明細書では、Pチャンネル型MOSトランジスタについてはPを引用符号として使用し、Nチャンネル型MOSトランジスタについてはQを引用符号として使用する。

#### 【0023】

図1の回路内のNチャンネル型MOSトランジスタは閾値電圧が0.6Vで、Pチャンネル型MOSトランジスタは閾値電圧が-0.6Vであるとする。図1の回路は、メモリセルMC、リセット回路RST及びセンスアンプSAから構成される。メモリセルMCは、ビット線BLとワード線WORDとの交差部に設けられたトランジスタQ3とキャパシタCcから構成されている。キャパシタCcの対向電極は電源の中間電位である0.5Vが印加されている。また、リセット回路RSTは、ビット線BLの電位を0.5Vの基準電位VREFにリセットする回路である。

#### 【0024】

図1のセンスアンプSAには、ビット線BLの電位を増幅するP型トランジスタP1と定電流源のN型トランジスタQ1からなる増幅回路が設けられ、電源電圧を昇圧した1.5V電位に接続されている。更に、基準電圧VREFを増幅した時のノードnampをサンプリング保持する回路P2、C1と、読み出した時のビット線電位を増幅した時のノ

10

20

30

40

50

ド n a m p をサンプリング保持する回路 P 3 , C 2 と、それぞれの保持電位であるノード n 1 , n 2 の電位差を検出するラッチ回路 Q 4 , Q 5 , Q 6 を有する。

【 0 0 2 5 】

次に、図 2 に示したタイミングチャート図に従って図 1 の動作の説明を行なう。ここでは、動作原理の説明であるため、メモリセル M C のノード n c e には、H レベルの 1 V と L レベルの 0 V とが蓄積されているとする。まず、期間 t 1 においてリセットパルス R S T が 1 . 5 V に立ち上がりビット線 B L を基準電位 V R E F レベルにリセットする。そのビット線電位は増幅トランジスタ P 1 により増幅され、ノード n a m p に基準電位 V R E F に対応した電位が生成され、サンプルパルス 1 の L レベルによりトランジスタ P 2 を介してその電位がキャパシタ C 1 にサンプルされる。

10

【 0 0 2 6 】

上記のリセット期間の後、ワード線 W O R D が 1 . 5 V に立ち上げられ、メモリセルに蓄積されていた H レベルに対応する電荷がビット線 B L に流れだす。ビット線の容量負荷を C B L とすると、ビット線 B L の電位は、 $V R E F + C c / ( C B L + C c ) \times 0 . 5 V$  (通常、 $C c / ( C B L + C c )$  は 0 . 1 程度)

に上昇する。その上昇分の約 0 . 0 5 V が、増幅トランジスタ P 1 により増幅され、ノード n a m p の電位はより低くなる。そして、期間 t 2 において、サンプルパルス 2 の L レベルによりトランジスタ P 3 を介してその電位がキャパシタ C 2 にサンプルされる。

【 0 0 2 7 】

その後、期間 t 3 において、ラッチパルス L A T C H によってラッチ回路が活性化され、サンプリングされていたノード n 1 と n 2 の電位差が検出される。

20

【 0 0 2 8 】

期間 t 4 , t 5 , t 6 においては、メモリセルの L レベルを検出するために、リセット電位のサンプリング、読み出し電位のサンプリング及びラッチ増幅がそれぞれ行なわれる。

【 0 0 2 9 】

上記の通り、ビット線 B L に発生する  $\pm C c / ( C B L + C c ) \times 0 . 5 V$  (約 0 . 0 5 V) の電位変動は、増幅トランジスタ P 1 により増幅され、その増幅後の電位のノード n 1 と n 2 がラッチ回路で確実に差動増幅される。具体的には、ビット線 B L に生じる  $\pm 0 . 0 5 V$  程度の電圧は、増幅トランジスタ P 1 によって  $\pm 0 . 2 V$  程度まで増幅される。

30

【 0 0 3 0 】

上記説明した通り、図 1 のセンスアンプ回路では、リセット時のビット線の電位と読み出し時の電位とを時分割でサンプリングしている。しかしながら、サンプルパルス 1 , 2 のパルス幅を狭くすることにより、メモリの読み出し動作に特に影響を与えることは少ない。即ち、サンプルパルス 1 , 2 が短いパルスであっても、ノード n a m p に生成される増幅された電位に応じてトランジスタ P 2 , P 3 のゲート・ソース間電圧が異なるので、それに伴いノード n a m p が高い場合には多くの電流、低い場合には少ない電流がそれぞれ流れるので、結果的にキャパシタ C 1 , C 2 に充電される電位の差はノード n a m p の電位差の 4 ~ 5 倍に増幅された値になる。

【 0 0 3 1 】

40

[ 3 値 D R A M への適用例 ]

図 3 は、上記のセンスアンプ回路を 3 値 D R A M に適用した時の回路図である。また、図 4 はその動作を説明するタイミングチャート図である。この例でも、電源電圧は 1 V、N M O S トランジスタの閾値は 0 . 6 V、P M O S トランジスタの閾値は - 0 . 6 V とする。

【 0 0 3 2 】

図示される通り、リセット回路 R S T には 3 種類のリセット電位 ( 0 . 5 2 V , 0 . 5 V , 0 . 4 8 V ) が準備されている。そして、メモリセルとして図中には H レベル ( 1 V ) を記憶するメモリセル M C H , M レベル ( 0 . 5 V ) を記憶するメモリセル M C M , L レベル ( 0 V ) を記憶するメモリセル M C L の 3 個が示されている。ビット線 B L に接続

50

されるセンスアンプ回路SAには、図1で説明したセンスアンプ回路が2組SA1, SA2設けられている。それらのセンスアンプSA1, SA2からの出力が再書き込み回路RWを介して、ビット線BLに戻されている。

【0033】

センスアンプSA1は、ビット線BLが高いリセットレベルVRHにリセットされている時のノードnamp1の電位をキャパシタC11にサンプリングし、メモリセルから読みだされた時のノードnamp1の電位をキャパシタC21にサンプリングする。つまり、ビット線の電位が、Hレベルの値に対応するか否かの判定を行なう。従って、Hレベルが読みだされる時は、ビット線電位はより高く変化し、ノードnamp1はより低く増幅されるので、 $n11 > n21$ の電位関係となり、ノードn21はLレベルとして読みだされる。Hレベル以外の場合には、 $n11 < n21$ となる。

10

【0034】

センスアンプSA2は、ビット線BLに低いリセットレベルVRLにリセットされている時のノードnamp2の電位をキャパシタC12にサンプリングし、メモリセルから読みだされた時のノードnamp2の電位をキャパシタC22にサンプリングする。つまり、ビット線の電位が、Lレベルの値に対応するか否かの判定を行なう。従って、Lレベルが読みだされる時は、ビット線電位はより低く変化し、ノードnamp2はより高い電位になるので、 $n12 < n22$ の電位関係となり、ノードn22はHレベルとして読みだされる。Lレベル以外の場合には、 $n12 > n22$ となる。

20

【0035】

従って、1対のセンスアンプSA1, SA2の出力n21, n22の出力は、Hレベル読み出し時： $n21 = L$ ,  $n22 = L$  Mレベル読み出し時： $n21 = H$ ,  $n22 = L$  Lレベル読み出し時： $n21 = H$ ,  $n22 = H$ となる。

【0036】

再書き込み回路は、一对の逆相信号W, /Wにより活性化され、1組のセンスアンプSA1, SA2で検出された出力によって再書き込み電位(1V, 0.5V, 0V)をビット線にフィードバックする。

【0037】

読み出し時のビット線電位が、リセット電位VRHより高い場合は、 $n21 = 0V$ ,  $n22 = 0V$ となり、トランジスタP24がオン、Q28がオフとなり、再書き込み電位は1Vとなる。

30

【0038】

読み出し時のビット線電位が、リセット電位VRLより低い場合は、 $n21 = H$ ,  $n22 = H$ となり、トランジスタP24がオフ、Q28がオンとなり、再書き込み電位は0Vとなる。

【0039】

読み出し時のビット線電位が、中間値の場合は、 $n21 = H$ ,  $n22 = 0V$ となるので、トランジスタP24, Q28が共にオフとなり、ビット線電位がそのまま再書き込みされる。このビット線電位は、読み出し直前に0.5Vにリセットされ、セルへのアクセスにより $\pm 0.02V$ 以下の変動をする。しかし、その変動分は、次のアクセス時にCc/(CBL+Cc)倍(約0.1倍)され、ビット線には $0.5V \pm 0.002V$ が読みだされるので、Mレベルの読み出しに支障はない。

40

【0040】

尚、ノードn21がHレベルの時にトランジスタP24がオフする為には $0.4V (1V - V_{th}(0.6))$ 以上であることが必要で、ノードn22がHレベルの時にトランジスタQ28がオンする為には $0.6V (V_{th})$ 以上であることが必要である。センスアンプSA1, 2内のラッチ回路にはプルアップ回路がないので、サンプル電圧のnamp1とnamp2の電位が0.6V以上になる様に、増幅回路のトランジスタP11, Q11とP12, Q12のディメンジョン比は若干異なっている。即ち、トランジスタP11, Q11は、ビット線BLがHレベルリセット電位VRHの時にノードnamp1 > 0

50

、6 Vとなるように設定されている。また、トランジスタP12、Q12は、ビット線BLがLレベルリセット電位VRLの時にノードnamp2 > 0.6 Vとなるように設定されている。従って、例えばビット線BLが0.5 Vの時は、namp1 > namp2となる。

【0041】

図3の動作を図4のタイミングチャート図に従って説明する。図4は、Hレベル読み出しと再書き込み、Mレベル読み出しと再書き込み、Lレベル読み出しと再書き込みを順に動作している。

【0042】

[ Hレベル読み出しと再書き込み ]

先ず、リセット期間では、リセット信号 RST1が立ち上がり、ビット線BLをVRL (0.48 V) にリセットし、その時のセンスアンプSA2内のノードnamp2がサンプルパルス1の立ち下がりによりキャパシタC12にサンプルされる。次にリセット信号 RST2が立ち上がり、ビット線BLをVRH (0.52 V) にリセットし、その時のセンスアンプSA1内のノードnamp1がサンプルパルス2の立ち下がりによりキャパシタC11にサンプルされる。そして最後に、リセット信号 RST3が立ち上がり、ビット線BLはVRM (0.5 V) にリセットされる。

【0043】

そこで、ワード線WLHが2.0 Vまで立ち上がり、メモリセルMCHの選択トランジスタQ31が導通し、ビット線BLには $C_c / (C_{BL} + C_c) \times 0.5 V$  (約0.05 V) の電位増加が発生する。それによって増幅トランジスタP11、P12によって低下したノードnamp1、2の電位がサンプルパルス3でキャパシタC21、C22にサンプリングされる。従って、センスアンプSA1では十分な電位差 Vをもってn11 > n21となり、ラッチパルス LATCHの立ち下がりにより、ノードn21は0 Vまで引き下げられる。その時、センスアンプSA2側のノードn22も0 Vまで引き下げられる。従って、ノードn21とn22はいずれもLレベルとなる。

【0044】

そして、再書き込み回路RWがパルス/W、Wで活性化されると、トランジスタP24とP25がオンし、1 Vの電源電位がビット線BLに戻され、メモリセルMCHのキャパシタCaに再書き込みされる。

【0045】

[ Mレベル読み出しと再書き込み ]

リセット期間は、上記と同様である。そして、ワード線WLMが2.0 Vまで立ち上がると、メモリセルMCM内には0.5 Vが記憶されているので、ビット線BLの電位は変化なくリセット電位VRM (0.5 V) を維持する。その時のノードnamp1、2の電位がキャパシタC21、C22にそれぞれサンプリングされる。従って、n11 < n21、n12 > n22の状態が、ラッチパルス LATCHの立ち下がりによりラッチされる。従って、ノードn21はHレベル、n22はLレベルとなる。

【0046】

その後、再書き込み回路RWがパルス/W、Wで活性化されても、トランジスタP24、Q28はオフのまま、ビット線BLの電位はリセット電位の0.5 Vのままに維持され、メモリセルMCMに再書き込みされる。

【0047】

[ Lレベル読み出しと再書き込み ]

リセット期間は、上記と同様である。そして、ワード線WLLが2.0 Vまで立ち上がると、メモリセルMCL内には0 Vが記憶されているので、ビット線BLの電位は $C_c / (C_{BL} + C_c) \times 0.5 V$  (約0.05 V) の電位低下が発生する。それによって増幅トランジスタP11、P12によって増加したノードnamp1、2の電位がサンプルパルス3でキャパシタC21、C22にサンプリングされる。従って、センスアンプSA2では十分な電位差 Vをもってn12 < n22となり、ラッチパルス LATCHの立ち下がり

10

20

30

40

50

りにより、ノード  $n22$  は H レベルとなる。その時、センスアンプ SA1 側のノード  $n21$  も H レベルになる。従って、ノード  $n21$  と  $n22$  はいずれも H レベルとなる。

【0048】

そして、再書き込み回路 RW がパルス  $\phi_w$  で活性化されると、トランジスタ Q27, Q28 がオンし、0 V の電源電位がビット線 BL に戻され、メモリセル MCL のキャパシタ Cc に再書き込みされる。

【0049】

以上の様に、H レベル検出と L レベル検出をそれぞれ専用に行なうセンスアンプを 1 組使用することで、1 V の電源電圧下での 3 値レベルをメモリセルから確実に読みだして再書き込みすることができる。

10

【0050】

[ 3 値インバータ等 ]

上記した様に、再書き込み回路 RW の出力には、H レベル (1 V), M レベル (0.5 V), L レベル (0 V) がそれぞれ読みだされる。従って、その出力を図示しない出力回路に供給する必要がある。或いは図示しない入力回路から書き込み回路まで 3 値信号を供給する必要がある。メモリセルアレイが複数のブロックに分割されている場合などは、その中間で増幅する必要がある。また、出力回路内等で必要に応じて、H レベルを検出したり、L レベルを検出したりする回路も適宜利用することが必要になる。そこで、以下に 3 値インバータ、H レベル検出回路、L レベル検出回路の例について説明する。

【0051】

20

図 5 は、3 値インバータ回路例であり、図 6 はその動作波形図である。この回路は、図 3 の再書き込み回路と同様の動作を行なう。電源電圧は 1 V、P チャネル MOS 及び N チャネル MOS それぞれのトランジスタの閾値は 0.6 V と -0.6 V である。

【0052】

図 5 の回路は、クロック  $\phi$  で活性化されるインバータ P31, P32, Q33, Q34 と、リセットトランジスタ Q35 から構成される。その動作は、リセット時に、クロック  $\phi$  を 1 V, 0 V にしてトランジスタ P32, Q33 をオフ状態にし、リセット信号 RST を 1.5 V に立ち上げて出力端子を M レベルの 0.5 V にリセットする。その後、リセット信号 RST を 0 V に立ち下げて、クロック  $\phi$  を 0 V, 1 V にしてトランジスタ P32, Q33 をオン状態にしてインバータを活性化する。この時、入力電位が H レベル (1 V) であればトランジスタ Q34 がオンして出力端子には L レベル (0 V) が出力される。また、入力電位が L レベル (0 V) であればトランジスタ P31 がオンして出力端子には H レベル (1 V) が出力される。入力電位が M レベル (0.5 V) の時にはトランジスタ P31 の閾値電圧より高く P31 はオフ、トランジスタ Q34 の閾値電圧より低く Q34 もオフで、出力端子にはリセットレベルの 0.5 V がそのまま出力される。

30

【0053】

かくして、入力電位が H, M, L レベルに対応して、出力電位は L, M, H レベルになる。従って、このインバータ回路を 2 段接続することにより、波形成形が可能になる。

【0054】

40

図 7 は、H レベルを検出する回路であり、図 8 はその動作波形図である。この回路では、リセット電位が 1 V に設定されている。後は、図 5 の回路と同じである。即ち、リセット期間に出力端子が 1 V にリセットされ、その後クロック  $\phi$  を 0 V, 1 V にしてトランジスタ P42, Q43 がオン状態になりインバータが活性化される。入力電位が NMOS トランジスタ Q44 の閾値電圧 (0.6 V) 以上の H レベルの時は、Q44 がオンして出力電圧が L レベルにされる。H レベル以外の場合は、トランジスタ Q44 がオフとなり、入力電位がリセット電位の 1 V を維持する。

【0055】

図 9 は、L レベルを検出する回路であり、図 10 はその動作波形図である。この回路では、リセット電位が 0 V に設定されている。後は、図 5 の回路と同じである。即ち、リセ

50

ット期間に出力端子が0Vにリセットされ、その後クロック、/を0V、1VにしてトランジスタP52、Q53がオン状態になりインバータが活性化される。入力電位がPMOSTランジスタP51の閾値電圧(1-0.6V)以下のLレベルの時は、P51がオンして出力電圧をHレベルにする。Lレベル以外の場合は、トランジスタP51がオフとなり、入力電位がリセット電位の0Vを維持する。

【0056】

[2進3ビットを3進2ビットに変換する回路]

3値DRAMを構成するためには、その入力段でシステム側の2進数の信号を内部記憶用の3進に変換することが必要である。一方、出力段ではその逆の変換も必要になる。

【0057】

図11は、本発明にかかる2進3ビットを3進2ビットに変換する概略回路図である。図12はその詳細回路図、図13は動作を説明するための変換表、図14は動作を説明するための波形図である。

【0058】

B0、B1、B2がH、Lレベルからなる2進数3ビット入力信号で、T0、T1がH、M、Lレベルからなる3進数2ビット出力信号である。従って、10進数で言うと0~7の数が、2進数から3進数に変換される。

【0059】

この回路の基本的な考え方は、通常は、2進数の下位ビットB0、B1がそのまま3進数の下位ビットT0をコントロールする。従って、マルチプレクサMPX2は入力としてB0を選択し、その出力nt0lにB0の反転信号が出力される。また、マルチプレクサMPX1は入力としてB1を選択し、その出力nt0hにB1の反転信号が出力される。一方、3進数の上位ビットT1は、B2がLの時はLレベルに、B2がHの時はMレベルにされる。

【0060】

また、2進数の下位2ビットが(B1、B0)=(H、L)の時は、例外的な処理を行なう。即ち、3進数の上位ビットT1を強制的にHレベルにし、下位ビットT0にB2の信号をそのまま出力する。即ち、B2=HでT0=H、B2=LでT0=Lである。

【0061】

以上が基本的な考え方であるが、更に動作について詳述する。先ず、インバータI1とNANDゲートNA1は、上記の例外処理の(B0、B1)=(L、H)を検出する回路である。検出信号/nmatとその反転信号nmatとが、それぞれのマルチプレクサMPX1、2やインバータI3、NORゲートNO1等の切り換えを制御する。そして、インバータI4、I5は、それぞれ出力端子がMレベルにリセットされ、リセット後にクロックRS、/RSによって活性化される。

【0062】

前述した通り、例外処理の(B1、B0)=(H、L)以外の通常状態では、マルチプレクサMPX1はB1を入力とするインバータとして動作し、MPX2はB0を入力とするインバータとして動作する。従って、3進数の下位ビットT0は、(B1、B0)=(L、L)でT0=L、(B1、B0)=(L、H)でT0=M、(B1、B0)=(H、H)でT0=Hとなる。3進数の上位ビットT1は、前述した通りB2がLの時はLレベルに、B2がHの時はMレベルにされる。

【0063】

一方、例外処理の(B1、B0)=(H、L)の場合には、マルチプレクサMPX1、2は共にB2を入力とするインバータとなる。従って、更にインバータI5を介することにより、下位ビットT0にはB2がそのまま出力される。また、上位ビットT1は、強制的にHレベルになる。

【0064】

図12を参照すれば、上記の動作説明がより明確になる。マルチプレクサMPX1、2は、例外処理を検出するnmat、/nmat信号により制御されて、いずれか一方の入

10

20

30

40

50

力信号に対するインバータとして動作する。また、インタバータ I 4 , I 5 は、図 3 の再書込回路 R W と同様の動作であり、リセット信号 R S T により出力端子を M レベルにリセットし、R S 信号により活性化され、入力の  $n t 1 h$  ,  $n t 1 l$  または  $n t 0 h$  ,  $n t 0 l$  の組み合わせに対して、 $( H , H ) = L$  ,  $( H , L ) = M$  ,  $( L , L ) = L$  となるように動作する。

【 0 0 6 5 】

図 1 3 と 1 4 にその動作を説明するための変換テーブルと動作波形図を示す。図示される通り、例外処理以外の場合には、3 進数の出力 T 0 , T 1 は、 $( 0 , 0 ) ( 0 , 1 ) ( 0 , 2 ) ( 1 , 0 ) ( 1 , 1 ) ( 1 , 2 )$  となり、例外処理の時は、 $( 2 , 1 ) ( 2 , 2 )$  となる。

10

【 0 0 6 6 】

[ 3 進 2 ビットを 2 進 3 ビットに変換する回路 ]

図 1 5 は、3 進数 2 ビット信号を 2 進数 3 ビット信号に変換する回路である。また図 1 6 はその動作波形図である。この変換は、前述の変換回路の逆変換となる。この回路の場合も、電源電圧が 1 V で、N チャネル M O S の閾値が 0 . 6 V、P チャネル M O S の閾値が - 0 . 6 V である。

【 0 0 6 7 】

P 8 1 , Q 8 1 , Q 8 2 及び P 9 1 , Q 9 1 , Q 9 2 は 3 値信号の H レベルを検出する回路であり、前述の図 7 の変形例である。リセット信号 / R S T を 0 V にして出力を 1 V に充電し、リセット信号 / R S T を 1 V にしている間に入力が 0 . 6 V 以上の電位の H レベルの場合のみ出力を 0 V にし、入力が M , L レベルの時には出力は 1 V を維持する。

20

【 0 0 6 8 】

P 8 2 , P 8 3 , Q 8 3 及び P 9 2 , P 9 3 , Q 9 3 は 3 値信号の L レベル検出回路であり、リセット時に出力を 0 V にし、入力が 0 . 4 V 以下の電位の L レベルの時のみ出力を 1 V にし、入力が M , H レベルの時には出力は 0 V を維持する。

【 0 0 6 9 】

この逆変換回路では、3 値入力の T 1 が H レベルの時に前述の例外処理を行い、それ以外の場合には、マルチプレクサ M P X 3 は T 1 の L 検出出力のインバータ、M P X 4 は T 0 の H 検出出力のインバータ、P M X 5 は T 0 の L 検出出力のインバータとして動作する。また、例外処理の場合には、信号  $n T 1 H$  , /  $n T 1 H *$  によりマルチプレクサを制御し、強制的に  $B 1 = H$  ,  $B 0 = L$  とする。そして上位ビットの B 2 は、T 0 が H レベルか L レベルかによって決定される。

30

【 0 0 7 0 】

以上の様な 2 進数 3 ビットを 3 進数 2 ビットに変換する回路とその逆変換回路を利用することにより、システム側から供給される 2 進数 3 ビットを信号に対して 3 値信号に変換し、前述のメモリセルに記憶し、センスアンプ回路で増幅して読みだして、逆変換により再び 2 進数 3 ビット信号に戻して出力することができる。従って、メモリ回路内部では全て 3 進数の信号で処理を行なうことができ、内部回路や配線は簡単化される。

【 0 0 7 1 】

以上説明した通り、本発明によれば、1 V の電源を使用したメモリにおいて、3 値の情報を従来の 1 トランジスタと 1 キャパシタから構成されるメモリセルに記憶させ、適正に読出し、再書込みすることができる高感度のセンスアンプ回路を提供することができる。また、メモリ内部での 3 値信号を適宜増幅することができる 3 値インバータを提供することができる。更に、システム側の 2 進数の信号との高速変換回路も提供することができ、従来のシステム内に組み込んで使用することに何らの支障もない。

40

【 図面の簡単な説明 】

【 0 0 7 2 】

【 図 1 】 本発明にかかるセンスアンプの動作原理を説明する為の回路図である。

【 図 2 】 図 1 の動作原理を説明する為のタイミングチャート図である。

【 図 3 】 図 1 のセンスアンプ回路を 3 値 D R A M に適用した時の回路図である。

50

- 【図4】図3の動作を説明するタイミングチャート図である。
- 【図5】3値インバータ回路例である。
- 【図6】図5の動作波形図である。
- 【図7】3値のHレベルを検出する回路である。
- 【図8】図7の動作波形図である。
- 【図9】3値のLレベルを検出する回路である。
- 【図10】図9の動作波形図である。
- 【図11】2進3ビット信号を3進2ビット信号に変換する回路である。
- 【図12】図11の詳細回路図である。
- 【図13】図11、12の変換図表である。
- 【図14】図11、12の動作波形図である。
- 【図15】3進2ビット信号を2進3ビット信号に変換する回路である。
- 【図16】図15の動作波形図である。

10

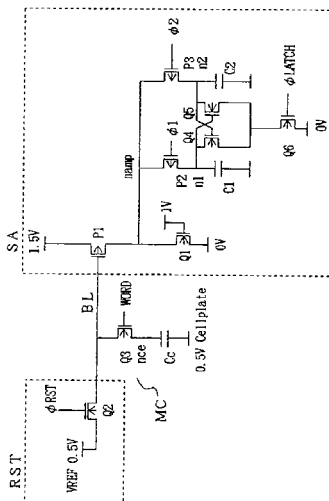
【符号の説明】

【0073】

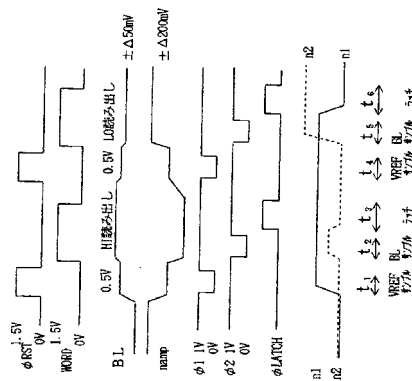
- R S T リセット回路
- S A センスアンプ回路
- B L ビット線
- M C メモリセル
- R W 再書き込み回路
- M P X マルチプレクサ

20

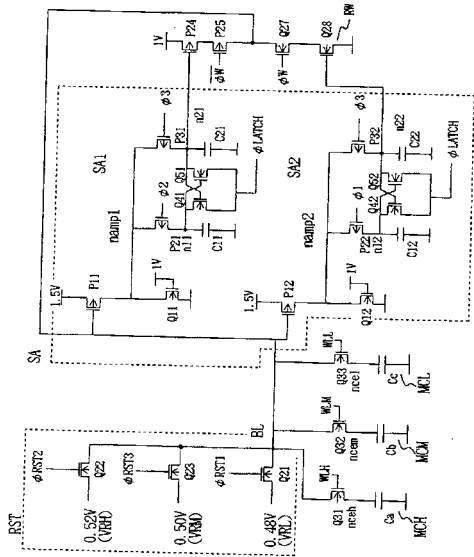
【図1】



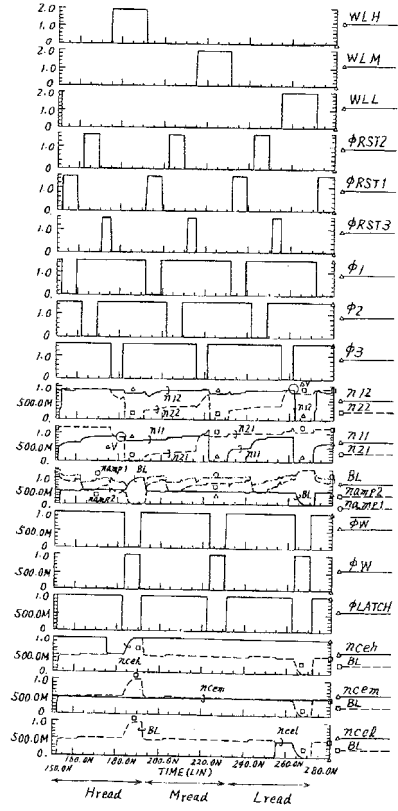
【図2】



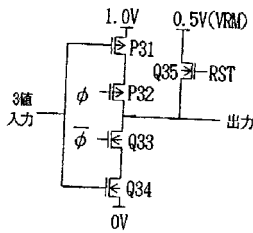
【 図 3 】



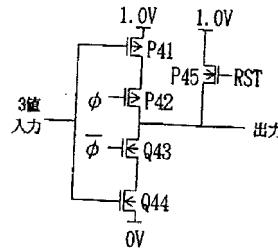
【 図 4 】



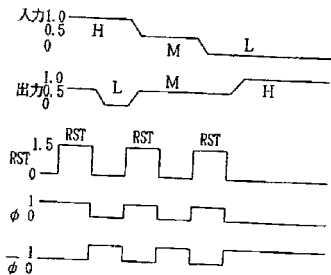
【 図 5 】



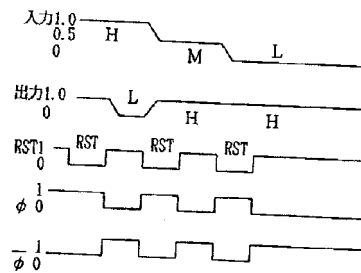
【 図 7 】



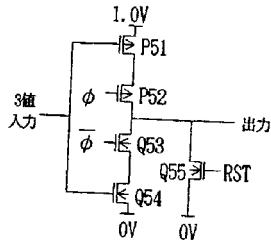
【 図 6 】



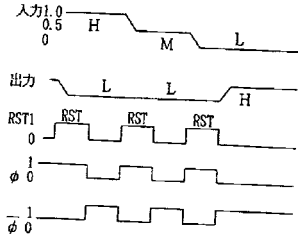
【 図 8 】



【図9】

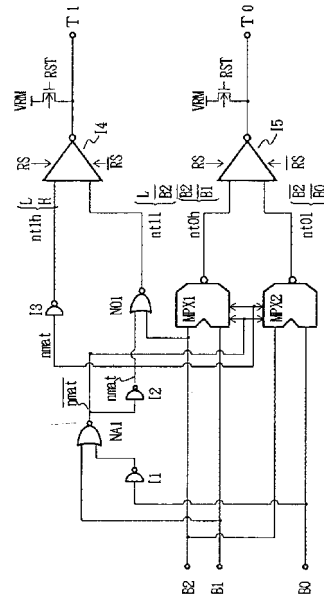


【図10】



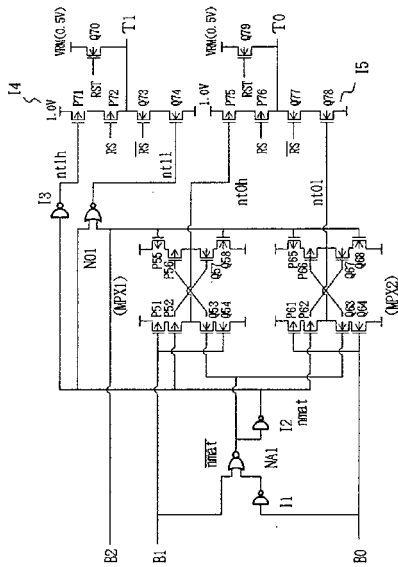
【図11】

2進3ビット→3進2ビット



【図12】

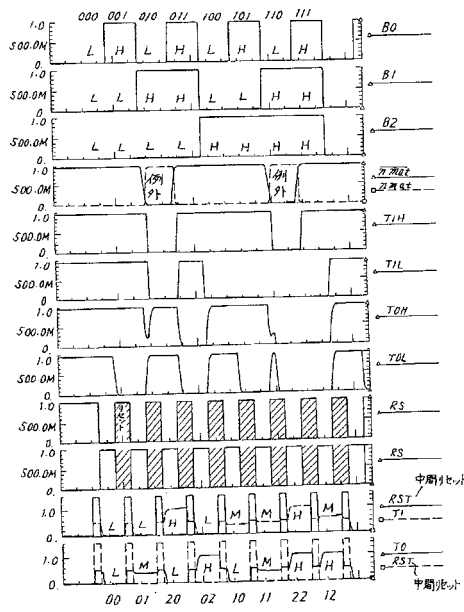
2進3ビット→3進2ビット



【図13】

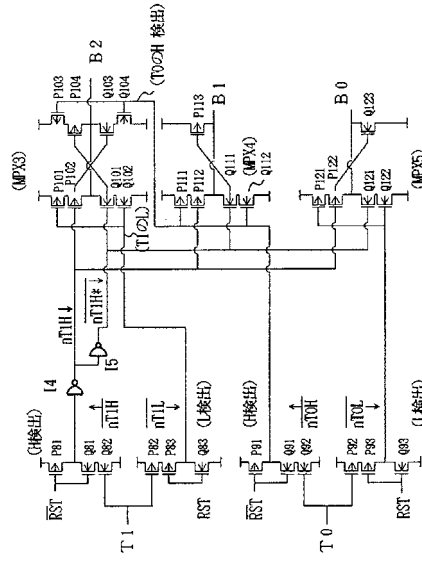
| 10進 | 2進3ビット<br>B2 B1 B0 | nmat, mat | ntlh, ntll | nt0h, nt0l | 3進2ビット<br>T1 T0 |
|-----|--------------------|-----------|------------|------------|-----------------|
| 0   | 0 0 0 (LLL)        | L H H     | H H        | H H        | 0 0 (LL)        |
| 1   | 0 0 1 (LLH)        | L H H     | H H        | H H        | 0 1 (LLO)       |
| 2   | 0 1 0 (LHL)        | H* L* L   | L L        | L L        | 2 0 (HL)        |
| 3   | 0 1 1 (LHH)        | L H H     | H H        | H H        | 0 2 (LH)        |
| 4   | 1 0 0 (HLL)        | L H H     | H H        | H H        | 1 0 (ML)        |
| 5   | 1 0 1 (HLH)        | L H H     | H H        | H H        | 1 1 (MMO)       |
| 6   | 1 1 0 (HHO)        | H* L* L   | L L        | L L        | 2 2 (HF)        |
| 7   | 1 1 1 (HHH)        | L H H     | H H        | H H        | 1 2 (MF)        |

【図14】



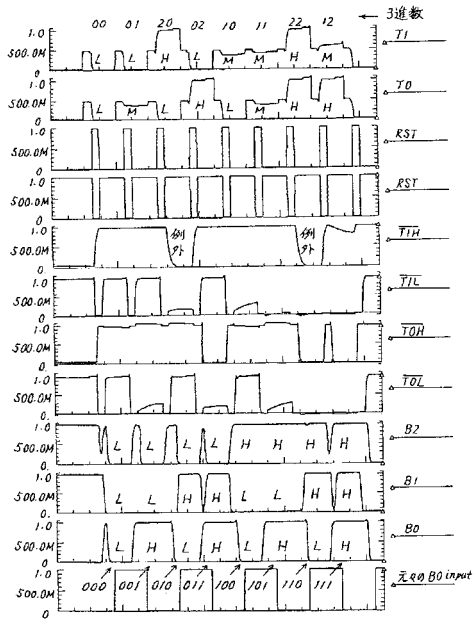
【図15】

3進2ビット→2進3ビット



【図16】

3進2ビット→2進3ビット



---

フロントページの続き

(56)参考文献 特開昭55-014588(JP,A)  
特開昭60-239994(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/40