



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

232 229

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 05 01 83
(21) (PV 60-83)

(51) Int. Cl.³ H 03 F 1/52

(40) Zveřejněno 25 11 83
(45) Vydáno 01 03 87

(75)

Autor vynálezu

PAPÍREK TOMÁŠ ing.,
PONEŠ JOSEF ing.,
VAŠINA PETR RNDr., BRNO

(54) Zapojení k zamezení saturace zesilovače

Vynález se týká zapojení digitálních obvodů na vstupu D/A převodníku zabraňující saturaci výkonových zesilovačů. Podstatou vynálezu je zapojení čítače, který je řízen komparátorem, který komparuje vstupní signál a signál z výstupu čítače. Toto zapojení ovládá digitální vstup D/A převodníku, jehož výstup řídí výkonový zesilovač.

Zapojení je určeno pro vektorové vychylovací systémy.

Vynález se týká zapojení k zamezení saturace zesilovače.

Při digitálním řízení velikosti proudu v indukčnosti pomocí digitálně analogových převodníků a zesilovače, například při magnetickém vychylování elektronového svazku je nebezpečí, že při velké změně vstupní digitální hodnoty dojde na určitou dobu k saturaci zesilovače, kdy zesilovač nepracuje ve své lineární oblasti charakteristiky. Po skončení přechodového děje na výstupu převodníku se zesilovač zotavuje po dobu, která může být podstatně delší než doba přechodového děje a teprve po této době dosáhne výstupní proud zesilovače požadovanou hodnotu. Tím dochází k tomu, že skutečná ustalovací doba zesilovače po velkém skoku je podstatně delší než teoreticky dosažitelná hodnota. Proto jsou do zesilovače často vřazovány obvody zabráňující jeho saturaci. Jejich nevýhodou je však to, že zpravidla zmenšují dosažitelnou rychlost změny výstupního signálu, závislou na čase, přesnost a stabilitu.

Tyto nevýhody odstraňuje zapojení k zamezení saturace zesilovače, vyznačené tím, že vstup zesilovače je spojen s výstupem šestnáctibitového D/A převodníku, jehož prvních osm vstupů pro bity s nižší váhou je spojeno s prvními osmi vstupy pro bity s nižší váhou šestnáctibitového vstupu, jehož druhých osm vstupů pro bity s vyšší váhou je spojeno s prvními osmi vstupy komparátoru, jehož druhých osm vstupů je spojeno jednak s druhými osmi vstupy pro bity s vyšší váhou šestnáctibitového D/A převodníku a jednak s osmi výstupy čítače, jehož hodinový vstup je spojen s generátorem a dalšími dvěma vstupy se dvěma výstupy komparátoru.

Hlavní předností zapojení dle vynálezu je skutečnost, že velká změna digitálního údaje na vstupu D/A převodníku se přenesení na výstup D/A převodníku aproximována postupně malými změnami výstupního signálu na výstupu D/A převodníku, a tím buzený zesilovač se nikdy nedostane do saturace a jeho ustalovací doba na vysokou přesnost je kratší.

Vynález blíže objasní přiložený výkres, na kterém je naznačeno blokové schéma. Vstup 1 pro šestnáctibitový signál je rozdělen na dvě osmibitové části, přičemž osm prvních vstupů obsahujících bity s nižší vahou je spojeno přímo s osmi vstupy 15 s nejnižší vahou šestnáctibitového převodníku 2. Druhých osm vstupů s vyšší vahou je spojeno s prvními osmi vstupy 7 osmibitového komparátoru 4, jehož druhých osm vstupů 8 je spojeno s osmi výstupy 14 čítače 5 a současně s osmi vstupy 16 pro bity s nejvyšší vahou šestnáctibitového D/A převodníku 2. Hodinový vstup 11 čítače 5 je připojen ke generátoru 6 hodinového signálu o požadovaném kmitočtu. První vstup 12 čítače 5 uvolňující čítání je spojen s prvním výstupem komparátoru 4, který ohlašuje rovnost obou vstupních osmibitových signálů. Druhý vstup 13 čítače 5 určuje směr čítání a je spojen s druhým výstupem 10 komparátoru 4.

Za provozu pracuje zapojení takto: Předpokládejme nejprve, že vstupní signál na obou osmibitových vstupech 7, 8 komparátoru 4 má stejnou binární hodnotu. V tom případě má první výstup 9 komparátoru 4 označující rovnost takovou hodnotu, že prvním vstupem 12 čítače 5 je blokováno čítání hodinových pulsů přiváděných na hodinový vstup 11 čítače 5. V tomto stabilním stavu zůstane zapojení tak dlouho, pokud se nezmění horních osm bitů s vyšší vahou na vstupu 1. Jestliže ^{se} na vstupu 1 změní signál například tak, že horních osm bitů zvětší svou binární hodnotu, změní se hodnoty na obou výstupech 9, 10 komparátoru 4, přiváděných na vstupy 12, 13 čítače 5 tak, že první vstup 12 povolí čítání vstupních hodinových impulsů a druhý vstup 13 nastaví směr čítání tak, že čítač 4 čítá směrem vpřed. Tento stav je zachován až do okamžiku, kdy dojde k rovnosti obou signálů na vstupech 7, 8 komparátoru 4. V tomto okamžiku se změní stav na prvním výstupu 9 komparátoru 4, a tím i na prvním vstupu 12 čítače 5, čímž se zastaví čítání. Jestliže horních osm bitů

na vstup 1 se změní tak, že jejich binární hodnota se zmenší, probíhá celý proces s tím rozdílem, že druhý vstup 13 čítače 5 má takovou hodnotu, že čítač 5 čítá vzad. V klidovém stavu je tedy informace přiváděná na vstupy 16 s větší váhou D/A převodníku 2 rovna informaci v horních osmi bitech na vstupu 1. Po změně vstupního signálu se bude informace na vstupech 16 D/A převodníku 15 měnit postupně s krokem rovným $1/256$ celého rozsahu tak dlouho, až je znovu dosaženo rovnosti. Rychlost změny těchto kroků určená kmitočtem generátoru 6 je nastavena tak, aby byl zesilovač 3 mezi jednotlivými skoky v ustáleném stavu. Tím je dosaženo toho, že při libovolné skokové změně vstupního signálu je zesilovač 3 vždy v lineární oblasti své přenosové charakteristiky. Ustálení celého obvodu lze navíc sledovat na prvním výstupu 9 komparátoru 4, který označuje rovnost vstupního a výstupního signálu čítače 5.

Zapojení je možno použít všude tam, kde proud cívkou je přes zesilovač a D/A převodník řízen digitálním údajem a kde tento údaj mění skokově svoji hodnotu o velkou část celého rozsahu, jak je tomu například v magnetickém vychylovacím systému elektronového litografu s vektorovým řízením výchylky, případně ve vektorových zobrazovacích systémech.

P Ř E D M Ě T V Y N Á L E Z U

232 229

Zapojení k zamezení saturace zesilovače, vyznačené tím, že vstup zesilovače (3) je spojen s výstupem šestnáctibitového D/A převodníku (2), jehož prvních osm vstupů (15) pro bity s nižší váhou je spojeno s prvními osmi vstupy pro bity s nižší váhou šestnáctibitového vstupu (1), jehož druhých osm vstupů pro bity s vyšší váhou je spojeno s prvními osmi vstupy (7) komparátoru (4), jehož druhých osm vstupů (8) je spojeno jednak s druhými osmi vstupy (16) pro bity s vyšší váhou šestnáctibitového D/A převodníku (2) a jednak s osmi výstupy čítače (5), jehož hodinový vstup (11) je spojen s generátorem (6) a dalšími dvěma vstupy (12, 13) se dvěma výstupy (9, 10) komparátoru (6).

1 výkres

