

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月9日(09.09.2022)



(10) 国際公開番号

WO 2022/185143 A1

- (51) 国際特許分類:
G11C 19/28 (2006.01) *H05B 33/12* (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/IB2022/051530
- (22) 国際出願日: 2022年2月22日(22.02.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-035145 2021年3月5日(05.03.2021) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).
- (72) 発明者: 吉本智史 (YOSHIMOTO, Satoshi);
〒2430036 神奈川県厚木市長谷398株式会社
半導体エネルギー研究所内 Kanagawa (JP).

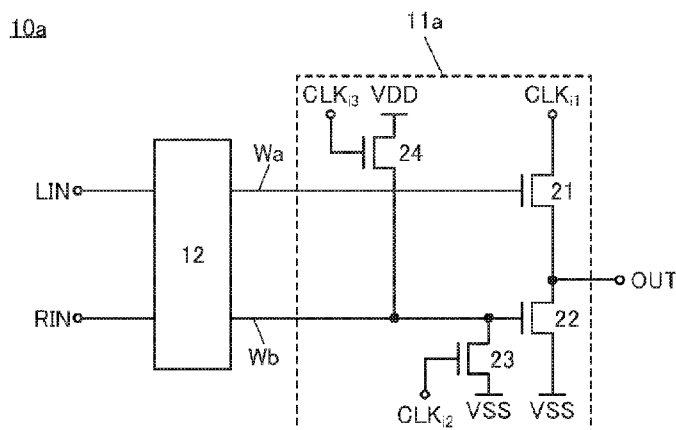
川島進(KAWASHIMA, Susumu); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 渡邊一徳(WATANABE, Kazunori); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 熱海知昭(ATSUMI, Tomoaki); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 楠紘慈(KUSUNOKI, Koji); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE, DISPLAY DEVICE, AND ELECTRONIC APPARATUS

(54) 発明の名称: 半導体装置、表示装置、及び電子機器

図2



(57) Abstract: Provided is a highly reliable semiconductor device. The present invention relates to a shift register circuit including sequential circuits of a plurality of stages. An output signal of a sequential circuit is input to the sequential circuit of the next stage. Before and after the sequential circuit outputs a signal, in order to prevent a voltage stress from being applied between a gate and a source of a transistor including the sequential circuit for a long time, the potential of the gate of the transistor is varied according to a clock signal. The shift register circuit described above can be applied, for example, to a scanning line drive circuit of a display device.

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 国際調査報告（条約第21条(3)）
- 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約：信頼性の高い半導体装置を提供する。複数段の順序回路を有するシフトレジスタ回路に関する。順序回路の出力信号は、次の段の順序回路に入力される。順序回路が信号を出力する前、及び信号を出力した後において、当該順序回路が有するトランジスタのゲートソース間に電圧ストレスが長期間かからないように、当該トランジスタのゲートの電位をクロック信号に応じて変動させる。上記シフトレジスタ回路は、例えば表示装置の走査線駆動回路に適用することができる。

明細書

発明の名称

半導体装置、表示装置、及び電子機器

技術分野

[0001]

本発明の一態様は、半導体装置に関する。本発明の一態様は、表示装置に関する。本発明の一態様は、電子機器に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げる事ができる。半導体装置は、半導体特性を利用することで機能しうる装置全般を指す。

背景技術

[0003]

近年、表示装置は様々な用途への応用が期待されている。例えば、大型の表示装置の用途としては、家庭用のテレビジョン装置（テレビ又はテレビジョン受信機ともいう）、デジタルサイネージ（Digital Signage：電子看板）、及び、PID（Public Information Display）等が挙げられる。また、携帯情報端末として、タッチパネルを備えるスマートフォン及びタブレット端末等の開発が進められている。

[0004]

また、表示装置の高精細化が求められている。高精細な表示装置が要求される機器として、例えば、仮想現実（VR：Virtual Reality）、拡張現実（AR：Augmented Reality）、代替現実（SR：Substitutional Reality）、及び、複合現実（MR：Mixed Reality）向けの機器が、盛んに開発されている。

[0005]

表示装置としては、例えば、発光素子を有する発光装置が開発されている。エレクトロルミネッセンス（Electroluminescence、以下ELと記す）現象を利用した発光素子（発光デバイス、EL素子、ELデバイスともいう）は、薄型軽量化が容易である、入力信号に対し高速に応答可能である、直流定電圧電源を用いて駆動可能である等の特徴を有し、表示装置に応用されている。

[0006]

特許文献1には、有機EL素子（有機ELデバイスともいう）を用いた、VR向けの表示装置が開示されている。

[先行技術文献]

[特許文献]

[0007]

[特許文献1] 国際公開第2018/087625号

発明の概要

発明が解決しようとする課題

[0008]

表示装置には、様々な半導体装置が設けられる。例えば、走査線駆動回路等、画素回路を駆動させるための駆動回路には、半導体装置が設けられる。ここで、高精細な表示装置では画素密度が高くなるため、走査線等には単位長さ当たり多数の画素回路が電氣的に接続されることになる。よって、画素回路に設けられ、走査線等に電氣的に接続されるトランジスタのゲート容量等に起因して、走査線等の配線容量が大きくなる。また、表示装置に多数の画素回路が設けられると、走査線等の本数も多くなる。よって、フレーム周波数を確保するためには、例えば走査線に信号が供給されてから次の行の走査線に信号が供給されるまでの期間である、1水平期間を短くする必要がある。以上、走査線等の配線容量が大きくなること、及び1水平期間が短くなることにより、走査線等を充電する際に走査線等には流れる電流を大きくする必要が生じる。

[0009]

走査線等に流す電流を大きくするためには、走査線駆動回路等が走査線等に出力する信号の電位を高くすることとなる。これにより、走査線駆動回路等に設けられる、走査線等と電氣的に接続されるトランジスタに大きな電圧ストレスがかかる。よって、高精細な表示装置、及び画素数が多い表示装置では、当該表示装置に設けられる半導体装置の信頼性が低下する場合がある。

[0010]

本発明の一態様は、信頼性の高い半導体装置、及び表示装置を提供することを課題の一とする。本発明の一態様は、高精細な表示装置を提供することを課題の一とする。本発明の一態様は、画素数が多い表示装置を提供することを課題の一とする。本発明の一態様は、新規な半導体装置、及び表示装置を提供することを課題の一とする。本発明の一態様は、上記半導体装置等の駆動方法を提供することを課題の一とする。本発明の一態様は、上記表示装置等の作製方法を提供することを課題の一とする。

[0011]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項等の記載から抽出することが可能である。

課題を解決するための手段

[0012]

本発明の一態様は、第1の回路と、第2の回路と、を有し、第1の回路は、第1の配線と、第2の配線と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、を有し、第1のトランジスタのゲートは、第1の配線を介して、第2の回路と電氣的に接続され、第2のトランジスタのゲート、第3のトランジスタのソース又はドレインの一方、及び第4のトランジスタのソース又はドレインの一方は、第2の配線を介して、第2の回路と電氣的に接続され、第1のトランジスタのソース又はドレインの一方は、第2のトランジスタのソース又はドレインの一方と電氣的に接続され、第1のトランジスタのソース又はドレインの他方には、第1のクロック信号が入力され、第2のトランジスタのソース又はドレインの他方には、第1の電位が供給され、第3のトランジスタのゲートには、第2のクロック信号が入力され、第3のトランジスタのソース又はドレインの他方には、第2の電位が供給され、第4のトランジスタのゲートには、第3のクロック信号が入力され、第4のトランジスタのソース又はドレインの他方には、第3の電位が供給され、第3の電位と第1の電位の差は、第2の電位と第1の電位の差より大きく、第2の回路は、第2の回路に入力される、第1の信号及び第2の信号に基づき、第1の制御電位を第1の

配線に供給する機能を有し、第2の回路は、第1の信号、及び第2の信号に基づき、第2の制御電位を第2の配線に供給する機能を有する半導体装置である。

[0013]

又は、上記態様において、第2の回路は、第2の信号の電位が第1の信号の電位の反転電位である場合に、第2の制御電位を、第1の制御電位の反転電位とする機能を有してもよい。

[0014]

又は、上記態様において、第2の回路は、第5のトランジスタと、第6のトランジスタと、第7のトランジスタと、第8のトランジスタと、を有し、第5のトランジスタのソース又はドレインの一方、及び第6のトランジスタのソース又はドレインの一方は、第1の配線と電氣的に接続され、第6のトランジスタのゲート、第7のトランジスタのソース又はドレインの一方、及び第8のトランジスタのソース又はドレインの一方は、第2の配線と電氣的に接続され、第5のトランジスタのゲート、及び第8のトランジスタのゲートには、第1の信号が入力され、第7のトランジスタのゲートには、第2の信号が入力されてもよい。

[0015]

又は、上記態様において、第5のトランジスタのソース又はドレインの他方には、第4の電位が供給され、第6のトランジスタのソース又はドレインの他方には、第5の電位が供給され、第7のトランジスタのソース又はドレインの他方には、第6の電位が供給され、第8のトランジスタのソース又はドレインの他方には、第7の電位が供給され、第5の電位は、第4の電位の反転電位であり、第7の電位は、第6の電位の反転電位であってもよい。

[0016]

又は、上記態様において、第1の回路は、第9のトランジスタを有し、第9のトランジスタは、第1のトランジスタのソース又はドレインの一方と電氣的に接続され、第9のトランジスタのゲートには、第2のクロック信号が入力され、第9のトランジスタのソース又はドレインの他方には、第8の電位が供給され、第2の電位と第8の電位の差は、第3の電位と第8の電位の差より小さくてもよい。

[0017]

又は、本発明の一態様は、第1の回路と、第2の回路と、を有し、第1の回路は、第1の配線と、第2の配線と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、容量と、を有し、第1のトランジスタのソース又はドレインの一方は、第2のトランジスタのソース又はドレインの一方と電氣的に接続され、第2のトランジスタのソース又はドレインの一方は、容量の一方の電極と電氣的に接続され、第5のトランジスタのソース又はドレインの一方は、第1の配線を介して、第2の回路と電氣的に接続され、第5のトランジスタのソース又はドレインの他方は、第1のトランジスタのゲートと電氣的に接続され、第1のトランジスタのゲートは、容量の他方の電極と電氣的に接続され、第2のトランジスタのゲート、第3のトランジスタのソース又はドレインの一方、及び第4のトランジスタのソース又はドレインの一方は、第2の配線を介して、第2の回路と電氣的に接続され、第1のトランジスタのソース又はドレインの他方には、第1のクロック信号が入力され、第2のトランジスタのソース又はドレインの他方には、第1の電位が供給され、第3のトランジスタのゲートには、第2のクロック信号が入力され、第3のトランジスタのソース又はドレインの他方には、第2の電位が供給され、第4のトランジスタのゲートには、第3のクロック信号が入力され、第4のトランジスタのソース

又はドレインの他方には、第3の電位が供給され、第3の電位と第1の電位の差は、第2の電位と第1の電位の差より大きく、第2の回路は、第2の回路に入力される、第1の信号及び第2の信号に基づき、第1の制御電位を第1の配線に供給する機能を有し、第2の回路は、第1の信号、及び第2の信号に基づき、第2の制御電位を第2の配線に供給する機能を有する半導体装置である。

[0018]

又は、上記態様において、第5のトランジスタのゲートには、第4のクロック信号が入力されてもよい。

[0019]

又は、上記態様において、第2の回路は、第2の信号の電位が第1の信号の電位の反転電位である場合に、第2の制御電位を、第1の制御電位の反転電位とする機能を有してもよい。

[0020]

又は、上記態様において、第2の回路は、第6のトランジスタと、第7のトランジスタと、第8のトランジスタと、第9のトランジスタと、を有し、第6のトランジスタのソース又はドレインの一方、及び第7のトランジスタのソース又はドレインの一方は、第1の配線と電気的に接続され、第7のトランジスタのゲート、第8のトランジスタのソース又はドレインの一方、及び第9のトランジスタのソース又はドレインの一方は、第2の配線と電気的に接続され、第6のトランジスタのゲート、及び第9のトランジスタのゲートには、第1の信号が入力され、第8のトランジスタのゲートには、第2の信号が入力されてもよい。

[0021]

又は、上記態様において、第6のトランジスタのソース又はドレインの他方には、第4の電位が供給され、第7のトランジスタのソース又はドレインの他方には、第5の電位が供給され、第8のトランジスタのソース又はドレインの他方には、第6の電位が供給され、第9のトランジスタのソース又はドレインの他方には、第7の電位が供給され、第5の電位は、第4の電位の反転電位であり、第7の電位は、第6の電位の反転電位であってもよい。

[0022]

又は、上記態様において、第1の回路は、第10のトランジスタを有し、第10のトランジスタは、第1のトランジスタのソース又はドレインの一方と電気的に接続され、第10のトランジスタのゲートには、第2のクロック信号が入力され、第10のトランジスタのソース又はドレインの他方には、第8の電位が供給され、第2の電位と第8の電位の差は、第3の電位と第8の電位の差より小さくてもよい。

[0023]

本発明の一態様の半導体装置と、第1の発光素子と、第2の発光素子と、絶縁層と、を有し、第1の発光素子は、第1の下部電極と、第1の下部電極上の第1の発光層と、第1の発光層上の第1の上部電極と、を有し、第2の発光素子は、第2の下部電極と、第2の下部電極上の第2の発光層と、第2の発光層上の第2の上部電極と、を有し、絶縁層は、第1の上部電極の端部と、第2の上部電極の端部と、を覆うように設けられる表示装置も、本発明の一態様である。

[0024]

本発明の一態様の表示装置と、バッテリー、カメラ、スピーカ、及びマイクのうち少なくとも一つと、を有する電子機器も、本発明の一態様である。

発明の効果

[0 0 2 5]

本発明の一態様により、信頼性の高い半導体装置、及び表示装置を提供することができる。本発明の一態様により、高精細な表示装置を提供することができる。本発明の一態様により、画素数が多い表示装置を提供することができる。本発明の一態様により、新規な半導体装置、及び表示装置を提供することができる。本発明の一態様により、上記半導体装置等の駆動方法を提供することができる。本発明の一態様により、上記表示装置等の作製方法を提供することができる。

[0 0 2 6]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項等の記載から抽出することが可能である。

図面の簡単な説明

[0 0 2 7]

図 1 A は、シフトレジスタ回路の構成例を示す図である。図 1 B は、シフトレジスタ回路の駆動方法の一例を示すタイミングチャートである。

図 2 は、順序回路の構成例を示す図である。

図 3 A は、順序回路の構成例を示す図である。図 3 B は、順序回路の駆動方法の一例を示すタイミングチャートである。

図 4 A、及び図 4 B は、順序回路の駆動方法の一例を示す図である。

図 5 A、及び図 5 B は、順序回路の駆動方法の一例を示す図である。

図 6 A、及び図 6 B は、順序回路の駆動方法の一例を示す図である。

図 7 A、及び図 7 B は、順序回路の駆動方法の一例を示す図である。

図 8 は、順序回路の構成例を示す図である。

図 9 A は、順序回路の構成例を示す図である。図 9 B は、順序回路の駆動方法の一例を示すタイミングチャートである。

図 1 0 は、順序回路の駆動方法の一例を示す図である。

図 1 1 A、及び図 1 1 B は、順序回路の構成例を示す図である。

図 1 2 A は、シフトレジスタ回路の構成例を示す図である。図 1 2 B は、シフトレジスタ回路の駆動方法の一例を示すタイミングチャートである。

図 1 3 は、順序回路の構成例を示す図である。

図 1 4 A は、順序回路の構成例を示す図である。図 1 4 B は、順序回路の駆動方法の一例を示すタイミングチャートである。

図 1 5 A、及び図 1 5 B は、順序回路の駆動方法の一例を示す図である。

図 1 6 A、及び図 1 6 B は、順序回路の駆動方法の一例を示す図である。

図 1 7 A、及び図 1 7 B は、順序回路の駆動方法の一例を示す図である。

図 1 8 A、及び図 1 8 B は、順序回路の駆動方法の一例を示す図である。

図 1 9 A、及び図 1 9 B は、順序回路の駆動方法の一例を示す図である。

図 2 0 は、順序回路の構成例を示す図である。

図 2 1 A は、順序回路の構成例を示す図である。図 2 1 B は、順序回路の駆動方法の一例を示すタイミングチャートである。

図 2 2 A、及び図 2 2 B は、順序回路の構成例を示す図である。

図 2 3 A は、シフトレジスタ回路の構成例を示す図である。図 2 3 B は、シフトレジスタ回路の駆動方法の一例を示すタイミングチャートである。

図 2 4 A は、シフトレジスタ回路の構成例を示す図である。図 2 4 B は、シフトレジスタ回路の駆動方法の一例を示すタイミングチャートである。

図 2 5 A は、表示装置の構成例を示す図である。図 2 5 B は、画素回路の構成例を示す図である。

図 2 6 A、及び図 2 6 B は、順序回路の構成例を示す図である。

図 2 7 A、及び図 2 7 B は、順序回路の構成例を示す図である。

図 2 8 は、順序回路の構成例を示す図である。

図 2 9 は、順序回路の構成例を示す図である。

図 3 0 は、順序回路の構成例を示す図である。

図 3 1 は、順序回路の構成例を示す図である。

図 3 2 は、順序回路の構成例を示す図である。

図 3 3 は、順序回路の構成例を示す図である。

図 3 4 A 乃至図 3 4 C は、表示装置の構成例を示す図である。

図 3 5 A 乃至図 3 5 C は、表示装置の構成例を示す図である。

図 3 6 A 乃至図 3 6 C は、発光素子の構成例を示す図である。

図 3 7 は、表示装置の構成例を示す図である。

図 3 8 A は、表示装置の構成例を示す図である。図 3 8 B 及び図 3 8 C は、トランジスタの構成例を示す図である。

図 3 9 は、表示装置の構成例を示す図である。

図 4 0 A 及び図 4 0 B は、表示モジュールの構成例を示す図である。

図 4 1 は、表示装置の構成例を示す図である。

図 4 2 は、表示装置の構成例を示す図である。

図 4 3 は、表示装置の構成例を示す図である。

図 4 4 A 及び図 4 4 B は、電子機器の一例を示す図である。

図 4 5 A 及び図 4 5 B は、電子機器の一例を示す図である。

図 4 6 A 及び図 4 6 B は、電子機器の一例を示す図である。

図 4 7 A 乃至図 4 7 D は、電子機器の一例を示す図である。

図 4 8 A 乃至図 4 8 G は、電子機器の一例を示す図である。

図 4 9 A 乃至図 4 9 C は、電位の経時変化を示すグラフである。

図 5 0 A 乃至図 5 0 C は、電位の経時変化を示すグラフである。

発明を実施するための形態

[0028]

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0029]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合

には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0030]

なお、本明細書で説明する各図において、各構成要素の大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

[0031]

なお、本明細書等における「第1」、又は「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

[0032]

トランジスタは半導体素子の一種であり、例えば電流又は電圧を増幅することができる。また、トランジスタは、導通又は非導通を制御するスイッチング動作等を行うことができる。本明細書等におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor)、及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0033]

また、「ソース」及び「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、及び回路動作において電流の方向が変化する場合等には入れ替わることがある。このため、本明細書等においては、「ソース」及び「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0034]

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極及び配線をはじめ、トランジスタ等のスイッチング素子、抵抗素子、コイル、容量、その他の各種機能を有する素子等が含まれる。

[0035]

本明細書等において、表示装置の一態様である表示パネルは表示面に例えば画像を表示（出力）する機能を有するものである。したがって表示パネルは出力装置の一態様である。

[0036]

また、本明細書等では、表示パネルの基板に、例えばFPC (Flexible Printed Circuit) もしくはTCP (Tape Carrier Package) 等のコネクタが取り付けられたもの、又は基板にCOG (Chip On Glass) 方式等によりICが実装されたものを、表示パネルモジュール、表示モジュール、又は単に表示パネル等と呼ぶ場合がある。

[0037]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置、及び表示装置の構成例等について説明する。

[0038]

本発明の一態様の半導体装置は、複数段の順序回路を有するシフトレジスタ回路に関する。順序回路の出力信号は、次の段の順序回路に入力される。順序回路が信号を出力する前、及び信号を出力した後において、当該順序回路が有するトランジスタのゲートソース間に電圧ストレスが長期間かからないように、当該トランジスタのゲートの電位をクロック信号に応じて変動させる。これ

により、トランジスタの電気特性の変動、例えばしきい値電圧の変動を抑制することができる。よって、シフトレジスタ回路を、信頼性が高い半導体装置とすることができる。

[0039]

本発明の一態様の半導体装置は、表示装置に適用することができる。具体的には、本発明の一態様の半導体装置は、例えば表示装置が有する走査線駆動回路に適用することができる。前述のように、本発明の一態様の半導体装置は信頼性が高い。よって、表示装置に本発明の一態様の半導体装置を適用することにより、表示装置の信頼性を高めることができる。

[0040]

本明細書等において、本発明の一態様の半導体装置を適用した表示装置を、本発明の一態様の表示装置という。

[0041]

本発明の一態様の表示装置は、有機EL素子等の発光素子を有し、発光素子からの発光輝度を制御することにより画像を表示することができる。発光素子は少なくとも発光層を有し、発光層は発光素子毎に分離することができる。発光層の分離は、例えばフォトリソグラフィ法を用いて行うことができる。つまり、メタルマスク等のシャドーマスクを用いずに、発光層を分離することができる。よって、本発明の一態様の表示装置は、高精細な表示装置とすることができる。

[0042]

前述のように、高精細な表示装置では画素密度が高くなるため、例えば走査線には単位長さ当たり多数の画素回路が電氣的に接続されることになる。よって、画素回路に設けられ、例えば走査線に電氣的に接続されるトランジスタのゲート容量に起因して、走査線の配線容量が大きくなる。また、表示装置に多数の画素回路が設けられると、例えば走査線の本数も多くなる。よって、フレーム周波数を確保するためには、例えば走査線に信号が供給されてから次の行の走査線に信号が供給されるまでの期間である、1水平期間を短くする必要がある。以上、走査線等の配線容量が大きくなること、及び1水平期間が短くなることにより、走査線等を充電する際に走査線等に流れる電流を大きくする必要があるが生じる。

[0043]

例えば走査線に流す電流を大きくするためには、本発明の一態様の半導体装置である走査線駆動回路が走査線に出力する信号の電位を高くすることとなる。これにより、例えば走査線駆動回路に設けられる、走査線と電氣的に接続されるトランジスタに大きな電圧ストレスがかかる。よって、高精細な表示装置、及び画素数が多い表示装置では、当該表示装置に設けられる半導体装置の信頼性が低下する場合がある。

[0044]

本発明の一態様の表示装置に適用することができる半導体装置は、例えば走査線と電氣的に接続されるトランジスタに電圧ストレスがかかる期間を短くすることができる。よって、当該トランジスタの電気特性の変動、例えばしきい値電圧の変動を抑制することができる。したがって、本発明の一態様の半導体装置を適用することにより、表示装置の信頼性を高めることができる。以上より、本発明の一態様の表示装置は、高精細で画素数が多く、且つ信頼性が高い表示装置とすることができる。

[0045]

<シフトレジスタ回路の構成例__1>

図1Aは、本発明の一態様の半導体装置である、シフトレジスタ回路40の構成例を示すブロック図である。シフトレジスタ回路40は、複数の順序回路10を有する。図1Aでは、順序回路10__1乃至順序回路10__5までを示している。

[0046]

本明細書等において、順序回路10を、本発明の一態様の半導体装置とすることができる。また、本明細書等に示す他の回路も、本発明の一態様の半導体装置とすることができる。さらに、トランジスタ等、本明細書等に示す回路の構成要素も、本発明の一態様の半導体装置とすることができる。

[0047]

順序回路10には、信号LIN、及び信号RINが入力される。また、順序回路10から、信号OUTが出力される。順序回路10__1には、信号LINとしてスタートパルス信号SPが入力される。順序回路10__2以降には、信号LINとして、前段の順序回路10が出力する信号OUTが入力される。さらに、図1Aに示す例では、順序回路10には、信号RINとして2段後の順序回路10が出力する信号OUTが入力される。

[0048]

本明細書等において、スタートパルス信号SPが入力される順序回路10__1を1段目として、n段目（nは1以上の整数）に位置する順序回路10を、順序回路10__nと表記する。また、順序回路10__nに入力される信号、及び順序回路10から出力される信号を、符号に__nを付して表す。他の順序回路においても同様の記載をする。

[0049]

図1Aに示す例では、順序回路10__1には、スタートパルス信号SP（信号LIN__1）、及び信号RIN__1が入力され、信号OUT__1が出力される。信号OUT__1は、信号LIN__2として順序回路10__2に入力される。また、順序回路10__2には、信号RIN__2が入力され、信号OUT__2が出力される。信号OUT__2は、信号LIN__3として順序回路10__3に入力される。また、順序回路10__3には、信号RIN__3が入力され、信号OUT__3が出力される。信号OUT__3は、信号RIN__1として順序回路10__1に入力され、信号LIN__4として順序回路10__4に入力される。また、順序回路10__4には、信号RIN__4が入力され、信号OUT__4が出力される。信号OUT__4は、信号RIN__2として順序回路10__2に入力され、信号LIN__5として順序回路10__5に入力される。さらに、順序回路10__5には、信号RIN__5が入力され、信号OUT__5が出力される。信号OUT__5は、信号RIN__3として順序回路10__3に入力される。

[0050]

順序回路10には、上記信号以外にも、クロック信号CLK1、クロック信号CLK2、クロック信号CLK3、及びクロック信号CLK4が入力される。例えば、1つの順序回路10には、クロック信号CLK1、クロック信号CLK2、クロック信号CLK3、及びクロック信号CLK4のうち、3つのクロック信号が入力される。

[0051]

例えば、順序回路10__1にはクロック信号CLK1、クロック信号CLK2、及びクロック信号CLK3が入力され、順序回路10__2にはクロック信号CLK2、クロック信号CLK3、及びクロック信号CLK4が入力され、順序回路10__3にはクロック信号CLK3、クロック信号CLK4、及びクロック信号CLK1が入力され、順序回路10__4にはクロック信号CLK4、

クロック信号CLK 1、及びクロック信号CLK 2が入力され、順序回路10__5にはクロック信号CLK 1、クロック信号CLK 2、及びクロック信号CLK 3が入力される。図1 Aに示す例では、順序回路10に入力されるクロック信号の組み合わせは、4段毎に同一となる。つまり、例えば順序回路10__nにクロック信号CLK 1、クロック信号CLK 2、及びクロック信号CLK 3が入力される場合、順序回路10__n+1にはクロック信号CLK 2、クロック信号CLK 3、及びクロック信号CLK 4が入力され、順序回路10__n+2にはクロック信号CLK 3、クロック信号CLK 4、及びクロック信号CLK 1が入力され、順序回路10__n+3にはクロック信号CLK 4、クロック信号CLK 1、及びクロック信号CLK 2が入力される。また、順序回路10__nに入力されるクロック信号の組み合わせと、順序回路10__n+4に入力されるクロック信号の組み合わせは同一となる。

[0052]

本明細書等において、クロック信号とは、高電位と低電位とが繰り返され、且つ、電位の立ち上がりと次の電位の立ち上がりの間隔、又は電位の立ち下りと次の電位の立ち下りの間隔が、一定である信号をいう。

[0053]

また、本明細書等において、高電位を電位VDDと表記し、低電位を電位VSSと表記する場合がある。

[0054]

なお、シフトレジスタ回路40の構成は、図1 Aに示す構成に限らない。例えば、図1 Aでは、順序回路10に、4種類のクロック信号のうち3種類のクロック信号が入力される構成を示しているが、5種類以上のクロック信号のうち3種類以上のクロック信号が入力される構成としてもよい。また、図1 Aでは、順序回路10に入力される信号RINを、2段後の順序回路10が出力する信号OUTとする構成を示しているが、3段以上後の順序回路10が出力する信号OUTとしてもよい。

[0055]

<シフトレジスタ回路の駆動方法の一例__1>

図1 Bは、シフトレジスタ回路40の駆動方法の一例を示すタイミングチャートである。図1 Bでは、上からスタートパルス信号SP、クロック信号CLK 1乃至クロック信号CLK 4、及び信号OUT__1乃至信号OUT__5のそれぞれについて、電位変化の推移を示している。なお、図1 Bに示すタイミングチャートにおいて、トランジスタのしきい値電圧、トランジスタのオン状態における抵抗、トランジスタのゲート容量、配線抵抗、及び寄生容量等の影響を考慮しない。特に断りがある場合を除き、他のタイミングチャートでも同様とする。

[0056]

図1 Bに示すように、クロック信号CLK 1乃至クロック信号CLK 4は、それぞれ4分の1周期ずつずれた信号とすることができる。また、クロック信号CLK 1乃至クロック信号CLK 4は、高電位となる期間が互いに重ならない信号とすることができる。なお、クロック信号CLK 1乃至クロック信号CLK 4は、一部の期間において、高電位となる期間が重なってもよい。

[0057]

図1 Bに示す時刻T100以前において、スタートパルス信号SPが高電位となり、クロック信号CLK 1が低電位である。このとき、信号OUT__1乃至信号OUT__5の電位は低電位となる。

[0058]

時刻T100において、クロック信号CLK1が低電位から高電位となる、つまりクロック信号CLK1が立ち上がることで、順序回路10__1から高電位の信号OUT__1が出力される。次に、クロック信号CLK2乃至クロック信号CLK4の立ち上がりに応じて、順序回路10__2乃至順序回路10__4から高電位の信号OUT__2乃至信号OUT__4が順次出力される。その後、クロック信号CLK1乃至クロック信号CLK4の立ち上がりに応じて、順序回路10__5以降から高電位の信号OUT__5以降が順次出力される。

[0059]

＜順序回路の構成例__1＞

図2は、順序回路10に適用することができる、順序回路10aの構成例を示す回路図である。順序回路10aは、回路11aと、回路12とを有する。回路11aと回路12は、配線Waを介して電氣的に接続される。また、回路11aと回路12は、配線Wbを介して電氣的に接続される。回路12は、制御回路ということができる。

[0060]

また、本明細書等において、高電位と低電位は、反転電位の関係にあるものとする。つまり、高電位は低電位の反転電位であるとし、低電位は高電位の反転電位であるとする。

[0061]

回路12には、信号LIN、及び信号RINが入力される。回路12は、信号LINの電位と、及び信号RINの電位と、に基づく電位を、制御電位として配線Wa、及び配線Wbに供給する機能を有する。例えば、信号LINの電位が高電位、信号RINの電位が低電位である場合、回路12は制御電位として高電位を配線Waに供給し、低電位を配線Wbに供給する。また、信号LINの電位が低電位、信号RINの電位が高電位である場合は、回路12は制御電位として低電位を配線Waに供給し、高電位を配線Wbに供給する。つまり、例えば回路12が配線Waに供給する電位を第1の制御電位とし、回路12が配線Wbに供給する電位を第2の制御電位とすると、信号RINの電位が信号LINの電位の反転電位である場合に、第2の制御電位は第1の制御電位の反転電位とすることができる。

[0062]

回路11aは、トランジスタ21、トランジスタ22、トランジスタ23、及びトランジスタ24を有する。トランジスタ21乃至トランジスタ24としては、チャンネルが形成される半導体として、半導体特性を示す金属酸化物（以下、酸化物半導体ともいう）を好適に用いることができる。なお、酸化物半導体に限らず、シリコン（単結晶シリコン、多結晶シリコン、又は非晶質シリコン）、ゲルマニウム等の半導体を用いてもよいし、化合物半導体を用いてもよい。回路11a以外の回路が有するトランジスタについても同様である。

[0063]

以下では、特に断りがある場合を除き、本発明の一態様に係る回路等が有するトランジスタが全てnチャネル型トランジスタであるとして説明を行うが、必要に応じて高電位と低電位を入れ替えること等により、一部又は全てのトランジスタがpチャネル型トランジスタであっても、以下の説明を適用することができる。

[0064]

トランジスタ21のゲートは、配線Waと電氣的に接続される。トランジスタ22のゲート、ト

ランジスタ 23 のソース又はドレインの一方、及びトランジスタ 24 のソース又はドレインの一方は、配線 Wb と電氣的に接続される。トランジスタ 21 のソース又はドレインの一方は、トランジスタ 22 のソース又はドレインの一方と電氣的に接続され、信号 OUT が出力される。

[0065]

トランジスタ 21 のソース又はドレインの他方には、クロック信号 CLK_{i1} が入力される。トランジスタ 23 のゲートには、クロック信号 CLK_{i2} が入力される。トランジスタ 24 のゲートには、クロック信号 CLK_{i3} が入力される。

[0066]

ここで、クロック信号 CLK_{i1} 乃至クロック信号 CLK_{i3} は、それぞれ図 1A 等を示すクロック信号 CLK1 乃至クロック信号 CLK4 のいずれかを示す。例えば、順序回路 10__1、及び順序回路 10__5 では、クロック信号 CLK_{i1} はクロック信号 CLK1 であり、クロック信号 CLK_{i2} はクロック信号 CLK2 であり、クロック信号 CLK_{i3} はクロック信号 CLK3 である。また、順序回路 10__2 では、クロック信号 CLK_{i1} はクロック信号 CLK2 であり、クロック信号 CLK_{i2} はクロック信号 CLK3 であり、クロック信号 CLK_{i3} はクロック信号 CLK4 である。また、順序回路 10__3 では、クロック信号 CLK_{i1} はクロック信号 CLK3 であり、クロック信号 CLK_{i2} はクロック信号 CLK4 であり、クロック信号 CLK_{i3} はクロック信号 CLK1 である。さらに、順序回路 10__4 では、クロック信号 CLK_{i1} はクロック信号 CLK4 であり、クロック信号 CLK_{i2} はクロック信号 CLK1 であり、クロック信号 CLK_{i3} はクロック信号 CLK2 である。

[0067]

トランジスタ 22 のソース又はドレインの他方、及びトランジスタ 23 のソース又はドレインの他方には、低電位が供給される。また、トランジスタ 24 のソース又はドレインの他方には、高電位が供給される。ここで、トランジスタ 22 のソース又はドレインの他方に供給される電位を第 1 の電位とし、トランジスタ 23 のソース又はドレインの他方に供給される電位を第 2 の電位とし、トランジスタ 24 のソース又はドレインの他方に供給される電位を第 3 の電位とする。この場合、第 3 の電位と第 1 の電位の差、及び第 3 の電位と第 2 の電位の差は、第 2 の電位と第 1 の電位の差より大きくなる。また、第 3 の電位は、第 1 の電位の反転電位、又は第 2 の電位の反転電位とすることができる。

[0068]

本明細書等において、電位の差が小さいという場合、特に断りがある場合を除き、電位の差の「絶対値」が小さいことを示す。なお、特に断りがない場合であっても、符号も考慮した電位の差が小さい、つまり電位の差が負の方向に大きい場合を、電位の差が小さいという場合もある。

[0069]

図 3A は、図 2 に例示する順序回路 10a のより詳細な構成例を示す回路図である。順序回路 10 が有する回路 12 は、トランジスタ 31、トランジスタ 32、トランジスタ 33、及びトランジスタ 34 を有する。

[0070]

トランジスタ 31 のソース又はドレインの一方、及びトランジスタ 32 のソース又はドレインの一方は、配線 Wa と電氣的に接続される。トランジスタ 32 のゲート、トランジスタ 33 のソース又はドレインの一方、及びトランジスタ 34 のソース又はドレインの一方は、配線 Wb と電氣的に接続される。トランジスタ 31 のゲート、及びトランジスタ 34 のゲートには、信号 LIN が入力

される。トランジスタ 33 のゲートには、信号 R I N が入力される。

[0071]

トランジスタ 31 のソース又はドレインの他方、及びトランジスタ 33 のソース又はドレインの他方には、高電位が供給される。トランジスタ 32 のソース又はドレインの他方、及びトランジスタ 34 のソース又はドレインの他方には、低電位が供給される。よって、トランジスタ 31 のソース又はドレインの他方に供給される電位を第 4 の電位とし、トランジスタ 32 のソース又はドレインの他方に供給される電位を第 5 の電位とし、トランジスタ 33 のソース又はドレインの他方に供給される電位を第 6 の電位とし、トランジスタ 34 のソース又はドレインの他方に供給される電位を第 7 の電位とすると、第 5 の電位は第 4 の電位の反転電位とすることができ、第 7 の電位は第 6 の電位の反転電位とすることができる。

[0072]

< 順序回路の駆動方法の一例__1 >

以下では、図 3 A に示す順序回路 10 a の駆動方法の一例を、図 3 B、及び図 4 A 乃至図 7 B を用いて説明する。図 3 B は、図 3 A に示す順序回路 10 a の駆動方法の一例を示すタイミングチャートである。図 3 B では、上から信号 L I N、信号 R I N、クロック信号 C L K_{i1} 乃至クロック信号 C L K_{i4}、配線 W a、配線 W b、及び信号 O U T のそれぞれについて、電位変化の推移を示している。また、図 4 A 乃至図 7 B は、順序回路 10 a の駆動方法の一例を示す回路図である。

[0073]

ここで、クロック信号 C L K_{i4} は、例えば図 1 A に示すクロック信号 C L K 1 乃至クロック信号 C L K 4 のそれぞれのうち、クロック信号 C L K_{i1} 乃至クロック信号 C L K_{i3} とは異なる信号を示す。例えば、順序回路 10__1、及び順序回路 10__5 では、クロック信号 C L K_{i4} はクロック信号 C L K 4 である。また、順序回路 10__2 では、クロック信号 C L K_{i4} はクロック信号 C L K 1 である。また、順序回路 10__3 では、クロック信号 C L K_{i4} はクロック信号 C L K 2 である。さらに、順序回路 10__4 では、クロック信号 C L K_{i4} はクロック信号 C L K 3 である。

[0074]

図 4 A 乃至図 7 B において、オフ状態であるトランジスタには×印を付している。また、高電位を“H”で示し、低電位を“L”で示している。回路の駆動方法を示す他の回路図においても同様の表記をする。

[0075]

時刻 T 101 以前において、信号 L I N の電位、信号 R I N の電位、クロック信号 C L K_{i1} の電位、クロック信号 C L K_{i2} の電位、クロック信号 C L K_{i4} の電位、配線 W a の電位、及び信号 O U T の電位は低電位であるとする。また、クロック信号 C L K_{i3} の電位、及び配線 W b の電位は高電位であるとする。

[0076]

図 4 A は、時刻 T 101 乃至時刻 T 102 における、順序回路 10 a の状態を示す回路図である。時刻 T 101 において、信号 L I N の電位が高電位となる。また、クロック信号 C L K_{i3} の電位が低電位となり、クロック信号 C L K_{i4} の電位が高電位となる。信号 L I N の電位が高電位となることにより、トランジスタ 31、及びトランジスタ 34 がオン状態となる。トランジスタ 31 がオン状態となることにより、配線 W a の電位が高電位となるため、トランジスタ 21 がオン状態となる。また、トランジスタ 34 がオン状態となることにより、配線 W b の電位が低電位となるため、トラ

ンジスタ 2 2、及びトランジスタ 3 2 がオフ状態となる。

[0077]

図 4 B は、時刻 T 1 0 2 乃至時刻 T 1 0 3 における、順序回路 1 0 a の状態を示す回路図である。図 4 B において、時刻 T 1 0 1 乃至時刻 T 1 0 2 から電位が変化した信号を、破線で囲って示している。

[0078]

時刻 T 1 0 2 において、信号 L I N の電位が低電位となる。また、クロック信号 C L K_{i1} の電位が高電位となり、クロック信号 C L K_{i4} の電位が低電位となる。信号 L I N の電位が低電位となることにより、トランジスタ 3 1 がオフ状態となるため、配線 W a がフローティング状態となるが、トランジスタ 2 1 はオン状態のままとなる。この状態で、クロック信号 C L K_{i1} の電位が高電位となることにより、信号 O U T の電位が高電位となる。

[0079]

図 5 A は、時刻 T 1 0 3 乃至時刻 T 1 0 4 における、順序回路 1 0 a の状態を示す回路図である。図 5 A において、時刻 T 1 0 2 乃至時刻 T 1 0 3 から電位が変化した信号を、破線で囲って示している。

[0080]

時刻 T 1 0 3 において、クロック信号 C L K_{i1} の電位が低電位となり、クロック信号 C L K_{i2} の電位が高電位となる。時刻 T 1 0 2 乃至時刻 T 1 0 3 に引き続き、トランジスタ 2 1 はオン状態であるため、クロック信号 C L K_{i1} の電位が低電位となることにより、信号 O U T の電位が低電位となる。また、クロック信号 C L K_{i2} の電位が高電位となることにより、トランジスタ 2 3 がオン状態となる。

[0081]

図 5 B は、時刻 T 1 0 4 乃至時刻 T 1 0 5 における、順序回路 1 0 a の状態を示す回路図である。図 5 B において、時刻 T 1 0 3 乃至時刻 T 1 0 4 から電位が変化した信号、及び配線を、破線で囲って示している。

[0082]

時刻 T 1 0 4 において、信号 R I N の電位が高電位となる。また、クロック信号 C L K_{i2} の電位が低電位となり、クロック信号 C L K_{i3} の電位が高電位となる。信号 R I N の電位が高電位となることにより、トランジスタ 3 3 がオン状態となり、クロック信号 C L K_{i3} の電位が高電位となることにより、トランジスタ 2 4 がオン状態となる。また、クロック信号 C L K_{i2} の電位が低電位となることにより、トランジスタ 2 3 がオフ状態となる。以上により、配線 W b の電位が高電位となる。配線 W b の電位が高電位となることにより、トランジスタ 2 2、及びトランジスタ 3 2 がオン状態となる。トランジスタ 3 2 がオン状態となることにより、配線 W a の電位が低電位となるため、トランジスタ 2 1 がオフ状態となる。トランジスタ 2 1 がオフ状態となり、トランジスタ 2 2 がオン状態となることにより、信号 O U T の電位が、クロック信号 C L K_{i1} の電位によらず低電位となる。

[0083]

図 6 A は、時刻 T 1 0 5 乃至時刻 T 1 0 6 における、順序回路 1 0 a の状態を示す回路図である。図 6 A において、時刻 T 1 0 4 乃至時刻 T 1 0 5 から電位が変化した信号を、破線で囲って示している。

[0084]

時刻T105において、信号RINの電位が低電位となる。また、クロック信号CLK_{i3}の電位が低電位となり、クロック信号CLK_{i4}の電位が高電位となる。信号RINの電位が低電位となることにより、トランジスタ33がオフ状態となり、クロック信号CLK_{i3}の電位が低電位となることにより、トランジスタ24がオフ状態となる。これにより、配線Wbがフローティング状態となる。

[0085]

図6Bは、時刻T106乃至時刻T107における、順序回路10aの状態を示す回路図である。図6Bにおいて、時刻T105乃至時刻T106から電位が変化した信号を、破線で囲って示している。

[0086]

時刻T106において、クロック信号CLK_{i1}の電位が高電位となり、クロック信号CLK_{i4}の電位が低電位となる。クロック信号CLK_{i1}の電位が高電位となるが、トランジスタ21はオフ状態であるため、信号OUTの電位は変化しない。

[0087]

図7Aは、時刻T107乃至時刻T108における、順序回路10aの状態を示す回路図である。図7Aにおいて、時刻T106乃至時刻T107から電位が変化した信号、及び配線を、破線で囲って示している。

[0088]

時刻T107において、クロック信号CLK_{i1}の電位が低電位となり、クロック信号CLK_{i2}の電位が高電位となる。クロック信号CLK_{i2}の電位が高電位となることにより、トランジスタ23がオン状態となる。これにより、配線Wbの電位が低電位となるため、トランジスタ22、及びトランジスタ32がオフ状態となる。

[0089]

図7Bは、時刻T108乃至時刻T109における、順序回路10aの状態を示す回路図である。図7Bにおいて、時刻T107乃至時刻T108から電位が変化した信号、及び配線を、破線で囲って示している。

[0090]

時刻T108において、クロック信号CLK_{i2}の電位が低電位となり、クロック信号CLK_{i3}の電位が高電位となる。クロック信号CLK_{i2}の電位が低電位となることにより、トランジスタ23がオフ状態となり、クロック信号CLK_{i3}の電位が高電位となることにより、トランジスタ24がオン状態となる。これにより、配線Wbの電位が高電位となり、トランジスタ22、及びトランジスタ32がオン状態となる。

[0091]

時刻T109において、クロック信号CLK_{i3}の電位が低電位となり、クロック信号CLK_{i4}の電位が高電位となる。クロック信号CLK_{i3}の電位が低電位となることにより、トランジスタ24がオフ状態となる。これにより、配線Wbがフローティング状態となる。

[0092]

時刻T110乃至時刻T114では、順序回路10aは、時刻T106乃至時刻T110と同様の動作を行う。時刻T106乃至時刻T110と同様の動作は、例えば最終段の順序回路10aが高電位の信号OUTを出力するまで繰り返し行われる。なお、時刻T106乃至時刻T110と同

様の動作は、時刻T 1 0 1 以前においても行われる。

[0093]

ここで、回路11aにトランジスタ24を設けることで、配線Waの電位が低電位となる期間において、クロック信号CLK_{i1}が高電位となる期間は配線Wbの電位を高電位とすることができる。これにより、クロック信号CLK_{i1}の電位が低電位から高電位に変動する期間はトランジスタ32がオン状態となる。よって、当該期間に配線Waがフローティング状態とならなくなる。したがって、例えばトランジスタ21のゲート容量に起因するブートストラップ効果による、配線Waの電位上昇を抑制することができる。よって、クロック信号CLK_{i1}が高電位となる期間にトランジスタ21が意図せずオン状態となり、信号OUTの電位が上昇することを抑制することができる。したがって、シフトレジスタ回路40の誤動作を防止することができる。以上より、シフトレジスタ回路40を、信頼性が高い半導体装置とすることができる。なお、配線Waの電位が低電位であり、且つクロック信号CLK_{i1}が高電位である期間において配線Wbの電位が低電位であってもシフトレジスタ回路40が誤動作を起こさない場合、又は誤動作が許容範囲である場合は、トランジスタ24を省略することができる。

[0094]

以上が順序回路10aの駆動方法の一例である。

[0095]

本発明の一態様の半導体装置である順序回路10は、トランジスタ23を有し、トランジスタ23のゲートにクロック信号が入力される。例えば、順序回路10がトランジスタ23を有さない場合、時刻T 1 0 4以降、配線Wbの電位は常時高電位となる。また、図3Bには示していないが、時刻T 1 0 1 以前においても、配線Wbの電位は常時高電位となる。以上より、トランジスタ22のゲートソース間、及びトランジスタ32のゲートソース間に電圧ストレスが長期間かかることになり、トランジスタ22、及びトランジスタ32のしきい値電圧の変動が生じやすくなる。一方、本発明の一態様では、図3Bに示すように、時刻T 1 0 4以降においても、配線Wbの電位が一定の周期で低電位となる。また、図3Bには示していないが、時刻T 1 0 1 以前においても、配線Wbの電位は一定の周期で低電位となる。図3Bでは、時刻T 1 0 4以降において配線Wbの電位が低電位となる期間を、破線で囲って示している。

[0096]

配線Wbの電位が一定の周期で低電位となることにより、配線Wbの電位が長期間にわたって高電位となり続ける場合より、トランジスタ22のゲートソース間、及びトランジスタ32のゲートソース間に電圧ストレスがかかる期間を短くすることができる。これにより、トランジスタ22、及びトランジスタ32の電気特性の変動、例えばしきい値電圧の変動を抑制することができる。よって、順序回路10を、信頼性が高い半導体装置とすることができる。

[0097]

なお、トランジスタ23のゲートに入力する信号は、クロック信号でなくてもよい。例えば、他の信号と独立して電位が制御される信号を、トランジスタ23のゲートに入力してもよい。これにより、例えば配線Wbの電位が低電位である期間を長くすることができるため、トランジスタ22のゲートソース間、及びトランジスタ32のゲートソース間に電圧ストレスがかかる期間を短くすることができる。よって、順序回路10の信頼性をさらに高めることができる。

[0098]

< 順序回路の構成例__2 >

図8は、順序回路10に適用することができる、順序回路10bの構成例を示す回路図である。順序回路10bは、回路11bと、回路12とを有する。回路11bは、回路11aの変形例であり、トランジスタ25を有する点が、回路11aと異なる。

[0099]

トランジスタ25のソース又はドレインの一方は、トランジスタ21のソース又はドレインの一方、及びトランジスタ22のソース又はドレインの一方と電氣的に接続される。トランジスタ25のゲートには、クロック信号CLK_{i2}が入力される。

[0100]

トランジスタ25のソース又はドレインの他方には、低電位が供給される。よって、トランジスタ25のソース又はドレインの他方に供給される電位を第8の電位とすると、第1の電位と第8の電位の差、及び第2の電位と第8の電位の差は、第3の電位と第8の電位の差より小さくなる。また、第8の電位は、第3の電位の反転電位とすることができる。

[0101]

順序回路10bは、例えば図3Bに示す方法と同様の方法で駆動させることができる。この場合、例えば図3Bに示す時刻T107乃至時刻T108、及び時刻T111乃至時刻T112のように、配線Waの電位と配線Wbの電位の両方が低電位となり、これによりトランジスタ21とトランジスタ22の両方がオフ状態となる期間であっても、トランジスタ21のソース又はドレインの一方がフローティング状態となることを防ぐことができる。したがって、信号OUTの電位が意図しない電位となることに起因する、シフトレジスタ回路40の誤動作を防止することができる。以上より、シフトレジスタ回路40を、信頼性が高い半導体装置とすることができる。

[0102]

< 順序回路の構成例__3 >

図9は、順序回路10に適用することができる、順序回路10cの構成例を示す回路図である。順序回路10cは、回路11cと、回路12とを有する。回路11cは、回路11aの変形例であり、トランジスタ26、及び容量27を有する点が、回路11aと異なる。

[0103]

トランジスタ21のソース又はドレインの一方は、トランジスタ22のソース又はドレインの一方の他、容量27の一方の電極と電氣的に接続される。トランジスタ26のソース又はドレインの一方は、配線Waを介して回路12と電氣的に接続される。トランジスタ26のソース又はドレインの他方は、トランジスタ21のゲートと電氣的に接続される。トランジスタ21のゲートは、容量27の他方の電極と電氣的に接続される。ここで、トランジスタ21のゲート、トランジスタ26のソース又はドレインの他方、及び容量27の他方の電極が電氣的に接続されるノードをノードNとする。トランジスタ26のゲートには、高電位を供給することができる。

[0104]

< 順序回路の駆動方法の一例__2 >

図9Bは、図9Aに示す順序回路10cの駆動方法の一例を示すタイミングチャートである。図9Bでは、図3Bに示す信号、及び配線の電位変化の推移の他、ノードNの電位変化の推移を示している。

[0105]

時刻T 1 2 1乃至時刻T 1 3 4における信号L I N、信号R I N、クロック信号C L K_{i1}乃至クロック信号C L K_{i4}、配線W a、配線W b、及び信号O U Tの電位変化の推移は、図3 Bに示す時刻T 1 0 1乃至時刻T 1 1 4における電位変化の推移と同様とすることができる。また、時刻T 1 2 1以前におけるノードNの電位は、低電位とする。

[0106]

時刻T 1 2 1において、信号L I Nが高電位となってトランジスタ3 1がオン状態となることにより、配線W aの電位が高電位となる。これにより、時刻T 1 2 1乃至時刻T 1 2 2において、ノードNの電位は、配線W aの電位からトランジスタ2 6のしきい値電圧分低下した電位まで上昇する。

[0107]

図1 0は、時刻T 1 2 2乃至時刻T 1 2 3における、順序回路1 0 cの状態を示す回路図である。図1 0において、「L→H」は、時刻T 1 2 2において低電位から高電位に変化したことを示し、「H→L」は、時刻T 1 2 2において高電位から低電位に変化したことを示す。また、図1 0において、クロック信号C L K_{i1}、及びノードNを、強調のため破線で囲って示している。

[0108]

時刻T 1 2 2において、クロック信号C L K_{i1}の電位が、低電位から高電位に変化する。ノードNの電位が、配線W aの電位からトランジスタ2 6のしきい値電圧分低下した電位まで上昇した後、クロック信号C L K_{i1}の電位が低電位から高電位に変化することで、ブートストラップ効果によりノードNの電位が上昇する。ノードNの電位の上昇により、トランジスタ2 6のゲートソース間の電位差が、トランジスタ2 6のしきい値電圧より小さくなる（負の方向に大きくなる）。これにより、トランジスタ2 6がオフ状態となり、ノードNがフローティング状態となる。ここで、時刻T 1 2 3におけるノードNの電位を、電位V N_Hとする。

[0109]

順序回路1 0がトランジスタ2 6と容量2 7を有さない場合には、時刻T 1 2 2乃至時刻T 1 2 3において、クロック信号C L K_{i1}の高電位よりもトランジスタ2 1のしきい値電圧分低い電位が、信号O U Tとして出力される。一方、順序回路1 0がトランジスタ2 6と容量2 7を有することで、トランジスタ2 1のゲート電位は、電位V D Dの2倍に近い電位（例えば、電位V D Dと電位V S Sの差の2倍に近い電位）にまで上昇する。これにより、トランジスタ2 1のしきい値電圧の影響を受けることなく、クロック信号C L K_{i1}の高電位を信号O U Tとして出力することができる。これにより、電源電位の種類を増やすことなく、出力性能の高い順序回路1 0を実現することができる。

[0110]

なお、前述のように、例えばノードNの電位が電位V N_Hである場合には、トランジスタ2 6はオフ状態となる。これにより、時刻T 1 2 2乃至時刻T 1 2 3において、配線W aの電位が上昇することを抑制することができる。よって、トランジスタ3 1、及びトランジスタ3 2に高電圧が印加されることを抑制することができる。したがって、順序回路1 0 cは、信頼性が高い半導体装置とすることができる。

[0111]

時刻T 1 2 3において、クロック信号C L K_{i1}が低電位となる。これにより、時刻T 1 2 3乃至時刻T 1 2 4において、ノードNの電位が低下する。例えば、時刻T 1 2 1乃至時刻T 1 2 2にお

けるノードNの電位と同程度の電位まで低下する。

[0112]

時刻T124において、配線Wbが高電位となってトランジスタ32がオン状態となることにより、配線Waの電位が低電位となる。これにより、トランジスタ26のゲートソース間の電位差がトランジスタ26のしきい値電圧以上となり、トランジスタ26がオン状態となる。よって、時刻T124乃至時刻T125において、ノードNの電位が低電位となる。また、時刻T125以降においても、ノードNの電位は低電位となる。以上が順序回路10cの駆動方法の一例である。

[0113]

＜順序回路の構成例__4＞

図11Aは、順序回路10に適用することができる、順序回路10dの構成例を示す回路図である。順序回路10dは、回路11dと、回路12とを有する。回路11dは、回路11cの変形例であり、トランジスタ26のゲートにクロック信号CLK_{i4}が入力される点が、回路11cと異なる。

[0114]

トランジスタ26のゲートの電位が高電位であり、配線Waの電位、又はノードNの電位が低電位である場合、トランジスタ26のゲートソース間に電圧ストレスがかかる。よって、トランジスタ26のゲートにクロック信号CLK_{i4}を入力することにより、トランジスタ26のゲートソース間に電圧ストレスがかかる期間を短くすることができる。これにより、トランジスタ26の電気特性の変動、例えばしきい値電圧の変動を抑制することができる。よって、順序回路10dを、信頼性が高い半導体装置とすることができる。

[0115]

また、クロック信号をトランジスタ26のゲートに入力することにより、他の信号と独立して電位が制御される信号をトランジスタ26のゲートに入力する場合より、順序回路10の駆動の制御を簡易に行うことができる。なお、トランジスタ26のゲートに、他の信号と独立して電位が制御される信号を入力してもよい。この場合、例えばトランジスタ26のゲート電位が低電位である期間を長くすることができるため、トランジスタ26のゲートソース間に電圧ストレスがかかる期間を短くすることができる。よって、順序回路10dの信頼性をさらに高めることができる。

[0116]

＜順序回路の構成例__5＞

図11Bは、順序回路10に適用することができる、順序回路10eの構成例を示す回路図である。順序回路10eは、回路11eと、回路12とを有する。回路11eは、回路11dの変形例であり、トランジスタ25を有する点が、回路11dと異なる。回路11eは、回路11bの構成と回路11dの構成を組み合わせた構成である。

[0117]

＜シフトレジスタ回路の構成例__2＞

図12Aは、本発明の一態様の半導体装置である、シフトレジスタ回路140の構成例を示すブロック図である。シフトレジスタ回路140は、図1Aに示すシフトレジスタ回路40の変形例であり、順序回路10の代わりに順序回路110が設けられる。

[0118]

シフトレジスタ回路140において、例えば信号OUT__4は、信号RIN__1として順序回路

110__1に入力される。また、信号OUT__5は、信号RIN__2として順序回路110__2に入力される。つまり、順序回路110に入力される信号RINを、3段後の順序回路110が出力する信号OUTとすることができる。なお、順序回路110に入力される信号RINを、4段以上後の順序回路110が出力する信号OUTとしてもよい。

[0119]

また、順序回路110には、クロック信号として、クロック信号CLK1乃至クロック信号CLK4の他、クロック信号CLK5が入力される。そして、1つの順序回路110には、クロック信号CLK1乃至クロック信号CLK5のうち、例えば4つのクロック信号を入力することができる。

[0120]

例えば、順序回路110__1にはクロック信号CLK1、クロック信号CLK2、クロック信号CLK3、及びクロック信号CLK4が入力され、順序回路110__2にはクロック信号CLK2、クロック信号CLK3、クロック信号CLK4、及びクロック信号CLK5が入力され、順序回路110__3にはクロック信号CLK3、クロック信号CLK4、クロック信号CLK5、及びクロック信号CLK1が入力され、順序回路110__4にはクロック信号CLK4、クロック信号CLK5、クロック信号CLK1、及びクロック信号CLK2が入力され、順序回路110__5にはクロック信号CLK5、クロック信号CLK1、クロック信号CLK2、及びクロック信号CLK3が入力される。図12Aに示す例では、順序回路110に入力されるクロック信号の組み合わせは、5段毎に同一となる。つまり、例えば順序回路10__nにクロック信号CLK1、クロック信号CLK2、クロック信号CLK3、及びクロック信号CLK4が入力される場合、順序回路10__n+1にはクロック信号CLK2、クロック信号CLK3、クロック信号CLK4、及びクロック信号CLK5が入力され、順序回路10__n+2にはクロック信号CLK3、クロック信号CLK4、クロック信号CLK5、及びクロック信号CLK1が入力され、順序回路10__n+3にはクロック信号CLK4、クロック信号CLK5、クロック信号CLK1、及びクロック信号CLK2が入力され、順序回路10__n+4にはクロック信号CLK5、クロック信号CLK1、クロック信号CLK2、及びクロック信号CLK3が入力される。また、順序回路10__nに入力されるクロック信号の組み合わせと、順序回路10__n+5に入力されるクロック信号の組み合わせは同一となる。なお、シフトレジスタ回路140は、6種類以上のクロック信号のうち4種類以上のクロック信号が入力される構成としてもよい。

[0121]

<シフトレジスタ回路の駆動方法の一例__2>

図12Bは、シフトレジスタ回路140の駆動方法の一例を示すタイミングチャートである。図12Bでは、上からスタートパルス信号SP、クロック信号CLK1乃至クロック信号CLK5、及び信号OUT__1乃至信号OUT__5のそれぞれについて、電位変化の推移を示している。

[0122]

図12Bに示すように、クロック信号CLK1乃至クロック信号CLK5は、それぞれ5分の1周期ずつずれた信号とすることができる。また、クロック信号CLK1乃至クロック信号CLK5は、高電位となる期間の一部が重なるものとすることができる。例えば、高電位となる期間が、2つのクロック信号間で重なるものとすることができる。

[0123]

図12Bに示す時刻T200以前において、スタートパルス信号SPが高電位となり、クロック

信号CLK1が低電位である。このとき、信号OUT__1乃至信号OUT__5の電位は低電位となる。

[0124]

時刻T200において、クロック信号CLK1が低電位から高電位となる、つまりクロック信号CLK1が立ち上がることで、順序回路110__1から高電位の信号OUT__1が出力される。次に、クロック信号CLK2乃至クロック信号CLK5の立ち上がりに応じて、順序回路10__2乃至順序回路10__5から高電位の信号OUT__2乃至信号OUT__5が順次出力される。その後、クロック信号CLK1乃至クロック信号CLK5の立ち上がりに応じて、順序回路10__6以降から高電位の信号OUT__6以降が順次出力される。

[0125]

<順序回路の構成例__6>

図13は、順序回路110に適用することができる、順序回路110aの構成例を示す回路図である。順序回路110aは、回路111aと、回路12と、を有する。回路111aと回路12は、配線Waを介して電氣的に接続される。また、回路111aと回路12は、配線Wbを介して電氣的に接続される。

[0126]

回路111aは、トランジスタ21、トランジスタ22、トランジスタ171、トランジスタ172、トランジスタ173、及びトランジスタ174を有する。トランジスタ21のゲートは、配線Waと電氣的に接続される。トランジスタ22のゲート、トランジスタ171のソース又はドレインの一方、及びトランジスタ174のソース又はドレインの一方は、配線Wbと電氣的に接続される。トランジスタ171のソース又はドレインの他方は、トランジスタ172のソース又はドレインの一方と電氣的に接続される。トランジスタ174のソース又はドレインの他方は、トランジスタ173のソース又はドレインの一方と電氣的に接続される。トランジスタ21のソース又はドレインの一方は、トランジスタ22のソース又はドレインの一方と電氣的に接続され、信号OUTが出力される。

[0127]

トランジスタ21のソース又はドレインの他方には、クロック信号CLK_{j1}が入力される。トランジスタ171のゲートには、クロック信号CLK_{j2}が入力される。トランジスタ172のゲート、及びトランジスタ173のゲートには、クロック信号CLK_{j3}が入力される。トランジスタ174のゲートには、クロック信号CLK_{j4}が入力される。

[0128]

ここで、クロック信号CLK_{j1}乃至クロック信号CLK_{j4}は、それぞれ図12A等を示すクロック信号CLK1乃至クロック信号CLK5のいずれかを示す。例えば、順序回路110__1では、クロック信号CLK_{j1}はクロック信号CLK1であり、クロック信号CLK_{j2}はクロック信号CLK2であり、クロック信号CLK_{j3}はクロック信号CLK3であり、クロック信号CLK_{j4}はクロック信号CLK4である。また、順序回路110__2では、クロック信号CLK_{j1}はクロック信号CLK2であり、クロック信号CLK_{j2}はクロック信号CLK3であり、クロック信号CLK_{j3}はクロック信号CLK4であり、クロック信号CLK_{j4}はクロック信号CLK5である。また、順序回路110__3では、クロック信号CLK_{j1}はクロック信号CLK3であり、クロック信号CLK_{j2}はクロック信号CLK4であり、クロック信号CLK_{j3}はクロック信号CLK5であり、クロッ

ク信号 CLK_{j4} はクロック信号 $CLK1$ である。また、順序回路 110_4 では、クロック信号 CLK_{j1} はクロック信号 $CLK4$ であり、クロック信号 CLK_{j2} はクロック信号 $CLK5$ であり、クロック信号 CLK_{j3} はクロック信号 $CLK1$ であり、クロック信号 CLK_{j4} はクロック信号 $CLK2$ である。さらに、順序回路 110_5 では、クロック信号 CLK_{j1} はクロック信号 $CLK5$ であり、クロック信号 CLK_{j2} はクロック信号 $CLK1$ であり、クロック信号 CLK_{j3} はクロック信号 $CLK2$ であり、クロック信号 CLK_{j4} はクロック信号 $CLK3$ である。

[0129]

トランジスタ 22 のソース又はドレインの他方、及びトランジスタ 172 のソース又はドレインの他方には、低電位が供給される。また、トランジスタ 173 のソース又はドレインの他方には、高電位が供給される。ここで、トランジスタ 22 のソース又はドレインの他方に供給される電位を第 1 の電位とし、トランジスタ 172 のソース又はドレインの他方に供給される電位を第 2 の電位とし、トランジスタ 173 のソース又はドレインの他方に供給される電位を第 3 の電位とする。この場合、順序回路 $110a$ における第 3 の電位と第 1 の電位の差、及び第 3 の電位と第 2 の電位の差は、順序回路 $110a$ における第 2 の電位と第 1 の電位の差より大きくなる。また、順序回路 $110a$ における第 3 の電位は、順序回路 $110a$ における第 1 の電位の反転電位、又は第 2 の電位の反転電位とすることができる。

[0130]

図 $14A$ は、図 13 に例示する順序回路 $110a$ のより詳細な構成例を示す回路図である。図 $14A$ に示す回路 12 の構成は、例えば図 $3A$ に示す回路 12 と同様の構成とすることができる。

[0131]

<順序回路の駆動方法の一例__3>

以下では、図 $14A$ に示す順序回路 $110a$ の駆動方法の一例を、図 $14B$ 、及び図 $15A$ 乃至図 $19B$ を用いて説明する。図 $14B$ は、図 $14A$ に示す順序回路 $110a$ の駆動方法の一例を示すタイミングチャートである。図 $14B$ では、上から信号 LIN 、信号 RIN 、クロック信号 CLK_{j1} 乃至クロック信号 CLK_{j5} 、配線 Wa 、配線 Wb 、及び信号 OUT のそれぞれについて、電位変化の推移を示している。また、図 $15A$ 乃至図 $19B$ は、順序回路 $110a$ の駆動方法の一例を示す回路図である。

[0132]

ここで、クロック信号 CLK_{j5} は、例えば図 $12A$ に示すクロック信号 $CLK1$ 乃至クロック信号 $CLK5$ のそれぞれのうち、クロック信号 CLK_{j1} 乃至クロック信号 CLK_{j4} とは異なる信号を示す。例えば、順序回路 10_1 では、クロック信号 CLK_{j5} はクロック信号 $CLK5$ である。また、順序回路 10_2 では、クロック信号 CLK_{j5} はクロック信号 $CLK1$ である。また、順序回路 10_3 では、クロック信号 CLK_{j5} はクロック信号 $CLK2$ である。また、順序回路 10_4 では、クロック信号 CLK_{j5} はクロック信号 $CLK3$ である。さらに、順序回路 10_5 では、クロック信号 CLK_{j5} はクロック信号 $CLK4$ である。

[0133]

時刻 $T201$ 以前において、信号 LIN の電位、信号 RIN の電位、クロック信号 CLK_{j1} の電位、クロック信号 CLK_{j2} の電位、クロック信号 CLK_{j5} の電位、配線 Wa の電位、及び信号 OUT の電位は低電位であるとする。また、クロック信号 CLK_{j3} の電位、クロック信号 CLK_{j4} の電位、及び配線 Wb の電位は高電位であるとする。

[0134]

図15Aは、時刻T201乃至時刻T202における、順序回路110aの状態を示す回路図である。時刻T201において、信号LINの電位が高電位となる。また、クロック信号CLK_{j3}の電位が低電位となり、クロック信号CLK_{j5}の電位が高電位となる。信号LINの電位が高電位となることにより、トランジスタ31、及びトランジスタ34がオン状態となる。トランジスタ31がオン状態となることにより、配線Waの電位が高電位となるため、トランジスタ21がオン状態となる。また、トランジスタ34がオン状態となることにより、配線Wbの電位が低電位となるため、トランジスタ22、及びトランジスタ32がオフ状態となる。

[0135]

図15Bは、時刻T202乃至時刻T203における、順序回路110aの状態を示す回路図である。図15Bにおいて、時刻T201乃至時刻T202から電位が変化した信号を、破線で囲って示している。

[0136]

時刻T202において、クロック信号CLK_{j1}の電位が高電位となり、クロック信号CLK_{j4}の電位が低電位となる。配線Waの電位は高電位のままであり、トランジスタ21はオン状態であるため、クロック信号CLK_{j1}の電位が高電位となることにより、信号OUTの電位が高電位となる。

[0137]

図16Aは、時刻T203乃至時刻T204における、順序回路110aの状態を示す回路図である。図16Aにおいて、時刻T202乃至時刻T203から電位が変化した信号を、破線で囲って示している。

[0138]

時刻T203において、信号LINの電位が低電位となる。また、クロック信号CLK_{j2}の電位が高電位となり、クロック信号CLK_{j5}の電位が低電位となる。信号LINの電位が低電位となることにより、トランジスタ31がオフ状態となるため、配線Waがフローティング状態となるが、トランジスタ21はオン状態のままとなる。また、クロック信号CLK_{j1}の電位は、時刻T202乃至時刻T203に引き続き高電位である。以上より、信号OUTの電位は、時刻T202乃至時刻T203に引き続き高電位である。また、クロック信号CLK_{j2}の電位が高電位となることにより、トランジスタ171がオン状態となる。

[0139]

図16Bは、時刻T204乃至時刻T205における、順序回路110aの状態を示す回路図である。図16Bにおいて、時刻T203乃至時刻T204から電位が変化した信号を、破線で囲って示している。

[0140]

時刻T204において、クロック信号CLK_{j1}の電位が低電位となり、クロック信号CLK_{j3}の電位が高電位となる。時刻T203乃至時刻T204に引き続き、トランジスタ21はオン状態であるため、クロック信号CLK_{j1}の電位が低電位となることにより、信号OUTの電位が低電位となる。

[0141]

時刻T204乃至時刻T205において、クロック信号CLK_{j3}の電位が高電位となることにより、トランジスタ172、及びトランジスタ173がオン状態となる。また、時刻T203乃至時

刻T 2 0 4に引き続き、クロック信号C L K_{j 2}は高電位であるため、トランジスタ1 7 1はオン状態である。トランジスタ1 7 1、及びトランジスタ1 7 2がオン状態となることにより、配線W bに低電位が供給される。

[0 1 4 2]

図1 7 Aは、時刻T 2 0 5乃至時刻T 2 0 6における、順序回路1 1 0 aの状態を示す回路図である。図1 7 Aにおいて、時刻T 2 0 4乃至時刻T 2 0 5から電位が変化した信号を、破線で囲って示している。

[0 1 4 3]

時刻T 2 0 5において、信号R I Nの電位が高電位となる。また、クロック信号C L K_{j 2}の電位が低電位となり、クロック信号C L K_{j 4}の電位が高電位となる。信号R I Nの電位が高電位となることにより、トランジスタ3 3がオン状態となり、クロック信号C L K_{j 4}の電位が高電位となることにより、トランジスタ1 7 4がオン状態となる。また、時刻T 2 0 4乃至時刻T 2 0 5に引き続き、クロック信号C L K_{j 3}は高電位であるため、トランジスタ1 7 3はオン状態である。さらに、クロック信号C L K_{j 2}の電位が低電位となることにより、トランジスタ1 7 1がオフ状態となる。

[0 1 4 4]

以上により、配線W bの電位が高電位となる。これにより、トランジスタ2 2、及びトランジスタ3 2がオン状態となる。トランジスタ3 2がオン状態となることにより、配線W aの電位が低電位となるため、トランジスタ2 1がオフ状態となる。トランジスタ2 1がオフ状態となり、トランジスタ2 2がオン状態となることにより、信号O U Tの電位が、クロック信号C L K_{j 1}の電位によらず低電位となる。

[0 1 4 5]

図1 7 Bは、時刻T 2 0 6乃至時刻T 2 0 7における、順序回路1 1 0 aの状態を示す回路図である。図1 7 Bにおいて、時刻T 2 0 5乃至時刻T 2 0 6から電位が変化した信号を、破線で囲って示している。

[0 1 4 6]

時刻T 2 0 6において、クロック信号C L K_{j 3}が低電位となり、クロック信号C L K_{j 5}が高電位となる。クロック信号C L K_{j 3}が低電位となることにより、トランジスタ1 7 2、及びトランジスタ1 7 3がオフ状態となる。トランジスタ1 7 3がオフ状態となることにより、配線W bはフローティング状態となる。

[0 1 4 7]

図1 8 Aは、時刻T 2 0 7乃至時刻T 2 0 8における、順序回路1 1 0 aの状態を示す回路図である。図1 8 Aにおいて、時刻T 2 0 6乃至時刻T 2 0 7から電位が変化した信号を、破線で囲って示している。

[0 1 4 8]

時刻T 2 0 7において、信号R I Nの電位が低電位となる。また、クロック信号C L K_{j 1}の電位が高電位となり、クロック信号C L K_{j 4}の電位が低電位となる。信号R I Nの電位が低電位となることにより、トランジスタ3 3がオフ状態となり、クロック信号C L K_{j 4}の電位が低電位となることにより、トランジスタ1 7 4がオフ状態となる。

[0 1 4 9]

図1 8 Bは、時刻T 2 0 8乃至時刻T 2 0 9における、順序回路1 1 0 aの状態を示す回路図で

ある。図18Bにおいて、時刻T207乃至時刻T208から電位が変化した信号を、破線で囲って示している。

[0150]

時刻T208において、クロック信号CLK_{j2}の電位が高電位となり、クロック信号CLK_{j5}の電位が低電位となる。クロック信号CLK_{j2}の電位が高電位となることで、トランジスタ171がオン状態となる。

[0151]

図19Aは、時刻T209乃至時刻T210における、順序回路110aの状態を示す回路図である。図19Aにおいて、時刻T208乃至時刻T209から電位が変化した信号を、破線で囲って示している。

[0152]

時刻T209において、クロック信号CLK_{j1}の電位が低電位となり、クロック信号CLK_{j3}の電位が高電位となる。クロック信号CLK_{j3}の電位が高電位となることにより、トランジスタ172、及びトランジスタ173がオン状態となる。また、時刻T208乃至時刻T209に引き続き、クロック信号CLK_{j2}は高電位であるため、トランジスタ171はオン状態である。トランジスタ171、及びトランジスタ172がオン状態となることにより、配線Wbの電位が低電位となる。よって、トランジスタ22、及びトランジスタ32がオフ状態となる。

[0153]

図19Bは、時刻T210乃至時刻T211における、順序回路110aの状態を示す回路図である。図19Bにおいて、時刻T209乃至時刻T210から電位が変化した信号を、破線で囲って示している。

[0154]

時刻T210において、クロック信号CLK_{j2}の電位が低電位となり、クロック信号CLK_{j4}の電位が高電位となる。クロック信号CLK_{j2}の電位が低電位となることにより、トランジスタ171がオフ状態となり、クロック信号CLK_{j4}の電位が高電位となることにより、トランジスタ174がオン状態となる。また、時刻T209乃至時刻T210に引き続き、クロック信号CLK_{j3}は高電位であるため、トランジスタ172、及びトランジスタ173はオン状態である。トランジスタ171がオフ状態となり、トランジスタ173、及びトランジスタ174がオン状態となることにより、配線Wbの電位が高電位となる。よって、トランジスタ22、及びトランジスタ32がオン状態となる。

[0155]

時刻T211において、クロック信号CLK_{j3}の電位が低電位となり、クロック信号CLK_{j5}の電位が高電位となる。クロック信号CLK_{j3}の電位が低電位となることにより、トランジスタ172、及びトランジスタ173がオフ状態となる。トランジスタ173がオフ状態となることにより、配線Wbがフローティング状態となる。

[0156]

時刻T212乃至時刻T217では、順序回路110aは、時刻T207乃至時刻T212と同様の動作を行う。時刻T207乃至時刻T212と同様の動作は、例えば最終段の順序回路110aが高電位の信号OUTを出力するまで繰り返し行われる。なお、時刻T207乃至時刻T212と同様の動作は、時刻T201以前においても行われる。

[0157]

ここで、回路111aにトランジスタ173、及びトランジスタ174を設けることで、配線W_aの電位が低電位となる期間において、クロック信号CLK_{j1}が高電位となる期間は配線W_bの電位を高電位とすることができる。これにより、クロック信号CLK_{j1}の低電位から高電位への変動に伴う、前述のブートストラップ効果による配線W_aの電位上昇を抑制することができる。よって、トランジスタ21が意図せずオン状態となり、信号OUTの電位が上昇することを抑制することができる。したがって、シフトレジスタ回路40の誤動作を防止することができる。以上より、シフトレジスタ回路40を、信頼性が高い半導体装置とすることができる。

[0158]

以上が順序回路110aの駆動方法の一例である。

[0159]

本発明の一態様の半導体装置である順序回路110は、トランジスタ171、及びトランジスタ172を有し、トランジスタ171とトランジスタ172が直列に接続される。そして、トランジスタ171のゲート、及びトランジスタ172のゲートに、高電位となる期間の一部が重なるクロック信号が入力される。以上により、図14Bに示すように、時刻T205以降においても、配線W_bの電位が一定の周期で低電位となる。また、図14Bには示していないが、時刻T201以前においても、配線W_bの電位は一定の周期で低電位となる。図14Bでは、時刻T205以降において配線W_bの電位が低電位となる期間を、破線で囲って示している。

[0160]

前述のように、配線W_bの電位が一定の周期で低電位となることにより、配線W_bの電位が長期間にわたって高電位となり続ける場合より、トランジスタ22のゲートソース間、及びトランジスタ32のゲートソース間に電圧ストレスがかかる期間を短くすることができる。これにより、トランジスタ22、及びトランジスタ32の電気特性の変動、例えばしきい値電圧の変動を抑制することができる。よって、順序回路110を、信頼性が高い半導体装置とすることができる。

[0161]

なお、トランジスタ171のゲートに入力する信号、及びトランジスタ172のゲートに入力する信号は、クロック信号でなくてもよい。例えば、他の信号と独立して電位が制御される信号を、トランジスタ171のゲート、及びトランジスタ172のゲートに入力してもよい。これにより、例えば配線W_bの電位が低電位である期間を長くすることができるため、トランジスタ22のゲートソース間、及びトランジスタ32のゲートソース間に電圧ストレスがかかる期間を短くすることができる。よって、順序回路110の信頼性をさらに高めることができる。

[0162]

また、前述のように、順序回路110に入力される複数のクロック信号は、高電位となる期間の一部が互いに重なるものとすることができる。これにより、信号OUTの電位が低電位から高電位となる時刻に、配線W_aがフローティング状態となることを防ぐことができる。また、配線W_bの電位を、AND回路により制御することができる。例えば、トランジスタ171と、トランジスタ172と、を有するAND回路、及びトランジスタ173と、トランジスタ174と、を有するAND回路により、クロック信号CLK_{j2}乃至クロック信号CLK_{j4}に基づき配線W_bの電位を制御することができる。以上により、本発明の一態様の半導体装置の誤動作を防止し、本発明の一態様の半導体装置の信頼性を高めることができる。

[0163]

<順序回路の構成例__7>

図20は、順序回路110に適用することができる、順序回路110bの構成例を示す回路図である。順序回路110bは、回路111bと、回路12とを有する。回路111bは、回路111aの変形例であり、トランジスタ175、及びトランジスタ176を有する点が、回路111aと異なる。

[0164]

トランジスタ175のソース又はドレインの一方は、トランジスタ21のソース又はドレインの一方、及びトランジスタ22のソース又はドレインの一方と電氣的に接続される。トランジスタ175のソース又はドレインの他方は、トランジスタ176のソース又はドレインの一方と電氣的に接続される。トランジスタ175のゲートには、クロック信号 CLK_j2 が入力される。トランジスタ176のゲートには、クロック信号 CLK_j3 が入力される。

[0165]

トランジスタ176のソース又はドレインの他方には、低電位が供給される。よって、トランジスタ176のソース又はドレインの他方に供給される電位を第8の電位とすると、順序回路110bにおける第1の電位と第8の電位の差、及び第2の電位と第8の電位の差は、順序回路110bにおける第3の電位と第8の電位の差より小さくなる。また、順序回路110bにおける第8の電位は、順序回路110bにおける第3の電位の反転電位とすることができる。

[0166]

順序回路110bは、例えば図14Bに示す方法と同様の方法で駆動させることができる。この場合、順序回路10bと同様に、信号OUTの電位が意図しない電位となることに起因する、シフトレジスタ回路140の誤動作を防止することができる。したがって、シフトレジスタ回路140を、信頼性が高い半導体装置とすることができる。

[0167]

<順序回路の構成例__8>

図21は、順序回路110に適用することができる、順序回路110cの構成例を示す回路図である。順序回路110cは、回路111cと、回路12とを有する。回路111cは、回路111aの変形例であり、トランジスタ26、及び容量27を有する点が、回路111aと異なる。

[0168]

回路11cと同様に、トランジスタ21のソース又はドレインの一方は、トランジスタ22のソース又はドレインの一方の他、容量27の一方の電極と電氣的に接続される。トランジスタ26のソース又はドレインの一方は、配線Waを介して回路12と電氣的に接続される。トランジスタ26のソース又はドレインの他方は、トランジスタ21のゲートと電氣的に接続される。トランジスタ21のゲートは、容量27の他方の電極と電氣的に接続される。前述のように、トランジスタ21のゲート、トランジスタ26のソース又はドレインの他方、及び容量27の他方の電極が電氣的に接続されるノードは、ノードNである。トランジスタ26のゲートには、高電位を供給することができる。

[0169]

<順序回路の駆動方法の一例__4>

図21Bは、図21Aに示す順序回路110cの駆動方法の一例を示すタイミングチャートであ

る。図 2 1 B では、図 1 4 B に示す信号、及び配線の電位変化の推移の他、ノード N の電位変化の推移を示している。

[0170]

時刻 T 2 2 1 乃至時刻 T 2 3 7 における信号 L I N、信号 R I N、クロック信号 C L K_{j1} 乃至クロック信号 C L K_{j5}、配線 W a、配線 W b、及び信号 O U T の電位変化の推移は、図 1 4 B に示す時刻 T 2 0 1 乃至時刻 T 2 1 7 における電位変化の推移と同様とすることができる。また、時刻 T 2 2 1 以前におけるノード N の電位は、低電位とする。

[0171]

時刻 T 2 2 1 において、信号 L I N が高電位となってトランジスタ 3 1 がオン状態となることにより、配線 W a の電位が高電位となる。これにより、時刻 T 2 2 1 乃至時刻 T 2 2 2 において、ノード N の電位は、配線 W a の電位からトランジスタ 2 6 のしきい値電圧分低下した電位まで上昇する。

[0172]

時刻 T 2 2 2 において、クロック信号 C L K_{j1} の電位が、低電位から高電位に変化する。これにより、前述のブートストラップ効果によりノード N の電位が上昇する。よって、トランジスタ 2 6 がオフ状態となり、ノード N がフローティング状態となる。ここで、時刻 T 2 2 3 におけるノード N の電位を、電位 V N_H とする。

[0173]

ノード N の電位が電位 V N_H である場合にはトランジスタ 2 6 はオフ状態となる。これにより、時刻 T 2 2 2 乃至時刻 T 2 2 4 において、配線 W a の電位が上昇することを抑制することができる。よって、トランジスタ 3 1、及びトランジスタ 3 2 に高電圧が印加されることを抑制することができる。したがって、順序回路 1 1 0 c は、信頼性が高い半導体装置とすることができる。

[0174]

時刻 T 2 2 4 において、クロック信号 C L K_{j1} が低電位となる。これにより、時刻 T 2 2 4 乃至時刻 T 2 2 5 において、ノード N の電位が低下する。例えば、時刻 T 2 2 1 乃至時刻 T 2 2 2 におけるノード N の電位と同程度の電位まで低下する。

[0175]

時刻 T 2 2 5 において、配線 W b の電位が高電位となってトランジスタ 3 2 がオン状態となることにより、配線 W a の電位が低電位となる。これにより、トランジスタ 2 6 のゲートソース間の電位差がトランジスタ 2 6 のしきい値電圧以上となり、トランジスタ 2 6 がオン状態となる。よって、時刻 T 2 2 5 乃至時刻 T 2 2 6 において、ノード N の電位が低電位となる。また、時刻 T 2 2 6 以降においても、ノード N の電位は低電位となる。以上が順序回路 1 1 0 c の駆動方法の一例である。

[0176]

< 順序回路の構成例__9 >

図 2 2 A は、順序回路 1 1 0 に適用することができる、順序回路 1 1 0 d の構成例を示す回路図である。順序回路 1 1 0 d は、回路 1 1 1 d と、回路 1 2 とを有する。回路 1 1 1 d は、回路 1 1 1 c の変形例であり、トランジスタ 2 6 のゲートにクロック信号 C L K_{j5} が入力される点が、回路 1 1 1 c と異なる。

[0177]

トランジスタ 26 のゲートにクロック信号 CLK_j を入力することにより、回路 11d と同様に、トランジスタ 26 のゲートソース間に電圧ストレスがかかる期間を短くすることができる。これにより、トランジスタ 26 の電気特性の変動、例えばしきい値電圧の変動を抑制することができる。よって、順序回路 110d を、信頼性が高い半導体装置とすることができる。

[0178]

また、順序回路 10d と同様に、クロック信号をトランジスタ 26 のゲートに入力することにより、他の信号と独立して電位が制御される信号をトランジスタ 26 のゲートに入力する場合より、順序回路 110 の駆動の制御を簡易に行うことができる。なお、トランジスタ 26 のゲートに、他の信号と独立して電位が制御される信号を入力してもよい。この場合、例えばトランジスタ 26 のゲート電位が低電位である期間を長くすることができるため、トランジスタ 26 のゲートソース間に電圧ストレスがかかる期間を短くすることができる。よって、順序回路 110d の信頼性をさらに高めることができる。

[0179]

< 順序回路の構成例__10 >

図 22B は、順序回路 110 に適用することができる、順序回路 110e の構成例を示す回路図である。順序回路 110e は、回路 111e と、回路 12 とを有する。回路 111e は、回路 111d の変形例であり、トランジスタ 175、及びトランジスタ 176 を有する点が、回路 111d と異なる。回路 111e は、回路 111b の構成と回路 111d の構成を組み合わせた構成である。

[0180]

< シフトレジスタ回路の構成例__3 >

図 23A は、本発明の一態様の半導体装置である、シフトレジスタ回路 40a の構成例を示すブロック図である。図 23A には、図 1A に示す順序回路 10__1 乃至順序回路 10__5 の代わりに、順序回路 50__1 乃至順序回路 50__5 を示している。

[0181]

順序回路 50 には、信号 RES が入力される。また、順序回路 50 には、信号 PWC1 乃至信号 PWC4 が入力される。例えば、1 つの順序回路 50 には、信号 PWC1、信号 PWC2、信号 PWC3、及び信号 PWC4 のうち、1 つの信号が入力される。

[0182]

例えば、順序回路 50__1、及び順序回路 50__5 には信号 PWC1 が入力され、順序回路 50__2 には信号 PWC2 が入力され、順序回路 50__3 には信号 PWC3 が入力され、順序回路 50__4 には信号 PWC4 が入力される。また、例えば順序回路 50__n に信号 PWC1 が入力される場合、順序回路 50__n+1 には信号 PWC2 が入力され、順序回路 50__n+2 には信号 PWC3 が入力され、順序回路 50__n+3 には信号 PWC4 が入力される。

[0183]

順序回路 50 からは、信号 GOUT が出力される。なお、図 23A では、信号 OUT と信号 GOUT を異なる信号としているが、同一の信号としてもよい。

[0184]

< シフトレジスタ回路の駆動方法の一例__3 >

図 23B は、シフトレジスタ回路 40a の駆動方法の一例を示すタイミングチャートである。図 23B では、上から信号 RES、スタートパルス信号 SP、クロック信号 CLK1 乃至クロック信

号CLK 4、及び信号OUT__1乃至信号OUT__5のそれぞれについて、電位変化の推移を示している。なお、信号PWC 1乃至信号PWC 4は、それぞれクロック信号CLK 1乃至クロック信号CLK 4と同じ位相、周期を有するため合わせて示している。また、信号GOUT__1乃至信号GOUT__5は、それぞれ信号OUT__1乃至信号OUT__5と同じ位相を有するため合わせて示している。なお、クロック信号CLK 1乃至クロック信号CLK 4の振幅と、信号PWC 1乃至信号PWC 4の振幅と、は異なってもよい。また、信号OUTの振幅と、信号GOUTの振幅と、は異なってもよい。

[0185]

スタートパルス信号SP、クロック信号CLK 1乃至クロック信号CLK 4、及び信号OUT__1乃至信号OUT__5の電位変化の推移は、図1Bに示す電位変化の推移と同様とすることができる。また、信号RESの電位は、低電位とすることができる。

[0186]

<シフトレジスタ回路の構成例__4>

図24Aは、本発明の一態様の半導体装置である、シフトレジスタ回路140aの構成例を示すブロック図である。図24Aには、図12Aに示す順序回路110__1乃至順序回路110__5の代わりに、順序回路150__1乃至順序回路150__5を示している。

[0187]

順序回路150には、図23Aに示す順序回路50と同様に、信号RESが入力される。また、順序回路150には、信号PWC 1乃至信号PWC 5が入力される。例えば、1つの順序回路150には、信号PWC 1、信号PWC 2、信号PWC 3、信号PWC 4、及び信号PWC 5のうち、1つの信号が入力される。

[0188]

例えば、順序回路150__1には信号PWC 1が入力され、順序回路150__2には信号PWC 2が入力され、順序回路150__3には信号PWC 3が入力され、順序回路150__4には信号PWC 4が入力され、順序回路150__5には信号PWC 5が入力される。また、例えば順序回路150__nに信号PWC 1が入力される場合、順序回路150__n+1には信号PWC 2が入力され、順序回路150__n+2には信号PWC 3が入力され、順序回路150__n+3には信号PWC 4が入力され、順序回路150__n+4には信号PWC 5が入力される。

[0189]

順序回路150は、順序回路50と同様に、信号GOUTを出力する。なお、シフトレジスタ回路40aと同様に、信号OUTと信号GOUTを同一の信号としてもよい。

[0190]

<シフトレジスタ回路の駆動方法の一例__4>

図24Bは、シフトレジスタ回路140aの駆動方法の一例を示すタイミングチャートである。図24Bでは、上から信号RES、スタートパルス信号SP、クロック信号CLK 1乃至クロック信号CLK 5、及び信号OUT__1乃至信号OUT__5のそれぞれについて、電位変化の推移を示している。なお、信号PWC 1乃至信号PWC 5は、それぞれクロック信号CLK 1乃至クロック信号CLK 5と同じ位相、周期を有するため合わせて示している。また、シフトレジスタ回路40aと同様に、信号GOUT__1乃至信号GOUT__5は、それぞれ信号OUT__1乃至信号OUT__5と同じ位相を有するため合わせて示している。なお、クロック信号CLK 1乃至クロック信号

CLK 5の振幅と、信号PWC 1乃至信号PWC 5の振幅と、は異なってもよい。

[0191]

スタートパルス信号SP、クロック信号CLK 1乃至クロック信号CLK 5、及び信号OUT__1乃至信号OUT__5の電位変化の推移は、図12Bに示す電位変化の推移と同様とすることができる。また、信号RESの電位は、低電位とすることができる。

[0192]

<表示装置の構成例>

本発明の一態様の半導体装置であるシフトレジスタ回路40a、及びシフトレジスタ回路140aは、表示装置に適用することができる。図25Aは、シフトレジスタ回路40a、及びシフトレジスタ回路140aを適用することができる表示装置500の構成例を示すブロック図である。

[0193]

表示装置500は、表示部502と、駆動回路部504と、保護回路506と、端子部507と、を有する。なお、保護回路506を設けない構成としてもよい。

[0194]

表示部502は、X行Y列（X、Yはそれぞれ独立に2以上の整数）に配置された画素回路501を有する。駆動回路部504は、走査線GL__1乃至走査線GL__Xに走査信号を出力する走査線駆動回路504a、及び信号線DL__1乃至信号線DL__Yにデータ信号を出力する信号線駆動回路504b等の駆動回路を有する。

[0195]

走査線駆動回路504aは、シフトレジスタ回路40a、又はシフトレジスタ回路140a等を有し、走査線GL__1乃至走査線GL__Xに走査信号としてそれぞれ信号GOUT__1乃至信号GOUT__Xを出力する機能を有する。つまり、本発明の一態様の半導体装置は、例えば走査線駆動回路504aに適用することができる。前述のように、本発明の一態様の半導体装置は信頼性が高い。よって、表示装置500に本発明の一態様の半導体装置を適用することにより、信頼性が高い表示装置500を実現することができる。

[0196]

信号線駆動回路504bは、例えば複数のアナログスイッチを用いて構成される。信号線駆動回路504bは、シフトレジスタ回路を有してもよく、例えばシフトレジスタ回路40、又はシフトレジスタ回路140を有してもよい。

[0197]

端子部507は、外部の回路から表示装置に電源、制御信号、及び画像信号等を入力するための端子が設けられた部分をいう。

[0198]

保護回路506は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。図25Aに示す保護回路506は、例えば、走査線駆動回路504aと画素回路501の間の配線である走査線GL、又は信号線駆動回路504bと画素回路501の間の配線である信号線DL等の各種配線に接続される。なお図25Aでは、保護回路506と画素回路501とを区別するため、保護回路506にハッチングを付している。

[0199]

走査線駆動回路504aと信号線駆動回路504bは、それぞれ表示部502と同じ基板上に設

けられていてもよい。また、走査線駆動回路504a又は信号線駆動回路504bが別途形成された基板、例えば、単結晶半導体又は多結晶半導体で形成された駆動回路基板を別途用意し、当該基板をCOG又はTAB (Tape Automated Bonding) によって、表示部502が設けられる基板に実装する構成としてもよい。

[0200]

図25Bに、画素回路501に適用することのできる画素回路の構成の一例を示す。図25Bには、p行q列目 (pは1以上X以下の整数、qは1以上Y以下の整数) の画素回路を示す。

[0201]

画素回路501は、トランジスタ552と、トランジスタ554と、容量562と、発光素子572と、を有する。また画素回路501には、走査線GL__p、信号線DL__q、電位供給線VL__a、及び電位供給線VL__b等が接続されている。

[0202]

発光素子572として、有機EL、又は発光ダイオード (LED: Light Emitting Diode) 等を用いることができる。また、LEDとして、例えばマイクロLEDを用いることができる。

[0203]

電位供給線VL__a又は電位供給線VL__bの一方には、高電位が供給される。また、電位供給線VL__a又は電位供給線VL__bの他方には、低電位が供給される。トランジスタ554のゲートに供給される電位に応じて、発光素子572に流れる電流が制御されることにより、発光素子572からの発光輝度が制御される。

[0204]

<順序回路の構成例__11>

図26A、図26B、図27A、図27B、及び図28は、図23Aに示す順序回路50の構成例を示す回路図である。ここで、図26A乃至図28に示す順序回路50を、それぞれ順序回路50a、順序回路50b、順序回路50c、順序回路50d、及び順序回路50eとする。

[0205]

図26Aに示す順序回路50aは、順序回路10a、回路51a、及びトランジスタ28を有する。回路51aは、トランジスタ61、及びトランジスタ62を有する。

[0206]

トランジスタ28のソース又はドレインの一方は、配線Wbと電氣的に接続される。トランジスタ28のソース又はドレインの他方には、高電位が供給される。トランジスタ28のゲートには、信号RESが供給される。

[0207]

トランジスタ61のソース又はドレインの一方は、トランジスタ62のソース又はドレインの一方と電氣的に接続され、信号GOUTが出力される。トランジスタ61のソース又はドレインの他方には、信号PWCが供給される。トランジスタ61のゲートは、配線Waと電氣的に接続される。トランジスタ62のソース又はドレインの他方には、低電位が供給される。トランジスタ62のゲートは、配線Wbと電氣的に接続される。ここで、信号PWCは、例えば図23Aに示す信号PWC1乃至信号PWC4のいずれかとすることができる。なお、信号GOUTを信号OUTと同一の信号とする場合は、順序回路50aは回路51aを有さなくてもよい。

[0208]

信号RESの電位を高電位とすると、トランジスタ28がオン状態となるため、配線Wbの電位が高電位となる。これにより、トランジスタ22、及びトランジスタ62がオン状態となり、信号OUTの電位、及び信号GOUTの電位が低電位となる。信号RESの電位を高電位とすると、シフトレジスタ回路40aが有する全ての信号OUTの電位、及び全ての信号GOUTの電位が低電位となる。これにより、シフトレジスタ回路40aの動作がリセットされる。よって、信号RESは、リセット信号である。ここで、信号RESの電位が高電位である期間は、クロック信号CLK_{i2}の電位が低電位となるように、信号RESの電位を制御する。

[0209]

順序回路50aは、例えば図3Bに示す方法で駆動させることができる。これにより、トランジスタ22と同様に、トランジスタ62のゲートソース間に電圧ストレスがかかる期間を短くすることができる。これにより、トランジスタ62の電気特性の変動、例えばしきい値電圧の変動を抑制することができる。よって、順序回路50aを有する表示装置は、信頼性が高い表示装置とすることができる。

[0210]

図26Bに示す順序回路50bは、順序回路10b、回路51b、及びトランジスタ28を有する。回路51bは、回路51aの変形例であり、トランジスタ65を有する点が、回路51aと異なる。

[0211]

トランジスタ65のソース又はドレインの一方は、トランジスタ61のソース又はドレインの一方、及びトランジスタ62のソース又はドレインの一方と電気的に接続される。トランジスタ65のソース又はドレインの他方には、低電位が供給される。トランジスタ65のゲートには、クロック信号CLK_{i2}が入力される。

[0212]

順序回路50として順序回路50bを適用することにより、信号OUTの電位、及び信号GOUTの電位が意図しない電位となることに起因する、シフトレジスタ回路40aの誤動作を防止することができる。したがって、シフトレジスタ回路40aを有する表示装置は、信頼性が高い表示装置とすることができる。

[0213]

図27Aに示す順序回路50cは、順序回路10c、回路51c、及びトランジスタ28を有する。回路51cは、回路51aの変形例であり、トランジスタ66、及び容量67を有する点が、回路51aと異なる。

[0214]

トランジスタ61のソース又はドレインの一方は、トランジスタ62のソース又はドレインの一方の他、容量67の一方の電極と電気的に接続される。トランジスタ66のソース又はドレインの一方は、配線Waと電気的に接続される。トランジスタ66のソース又はドレインの他方は、トランジスタ61のゲートと電気的に接続される。トランジスタ61のゲートは、容量67の他方の電極と電気的に接続される。トランジスタ66のゲートには、高電位を供給することができる。

[0215]

順序回路50cは、例えば図9Bに示す方法で駆動させることができる。これにより、トランジ

スタ 21 のしきい値電圧の影響を受けることなく、クロック信号 CLK_{i1} の高電位を信号 OUT として出力することができる。また、トランジスタ 61 のしきい値電圧の影響を受けることなく、信号 PWC の高電位を信号 $GOUT$ として出力することができる。これにより、電源電位の種類を増やすことなく、出力性能の高い順序回路 50 を実現することができる。

[0216]

図 27B に示す順序回路 50d は、順序回路 10d、回路 51d、及びトランジスタ 28 を有する。回路 51d は、回路 51c の変形例であり、トランジスタ 66 のゲートにクロック信号 CLK_{i4} が入力される点が、回路 51c と異なる。

[0217]

トランジスタ 66 のゲートにクロック信号 CLK_{i4} を入力することにより、トランジスタ 66 のゲートソース間に電圧ストレスがかかる期間を短くすることができる。これにより、トランジスタ 66 の電気特性の変動、例えばしきい値電圧の変動を抑制することができる。これにより、順序回路 50d を有する表示装置は、信頼性が高い表示装置とすることができる。

[0218]

また、クロック信号をトランジスタ 66 のゲートに入力することにより、他の信号と独立して電位が制御される信号をトランジスタ 66 のゲートに入力する場合より、順序回路 50 の駆動の制御を簡易に行うことができる。なお、トランジスタ 66 のゲートに、他の信号と独立して電位が制御される信号を入力してもよい。この場合、例えばトランジスタ 66 のゲート電位が低電位である期間を長くすることができるため、トランジスタ 66 のゲートソース間に電圧ストレスがかかる期間を短くすることができる。よって、順序回路 50d を有する表示装置の信頼性をさらに高めることができる。

[0219]

図 28 に示す順序回路 50e は、順序回路 10e、回路 51e、及びトランジスタ 28 を有する。回路 51e は、回路 51d の変形例であり、トランジスタ 65 を有する点が、回路 51d と異なる。回路 51e は、回路 51b の構成と回路 51d の構成を組み合わせた構成である。

[0220]

<順序回路の構成例__12>

図 29 乃至図 33 は、図 24A に示す順序回路 150 の構成例を示す回路図である。ここで、図 29 乃至図 33 に示す順序回路 150 を、それぞれ順序回路 150a、順序回路 150b、順序回路 150c、順序回路 150d、及び順序回路 150e とする。ここで、順序回路 150 において信号 PWC は、例えば図 24A に示す信号 $PWC1$ 乃至信号 $PWC5$ のいずれかとすることができる。

[0221]

図 29 に示す順序回路 150a は、順序回路 110a、回路 151a、及びトランジスタ 28 を有する。回路 151a は、回路 51a と同様の構成とすることができる。

[0222]

順序回路 50a と同様に、トランジスタ 28 のソース又はドレインの一方は、配線 Wb と電氣的に接続される。トランジスタ 28 のソース又はドレインの他方には、高電位が供給される。トランジスタ 28 のゲートには、信号 RES が供給される。前述のように、信号 RES はリセット信号であり、信号 RES の電位を高電位とすると、シフトレジスタ回路 140a が有する全ての信号 OU

Tの電位、及び全ての信号GOUTの電位が低電位となる。ここで、信号RESの電位が高電位である期間は、クロック信号CLK_{j2}の電位、又はクロック信号CLK_{j3}の電位の少なくとも一方が低電位となるように、信号RESの電位を制御する。

[0223]

順序回路150aは、例えば図14Bに示す方法で駆動させることができる。これにより、トランジスタ22と同様に、トランジスタ62のゲートソース間に電圧ストレスがかかる期間を短くすることができる。これにより、トランジスタ62の電気特性の変動、例えばしきい値電圧の変動を抑制することができる。よって、順序回路150aを有する表示装置は、信頼性が高い表示装置とすることができる。

[0224]

図30に示す順序回路150bは、順序回路110b、回路151b、及びトランジスタ28を有する。回路151bは、回路151aの変形例であり、トランジスタ185、及びトランジスタ186を有する点が、回路151aと異なる。

[0225]

トランジスタ185のソース又はドレインの一方は、トランジスタ61のソース又はドレインの一方、及びトランジスタ62のソース又はドレインの一方と電氣的に接続される。トランジスタ185のソース又はドレインの他方は、トランジスタ186のソース又はドレインの一方と電氣的に接続される。トランジスタ186のソース又はドレインの他方には、低電位が供給される。トランジスタ185のゲートには、クロック信号CLK_{j2}が入力される。トランジスタ186のゲートには、クロック信号CLK_{j3}が入力される。

[0226]

順序回路150として順序回路150bを適用することにより、信号OUTの電位、及び信号GOUTの電位が意図しない電位となることに起因する、シフトレジスタ回路140aの誤動作を防止することができる。したがって、シフトレジスタ回路140aを有する表示装置は、信頼性が高い表示装置とすることができる。

[0227]

図31に示す順序回路150cは、順序回路110c、回路151c、及びトランジスタ28を有する。回路151cは、回路51cと同様の構成とすることができる。

[0228]

順序回路150cは、例えば図21Bに示す方法で駆動させることができる。これにより、トランジスタ21のしきい値電圧の影響を受けることなく、クロック信号CLK_{j1}の高電位を信号OUTとして出力することができる。また、トランジスタ61のしきい値電圧の影響を受けることなく、信号PWCの高電位を信号GOUTとして出力することができる。これにより、電源電位の種類を増やすことなく、出力性能の高い順序回路150を実現することができる。

[0229]

図32に示す順序回路150dは、順序回路110d、回路151d、及びトランジスタ28を有する。回路151dは、回路151cの変形例であり、トランジスタ66のゲートにクロック信号CLK_{j5}が入力される点が、回路151cと異なる。

[0230]

トランジスタ66のゲートにクロック信号CLK_{j5}を入力することにより、トランジスタ66の

ゲートソース間に電圧ストレスがかかる期間を短くすることができる。これにより、順序回路50dと同様に、トランジスタ66の電気特性の変動、例えばしきい値電圧の変動を抑制することができる。これにより、順序回路150dを有する表示装置は、信頼性が高い表示装置とすることができる。

[0231]

また、順序回路50dと同様に、クロック信号をトランジスタ66のゲートに入力することにより、他の信号と独立して電位が制御される信号をトランジスタ66のゲートに入力する場合より、順序回路150の駆動の制御を簡易に行うことができる。なお、トランジスタ66のゲートに、他の信号と独立して電位が制御される信号を入力してもよい。この場合、例えばトランジスタ66のゲート電位が低電位である期間を長くすることができるため、トランジスタ66のゲートソース間に電圧ストレスがかかる期間を短くすることができる。よって、順序回路150dを有する表示装置の信頼性をさらに高めることができる。

[0232]

図33に示す順序回路150eは、順序回路110e、回路151e、及びトランジスタ28を有する。回路151eは、回路151dの変形例であり、トランジスタ185、及びトランジスタ186を有する点が、回路151dと異なる。回路151eは、回路151bの構成と回路151dの構成を組み合わせた構成である。

[0233]

<発光素子>

以下では、図25Bに示す発光素子572の構成例、及び作製方法の一例について説明する。

[0234]

図34Aは、図25Aに示す表示部502の構成例を示す上面概略図である。表示部502は、赤色を呈する発光素子572R、緑色を呈する発光素子572G、及び青色を呈する発光素子572Bをそれぞれ複数有する。図34Aでは、各発光素子の区別を簡単にするため、各発光素子の発光領域内にR、G、Bの符号を付している。また、図34Aに示す構成については、赤色(R)、緑色(G)、及び青色(B)の3つの色を有する構成について例示したがこれに限定されない。例えば、4つ以上の色を有する構成としてもよい。また、表示部502に設けられる発光素子572が、例えば全て同じ色の光を発してもよい。例えば、表示部502に設けられる全ての発光素子572が、白色光を発してもよい。

[0235]

本明細書等において、各色の発光素子（ここでは青(B)、緑(G)、及び赤(R)）で、発光層を作り分ける、又は発光層を塗り分ける構造をSBS(Side By Side)構造と呼ぶ場合がある。また、本明細書等において、白色光を発することのできる発光素子を白色発光素子（白色発光デバイスともいう）と呼ぶ場合がある。なお、白色発光素子は、着色層（たとえば、カラーフィルタ）と組み合わせることで、表示装置はフルカラー表示を行うことができる。

[0236]

発光素子572R、発光素子572G、及び発光素子572Bは、それぞれマトリクス状に配列している。図34Aは、一方向に同一の色の発光素子が配列する、いわゆるストライプ配列を示している。なお、発光素子の配列方法はこれに限られず、デルタ配列、又はジグザグ配列等の配列方法を適用してもよいし、ペンタイル配列を用いることもできる。

[0237]

発光素子572R、発光素子572G、及び発光素子572Bとしては、OLED (Organic Light Emitting Diode)、又はQLED (Quantum-dot Light Emitting Diode)等の有機EL素子を用いることが好ましい。EL素子が有する発光物質としては、蛍光を発する物質(蛍光材料)、燐光を発する物質(燐光材料)、無機化合物(例えば量子ドット材料)、及び熱活性化遅延蛍光を示す物質(熱活性化遅延蛍光(TADF: Thermally activated delayed fluorescence)材料)等が挙げられる。なお、TADF材料としては、一重項励起状態と三重項励起状態間が熱平衡状態にある材料を用いてもよい。このようなTADF材料は発光寿命(励起寿命)が短くなるため、発光素子における高輝度領域での効率低下を抑制することができる。

[0238]

また、発光素子572R、発光素子572G、及び発光素子572Bとして、マイクロLED等のLEDを用いることもできる。

[0239]

図34Bは、図34A中の一点鎖線A1-A2に対応する断面概略図である。

[0240]

図34Bには、発光素子572R、発光素子572G、及び発光素子572Bの断面を示している。発光素子572R、発光素子572G、及び発光素子572Bは、それぞれ基板451上に設けられ、画素電極として機能する導電層772、及び共通電極として機能する導電層788を有する。

[0241]

本明細書等において、画素電極として機能する導電層を下部電極という場合があり、共通電極として機能する導電層を上部電極という場合がある。例えば、導電層772は下部電極といえることができ、導電層788は上部電極といえることができる。なお、画素電極として機能する導電層を上部電極といい、共通電極として機能する導電層を下部電極という場合もある。

[0242]

発光素子572Rは、画素電極として機能する導電層772と共通電極として機能する導電層788との間に、EL層786Rを有する。また、発光素子572Gは、導電層772と導電層788との間にEL層786Gを有し、発光素子572Bは、導電層772と導電層788との間にEL層786Bを有する。

[0243]

EL層786Rは、少なくとも赤色の波長域に強度を有する光を発する発光性の有機化合物を有する。EL層786Gは、少なくとも緑色の波長域に強度を有する光を発する発光性の有機化合物を有する。EL層786Bは、少なくとも青色の波長域に強度を有する光を発する発光性の有機化合物を有する。

[0244]

EL層786R、EL層786G、及びEL層786Bは、それぞれ発光性の有機化合物を含む層(発光層)のほかに、電子注入性の高い物質を含む層(電子注入層)、電子輸送性の高い物質を含む層(電子輸送層)、正孔注入性の高い物質を含む層(正孔注入層)、及び正孔輸送性の高い物質を含む層(正孔輸送層)のうち、一以上を有していてもよい。

[0245]

画素電極として機能する導電層772は、発光素子毎に設けられている。また、共通電極として機能する導電層788は、各発光素子に共通な一続きの層として設けられている。画素電極として機能する導電層772と共通電極として機能する導電層788のいずれか一方に可視光に対して透光性を有する導電膜を用い、他方に反射性を有する導電膜を用いる。画素電極として機能する導電層772を透光性、共通電極として機能する導電層788を反射性とすることで、下面射出型（ボトムエミッション型）の表示装置とすることができ、反対に画素電極として機能する導電層772を反射性、共通電極として機能する導電層788を透光性とすることで、上面射出型（トップエミッション型）の表示装置とすることができる。なお、画素電極として機能する導電層772と共通電極として機能する導電層788の双方を透光性とすることで、両面射出型（デュアルエミッション型）の表示装置とすることもできる。

[0246]

画素電極として機能する導電層772の端部を覆って、絶縁層472が設けられている。絶縁層472の端部は、テーパー形状であることが好ましい。

[0247]

EL層786R、EL層786G、及びEL層786Bは、それぞれ画素電極として機能する導電層772の上面に接する領域と、絶縁層472の表面に接する領域と、を有する。また、EL層786R、EL層786G、及びEL層786Bの端部は、絶縁層472上に位置する。

[0248]

図34Bに示すように、異なる色の発光素子間において、2つのEL層の間に隙間が設けられている。このように、EL層786R、EL層786G、及びEL層786Bが、互いに接しないように設けられていることが好ましい。これにより、隣接する2つのEL層を介して電流が流れ、意図しない発光が生じること（クロストークともいう）を好適に防ぐことができる。そのため、コントラストを高めることができ、表示品位の高い表示装置を実現できる。

[0249]

EL層786R、EL層786G、及びEL層786Bは、フォトリソグラフィ法等を用いて作り分けることができる。これにより、メタルマスク等のシャドーマスクを用いずに、上記作り分けを行うことができる。よって、高精細の表示装置を実現することができる。なお、EL層786R、EL層786G、及びEL層786Gの作り分けを、メタルマスク等を用いて行ってもよい。

[0250]

前述のように、高精細な表示装置500では画素密度が高くなるため、例えば図25Aに示す走査線GLには単位長さ当たり多数の画素回路501が電氣的に接続されることになる。よって、例えば図25Bに示すトランジスタ552のゲート容量に起因して、走査線GLの配線容量が大きくなる。また、表示装置500に多数の画素回路501が設けられると、走査線GLの本数も多くなる（Xが大きくなる）。よって、表示装置500のフレーム周波数を確保するためには、例えば走査線駆動回路504aが走査線GLに信号を供給してから次の行の走査線GLに信号が供給されるまでの期間である、1水平期間を短くする必要がある。以上、走査線GLの配線容量が大きくなること、及び1水平期間が短くなることにより、走査線GLを充電する際に走査線GLに流れる電流を大きくする必要があるが生じる。

[0251]

走査線GLに流す電流を大きくするためには、信号GOUTの電位を高くすることとなる。これにより、例えば信号GOUTの電位が高電位である場合に、走査線GLと電氣的に接続されるトランジスタ62に大きな電圧ストレスがかかる。よって、表示装置500が高精細な表示装置、又は画素数が多い表示装置である場合は、表示装置500の信頼性が低下する場合がある。

[0252]

例えば表示装置500が有する走査線駆動回路504aに適用することができる半導体装置は、前述のように走査線GLと電氣的に接続されるトランジスタ62等に電圧ストレスがかかる期間を短くすることができる。よって、例えばトランジスタ62の電気特性の変動、例えばしきい値電圧の変動を抑制することができる。したがって、本発明の一態様の半導体装置を適用することにより、表示装置の信頼性を高めることができる。以上より、表示装置500は、高精細で画素数が多く、且つ信頼性が高い表示装置とすることができる。

[0253]

また、共通電極として機能する導電層788上には、発光素子572R、発光素子572G、及び発光素子572Bを覆って、保護層471が設けられている。保護層471は、上方から各発光素子に水等の不純物が拡散することを防ぐ機能を有する。

[0254]

保護層471としては、例えば、少なくとも無機絶縁膜を含む単層構造又は積層構造とすることができる。無機絶縁膜としては、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ハフニウム膜等の酸化物膜又は窒化物膜が挙げられる。又は、保護層471としてインジウムガリウム酸化物、又はインジウムガリウム亜鉛酸化物等の半導体材料を用いてもよい。なお、保護層471としては、原子層堆積（ALD: Atomic Layer Deposition）法、化学気相成長（CVD: Chemical Vapor Deposition）法、及びスパッタリング法を用いて形成すればよい。なお、保護層471として、無機絶縁膜を含む構成について例示したがこれに限定されない。例えば、保護層471として、無機絶縁膜と、有機絶縁膜との積層構造としてもよい。

[0255]

本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0256]

図34Cには、上記とは異なる例を示している。

[0257]

図34Cに示す例では、白色の光を呈する発光素子572Wを有する。発光素子572Wは、画素電極として機能する導電層772と、共通電極として機能する導電層788と、の間に白色の光を呈するEL層786Wを有する。

[0258]

EL層786Wとしては、例えば、それぞれの発光色が補色の関係になるように選択された、2以上の発光層を積層した構成とすることができる。また、発光層間に電荷発生層を挟持した、積層型のEL層を用いてもよい。

[0259]

図34Cには、3つの発光素子572Wを並べて示している。左の発光素子572Wの上部には着色層264Rが設けられている。着色層264Rは、赤色の光を透過するバンドパスフィルタとして機能する。同様に、中央の発光素子572Wの上部には緑色の光を透過する着色層264Gが設けられ、右の発光素子572Wの上部には、青色の光を透過する着色層264Bが設けられている。これにより、表示装置はカラーの画像を表示することができる。

[0260]

ここで、隣接する2つの発光素子572W間において、EL層786Wと、共通電極として機能する導電層788とがそれぞれ分離されている。これにより、隣接する2つの発光素子572Wにおいて、EL層786Wを介して電流が流れ、意図しない発光が生じることを好適に防ぐことができる。特に、EL層786Wとして、2つの発光層の間に電荷発生層が設けられる、積層型のEL素子を用いた場合では、精細度が高いほど、すなわち隣接画素間の距離が小さいほど、クロストークの影響が顕著となり、コントラストが低下してしまうといった問題がある。そのため、このような構成とすることで、高い精細度と、高いコントラストを兼ね備える表示装置を実現できる。

[0261]

導電層788が分離されている場合、保護層471は、導電層788の上面及び端部を覆うように設けられる。なお、保護層471は、EL層786Rの側面端部、EL層786Gの側面端部、及びEL層786Bの側面端部を覆うように設けられてもよい。

[0262]

EL層786W及び共通電極として機能する導電層788の分離は、フォトリソグラフィ法により行うことが好ましい。これにより、発光素子間の距離を狭めることができるため、例えばメタルマスク等のシャドーマスクを用いた場合と比較して、高い開口率の表示装置を実現することができる。

[0263]

本明細書等において、メタルマスク、又はFMM（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、又はFMMを用いることなく作製されるデバイスをMML（メタルマスクレス）構造のデバイスと呼称する場合がある。

[0264]

なお、ボトムエミッション型の発光素子の場合は、画素電極として機能する導電層772と基板451との間に、着色層を設ければよい。

[0265]

図35Aには、上記とは異なる例を示している。具体的には、図35Aは、発光素子572R、発光素子572G、及び発光素子572Bの間に絶縁層472が設けられていない構成である。当該構成とすることで、開口率の高い表示装置とすることができる。また、保護層471が発光素子572R、発光素子572G、及び発光素子572Bの側面を覆う構成である。当該構成とすることで、発光素子572R、発光素子572G、及び発光素子572Bの側面から入り込みうる不純物（代表的には水）を抑制することができる。また、図35Aに示す構成においては、導電層772、EL層786R、及び導電層788の上面形状が概略一致する。このような構造は、導電層772、EL層786R、及び導電層788を形成したのち、レジストマスク等を用いて一括して形

成することができる。このようなプロセスは、導電層 788 をマスクとして、EL 層 786 R、及び導電層 772 を加工することから、セルフアラインパターンニングと呼称することもできる。なお、ここでは発光素子 572 R について説明したが、発光素子 572 G、及び発光素子 572 B についても同様の構成とすることができる。

[0266]

また、図 35A においては、保護層 471 上に、さらに保護層 458 が設けられる構造である。例えば、保護層 471 を被覆性の高い膜を成膜可能な装置（代表的には ALD 装置）を用いて形成し、保護層 458 を保護層 471 よりも被覆性の低い膜が成膜される装置（代表的にはスパッタリング装置）にて形成することにより、保護層 471 と、保護層 458 との間に領域 459 を設けることができる。なお、別言すると、領域 459 は、発光素子 572 R と発光素子 572 G との間、及び発光素子 572 G と発光素子 572 B との間に位置する。

[0267]

なお、領域 459 は、例えば空気、窒素、酸素、二酸化炭素、及び第 18 族元素（代表的には、ヘリウム、ネオン、アルゴン、キセノン、及びクリプトン）の中から選ばれるいずれか又は複数を有する。また、領域 459 には、例えば保護層 458 の成膜時に用いる気体が含まれる場合がある。例えば、スパッタリング法により保護層 458 を成膜する場合、領域 459 には上記の第 18 族元素のいずれか又は複数が含まれる場合がある。なお、領域 459 に気体が含まれる場合、例えばガスクロマトグラフィー法により気体の同定を行うことができる。又は、スパッタリング法により保護層 458 を成膜する場合、保護層 458 の膜中にもスパッタリング時に用いたガスが含まれる場合がある。この場合、保護層 458 を例えばエネルギー分散型 X 線分析（EDX 分析）により解析した際に、アルゴン等の元素が検出される場合がある。

[0268]

また、領域 459 の屈折率が、保護層 471 の屈折率より低い場合、発光素子 572 R、発光素子 572 G、又は発光素子 572 B から発せられる光が、保護層 471 と領域 459 との界面で反射する。これにより、発光素子 572 R、発光素子 572 G、又は発光素子 572 B から発せられる光が、隣接する画素に入射することを抑制することができる。これにより、異なる色の光が混色することを抑制できるため、表示装置の画質を高めることができる。

[0269]

なお、図 35A に示す構成の場合、発光素子 572 R と発光素子 572 G との間の領域、又は発光素子 572 G と発光素子 572 B との間の領域（以下では、単に発光素子間の距離とする）を狭くすることができる。具体的には、発光素子間の距離を、 $1\text{ }\mu\text{m}$ 以下、好ましくは 500 nm 以下、さらに好ましくは、 200 nm 以下、 100 nm 以下、 90 nm 以下、 70 nm 以下、 50 nm 以下、 30 nm 以下、 20 nm 以下、 15 nm 以下、又は 10 nm 以下とすることができる。別言すると、発光素子 572 R の側面と発光素子 572 G の側面との距離、又は発光素子 572 G の側面と発光素子 572 B の側面との距離が $1\text{ }\mu\text{m}$ 以下の領域を有し、好ましくは $0.5\text{ }\mu\text{m}$ (500 nm) 以下の領域を有し、さらに好ましくは 100 nm 以下の領域を有する。

[0270]

また、例えば、領域 459 が空気を有する場合、発光素子間を素子分離しつつ、各発光素子からの光の混色及びクロストーク等を抑制することができる。

[0271]

また、領域４５９は、例えば有機材料を有する絶縁層を有していてもよい。例えば、領域４５９には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等が充填されていてもよい。また、領域４５９には、感光性の樹脂が充填されていてもよい。感光性の樹脂としてはフォトレジストを用いてもよい。感光性の樹脂は、ポジ型の材料、又はネガ型の材料を用いることができる。

[０２７２]

また、領域４５９は、例えば無機材料を有する絶縁層を有していてもよい。当該無機材料としては、例えば、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜等の無機絶縁膜を用いることができる。また、上記無機絶縁膜は単層構造であってもよく、積層構造であってもよい。酸化絶縁膜としては、酸化シリコン膜、酸化アルミニウム膜、酸化マグネシウム膜、インジウムガリウム亜鉛酸化物膜、酸化ガリウム膜、酸化ゲルマニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ランタン膜、酸化ネオジム膜、酸化ハフニウム膜、及び酸化タンタル膜等が挙げられる。窒化絶縁膜としては、窒化シリコン膜、及び窒化アルミニウム膜等が挙げられる。酸化窒化絶縁膜としては、酸化窒化シリコン膜、及び酸化窒化アルミニウム膜等が挙げられる。窒化酸化絶縁膜としては、窒化酸化シリコン膜、及び窒化酸化アルミニウム膜等が挙げられる。

[０２７３]

また、領域４５９は、上述の無機材料、及び有機材料の双方を有すると好ましい。例えば、領域４５９としては、例えば酸化アルミニウム膜と、当該酸化アルミニウム膜上のフォトレジストとの積層構造が挙げられる。

[０２７４]

図３５Ｂには、上記とは異なる例を示している。具体的には、図３５Ｂに示す構成は、図３５Ａに示す構成と、基板４５１の構成が異なる。基板４５１は、発光素子５７２Ｒ、発光素子５７２Ｇ、及び発光素子５７２Ｂの加工の際に、上面の一部が削れ、凹部を有する。また、当該凹部には、保護層４７１が形成される。別言すると、断面視において、導電層７７２の下面よりも保護層４７１の下面の方が下に位置する領域を有する。当該領域を有することで、下方から発光素子５７２Ｒ、発光素子５７２Ｇ、及び発光素子５７２Ｂに不純物（代表的には水）が入り込むことを好適に抑制することができる。なお、上記の凹部としては、発光素子５７２Ｒ、発光素子５７２Ｇ、及び発光素子５７２Ｂの加工の際に各発光素子の側面に付着しうる不純物（残渣物ともいう）をウェットエッチング等により除去する際に形成されうる。上記の残渣物を除去したのち、各発光素子の側面を保護層４７１で覆うことにより、信頼性の高い表示装置とすることができる。

[０２７５]

また、図３５Ｃには、上記とは異なる例を示している。具体的には、図３５Ｃに示す構成は、図３５Ｂに示す構成に加え、絶縁層７７６と、マイクロレンズアレイ７７７と、を有する。絶縁層７７６は、接着層としての機能を有する。絶縁層７７６の屈折率がマイクロレンズアレイ７７７の屈折率よりも低い場合、マイクロレンズアレイ７７７は、発光素子５７２Ｒ、発光素子５７２Ｇ、及び発光素子５７２Ｂから発せられる光を集光することができる場合がある。発光素子５７２Ｒ、発光素子５７２Ｇ、及び発光素子５７２Ｂから発せられる光を集光すると、特に使用者が表示装置の表示面の正面から当該表示面を見る場合において、明るい画像を視認することができ、好適である。なお、絶縁層７７６としては、紫外線硬化型等の光硬化型接着剤、反応硬化型接着剤、熱硬化型接

着剤、又は嫌気型接着剤等の各種硬化型接着剤を用いることができる。これら接着剤としてはエポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラル）樹脂、及びEVA（エチレンビニルアセテート）樹脂等が挙げられる。特に、エポキシ樹脂等の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

[0276]

図36A乃至図36Cは、発光素子572の構成例を示す断面図であり、EL層786のより詳細な構成例を示している。発光素子572が有するEL層786は、図36Aに示すように、層420、発光層411、及び層430等の複数の層で構成することができる。層420は、例えば電子注入層、及び電子輸送層等を有することができる。発光層411は、例えば発光性の化合物を有する。層430は、例えば正孔注入層、及び正孔輸送層等を有することができる。

[0277]

一対の電極間に設けられた層420、発光層411、及び層430を有する構成は単一の発光ユニットとして機能することができ、本明細書では図36Aの構成をシングル構造と呼ぶ。

[0278]

なお、図36Bに示すように層420と層430との間に複数の発光層（発光層411、発光層412、及び発光層413）が設けられる構成もシングル構造のバリエーションである。

[0279]

また、図36Cに示すように、複数の発光ユニット（EL層786a、及びEL層786b）が中間層（電荷発生層）440を介して直列に接続された構成を本明細書ではタンデム構造と呼ぶ。なお、本明細書等においては、図36Cに示すような構成をタンデム構造として呼称するが、これに限定されず、例えば、タンデム構造をスタック構造と呼んでもよい。なお、タンデム構造とすることで、高輝度発光が可能な発光素子とすることができる。

[0280]

発光素子572の発光色は、EL層786を構成する材料によって、赤、緑、青、シアン、マゼンタ、黄、又は白等とすることができる。また、発光素子572にマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

[0281]

白色の光を発する発光素子は、発光層に2種類以上の発光物質を含む構成とすることが好ましい。白色発光を得るには、2以上の発光物質の各々の発光が補色の関係となるような発光物質を選択すればよい。

[0282]

発光層には、R（赤）、G（緑）、B（青）、Y（黄）、又はO（橙）等の発光を示す発光物質を2種類以上含むことが好ましい。

[0283]

また、上述の白色発光素子（シングル構造又はタンデム構造）と、SBS構造の発光素子と、を比較した場合、SBS構造の発光素子は、白色発光素子よりも消費電力を低くすることができる。消費電力を低く抑えたい場合は、SBS構造の発光素子を用いると好適である。一方で、白色発光素子は、製造プロセスがSBS構造の発光素子よりも簡単であるため、製造コストを低くすることができる、又は製造歩留まりを高くすることができるため、好適である。

[0284]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせる実施することができる。

[0285]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態、又は実施例と適宜組み合わせる実施することができる。

[0286]

(実施の形態2)

本実施の形態では、本発明の一態様の表示装置について説明する。

[0287]

本実施の形態の表示装置は、高解像度な表示装置又は大型な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用等のモニタ、デジタルサイネージ、パチンコ機等の大型ゲーム機等の比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置の表示部に用いることができる。

[0288]

[表示装置500A]

図37は、図25Aに示す表示装置500に適用することができる表示装置500Aの構成例を示す斜視図である。図38Aは、表示装置500Aの構成例を示す断面図である。

[0289]

表示装置500Aは、基板652と基板651とが貼り合わされた構成を有する。図37では、基板652を破線で明示している。

[0290]

表示装置500Aは、表示部502、回路664、及び配線665等を有する。図37では表示装置500AにIC673及びFPC672が実装されている例を示している。そのため、図37に示す構成は、表示装置500A、IC(集積回路)、及びFPCを有する表示モジュールということもできる。

[0291]

回路664としては、例えば走査線駆動回路を用いることができる。

[0292]

配線665は、表示部502及び回路664に信号及び電力を供給する機能を有する。当該信号及び電力は、FPC672を介して外部から配線665に入力される。又は、IC673から配線665に入力される。

[0293]

図37では、COG方式又はCOF(Chip On Film)方式等により、基板651にIC673が設けられている例を示す。IC673は、例えば走査線駆動回路又は信号線駆動回路等を有するICを適用できる。なお、表示装置500A及び表示モジュールは、ICを設けない構成としてもよい。また、ICを、例えばCOF方式により、FPCに実装してもよい。

[0294]

図38Aに、表示装置500Aの、FPC672を含む領域の一部、回路664の一部、表示部502の一部、及び、端部を含む領域の一部をそれぞれ切断したときの断面の一例を示す。

[0295]

図38Aに示す表示装置500Aは、基板651と基板652の間に、トランジスタ201、トランジスタ205、発光素子572R、発光素子572G、及び発光素子572B等を有する。ここで、図38Aでは、発光素子572R、発光素子572G、及び発光素子572Bとして、図35Aの構成を示している。

[0296]

保護層458と基板652は接着層642を介して接着されている。発光素子の封止には、固体封止構造又は中空封止構造等が適用できる。図38Aでは、基板652と基板651との間の空間が、接着層642で充填されており、固体封止構造が適用されている。又は、当該空間を不活性ガス（窒素又はアルゴン等）で充填し、中空封止構造を適用してもよい。このとき、接着層642は、発光素子と重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層642とは異なる樹脂で充填してもよい。

[0297]

導電層772は、絶縁層214に設けられた開口を介して、トランジスタ205が有する導電層222bと接続されている。

[0298]

表示装置500Aは、トップエミッション型である。発光素子が発する光は、基板652側に射出される。基板652には、可視光に対する透過性が高い材料を用いることが好ましい。

[0299]

トランジスタ201及びトランジスタ205は、いずれも基板651上に形成されている。これらのトランジスタは、同一の材料及び同一の工程により作製することができる。

[0300]

基板651上には、絶縁層211、絶縁層213、絶縁層215、及び絶縁層214がこの順で設けられている。絶縁層211は、その一部が各トランジスタのゲート絶縁層として機能する。絶縁層213は、その一部が各トランジスタのゲート絶縁層として機能する。絶縁層215は、トランジスタを覆って設けられる。絶縁層214は、トランジスタを覆って設けられ、平坦化層としての機能を有する。なお、ゲート絶縁層の数及びトランジスタを覆う絶縁層の数は限定されず、それぞれ単層であっても2層以上であってもよい。

[0301]

トランジスタを覆う絶縁層の少なくとも一層に、水及び水素等の不純物が拡散しにくい材料を用いることが好ましい。これにより、絶縁層をバリア層として機能させることができる。このような構成とすることで、トランジスタに外部から不純物が拡散することを効果的に抑制でき、表示装置の信頼性を高めることができる。

[0302]

絶縁層211、絶縁層213、及び絶縁層215としては、それぞれ、無機絶縁膜を用いることが好ましい。無機絶縁膜としては、例えば、窒化シリコン膜、酸化窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、又は窒化アルミニウム膜等を用いることができる。また、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タン

タル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜、及び酸化ネオジム膜等を用いてもよい。また、上述の絶縁膜を2以上積層して用いてもよい。

[0303]

ここで、有機絶縁膜は、無機絶縁膜に比べてバリア性が低いことが多い。そのため、有機絶縁膜は、表示装置500Aの端部近傍に開口を有することが好ましい。これにより、表示装置500Aの端部から有機絶縁膜を介して不純物が入り込むことを抑制することができる。又は、有機絶縁膜の端部が表示装置500Aの端部よりも内側にくるように有機絶縁膜を形成し、表示装置500Aの端部に有機絶縁膜が露出しないようにしてもよい。

[0304]

平坦化層として機能する絶縁層214には、有機絶縁膜が好適である。有機絶縁膜に用いることができる材料としては、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等が挙げられる。また、絶縁層214を、有機絶縁膜と、無機絶縁膜との積層構造にしてもよい。

[0305]

図38Aに示す領域228では、絶縁層214に開口が形成されている。これにより、絶縁層214に有機絶縁膜を用いる場合であっても、絶縁層214を介して外部から表示部502に不純物が入り込むことを抑制できる。したがって、表示装置500Aの信頼性を高めることができる。

[0306]

トランジスタ201及びトランジスタ205は、ゲート電極として機能する導電層221、ゲート絶縁層として機能する絶縁層211、ソース電極及びドレイン電極として機能する導電層222a及び導電層222b、半導体層231、ゲート絶縁層として機能する絶縁層213、並びに、ゲート電極として機能する導電層223を有する。ここでは、同一の導電膜を加工して得られる複数の層に、同じハッチングパターンを付している。絶縁層211は、導電層221と半導体層231との間に位置する。絶縁層213は、導電層223と半導体層231との間に位置する。

[0307]

本実施の形態の表示装置が有するトランジスタの構造は特に限定されない。例えば、プレーナ型のトランジスタ、スタガ型のトランジスタ、又は逆スタガ型のトランジスタ等を用いることができる。また、トップゲート型又はボトムゲート型のいずれのトランジスタ構造としてもよい。又は、チャンネルが形成される半導体層の上下にゲートが設けられていてもよい。

[0308]

トランジスタ201及びトランジスタ205には、チャンネルが形成される半導体層を2つのゲートで挟持する構成が適用されている。2つのゲートを接続し、これらに同一の信号を供給することによりトランジスタを駆動してもよい。又は、2つのゲートのうち、一方に閾値電圧を制御するための電位を与え、他方に駆動のための電位を与えることで、トランジスタの閾値電圧を制御してもよい。

[0309]

トランジスタに用いる半導体材料の結晶性についても特に限定されず、非晶質半導体、結晶性を有する半導体（微結晶半導体、多結晶半導体、単結晶半導体、又は一部に結晶領域を有する半導体）のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制でき

るため好ましい。

[0310]

トランジスタの半導体層は、金属酸化物を有することが好ましい。つまり、本実施の形態の表示装置は、金属酸化物をチャネル形成領域に用いたトランジスタ（以下、OSトランジスタ）を用いることが好ましい。又は、トランジスタの半導体層は、シリコンを有していてもよい。シリコンとしては、アモルファスシリコン、及び結晶性のシリコン（低温ポリシリコン、及び単結晶シリコン等）等が挙げられる。

[0311]

半導体層は、例えば、インジウムと、M（Mは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、及びマグネシウムから選ばれた一種又は複数種）と、亜鉛と、を有することが好ましい。特に、Mは、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種又は複数種であることが好ましい。

[0312]

特に、半導体層として、インジウム（In）、ガリウム（Ga）、及び亜鉛（Zn）を含む酸化物（IGZOとも記す）を用いることが好ましい。

[0313]

半導体層がIn-M-Zn酸化物の場合、当該In-M-Zn酸化物におけるInの原子数比はMの原子数比以上であることが好ましい。このようなIn-M-Zn酸化物の金属元素の原子数比として、In:M:Zn=1:1:1又はその近傍の組成、In:M:Zn=1:1:1.2又はその近傍の組成、In:M:Zn=2:1:3又はその近傍の組成、In:M:Zn=3:1:2又はその近傍の組成、In:M:Zn=4:2:3又はその近傍の組成、In:M:Zn=4:2:4.1又はその近傍の組成、In:M:Zn=5:1:3又はその近傍の組成、In:M:Zn=5:1:6又はその近傍の組成、In:M:Zn=5:1:7又はその近傍の組成、In:M:Zn=5:1:8又はその近傍の組成、In:M:Zn=6:1:6又はその近傍の組成、In:M:Zn=5:2:5又はその近傍の組成、等が挙げられる。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。

[0314]

例えば、原子数比がIn:Ga:Zn=4:2:3又はその近傍の組成と記載する場合、Inの原子数比を4としたとき、Gaの原子数比が1以上3以下であり、Znの原子数比が2以上4以下である場合を含む。また、原子数比がIn:Ga:Zn=5:1:6又はその近傍の組成と記載する場合、Inの原子数比を5としたときに、Gaの原子数比が0.1より大きく2以下であり、Znの原子数比が5以上7以下である場合を含む。また、原子数比がIn:Ga:Zn=1:1:1又はその近傍の組成と記載する場合、Inの原子数比を1としたときに、Gaの原子数比が0.1より大きく2以下であり、Znの原子数比が0.1より大きく2以下である場合を含む。

[0315]

回路664が有するトランジスタと、表示部502が有するトランジスタは、同じ構造であってもよく、異なる構造であってもよい。回路664が有する複数のトランジスタの構造は、全て同じであってもよく、2種類以上であってもよい。同様に、表示部502が有する複数のトランジスタの

構造は、全て同じであってもよく、２種類以上あってもよい。

[0316]

図３８Ｂ及び図３８Ｃに、トランジスタの他の構成例を示す。

[0317]

トランジスタ２０９及びトランジスタ２１０は、ゲート電極として機能する導電層２２１、ゲート絶縁層として機能する絶縁層２１１、チャネル形成領域２３１ｉ及び一对の低抵抗領域２３１ｎを有する半導体層２３１、一对の低抵抗領域２３１ｎの一方と接続する導電層２２２ａ、一对の低抵抗領域２３１ｎの他方と接続する導電層２２２ｂ、ゲート絶縁層として機能する絶縁層２２５、ゲート電極として機能する導電層２２３、並びに、導電層２２３を覆う絶縁層２１５を有する。絶縁層２１１は、少なくとも導電層２２１とチャネル形成領域２３１ｉとの間に位置する。絶縁層２２５は、少なくとも導電層２２３とチャネル形成領域２３１ｉとの間に位置する。さらに、トランジスタを覆う絶縁層２１８を設けてもよい。

[0318]

図３８Ｂに示すトランジスタ２０９では、絶縁層２２５が半導体層２３１の上面及び側面を覆う例を示す。導電層２２２ａ及び導電層２２２ｂは、それぞれ、絶縁層２２５及び絶縁層２１５に設けられた開口を介して低抵抗領域２３１ｎと接続される。導電層２２２ａ及び導電層２２２ｂのうち、一方はソース電極として機能し、他方はドレイン電極として機能する。

[0319]

一方、図３８Ｃに示すトランジスタ２１０では、絶縁層２２５は、半導体層２３１のチャネル形成領域２３１ｉと重なり、低抵抗領域２３１ｎとは重ならない。例えば、導電層２２３をマスクとして絶縁層２２５を加工することで、図３８Ｃに示す構造を作製できる。図３８Ｃでは、絶縁層２２５及び導電層２２３を覆って絶縁層２１５が設けられ、絶縁層２１５の開口を介して、導電層２２２ａ及び導電層２２２ｂがそれぞれ低抵抗領域２３１ｎと接続されている。

[0320]

基板６５１の、基板６５２が重ならない領域には、端子部５０７が設けられている。端子部５０７では、配線６６５が導電層６６６及び接続層２４２を介してＦＰＣ６７２と電氣的に接続されている。導電層６６６は、導電層７７２と同一の導電膜を加工して得られた導電膜とすることができる。端子部５０７の上面では、導電層６６６が露出している。これにより、配線６６５とＦＰＣ６７２とを接続層２４２を介して電氣的に接続することができる。

[0321]

基板６５２の基板６５１側の面には、遮光層６１７を設けることが好ましい。また、基板６５２の外側には各種光学部材を配置することができる。光学部材としては、偏光板、位相差板、光拡散層（拡散フィルム等）、反射防止層、及び集光フィルム等が挙げられる。また、基板６５２の外側には、ゴミの付着を抑制する帯電防止膜、汚れを付着しにくくする撥水性の膜、使用に伴う傷の発生を抑制するハードコート膜、又は衝撃吸収層等を配置してもよい。

[0322]

発光素子を覆う保護層４７１及び保護層４５８を設けることで、発光素子に水等の不純物が入り込むことを抑制し、発光素子の信頼性を高めることができる。

[0323]

表示装置５００Ａの端部近傍の領域２２８において、絶縁層２１４の開口を介して、絶縁層２１

5と保護層471又は保護層458とが互いに接することが好ましい。特に、無機絶縁膜同士が接することが好ましい。これにより、有機絶縁膜を介して外部から表示部502に不純物が入り込むことを抑制することができる。したがって、表示装置500Aの信頼性を高めることができる。

[0324]

基板651及び基板652には、それぞれ、ガラス、石英、セラミック、サファイア、樹脂、金属、合金、半導体等を用いることができる。発光素子からの光を取り出す側の基板には、該光を透過する材料を用いる。基板651及び基板652に可撓性を有する材料を用いると、表示装置の可撓性を高めることができる。また、基板651又は基板652として偏光板を用いてもよい。

[0325]

基板651及び基板652としては、それぞれ、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）等のポリエステル樹脂、ポリアクリロニトリル樹脂、アクリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート（PC）樹脂、ポリエーテルスルホン（PES）樹脂、ポリアミド樹脂（ナイロン、アラミド等）、ポリシロキサン樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリウレタン樹脂、ポリ塩化ビニル樹脂、ポリ塩化ビニリデン樹脂、ポリプロピレン樹脂、ポリテトラフルオロエチレン（PTFE）樹脂、ABS樹脂、セルロースナノファイバー等を用いることができる。基板651及び基板652の一方又は双方に、可撓性を有する程度の厚さのガラスを用いてもよい。

[0326]

なお、表示装置に円偏光板を重ねる場合、表示装置が有する基板には、光学等方性の高い基板を用いることが好ましい。光学等方性が高い基板は、複屈折が小さい（複屈折量が小さい）、ともいえる。

[0327]

光学等方性が高い基板のリタデーション（位相差）値の絶対値は、30nm以下が好ましく、20nm以下がより好ましく、10nm以下がさらに好ましい。

[0328]

光学等方性が高いフィルムとしては、トリアセチルセルロース（TAC、セルローストリアセテートともいう）フィルム、シクロオレフィンポリマー（COP）フィルム、シクロオレフィンコポリマー（COC）フィルム、及びアクリルフィルム等が挙げられる。

[0329]

また、基板としてフィルムを用いる場合、フィルムが吸水することで、表示パネルにしわが発生する等の形状変化が生じる恐れがある。そのため、基板には、吸水率の低いフィルムを用いることが好ましい。例えば、吸水率が1%以下のフィルムを用いることが好ましく、0.1%以下のフィルムを用いることがより好ましく、0.01%以下のフィルムを用いることがさらに好ましい。

[0330]

接着層642としては、絶縁層776に用いることができる材料と同様の材料を用いることができる。

[0331]

接続層242としては、異方性導電フィルム（ACF：Anisotropic Conductive Film）、又は異方性導電ペースト（ACP：Anisotropic Conductive Paste）等を用いることができる。

[0332]

トランジスタのゲート電極、ソース電極及びドレイン電極のほか、表示装置を構成する各種配線及び電極等の導電層に用いることのできる材料としては、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、及びタングステン等の金属、並びに、当該金属を主成分とする合金等が挙げられる。これらの材料を含む膜を単層で、又は積層構造として用いることができる。

[0333]

また、透光性を有する導電材料としては、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを含む酸化亜鉛等の導電性酸化物又はグラフェンを用いることができる。又は、金、銀、白金、マグネシウム、ニッケル、タングステン、クロム、モリブデン、鉄、コバルト、銅、パラジウム、及びチタン等の金属材料、又は、該金属材料を含む合金材料を用いることができる。又は、該金属材料の窒化物（例えば、窒化チタン）等を用いてもよい。なお、金属材料、又は、合金材料（又はそれらの窒化物）を用いる場合には、透光性を有する程度に薄くすることが好ましい。また、上記材料の積層膜を導電層として用いることができる。例えば、銀とマグネシウムの合金とインジウムスズ酸化物の積層膜を用いると、導電性を高めることができるため好ましい。これらは、表示装置を構成する各種配線及び電極等の導電層、及び、発光素子が有する導電層（画素電極又は共通電極として機能する導電層）にも用いることができる。

[0334]

各絶縁層に用いることのできる絶縁材料としては、例えば、アクリル樹脂及びエポキシ樹脂等の樹脂、並びに酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、及び酸化アルミニウム等の無機絶縁材料が挙げられる。

[0335]

[表示装置500B]

図39に示す表示装置500Bは、ボトムエミッション型である点で、表示装置500Aと主に相違する。なお、表示装置500Aと同様の部分については説明を省略する。

[0336]

発光素子が発する光は、基板651側に射出される。基板651には、可視光に対する透過性が高い材料を用いることが好ましい。一方、基板652に用いる材料の透光性は問わない。

[0337]

基板651とトランジスタ201との間、及び基板651とトランジスタ205との間には、遮光層617を形成することが好ましい。図39では、基板651上に遮光層617が設けられ、遮光層617上に絶縁層653が設けられ、絶縁層653上にトランジスタ201、及びトランジスタ205等が設けられている例を示す。

[0338]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせる実施することができる。

[0339]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態、又は実施例と適宜組み合わせる実施することができる。

[0340]

(実施の形態 3)

本実施の形態では、本発明の一態様の表示装置について説明する。

[0341]

本実施の形態の表示装置は、高精細な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、腕時計型、ブレスレット型等の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイ等のVR向け機器、メガネ型のAR向け機器等、頭部に装着可能なウェアラブル機器の表示部に用いることができる。

[0342]

[表示モジュール]

図40Aに、表示モジュール280の斜視図を示す。表示モジュール280は、表示装置500Cと、FPC290と、を有する。なお、表示モジュール280が有する表示装置は表示装置500Cに限られず、後述する表示装置500D、又は表示装置500Eであってもよい。

[0343]

表示モジュール280は、基板291及び基板292を有する。表示モジュール280は、表示部502を有する。表示部502は、表示モジュール280における画像を表示する領域であり、後述する画素部284に設けられる各画素からの光を視認できる領域である。

[0344]

図40Bに、基板291側の構成を模式的に示した斜視図を示している。基板291上には、回路部282と、回路部282上の画素回路部283と、画素回路部283上の画素部284と、が積層されている。また、基板291上の画素部284と重ならない部分に、FPC290と接続するための端子部507が設けられている。端子部507と回路部282とは、複数の配線により構成される配線部286により電氣的に接続されている。

[0345]

画素部284は、周期的に配列した複数の画素284aを有する。図40Bの右側に、1つの画素284aの拡大図を示している。画素284aは、発光色が互いに異なる発光素子572R、発光素子572G、及び発光素子572Bを有する。複数の発光素子は、図40Bに示すようにストライプ配列で配置することができる。また、デルタ配列、又はペンタイル配列等、様々な発光素子の配列方法を適用することができる。

[0346]

画素回路部283は、周期的に配列した複数の画素回路283aを有する。

[0347]

1つの画素回路283aは、1つの画素284aが有する3つの発光素子の発光を制御する回路である。1つの画素回路283aは、1つの発光素子の発光を制御する回路が3つ設けられる構成としてもよい。例えば、画素回路283aは、1つの発光素子につき、1つの選択トランジスタと、1つの電流制御用トランジスタ（駆動トランジスタ）と、容量と、を少なくとも有する構成とすることができる。このとき、選択トランジスタのゲートにはゲート信号が、ソース又はドレインの一方にはビデオ信号が、それぞれ入力される。これにより、アクティブマトリクス型の表示装置が実現されている。

[0348]

回路部282は、画素回路部283の各画素回路283aを駆動する回路を有する。例えば、ゲ

ート線駆動回路、及び、ソース線駆動回路の一方又は双方を有することが好ましい。このほか、演算回路、メモリ回路、及び電源回路等の少なくとも一つを有していてもよい。

[0349]

FPC290は、外部から回路部282にビデオ信号又は電源電位等を供給するための配線として機能する。また、FPC290上にICが実装されていてもよい。

[0350]

表示モジュール280は、画素部284の下側に画素回路部283及び回路部282の一方又は双方が積層された構成とすることができるため、表示部502の開口率（有効表示面積比）を極めて高くすることができる。例えば表示部502の開口率は、40%以上100%未満、好ましくは50%以上95%以下、より好ましくは60%以上95%以下とすることができる。また、画素284aを極めて高密度に配置することが可能で、表示部502の精細度を極めて高くすることができる。例えば、表示部502には、2000ppi以上、好ましくは3000ppi以上、より好ましくは5000ppi以上、さらに好ましくは6000ppi以上であって、20000ppi以下、又は30000ppi以下の精細度で、画素284aが配置されることが好ましい。

[0351]

このような表示モジュール280は、極めて高精細であることから、ヘッドマウントディスプレイ等のVR向け機器、又はメガネ型のAR向け機器に好適に用いることができる。例えば、レンズを通して表示モジュール280の表示部を視認する構成の場合であっても、表示モジュール280は極めて高精細な表示部502を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を行うことができる。また、表示モジュール280はこれに限られず、比較的小型の表示部を有する電子機器に好適に用いることができる。例えば腕時計等の装着型の電子機器の表示部に好適に用いることができる。

[0352]

[表示装置500C]

図41に示す表示装置500Cは、基板301、発光素子572R、発光素子572G、発光素子572B、容量240、及びトランジスタ310を有する。基板301は、図40A及び図40Bにおける基板291に相当する。

[0353]

トランジスタ310は、基板301にチャネル形成領域を有するトランジスタである。基板301としては、例えば単結晶シリコン基板等の半導体基板を用いることができる。トランジスタ310は、基板301の一部、導電層311、低抵抗領域312、絶縁層313、及び絶縁層314を有する。導電層311は、ゲート電極として機能する。絶縁層313は、基板301と導電層311の間に位置し、ゲート絶縁層として機能する。低抵抗領域312は、基板301に不純物がドーピングされた領域であり、ソース又はドレインとして機能する。絶縁層314は、導電層311の側面を覆って設けられる。

[0354]

また、基板301に埋め込まれるように、隣接する2つのトランジスタ310の間に素子分離層315が設けられている。

[0355]

また、トランジスタ310を覆って絶縁層261が設けられ、絶縁層261上に容量240が設

けられている。

[0356]

容量240は、導電層241と、導電層245と、これらの間に位置する絶縁層243を有する。導電層241は容量240の一方の電極として機能し、導電層245は容量240の他方の電極として機能し、絶縁層243は容量240の誘電体として機能する。

[0357]

導電層241は絶縁層261上に設けられ、絶縁層254に埋め込まれている。導電層241は、絶縁層261に埋め込まれたプラグ271によってトランジスタ310のソース又はドレインの一方と電気的に接続されている。絶縁層243は導電層241を覆って設けられる。導電層245は、絶縁層243を介して導電層241と重なる領域に設けられている。

[0358]

容量240を覆って、絶縁層255aが設けられ、絶縁層255a上に絶縁層255bが設けられ、絶縁層255b上に発光素子572R、発光素子572G、及び発光素子572B等が設けられている。本実施の形態では、発光素子572R、発光素子572G、及び発光素子572Bが、図35Bに示す積層構造を有する例を示す。導電層772、EL層786R、EL層786G、EL層786B、及び導電層788の側面は、それぞれ、保護層471によって覆われている。保護層471上には保護層458が設けられており、保護層458上には、樹脂層622によって基板620が貼り合わされている。基板620は、図40Aにおける基板292に相当する。

[0359]

絶縁層255a、及び絶縁層255bとしては、それぞれ、酸化絶縁膜、窒化絶縁膜、酸化窒化絶縁膜、及び窒化酸化絶縁膜等の各種無機絶縁膜を好適に用いることができる。絶縁層255aとしては、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜等の酸化絶縁膜又は酸化窒化絶縁膜を用いることが好ましい。絶縁層255bとしては、窒化シリコン膜、窒化酸化シリコン膜等の窒化絶縁膜又は窒化酸化絶縁膜を用いることが好ましい。より具体的には、絶縁層255aとして酸化シリコン膜を用い、絶縁層255bとして窒化シリコン膜を用いることが好ましい。絶縁層255bは、エッチング保護膜としての機能を有することが好ましい。又は、絶縁層255aとして、窒化絶縁膜又は窒化酸化絶縁膜を用い、絶縁層255bとして、酸化絶縁膜又は酸化窒化絶縁膜を用いてもよい。本実施の形態では、絶縁層255bに凹部が設けられている例を示すが、絶縁層255bに凹部が設けられていなくてもよい。

[0360]

発光素子の画素電極は、絶縁層255a、絶縁層255b、及び絶縁層243に埋め込まれたプラグ256、絶縁層254に埋め込まれた導電層241、及び絶縁層261に埋め込まれたプラグ271によって、トランジスタ310のソース又はドレインの一方と電気的に接続されている。絶縁層255bの上面の高さと、プラグ256の上面の高さは、一致又は概略一致している。プラグには各種導電材料を用いることができる。

[0361]

[表示装置500D]

図42に示す表示装置500Dは、トランジスタの構成が異なる点で、表示装置500Cと主に相違する。なお、表示装置500Cと同様の部分については説明を省略することがある。

[0362]

トランジスタ 320 は、チャネルが形成される半導体層に、金属酸化物が適用されたトランジスタ（OS トランジスタ）である。

[0363]

トランジスタ 320 は、半導体層 321、絶縁層 323、導電層 324、一对の導電層 325、絶縁層 326、及び、導電層 327 を有する。基板 331 は、図 40A 及び図 40B における基板 291 に相当する。基板 331 としては、絶縁性基板又は半導体基板を用いることができる。

[0364]

基板 331 上に、絶縁層 332 が設けられている。絶縁層 332 は、基板 331 から水又は水素等の不純物がトランジスタ 320 に拡散すること、及び半導体層 321 から絶縁層 332 側に酸素が脱離することを防ぐバリア層として機能する。絶縁層 332 としては、例えば酸化アルミニウム膜、酸化ハフニウム膜、窒化シリコン膜等の、酸化シリコン膜よりも水素又は酸素が拡散しにくい膜を用いることができる。

[0365]

絶縁層 332 上に導電層 327 が設けられ、導電層 327 を覆って絶縁層 326 が設けられている。導電層 327 は、トランジスタ 320 の第 1 のゲート電極として機能し、絶縁層 326 の一部は、第 1 のゲート絶縁層として機能する。絶縁層 326 の少なくとも半導体層 321 と接する部分には、酸化シリコン膜等の酸化物絶縁膜を用いることが好ましい。絶縁層 326 の上面は、平坦化されていることが好ましい。

[0366]

半導体層 321 は、絶縁層 326 上に設けられる。半導体層 321 は、半導体特性を有する金属酸化物膜を有することが好ましい。

[0367]

一对の導電層 325 は、半導体層 321 上に接して設けられ、ソース電極及びドレイン電極として機能する。

[0368]

また、一对の導電層 325 の上面及び側面、並びに半導体層 321 の側面等を覆って絶縁層 328 が設けられ、絶縁層 328 上に絶縁層 264 が設けられている。絶縁層 328 は、半導体層 321 に絶縁層 264 等から水又は水素等の不純物が拡散すること、及び半導体層 321 から絶縁層 328 側に酸素が脱離することを防ぐバリア層として機能する。絶縁層 328 としては、上記絶縁層 332 と同様の絶縁膜を用いることができる。

[0369]

絶縁層 328 及び絶縁層 264 に、半導体層 321 に達する開口が設けられている。当該開口の内部において、絶縁層 264、絶縁層 328、及び導電層 325 の側面、並びに半導体層 321 の上面に接する絶縁層 323 と、導電層 324 とが埋め込まれている。導電層 324 は、第 2 のゲート電極として機能し、絶縁層 323 は第 2 のゲート絶縁層として機能する。

[0370]

導電層 324 の上面、絶縁層 323 の上面、及び絶縁層 264 の上面は、それぞれ高さが一致又は概略一致するように平坦化处理され、これらを覆って絶縁層 329 及び絶縁層 265 が設けられている。

[0371]

絶縁層 264 及び絶縁層 265 は、層間絶縁層として機能する。絶縁層 329 は、トランジスタ 320 に絶縁層 265 等から水又は水素等の不純物が拡散することを防ぐバリア層として機能する。絶縁層 329 としては、上記絶縁層 328 及び絶縁層 332 と同様の絶縁膜を用いることができる。
[0372]

一对の導電層 325 の一方と電氣的に接続するプラグ 274 は、絶縁層 265、絶縁層 329、絶縁層 264、及び絶縁層 328 に埋め込まれるように設けられている。ここで、プラグ 274 は、絶縁層 265、絶縁層 329、絶縁層 264、及び絶縁層 328 のそれぞれの開口の側面、及び導電層 325 の上面の一部を覆う導電層 274a と、導電層 274a の上面に接する導電層 274b とを有することが好ましい。このとき、導電層 274a として、水素及び酸素が拡散しにくい導電材料を用いることが好ましい。

[0373]

表示装置 500D における、絶縁層 254 から基板 620 までの構成は、表示装置 500C と同様である。

[0374]

[表示装置 500E]

図 43 に示す表示装置 500E は、基板 301 にチャンネルが形成されるトランジスタ 310 と、チャンネルが形成される半導体層に金属酸化物を含むトランジスタ 320 とが積層された構成を有する。なお、表示装置 500C、及び表示装置 500D と同様の部分については説明を省略することがある。

[0375]

トランジスタ 310 を覆って絶縁層 261 が設けられ、絶縁層 261 上に導電層 251 が設けられている。また導電層 251 を覆って絶縁層 262 が設けられ、絶縁層 262 上に導電層 252 が設けられている。導電層 251 及び導電層 252 は、それぞれ配線として機能する。また、導電層 252 を覆って絶縁層 263 及び絶縁層 332 が設けられ、絶縁層 332 上にトランジスタ 320 が設けられている。また、トランジスタ 320 を覆って絶縁層 265 が設けられ、絶縁層 265 上に容量 240 が設けられている。容量 240 とトランジスタ 320 とは、プラグ 274 により電氣的に接続されている。

[0376]

トランジスタ 320 は、画素回路を構成するトランジスタとして用いることができる。また、トランジスタ 310 は、画素回路を構成するトランジスタ、又は当該画素回路を駆動するための駆動回路（走査線駆動回路、又は信号線駆動回路等）を構成するトランジスタとして用いることができる。また、トランジスタ 310 及びトランジスタ 320 は、演算回路又は記憶回路等の各種回路を構成するトランジスタとして用いることができる。

[0377]

このような構成とすることで、発光素子の直下に画素回路だけでなく例えば駆動回路を形成することができるため、表示領域の周辺に駆動回路を設ける場合に比べて、表示装置を小型化することが可能となる。

[0378]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせる実施することができる。

[0379]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態、又は実施例と適宜組み合わせる実施することができる。

[0380]

(実施の形態4)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物について説明する。

[0381]

金属酸化物は、少なくともインジウム又は亜鉛を含むことが好ましい。特にインジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、又はスズ等が含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト等から選ばれた一種、又は複数種が含まれていてもよい。

[0382]

また、金属酸化物は、スパッタリング法、有機金属化学気相成長(MOCVD: Metal Organic CVD)法等のCVD法、又は、ALD法等により形成することができる。

[0383]

<結晶構造の分類>

酸化物半導体の結晶構造としては、アモルファス(completely amorphousを含む)、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、CAC(cloud-aligned composite)、単結晶(single crystal)、及び多結晶(polycrystal)等が挙げられる。

[0384]

なお、膜又は基板の結晶構造は、X線回折(XRD: X-Ray Diffraction)スペクトルを用いて評価することができる。例えば、GIXD(Grazing-Incidence XRD)測定で得られるXRDスペクトルを用いて評価することができる。なお、GIXD法は、薄膜法又はSeemann-Bohlin法ともいう。

[0385]

例えば、石英ガラス基板では、XRDスペクトルのピークの形状がほぼ左右対称である。一方で、結晶構造を有するIGZO膜では、XRDスペクトルのピークの形状が左右非対称である。XRDスペクトルのピークの形状が左右非対称であることは、膜中又は基板中の結晶の存在を明示している。別言すると、XRDスペクトルのピークの形状で左右対称でないと、膜又は基板は非晶質状態であるとは言えない。

[0386]

また、膜又は基板の結晶構造は、極微電子線回折法(NBED: Nano Beam Electron Diffraction)によって観察される回折パターン(極微電子線回折パターンともいう)にて評価することができる。例えば、石英ガラス基板の回折パターンでは、ハローが観察され、石英ガラスは、非晶質状態であることが確認できる。また、室温成膜したIGZO膜の回折パターンでは、ハローではなく、スポット状のパターンが観察される。このため、室温成膜したIGZO膜は、結晶状態でもなく、非晶質状態でもない、中間状態であり、非晶質状態であると結

論することはできないと推定される。

[0387]

<<酸化物半導体の構造>>

なお、酸化物半導体は、構造に着目した場合、上記とは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS : amorphous-like oxide semiconductor）、及び非晶質酸化物半導体等が含まれる。

[0388]

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

[0389]

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、又はCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

[0390]

なお、上記複数の結晶領域のそれぞれは、1つ又は複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

[0391]

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタン等から選ばれた一種、又は複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M, Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M, Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM（Transmission Electron Microscope）像において、格子像として観察される。

[0392]

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ 又はそ

の近傍に検出される。なお、 c 軸配向を示すピークの位置 (2θ の値) は、CAAC-OSを構成する金属元素の種類、又は組成等により変動する場合がある。

[0393]

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点(スポット)が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット(ダイレクトスポットともいう)を対称中心として、点対称の位置に観測される。

[0394]

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、又は七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリー)を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、 $a-b$ 面方向において酸素原子の配列が稠密でないこと、及び金属原子が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるためと考えられる。

[0395]

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、及び電界効果移動度の低下等を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

[0396]

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入、欠陥の生成等によって低下する場合があるため、CAAC-OSは不純物及び欠陥(酸素欠損等)の少ない酸化物半導体ともいえる。したがって、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度(所謂サーマルバジェット)に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0397]

[nc-OS]

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、*a-like* OS又は非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、

nc-OS膜に対し、ナノ結晶よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

[0398]

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

[0399]

<<酸化物半導体の構成>>

次に、上述のCAC-OSの詳細について、説明を行う。なお、CAC-OSは材料構成に関する。

[0400]

[CAC-OS]

CAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、又はその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つ又は複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、又はその近傍のサイズで混合した状態をモザイク状、又はパッチ状ともいう。

[0401]

さらに、CAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、CAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

[0402]

ここで、In-Ga-Zn酸化物におけるCAC-OSを構成する金属元素に対するIn、Ga、及びZnの原子数比のそれぞれを、[In]、[Ga]、及び[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAC-OSにおいて、第1の領域は、[In]が、CAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAC-OS膜の組成における[Ga]よりも大きい領域である。又は、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

[0403]

具体的には、上記第1の領域は、インジウム酸化物、又はインジウム亜鉛酸化物等が主成分である領域である。また、上記第2の領域は、ガリウム酸化物、又はガリウム亜鉛酸化物等が主成分で

ある領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

[0404]

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

[0405]

また、In-Ga-Zn酸化物におけるCAC-OSとは、In、Ga、Zn、及びOを含む材料構成において、一部にGaを主成分とする領域と、一部にInを主成分とする領域とが、それぞれモザイク状であり、これらの領域がランダムに存在している構成をいう。よって、CAC-OSは、金属元素が不均一に分布した構造を有していると推測される。

[0406]

CAC-OSは、例えば基板を加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、及び窒素ガスの中から選ばれたいずれか一つ又は複数をいれればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば、成膜時の成膜ガスの総流量に対する酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

[0407]

また、例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、Inを主成分とする領域（第1の領域）と、Gaを主成分とする領域（第2の領域）とが、偏在し、混合している構造を有することが確認できる。

[0408]

ここで、第1の領域は、第2の領域と比較して、導電性が高い領域である。つまり、第1の領域を、キャリアが流れることにより、金属酸化物としての導電性が発現する。したがって、第1の領域が、金属酸化物中にクラウド状に分布することで、高い電界効果移動度（ μ ）が実現できる。

[0409]

一方、第2の領域は、第1の領域と比較して、絶縁性が高い領域である。つまり、第2の領域が、金属酸化物中に分布することで、リーク電流を抑制することができる。

[0410]

したがって、CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能（On/Offさせる機能）をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流（ I_{on} ）、高い電界効果移動度（ μ ）、及び良好なスイッチング動作を実現することができる。

[0411]

また、CAC-OSを用いたトランジスタは、信頼性が高い。したがって、CAC-OSは、表示装置をはじめとするさまざまな半導体装置に最適である。

[0412]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、*a-like* OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0413]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0414]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0415]

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

[0416]

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0417]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0418]

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、及びシリコン等がある。

[0419]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0420]

酸化物半導体において、第14族元素の一つであるシリコン又は炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコン又は炭素の濃度と、酸化物半導体との界面近傍のシリコン又は炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0421]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0422]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。又は、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

[0423]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

[0424]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0425]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態、又は実施例と適宜組み合わせる実施することができる。

[0426]

(実施の形態5)

本実施の形態では、本発明の一態様の電子機器について、図44乃至図48を用いて説明する。

[0427]

本実施の形態の電子機器は、例えば本発明の一態様の表示装置を有する。これにより、精細度の高い表示を行うことができ、且つ信頼性が高い電子機器とすることができる。

[0428]

電子機器としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用等のモニタ、デジタルサイネージ、パチンコ機等の大型ゲーム機等の比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、等が挙げられる。

[0429]

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器としては、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイ等のVR向け機器、メガネ型のAR向け機器、及び、MR向け機器等、頭部に装着可能なウェアラブル機器等が挙げられる。

[0430]

本発明の一態様の表示装置は、HD（画素数1280×720）、FHD（画素数1920×1080）、WQHD（画素数2560×1440）、WQXGA（画素数2560×1600）、4K（画素数3840×2160）、8K（画素数7680×4320）といった極めて高い解像度を有していることが好ましい。特に4K、8K、又はそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度（精細度）は、100ppi以上が好ましく、300ppi以上が好ましく、500ppi以上がより好ましく、1000ppi以上がより好ましく、2000ppi以上がより好ましく、3000ppi以上がより好ましく、5000ppi以上がより好ましく、7000ppi以上がさらに好ましい。このように高い解像度及び高い精細度の一方又は双方を有する表示装置を用いることで、携帯型又は家庭用途等のパーソナルユースの電子機器において、臨場感及び奥行き感等をより高めることが可能となる。また、本発明の一態様の表示装置の画面比率（アスペクト比）については、特に限定はない。例えば、表示装置は、1：1（正方形）、4：3、16：9、又は16：10等様々な画面比率に対応することができる。

[0431]

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）を有していてもよい。

[0432]

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出す機能等を有することができる。

[0433]

図44A、図44B、図45A、図45Bを用いて、頭部に装着可能なウェアラブル機器の一例を説明する。これらウェアラブル機器は、ARのコンテンツを表示する機能、及びVRのコンテンツを表示する機能の一方又は双方を有する。なお、これらウェアラブル機器は、AR、VRの他に、SR又はMRのコンテンツを表示する機能を有していてもよい。電子機器が、AR、VR、SR、又はMR等のコンテンツを表示する機能を有することで、使用者の没入感を高めることが可能となる。

[0434]

図44Aに示す電子機器700A、及び図44Bに示す電子機器700Bは、それぞれ、一対の表示パネル751と、一対の筐体721と、通信部（図示しない）と、一対の装着部723と、制御部（図示しない）と、撮像部（図示しない）と、一対の光学部材753と、フレーム757と、一対の鼻パッド758と、を有する。

[0435]

電子機器 700A、及び電子機器 700B には、本発明の一態様の表示装置を適用することができる。したがって、電子機器 700A、及び電子機器 700B を、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。

[0436]

電子機器 700A、及び電子機器 700B は、それぞれ、光学部材 753 の表示領域 756 に、表示パネル 751 で表示した画像を投影することができる。光学部材 753 は透光性を有するため、使用者は光学部材 753 を通して視認される透過像に重ねて、表示領域に表示された画像を見ることができる。したがって、電子機器 700A、及び電子機器 700B は、それぞれ、AR 表示が可能な電子機器である。

[0437]

電子機器 700A、及び電子機器 700B には、撮像部として、前方を撮像することのできるカメラが設けられていてもよい。また、電子機器 700A、及び電子機器 700B は、それぞれ、ジャイロセンサ等の加速度センサを備えることで、使用者の頭部の向きを検知して、その向きに応じた画像を表示領域 756 に表示することもできる。

[0438]

通信部は無線通信機を有し、当該無線通信機により例えば映像信号を供給することができる。なお、無線通信機に代えて、又は無線通信機に加えて、映像信号及び電源電位が供給されるケーブルを接続可能なコネクタを備えていてもよい。

[0439]

また、電子機器 700A、及び電子機器 700B には、バッテリーが設けられており、無線及び有線的一方又は双方によって充電することができる。

[0440]

筐体 721 には、タッチセンサモジュールが設けられていてもよい。タッチセンサモジュールは、筐体 721 の外側の面がタッチされることを検出する機能を有する。タッチセンサモジュールにより、使用者のタップ操作又はスライド操作等を検出し、様々な処理を実行することができる。例えば、タップ操作によって動画の一時停止又は再開等の処理を実行することが可能となり、スライド操作により、早送り又は早戻しの処理を実行すること等が可能となる。また、2つの筐体 721 のそれぞれにタッチセンサモジュールを設けることで、操作の幅を広げることができる。

[0441]

タッチセンサモジュールとしては、様々なタッチセンサ、又はニアタッチセンサを適用することができる。例えば、静電容量方式、抵抗膜方式、赤外線方式、電磁誘導方式、表面弾性波方式、又は光学方式等、種々の方式を採用することができる。特に、静電容量方式又は光学方式のセンサを、タッチセンサモジュールに適用することが好ましい。

[0442]

光学方式のタッチセンサを用いる場合には、受光素子（受光デバイスともいう）として、光電変換素子（光電変換デバイスともいう）を用いることができる。光電変換素子の活性層には、無機半導体及び有機半導体の一方又は双方を用いることができる。

[0443]

ここで、タッチセンサ又はニアタッチセンサは、対象物（指、手、又はペン等）の近接もしくは接触を検出することができる。タッチセンサは、表示装置と、対象物とが、直接接することで、対

象物を検出できる。また、ニアタッチセンサは、対象物が表示装置に接触しなくても、当該対象物を検出することができる。例えば、表示装置と、対象物との間の距離が0.1 mm以上300 mm以下、好ましくは3 mm以上50 mm以下の範囲で表示装置が当該対象物を検出できる構成であると好ましい。当該構成とすることで、表示装置に対象物が直接触れずに操作することが可能となる、別言すると非接触（タッチレス）で表示装置を操作することが可能となる。上記構成とすることで、表示装置に汚れ、又は傷がつくリスクを低減することができる、又は対象物が表示装置に付着した汚れ（例えば、ゴミ、又はウィルス等）に直接触れずに、表示装置を操作することが可能となる。

[0444]

また、本発明の一態様の表示装置は、リフレッシュレートを可変にすることができる。例えば、表示装置に表示されるコンテンツに応じてリフレッシュレートを調整（例えば、1 Hz以上240 Hz以下の範囲で調整）して消費電力を低減させることができる。また、当該リフレッシュレートに応じて、タッチセンサ、又はニアタッチセンサの駆動周波数を変化させてもよい。例えば、表示装置のリフレッシュレートが120 Hzの場合、タッチセンサ、又はニアタッチセンサの駆動周波数を120 Hzよりも高い周波数（代表的には240 Hz）とする構成とすることができる。当該構成とすることで、低消費電力が実現でき、且つタッチセンサ、又はニアタッチセンサの応答速度を高めることが可能となる。

[0445]

図45Aに示す電子機器800A、及び図45Bに示す電子機器800Bは、それぞれ、一对の表示部820と、筐体821と、通信部822と、一对の装着部823と、制御部824と、一对の撮像部825と、一对のレンズ832と、を有する。

[0446]

電子機器800A、及び電子機器800Bには、本発明の一態様の表示装置を適用することができる。したがって、電子機器800A、及び電子機器800Bを、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。電子機器800A、及び電子機器800Bは極めて精細度の高い表示が可能であるため、使用者に高い没入感を感じさせることができる。

[0447]

表示部820は、筐体821の内部の、レンズ832を通して視認できる位置に設けられる。また、一对の表示部820に異なる画像を表示させることで、視差を用いた3次元表示を行うこともできる。

[0448]

電子機器800A、及び電子機器800Bは、それぞれ、VR向けの電子機器ということができる。電子機器800A又は電子機器800Bを装着した使用者は、レンズ832を通して、表示部820に表示される画像を視認することができる。

[0449]

電子機器800A、及び電子機器800Bは、それぞれ、レンズ832及び表示部820が、使用者の目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ832と表示部820との距離を変えることで、ピントを調整する機構を有していることが好ましい。

[0450]

装着部823により、使用者は電子機器800A又は電子機器800Bを頭部に装着することが

できる。なお、例えば図45Aにおいては、メガネのつる（ジョイント、又はテンプル等ともいう）のような形状として例示しているがこれに限定されない。装着部823は、使用者が装着できればよく、例えば、ヘルメット型又はバンド型の形状としてもよい。

[0451]

撮像部825は、外部の情報を取得する機能を有する。撮像部825が取得したデータは、表示部820に出力することができる。撮像部825には、イメージセンサを用いることができる。また、望遠、及び広角等の複数の画角に対応可能なように複数のカメラを設けてもよい。

[0452]

なお、ここでは撮像部825を有する例を示したが、対象物の距離を測定することのできる測距センサ（以下、検知部ともよぶ）を設ければよい。すなわち、撮像部825は、検知部の一態様である。検知部としては、例えばイメージセンサ、又はライダー（L I D A R : L i g h t D e t e c t i o n a n d R a n g i n g）等の距離画像センサを用いることができる。カメラによって得られた画像と、距離画像センサによって得られた画像とを用いることにより、より多くの情報を取得し、より高精度なジェスチャー操作を可能とすることができる。

[0453]

電子機器800Aは、骨伝導イヤフォンとして機能する振動機構を有していてもよい。例えば、表示部820、筐体821、及び装着部823のいずれか一又は複数に、当該振動機構を有する構成を適用することができる。これにより、別途、ヘッドフォン、イヤフォン、又はスピーカ等の音響機器を必要とせず、電子機器800Aを装着しただけで映像と音声を楽しむことができる。

[0454]

電子機器800A、及び電子機器800Bは、それぞれ、入力端子を有していてもよい。入力端子には、映像出力機器等からの映像信号、及び電子機器内に設けられるバッテリーを充電するための電力等を供給するケーブルを接続することができる。

[0455]

本発明の一態様の電子機器は、イヤフォン750と無線通信を行う機能を有していてもよい。イヤフォン750は、通信部（図示しない）を有し、無線通信機能を有する。イヤフォン750は、無線通信機能により、電子機器から情報（例えば音声データ）を受信することができる。例えば、図44Aに示す電子機器700A、及び図45Aに示す電子機器800Aは、無線通信機能によって、イヤフォン750に情報を送信する機能を有する。

[0456]

また、電子機器がイヤフォン部を有していてもよい。図44Bに示す電子機器700Bは、イヤフォン部727を有する。例えば、イヤフォン部727と制御部とは、互いに有線接続されている構成とすることができる。イヤフォン部727と制御部とをつなぐ配線の一部は、筐体721又は装着部723の内部に配置されていてもよい。

[0457]

同様に、図45Bに示す電子機器800Bは、イヤフォン部827を有する。例えば、イヤフォン部827と制御部824とは、互いに有線接続されている構成とすることができる。イヤフォン部827と制御部824とをつなぐ配線の一部は、筐体821又は装着部823の内部に配置されていてもよい。また、イヤフォン部827と装着部823とがマグネットを有していてもよい。これにより、イヤフォン部827を装着部823に磁力によって固定することができ、収納が容易と

なり好ましい。

[0458]

なお、電子機器は、イヤフォン又はヘッドフォン等を接続することができる音声出力端子を有していてもよい。また、電子機器は、音声入力端子及び音声入力機構の一方又は双方を有していてもよい。音声入力機構としては、例えば、マイク等の集音装置を用いることができる。電子機器が音声入力機構を有することで、電子機器に、いわゆるヘッドセットとしての機能を付与してもよい。

[0459]

このように、本発明の一態様の電子機器としては、メガネ型（電子機器700A、及び電子機器700B等）と、ゴーグル型（電子機器800A、及び電子機器800B等）と、のどちらも好適である。

[0460]

また、本発明の一態様の電子機器は、有線又は無線によって、イヤフォンに情報を送信することができる。

[0461]

図46Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。

[0462]

電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、及び光源6508等を有する。表示部6502はタッチパネル機能を備える。

[0463]

電子機器6500には、本発明の一態様の表示装置を適用することができる。したがって、電子機器6500を、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。

[0464]

図46Bは、筐体6501のマイク6506側の端部を含む断面概略図である。

[0465]

筐体6501の表示面側には透光性を有する保護部材6510が設けられ、筐体6501と保護部材6510に囲まれた空間内に、表示パネル6511、光学部材6512、タッチセンサパネル6513、プリント基板6517、及びバッテリー6518等が配置されている。

[0466]

保護部材6510には、表示パネル6511、光学部材6512、及びタッチセンサパネル6513が接着層（図示しない）により固定されている。

[0467]

表示部6502よりも外側の領域において、表示パネル6511の一部が折り返されており、当該折り返された部分にFPC6515が接続されている。FPC6515には、IC6516が実装されている。FPC6515は、プリント基板6517に設けられた端子に接続されている。

[0468]

図47Aにテレビジョン装置の一例を示す。テレビジョン装置7100は、筐体7101に表示部7000が組み込まれている。ここでは、スタンド7103により筐体7101を支持した構成

を示している。

[0469]

テレビジョン装置7100には、本発明の一態様の表示装置を適用することができる。これにより、テレビジョン装置7100を、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。

[0470]

図47Aに示すテレビジョン装置7100の操作は、筐体7101が備える操作スイッチ、及び別体のリモコン操作機7111により行うことができる。又は、表示部7000にタッチセンサを備えていてもよく、指等で表示部7000に触れることでテレビジョン装置7100を操作してもよい。リモコン操作機7111は、当該リモコン操作機7111から出力する情報を表示する表示部を有していてもよい。リモコン操作機7111が備える操作キー又はタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部7000に表示される映像を操作することができる。

[0471]

なお、テレビジョン装置7100は、受信機及びモデム等を備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士等）の情報通信を行うことも可能である。

[0472]

図47Bに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ7200は、筐体7211、キーボード7212、ポインティングデバイス7213、及び外部接続ポート7214等を有する。筐体7211に、表示部7000が組み込まれている。

[0473]

ノート型パーソナルコンピュータ7200には、本発明の一態様の表示装置を適用することができる。これにより、テレビジョン装置7100を、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。

[0474]

図47C、及び図47Dに、デジタルサイネージの一例を示す。

[0475]

図47Cに示すデジタルサイネージ7300は、筐体7301、表示部7000、及びスピーカ7303等を有する。さらに、LEDランプ、操作キー（電源スイッチ、又は操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

[0476]

図47Dは円柱状の柱7401に取り付けられたデジタルサイネージ7400である。デジタルサイネージ7400は、柱7401の曲面に沿って設けられた表示部7000を有する。

[0477]

デジタルサイネージ7300、及びデジタルサイネージ7400には、本発明の一態様の表示装置を適用することができる。これにより、デジタルサイネージ7300、及びデジタルサイネージ7400を、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。

[0478]

表示部 7000 が広いほど、一度に提供できる情報量を増やすことができる。また、表示部 7000 が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

[0479]

表示部 7000 にタッチパネルを適用することで、表示部 7000 に画像又は動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報もしくは交通情報等の情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

[0480]

また、図 47C、及び図 47D に示すように、デジタルサイネージ 7300 又はデジタルサイネージ 7400 は、使用者が所持するスマートフォン等の情報端末機 7311 又は情報端末機 7411 と無線通信により連携可能であることが好ましい。例えば、表示部 7000 に表示される広告の情報を、情報端末機 7311 又は情報端末機 7411 の画面に表示させることができる。また、情報端末機 7311 又は情報端末機 7411 を操作することで、表示部 7000 の表示を切り替えることができる。

[0481]

また、デジタルサイネージ 7300 又はデジタルサイネージ 7400 に、情報端末機 7311 又は情報端末機 7411 の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

[0482]

図 48A 乃至図 48G に示す電子機器は、筐体 9000、表示部 9001、スピーカ 9003、操作キー 9005（電源スイッチ、又は操作スイッチを含む）、接続端子 9006、センサ 9007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン 9008、等を有する。

[0483]

図 48A 乃至図 48G に示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻等を表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラム又はデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有していてもよい。また、電子機器にカメラ等を設け、静止画又は動画を撮影し、記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

[0484]

図 48A 乃至図 48G に示す電子機器の詳細について、以下説明を行う。

[0485]

図 48A は、携帯情報端末 9101 を示す斜視図である。携帯情報端末 9101 は、例えばスマートフォンとして用いることができる。なお、携帯情報端末 9101 には、スピーカ 9003、接続端子 9006、又はセンサ 9007 等を設けてもよい。また、携帯情報端末 9101 は、文字及び画像情報をその複数の面に表示することができる。図 48A では 3 つのアイコン 9050 を表示

した例を示している。また、破線の矩形で示す情報 9051 を表示部 9001 の他の面に表示することもできる。情報 9051 の一例としては、電子メール、SNS、電話等の着信の通知、電子メール又は SNS 等の題名、送信者名、日時、時刻、バッテリーの残量、電波強度等がある。又は、情報 9051 が表示されている位置にはアイコン 9050 等を表示してもよい。

[0486]

携帯情報端末 9101 には、本発明の一態様の表示装置を適用することができる。これにより、携帯情報端末 9101 を、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。

[0487]

図 48B は、携帯情報端末 9102 を示す斜視図である。携帯情報端末 9102 は、表示部 9001 の 3 面以上に情報を表示する機能を有する。ここでは、情報 9052、情報 9053、情報 9054 がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末 9102 を収納した状態で、携帯情報端末 9102 の上方から観察できる位置に表示された情報 9053 を確認することもできる。使用者は、携帯情報端末 9102 をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

[0488]

携帯情報端末 9102 には、本発明の一態様の表示装置を適用することができる。これにより、携帯情報端末 9102 を、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。

[0489]

図 48C は、タブレット端末 9103 を示す斜視図である。タブレット端末 9103 は、一例として、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションの実行が可能である。タブレット端末 9103 は、筐体 9000 の正面に表示部 9001、カメラ 9002、マイクロフォン 9008、スピーカ 9003 を有し、筐体 9000 の左側面には操作用のボタンとしての操作キー 9005、底面には接続端子 9006 を有する。

[0490]

タブレット端末 9103 には、本発明の一態様の表示装置を適用することができる。これにより、タブレット端末 9103 を、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。

[0491]

図 48D は、腕時計型の携帯情報端末 9200 を示す斜視図である。携帯情報端末 9200 は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部 9001 はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末 9200 は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末 9200 は、接続端子 9006 により、他の情報端末と相互にデータ伝送を行うこと、及び充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[0492]

携帯情報端末 9200 には、本発明の一態様の表示装置を適用することができる。これにより、

携帯情報端末 9200 を、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。

[0493]

図 48E 乃至図 48G は、折り畳み可能な携帯情報端末 9201 を示す斜視図である。また、図 48E は携帯情報端末 9201 を展開した状態、図 48G は折り畳んだ状態、図 48F は図 48E と図 48G の一方から他方に変化する途中の状態の斜視図である。携帯情報端末 9201 は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末 9201 が有する表示部 9001 は、ヒンジ 9055 によって連結された 3 つの筐体 9000 に支持されている。例えば、表示部 9001 は、曲率半径 0.1 mm 以上 150 mm 以下で曲げることができる。

[0494]

携帯情報端末 9201 には、本発明の一態様の表示装置を適用することができる。これにより、携帯情報端末 9201 を、極めて精細度の高い表示が可能で、且つ信頼性が高い電子機器とすることができる。

[0495]

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、又は図面等と適宜組み合わせる実施することができる。

[0496]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態、又は実施例と適宜組み合わせる実施することができる。

[実施例]

[0497]

本実施例では、本発明の一態様の半導体装置が有する順序回路についてシミュレーションを行った結果について説明する。

[0498]

本実施例では、図 28 に示す順序回路 50e、及び図 33 に示す順序回路 150e について、シミュレーションを行った。順序回路 50e についてのシミュレーションでは、図 9B、及び図 23B に示す方法での駆動を想定した。また、順序回路 150e についてのシミュレーションでは、図 21B、及び図 24B に示す方法での駆動を想定した。

[0499]

図 49A 乃至図 49C は、5 段目の順序回路 50e、つまり順序回路 50e__5 における、電位の経時変化のシミュレーション結果を示すグラフである。また、図 50A 乃至図 50C は、5 段目の順序回路 150e、つまり順序回路 150e__5 における、電位の経時変化のシミュレーション結果を示すグラフである。具体的には、図 49A 及び図 50A は配線 Wb の電位の経時変化を示し、図 49B 及び図 50B はノード N の電位の経時変化を示し、図 49C 及び図 50C は信号 OUT の電位の経時変化を示す。

[0500]

図 49A、図 49C、図 50A、及び図 50C より、信号 OUT が高電位となる前、及び信号 OUT が高電位となった後において、配線 Wb の電位が周期的に低電位となることがシミュレーション上で確認された。また、図 49A 乃至図 50C より、配線 Wb の電位、ノード N の電位、及び信

号OUTの電位は、所望の電位となることがシミュレーション上で確認された。

[0501]

以上より、順序回路50e、及び順序回路150eは、シミュレーション上では所望の動作を行うことができることが確認された。

[0502]

本実施例は、少なくともその一部を本明細書中に記載する実施の形態と適宜組み合わせる実施することができる。

[符号の説明]

[0503]

10：順序回路、10a：順序回路、10b：順序回路、10c：順序回路、10d：順序回路、10e：順序回路、11a：回路、11b：回路、11c：回路、11d：回路、11e：回路、12：回路、21：トランジスタ、22：トランジスタ、23：トランジスタ、24：トランジスタ、25：トランジスタ、26：トランジスタ、27：容量、28：トランジスタ、31：トランジスタ、32：トランジスタ、33：トランジスタ、34：トランジスタ、40：シフトレジスタ回路、40a：シフトレジスタ回路、50：順序回路、50a：順序回路、50b：順序回路、50c：順序回路、50d：順序回路、50e：順序回路、51a：回路、51b：回路、51c：回路、51d：回路、51e：回路、61：トランジスタ、62：トランジスタ、65：トランジスタ、66：トランジスタ、67：容量、110：順序回路、110a：順序回路、110b：順序回路、110c：順序回路、110d：順序回路、110e：順序回路、111a：回路、111b：回路、111c：回路、111d：回路、111e：回路、140：シフトレジスタ回路、140a：シフトレジスタ回路、150：順序回路、150a：順序回路、150b：順序回路、150c：順序回路、150d：順序回路、150e：順序回路、151a：回路、151b：回路、151c：回路、151d：回路、151e：回路、171：トランジスタ、172：トランジスタ、173：トランジスタ、174：トランジスタ、175：トランジスタ、176：トランジスタ、185：トランジスタ、186：トランジスタ、201：トランジスタ、205：トランジスタ、209：トランジスタ、210：トランジスタ、211：絶縁層、213：絶縁層、214：絶縁層、215：絶縁層、218：絶縁層、221：導電層、222a：導電層、222b：導電層、223：導電層、225：絶縁層、228：領域、231：半導体層、231i：チャンネル形成領域、231n：低抵抗領域、240：容量、241：導電層、242：接続層、243：絶縁層、245：導電層、251：導電層、252：導電層、254：絶縁層、255a：絶縁層、255b：絶縁層、256：プラグ、261：絶縁層、262：絶縁層、263：絶縁層、264：絶縁層、264B：着色層、264G：着色層、264R：着色層、265：絶縁層、271：プラグ、274：プラグ、274a：導電層、274b：導電層、280：表示モジュール、282：回路部、283：画素回路部、283a：画素回路、284：画素部、284a：画素、286：配線部、290：FPC、291：基板、292：基板、301：基板、310：トランジスタ、311：導電層、312：低抵抗領域、313：絶縁層、314：絶縁層、315：素子分離層、320：トランジスタ、321：半導体層、323：絶縁層、324：導電層、325：導電層、326：絶縁層、327：導電層、328：絶縁層、329：絶縁層、331：基板、332：絶縁層、411：発光層、412：発光層、413：発光層、420：層、430：層、451：基板、458：保護層、459：領域、471：保護層、472：絶縁層、500：表示装

置、500A：表示装置、500B：表示装置、500C：表示装置、500D：表示装置、500E：表示装置、501：画素回路、502：表示部、504：駆動回路部、504a：走査線駆動回路、504b：信号線駆動回路、506：保護回路、507：端子部、552：トランジスタ、554：トランジスタ、562：容量、572：発光素子、572B：発光素子、572G：発光素子、572R：発光素子、572W：発光素子、617：遮光層、620：基板、622：樹脂層、642：接着層、651：基板、652：基板、653：絶縁層、664：回路、665：配線、666：導電層、672：FPC、673：IC、700A：電子機器、700B：電子機器、721：筐体、723：装着部、727：イヤフォン部、750：イヤフォン、751：表示パネル、753：光学部材、756：表示領域、757：フレーム、758：鼻パッド、772：導電層、776：絶縁層、777：マイクロレンズアレイ、786：EL層、786a：EL層、786b：EL層、786B：EL層、786G：EL層、786R：EL層、786W：EL層、788：導電層、800A：電子機器、800B：電子機器、820：表示部、821：筐体、822：通信部、823：装着部、824：制御部、825：撮像部、827：イヤフォン部、832：レンズ、6500：電子機器、6501：筐体、6502：表示部、6503：電源ボタン、6504：ボタン、6505：スピーカ、6506：マイク、6507：カメラ、6508：光源、6510：保護部材、6511：表示パネル、6512：光学部材、6513：タッチセンサパネル、6515：FPC、6516：IC、6517：プリント基板、6518：バッテリー、7000：表示部、7100：テレビジョン装置、7101：筐体、7103：スタンド、7111：リモコン操作機、7200：ノート型パーソナルコンピュータ、7211：筐体、7212：キーボード、7213：ポインティングデバイス、7214：外部接続ポート、7300：デジタルサイネージ、7301：筐体、7303：スピーカ、7311：情報端末機、7400：デジタルサイネージ、7401：柱、7411：情報端末機、9000：筐体、9001：表示部、9002：カメラ、9003：スピーカ、9005：操作キー、9006：接続端子、9007：センサ、9008：マイクロフォン、9050：アイコン、9051：情報、9052：情報、9053：情報、9054：情報、9055：ヒンジ、9101：携帯情報端末、9102：携帯情報端末、9103：タブレット端末、9200：携帯情報端末、9201：携帯情報端末

請求の範囲

[請求項 1]

第 1 の回路と、第 2 の回路と、を有し、

前記第 1 の回路は、第 1 の配線と、第 2 の配線と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、を有し、

前記第 1 のトランジスタのゲートは、前記第 1 の配線を介して、前記第 2 の回路と電氣的に接続され、

前記第 2 のトランジスタのゲート、前記第 3 のトランジスタのソース又はドレインの一方、及び前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 の配線を介して、前記第 2 の回路と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方には、第 1 のクロック信号が入力され、

前記第 2 のトランジスタのソース又はドレインの他方には、第 1 の電位が供給され、

前記第 3 のトランジスタのゲートには、第 2 のクロック信号が入力され、

前記第 3 のトランジスタのソース又はドレインの他方には、第 2 の電位が供給され、

前記第 4 のトランジスタのゲートには、第 3 のクロック信号が入力され、

前記第 4 のトランジスタのソース又はドレインの他方には、第 3 の電位が供給され、

前記第 3 の電位と前記第 1 の電位の差は、前記第 2 の電位と前記第 1 の電位の差より大きく、

前記第 2 の回路は、前記第 2 の回路に入力される、第 1 の信号及び第 2 の信号に基づき、第 1 の制御電位を前記第 1 の配線に供給する機能を有し、

前記第 2 の回路は、前記第 1 の信号、及び前記第 2 の信号に基づき、第 2 の制御電位を前記第 2 の配線に供給する機能を有する半導体装置。

[請求項 2]

請求項 1 において、

前記第 2 の回路は、前記第 2 の信号の電位が前記第 1 の信号の電位の反転電位である場合に、前記第 2 の制御電位を、前記第 1 の制御電位の反転電位とする機能を有する半導体装置。

[請求項 3]

請求項 1 又は 2 において、

前記第 2 の回路は、第 5 のトランジスタと、第 6 のトランジスタと、第 7 のトランジスタと、第 8 のトランジスタと、を有し、

前記第 5 のトランジスタのソース又はドレインの一方、及び前記第 6 のトランジスタのソース又はドレインの一方は、前記第 1 の配線と電氣的に接続され、

前記第 6 のトランジスタのゲート、前記第 7 のトランジスタのソース又はドレインの一方、及び前記第 8 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 5 のトランジスタのゲート、及び前記第 8 のトランジスタのゲートには、前記第 1 の信号が入力され、

前記第 7 のトランジスタのゲートには、前記第 2 の信号が入力される半導体装置。

[請求項 4]

請求項 3 において、

前記第5のトランジスタのソース又はドレインの他方には、第4の電位が供給され、
前記第6のトランジスタのソース又はドレインの他方には、第5の電位が供給され、
前記第7のトランジスタのソース又はドレインの他方には、第6の電位が供給され、
前記第8のトランジスタのソース又はドレインの他方には、第7の電位が供給され、
前記第5の電位は、前記第4の電位の反転電位であり、
前記第7の電位は、前記第6の電位の反転電位である半導体装置。

[請求項5]

請求項1乃至4のいずれか一項において、
前記第1の回路は、第9のトランジスタを有し、
前記第9のトランジスタは、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第9のトランジスタのゲートには、前記第2のクロック信号が入力され、
前記第9のトランジスタのソース又はドレインの他方には、第8の電位が供給され、
前記第2の電位と前記第8の電位の差は、前記第3の電位と前記第8の電位の差より小さい半導体装置。

[請求項6]

第1の回路と、第2の回路と、を有し、
前記第1の回路は、第1の配線と、第2の配線と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、容量と、を有し、
前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、
前記第2のトランジスタのソース又はドレインの一方は、前記容量の一方の電極と電氣的に接続され、
前記第5のトランジスタのソース又はドレインの一方は、前記第1の配線を介して、前記第2の回路と電氣的に接続され、
前記第5のトランジスタのソース又はドレインの他方は、前記第1のトランジスタのゲートと電氣的に接続され、
前記第1のトランジスタのゲートは、前記容量の他方の電極と電氣的に接続され、
前記第2のトランジスタのゲート、前記第3のトランジスタのソース又はドレインの一方、及び前記第4のトランジスタのソース又はドレインの一方は、前記第2の配線を介して、前記第2の回路と電氣的に接続され、
前記第1のトランジスタのソース又はドレインの他方には、第1のクロック信号が入力され、
前記第2のトランジスタのソース又はドレインの他方には、第1の電位が供給され、
前記第3のトランジスタのゲートには、第2のクロック信号が入力され、
前記第3のトランジスタのソース又はドレインの他方には、第2の電位が供給され、
前記第4のトランジスタのゲートには、第3のクロック信号が入力され、
前記第4のトランジスタのソース又はドレインの他方には、第3の電位が供給され、
前記第3の電位と前記第1の電位の差は、前記第2の電位と前記第1の電位の差より大きく、
前記第2の回路は、前記第2の回路に入力される、第1の信号及び第2の信号に基づき、第1の制御電位を前記第1の配線に供給する機能を有し、

前記第2の回路は、前記第1の信号、及び前記第2の信号に基づき、第2の制御電位を前記第2の配線に供給する機能を有する半導体装置。

[請求項7]

請求項6において、

前記第5のトランジスタのゲートには、第4のクロック信号が入力される半導体装置。

[請求項8]

請求項6又は7において、

前記第2の回路は、前記第2の信号の電位が前記第1の信号の電位の反転電位である場合に、前記第2の制御電位を、前記第1の制御電位の反転電位とする機能を有する半導体装置。

[請求項9]

請求項6乃至8のいずれか一項において、

前記第2の回路は、第6のトランジスタと、第7のトランジスタと、第8のトランジスタと、第9のトランジスタと、を有し、

前記第6のトランジスタのソース又はドレインの一方、及び前記第7のトランジスタのソース又はドレインの一方は、前記第1の配線と電氣的に接続され、

前記第7のトランジスタのゲート、前記第8のトランジスタのソース又はドレインの一方、及び前記第9のトランジスタのソース又はドレインの一方は、前記第2の配線と電氣的に接続され、

前記第6のトランジスタのゲート、及び前記第9のトランジスタのゲートには、前記第1の信号が入力され、

前記第8のトランジスタのゲートには、前記第2の信号が入力される半導体装置。

[請求項10]

請求項9において、

前記第6のトランジスタのソース又はドレインの他方には、第4の電位が供給され、

前記第7のトランジスタのソース又はドレインの他方には、第5の電位が供給され、

前記第8のトランジスタのソース又はドレインの他方には、第6の電位が供給され、

前記第9のトランジスタのソース又はドレインの他方には、第7の電位が供給され、

前記第5の電位は、前記第4の電位の反転電位であり、

前記第7の電位は、前記第6の電位の反転電位である半導体装置。

[請求項11]

請求項6乃至10のいずれか一項において、

前記第1の回路は、第10のトランジスタを有し、

前記第10のトランジスタは、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第10のトランジスタのゲートには、前記第2のクロック信号が入力され、

前記第10のトランジスタのソース又はドレインの他方には、第8の電位が供給され、

前記第2の電位と前記第8の電位の差は、前記第3の電位と前記第8の電位の差より小さい半導体装置。

[請求項12]

請求項1乃至11のいずれか一項に記載の半導体装置と、第1の発光素子と、第2の発光素子と、絶縁層と、を有し、

前記第 1 の発光素子は、第 1 の下部電極と、前記第 1 の下部電極上の第 1 の発光層と、前記第 1 の発光層上の第 1 の上部電極と、を有し、

前記第 2 の発光素子は、第 2 の下部電極と、前記第 2 の下部電極上の第 2 の発光層と、前記第 2 の発光層上の第 2 の上部電極と、を有し、

前記絶縁層は、前記第 1 の上部電極の端部と、前記第 2 の上部電極の端部と、を覆うように設けられる表示装置。

[請求項 1 3]

請求項 1 2 に記載の表示装置と、

バッテリー、カメラ、スピーカ、及びマイクのうち少なくとも一つと、を有する電子機器。

図1A

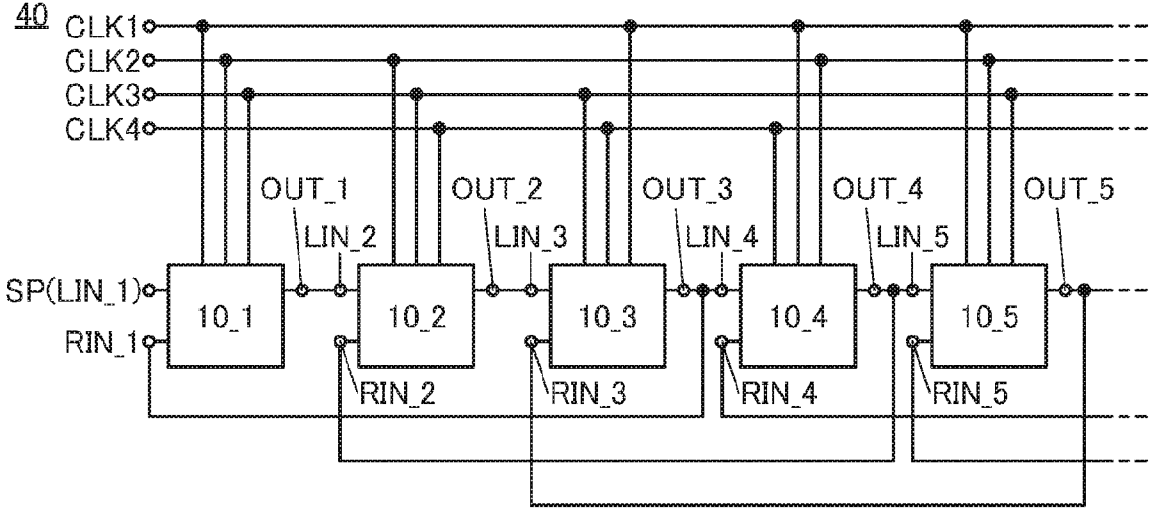


図1B

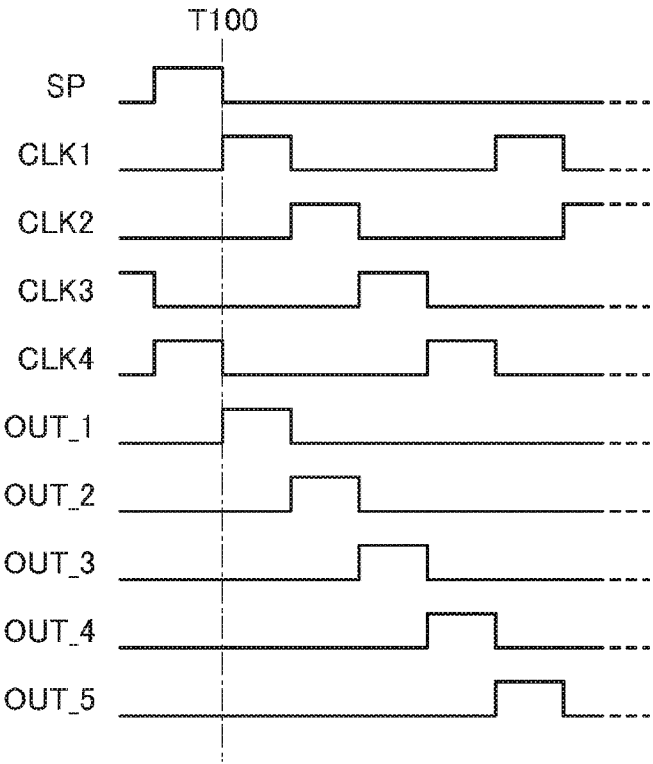


図2

10a

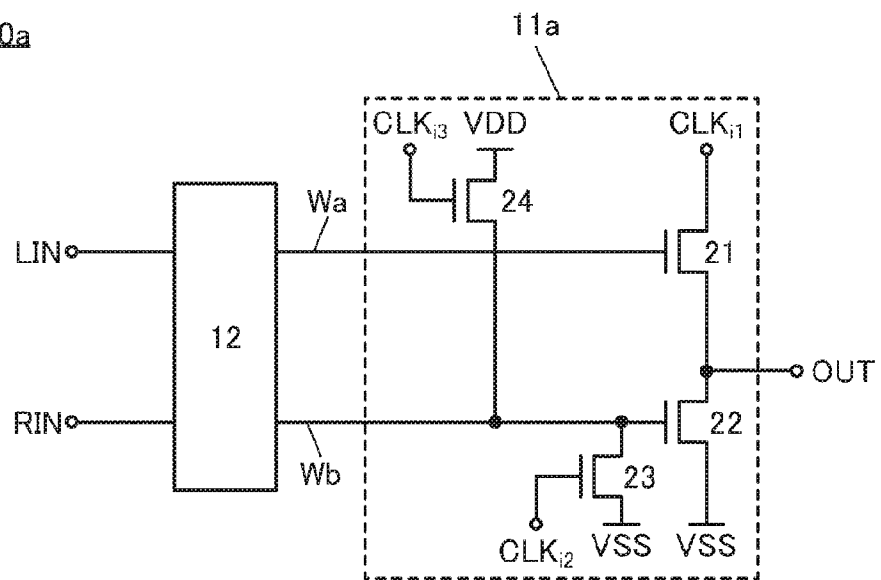


図4A

10a

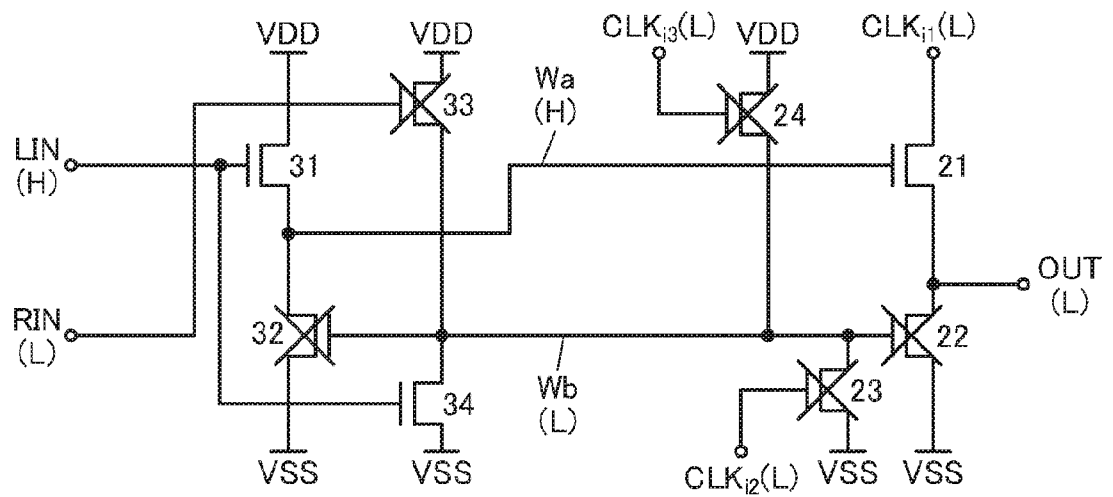


図4B

10a

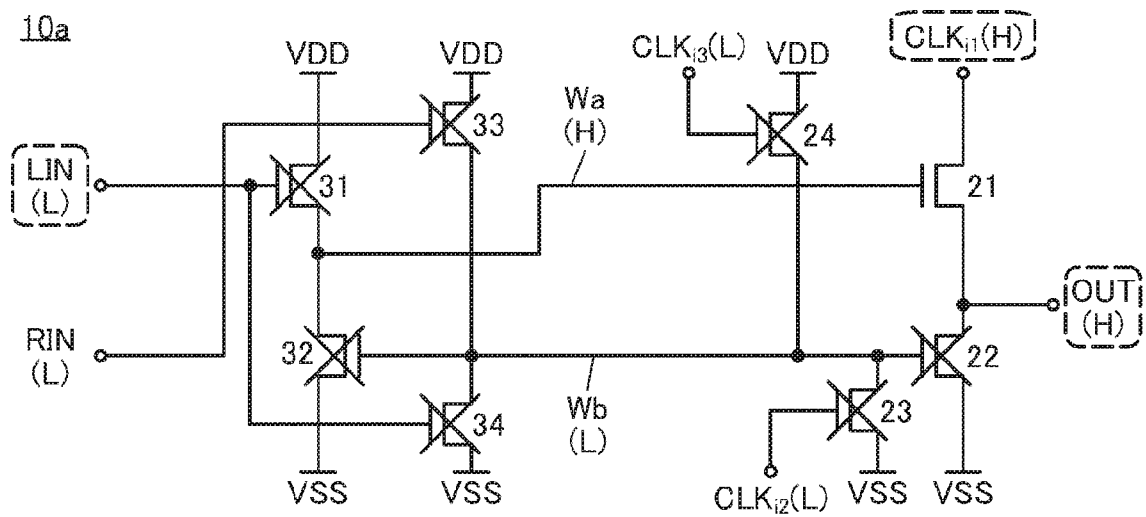


図 5A

10a

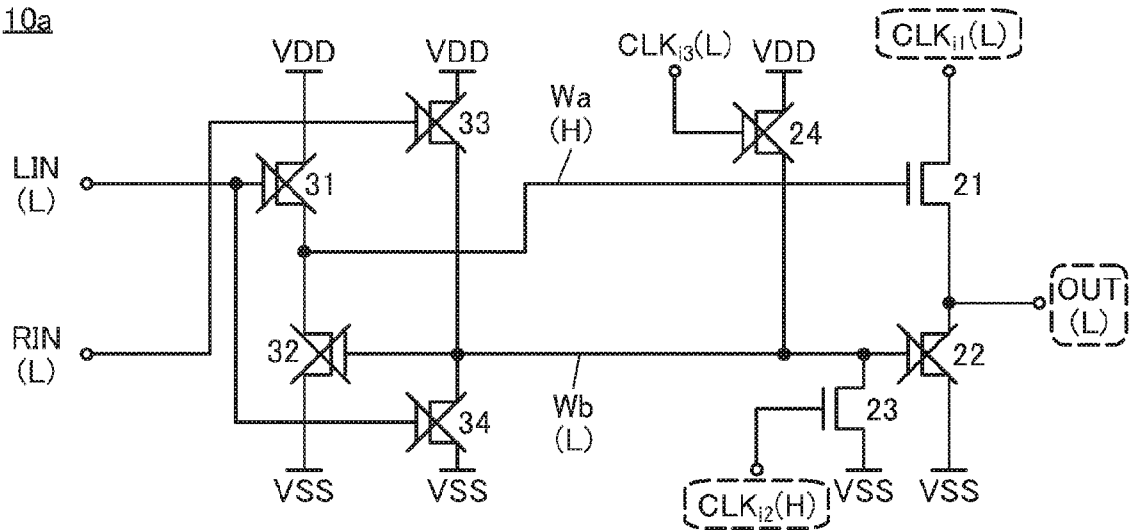
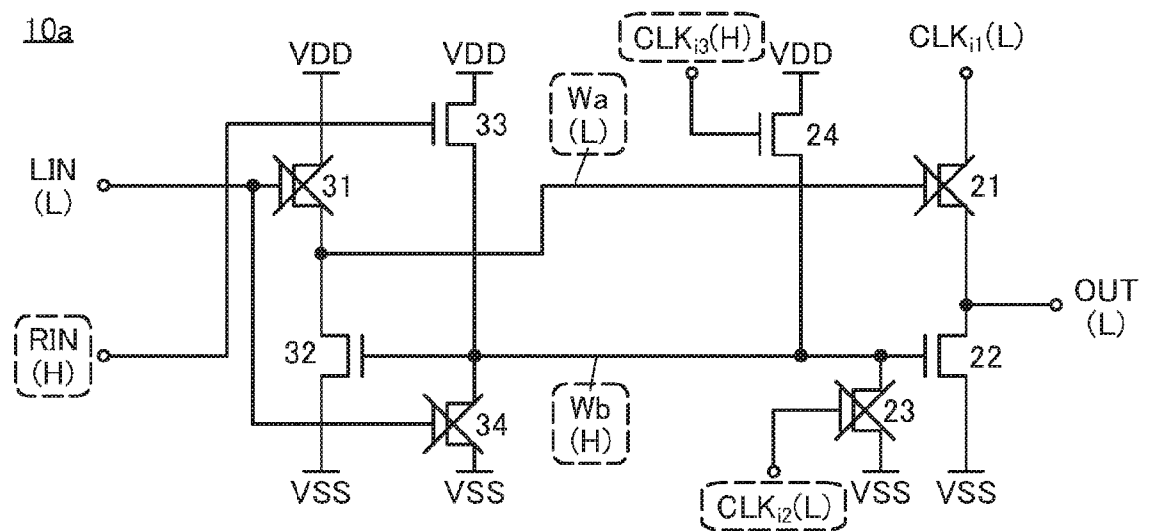


图 5B

10a



10a

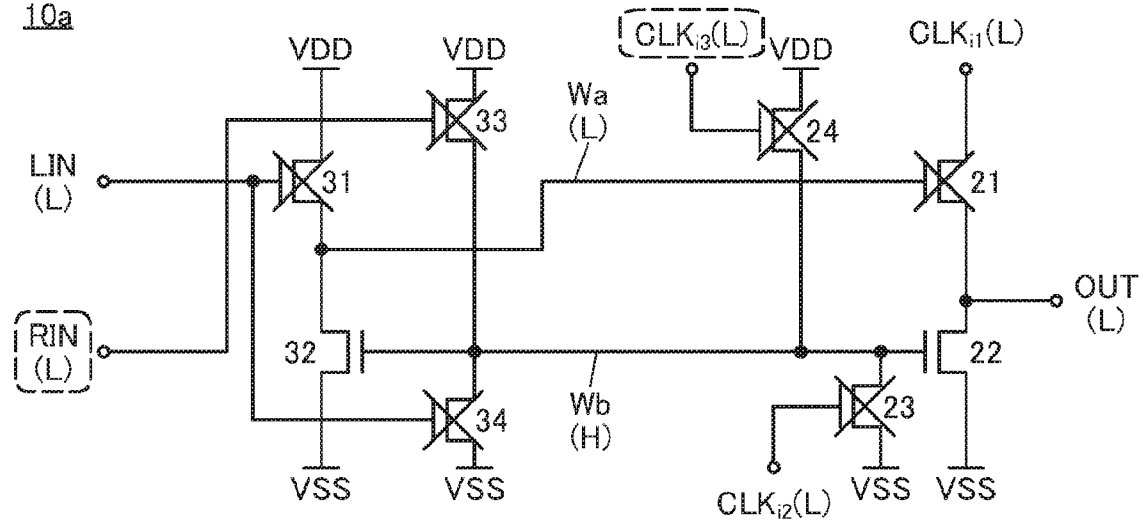


图 6B

10a

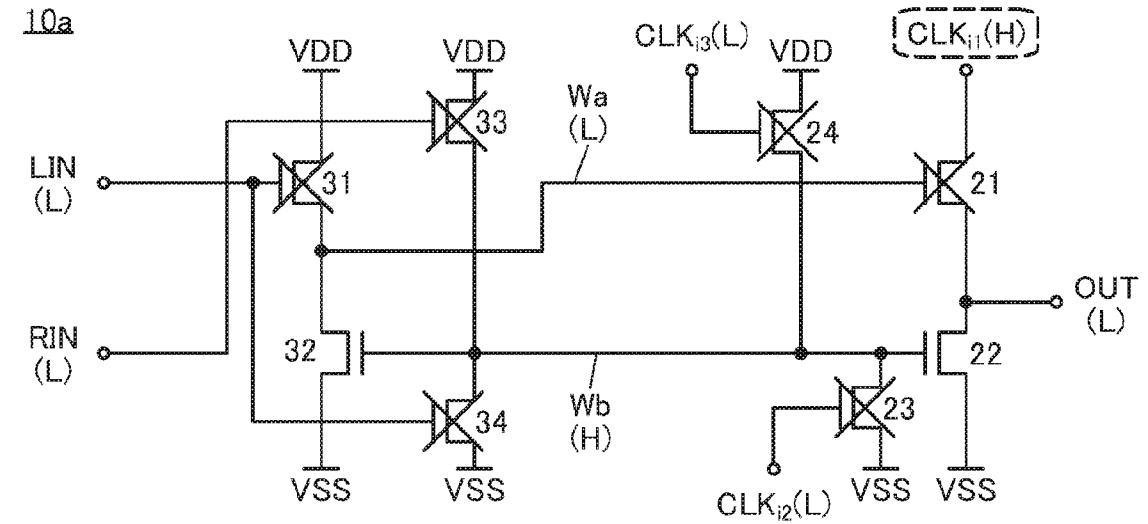


図 7A

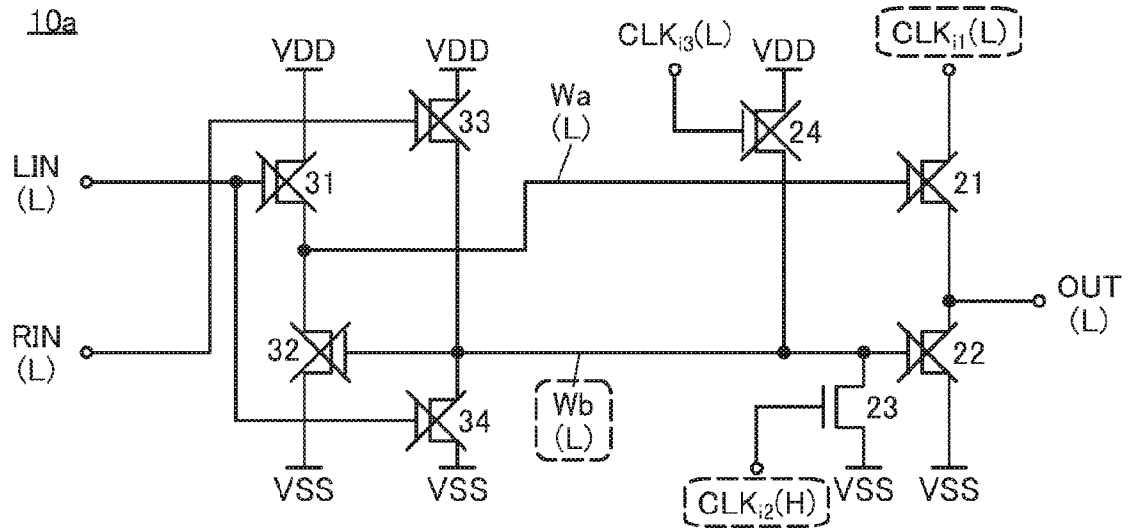
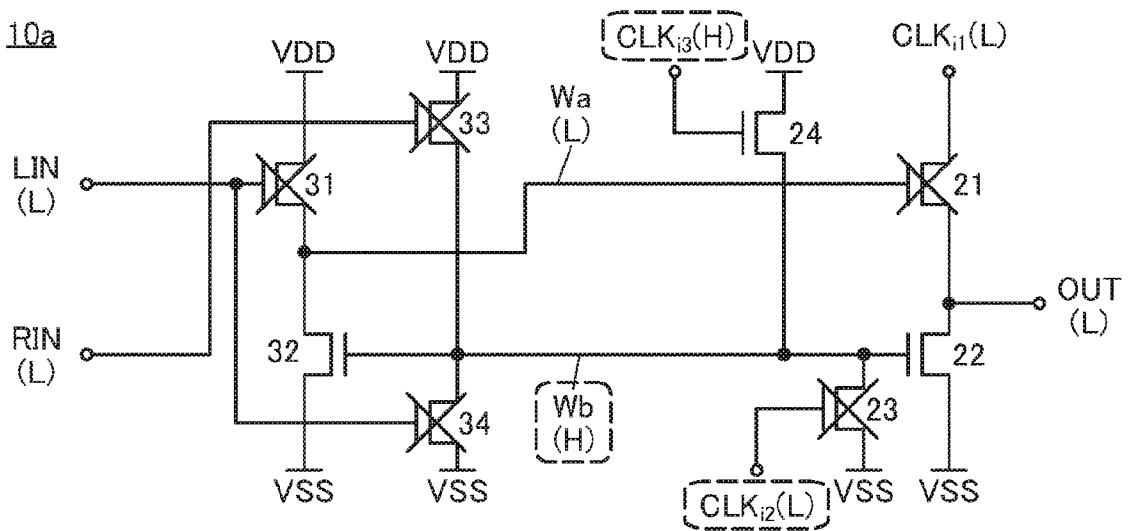
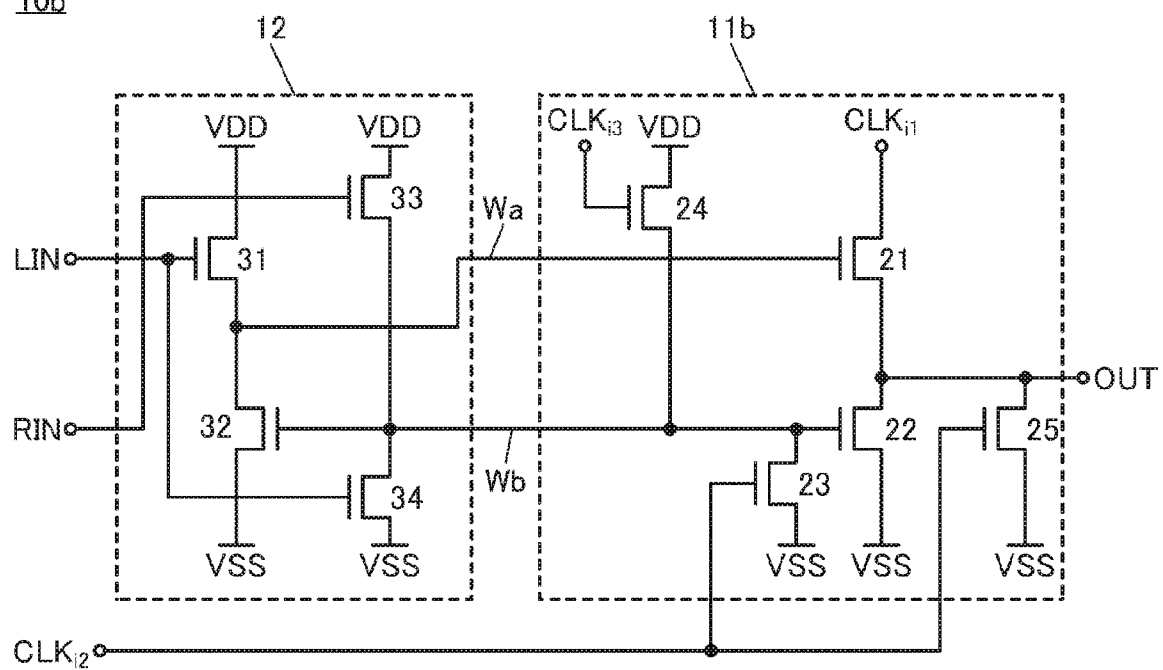


図 7B

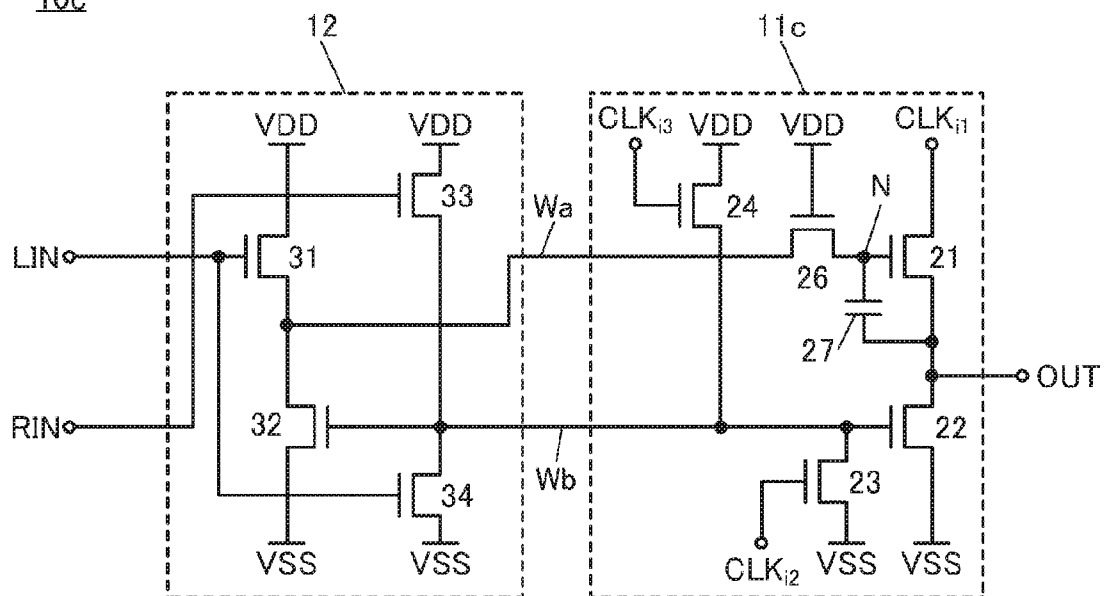


10b



9A

10c



9B

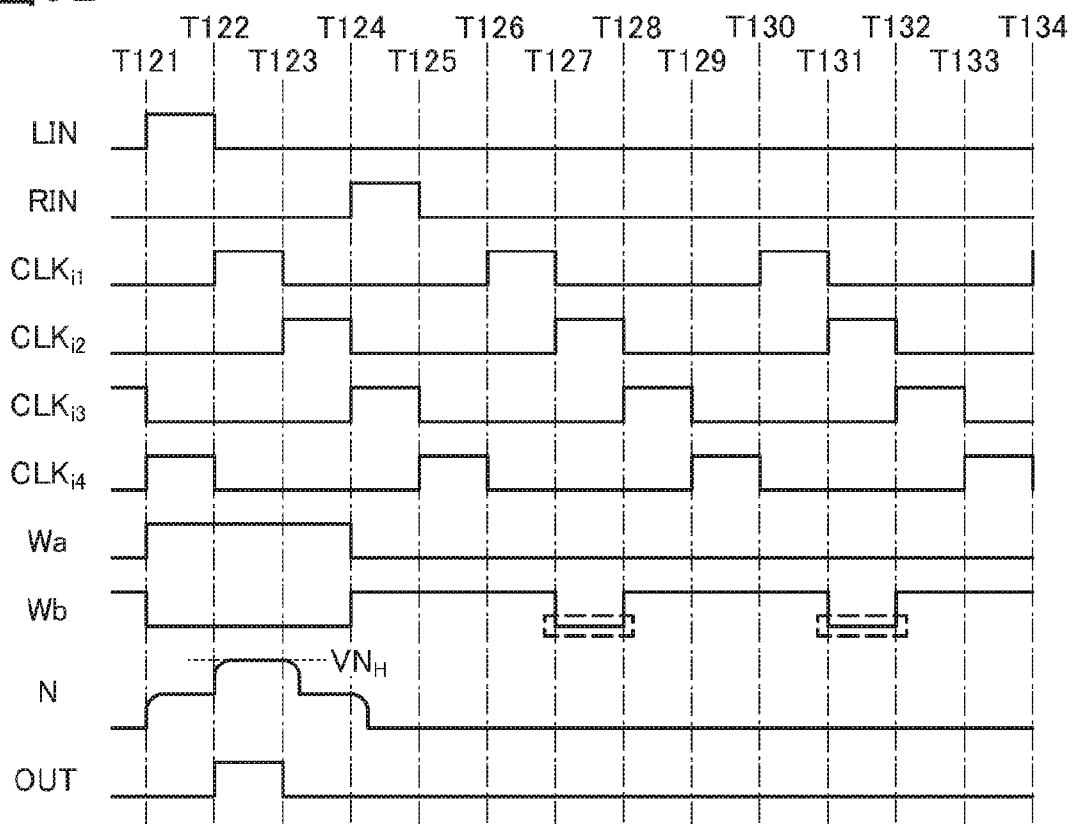
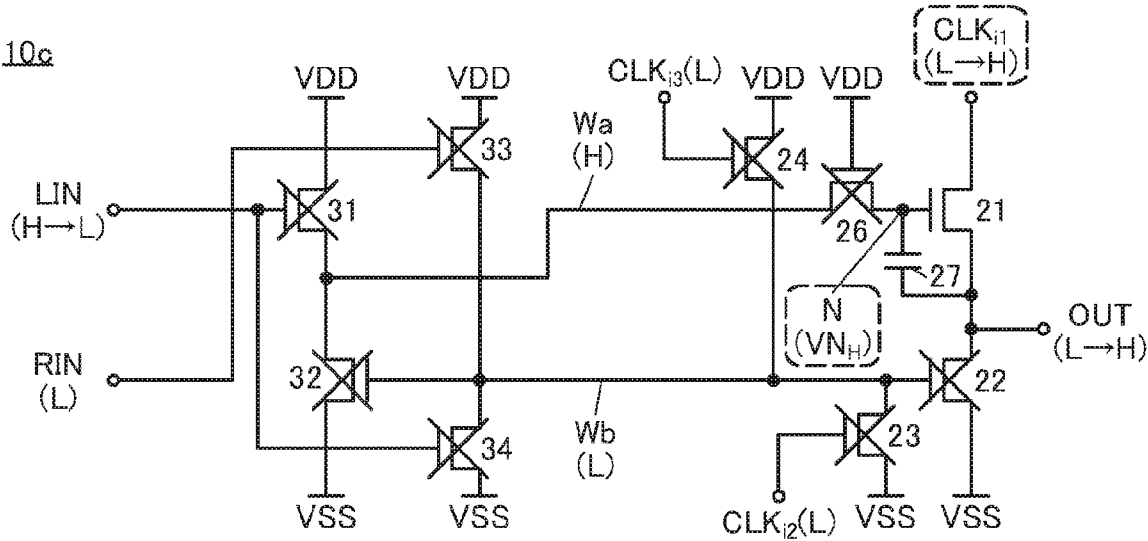
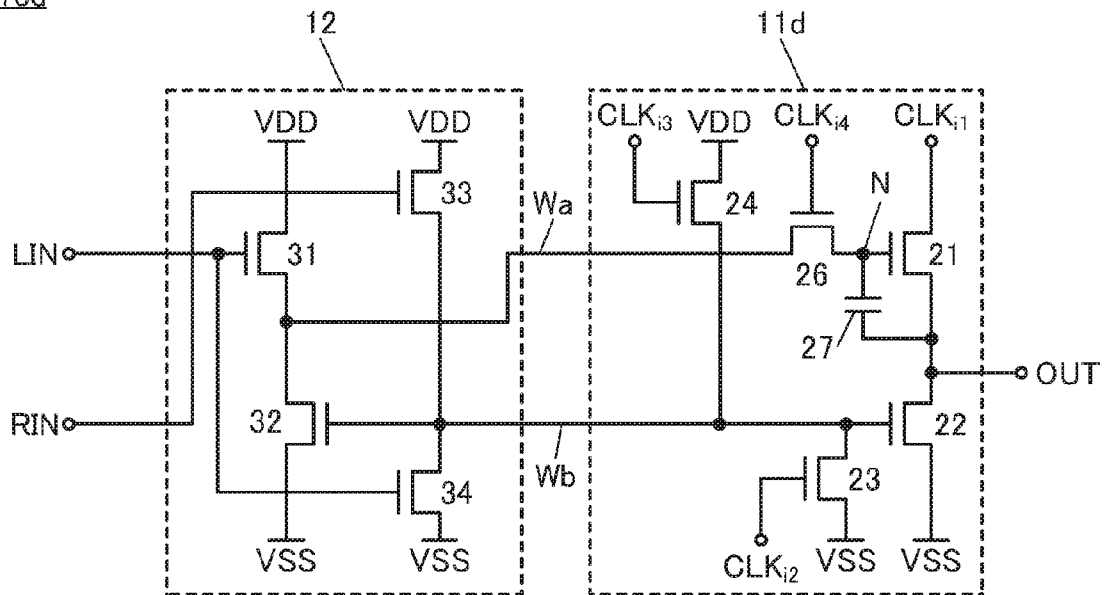


図 10



11A

10d



11B

10e

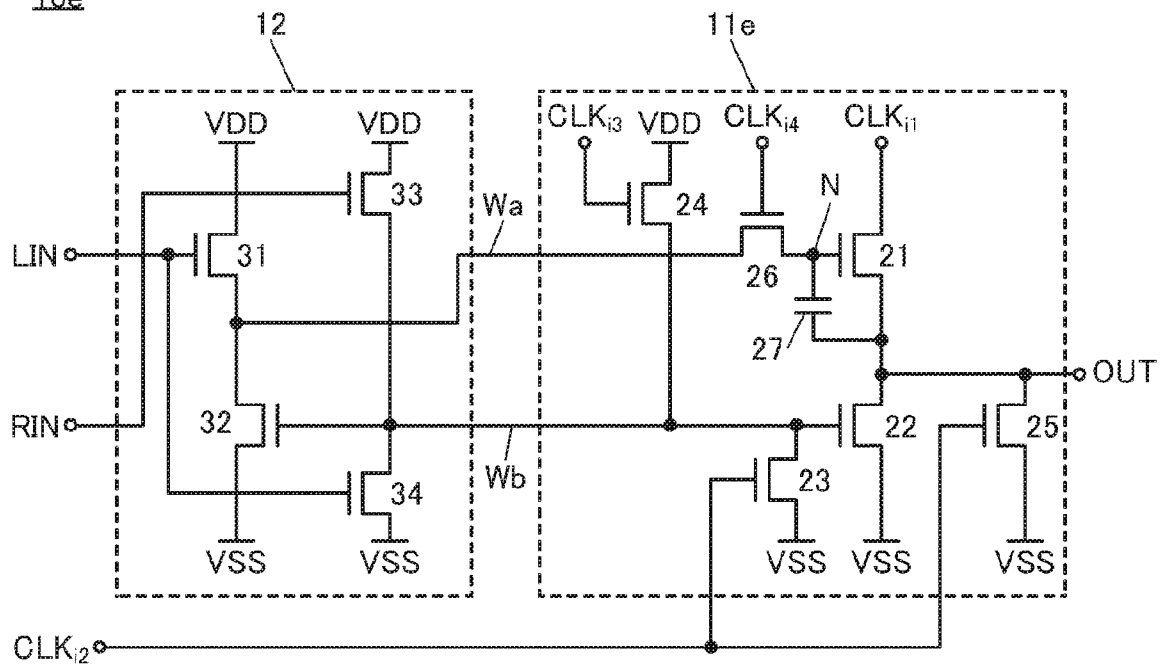


図12A

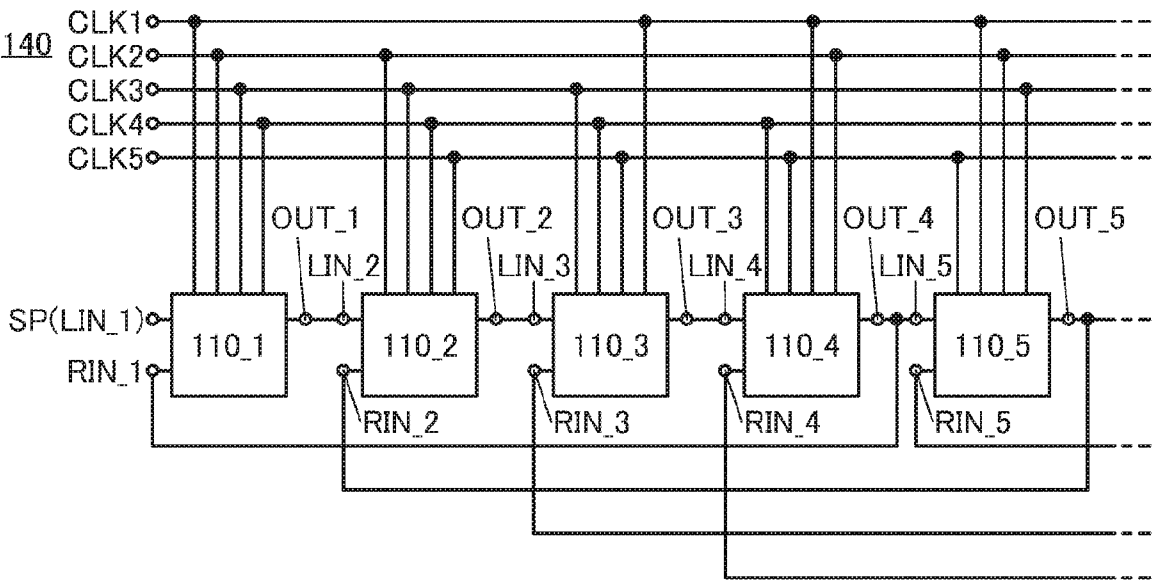


図12B

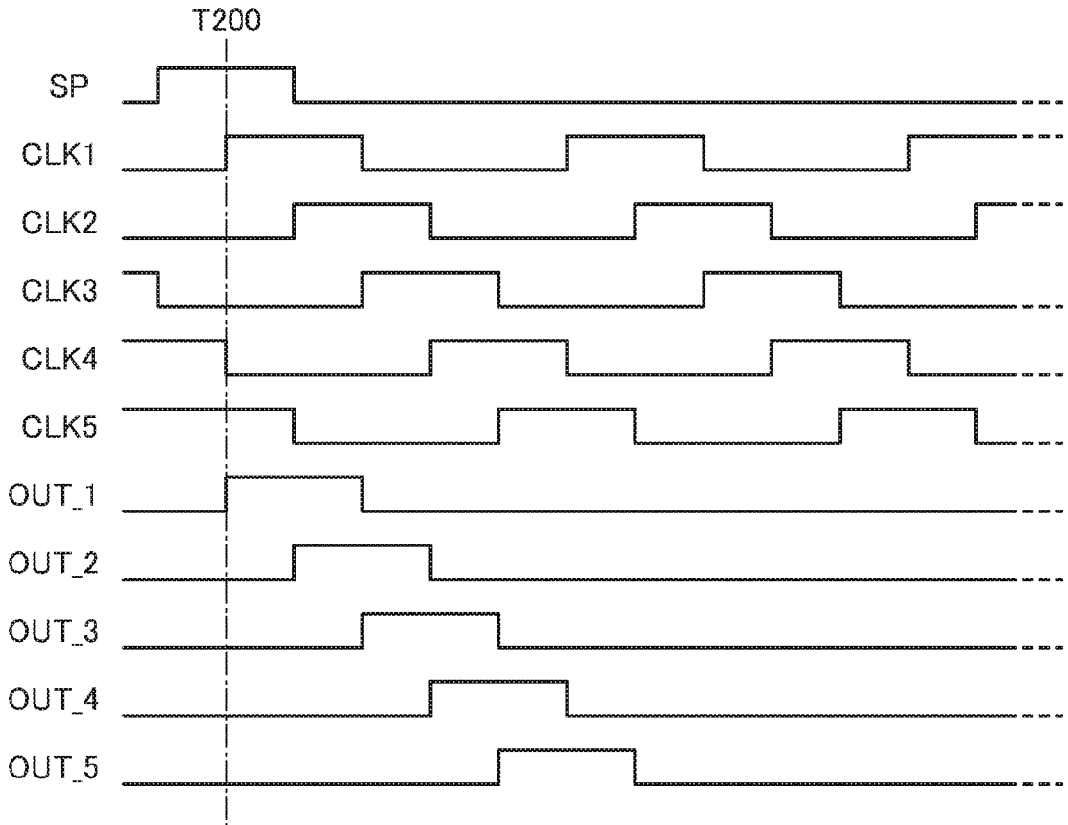


図 13

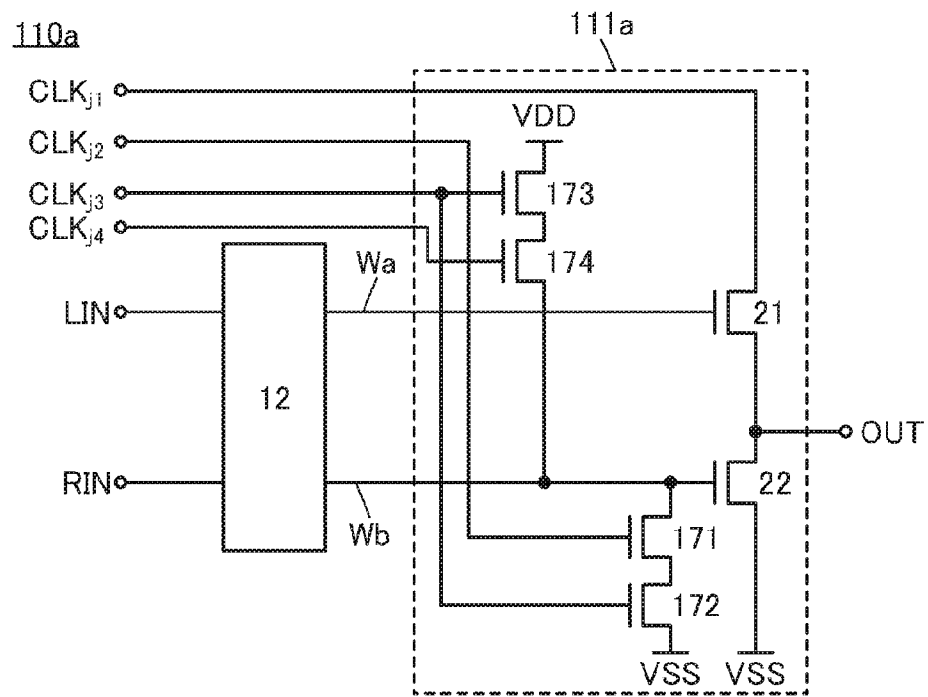


図 14A

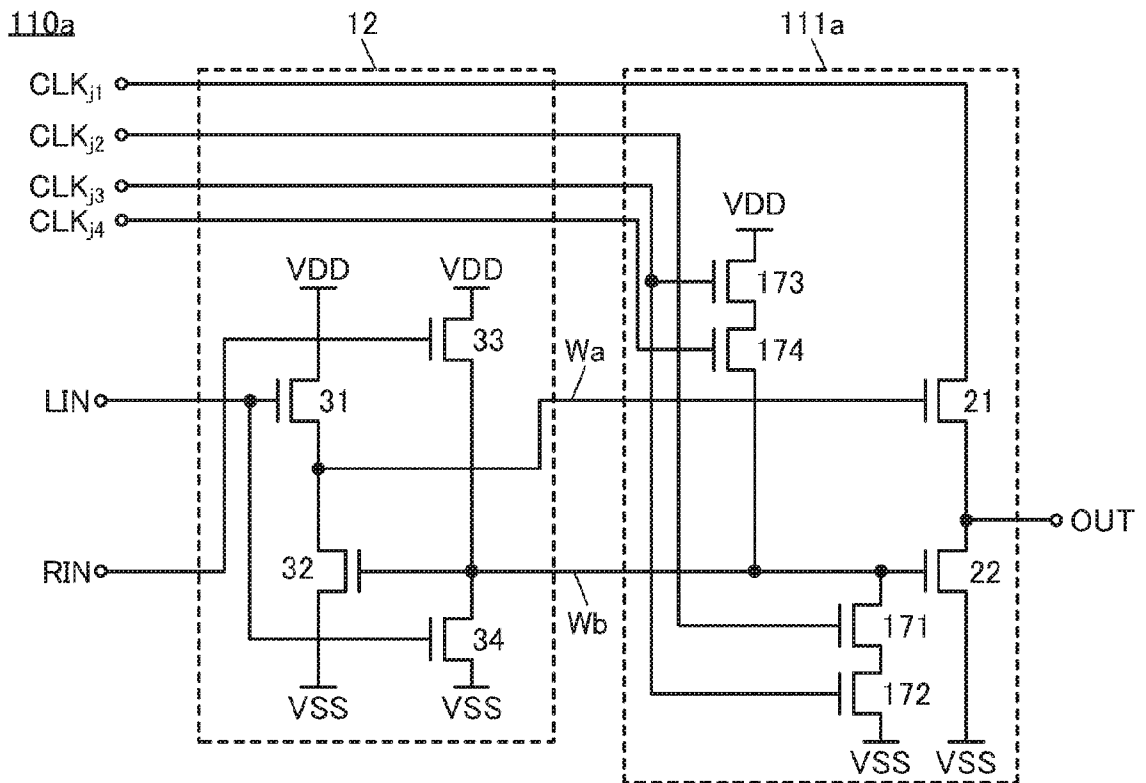
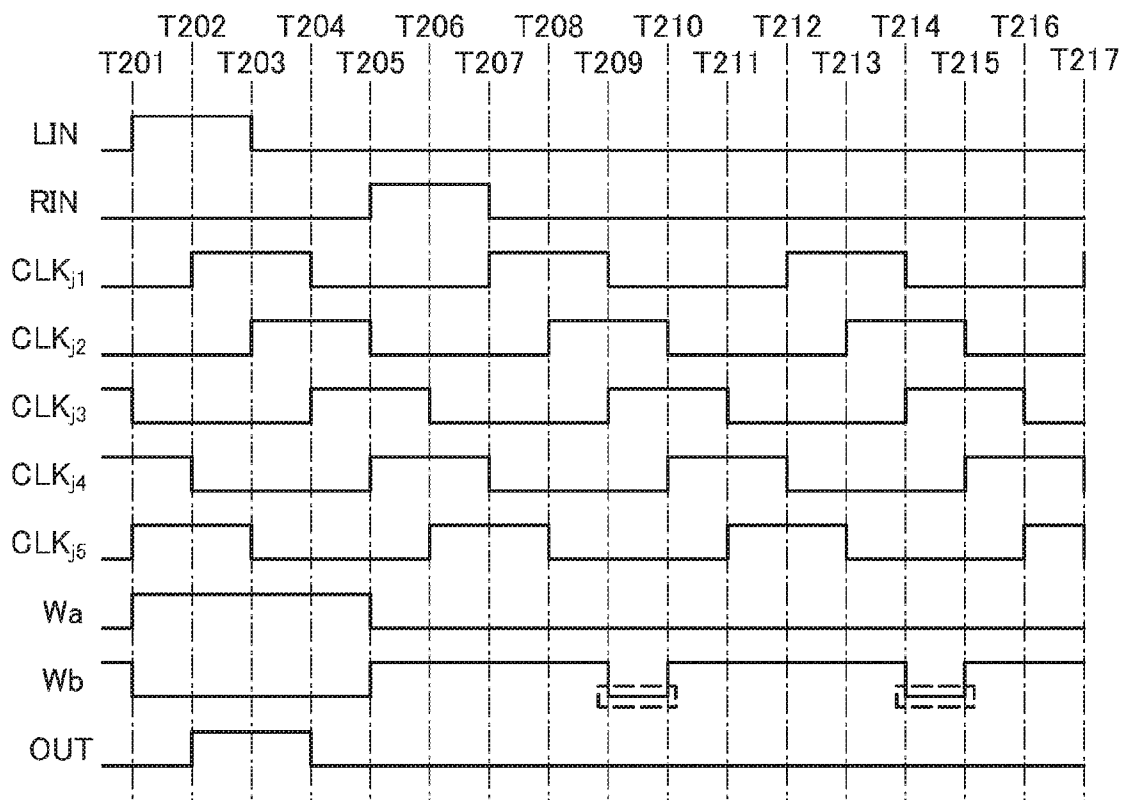
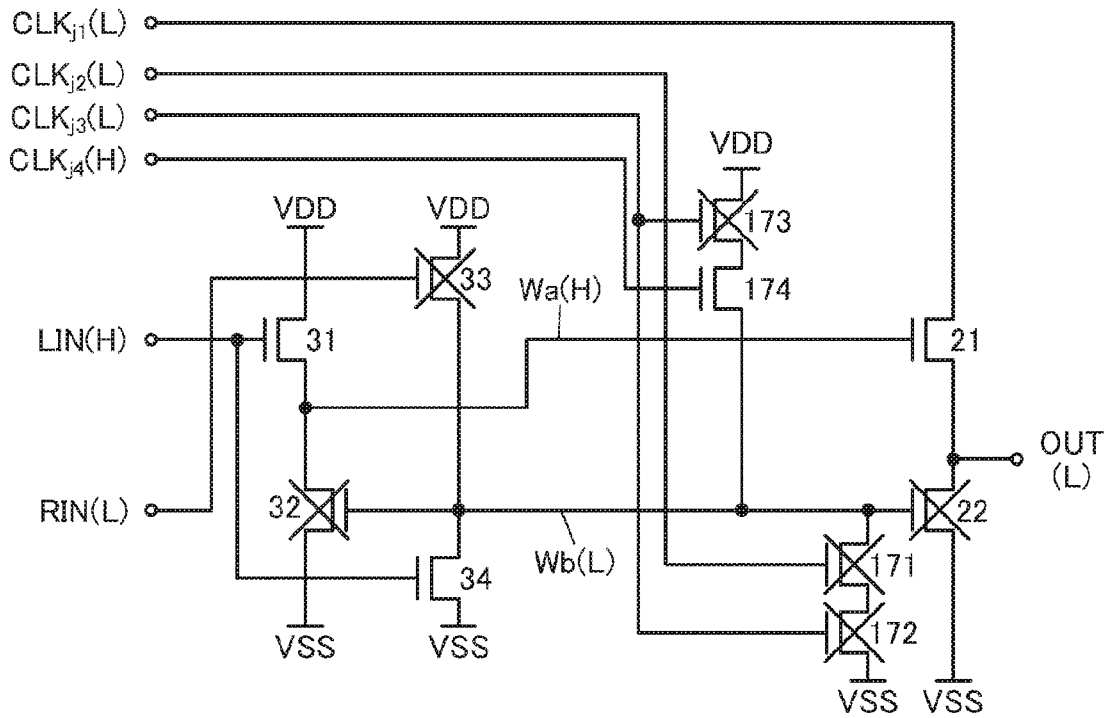


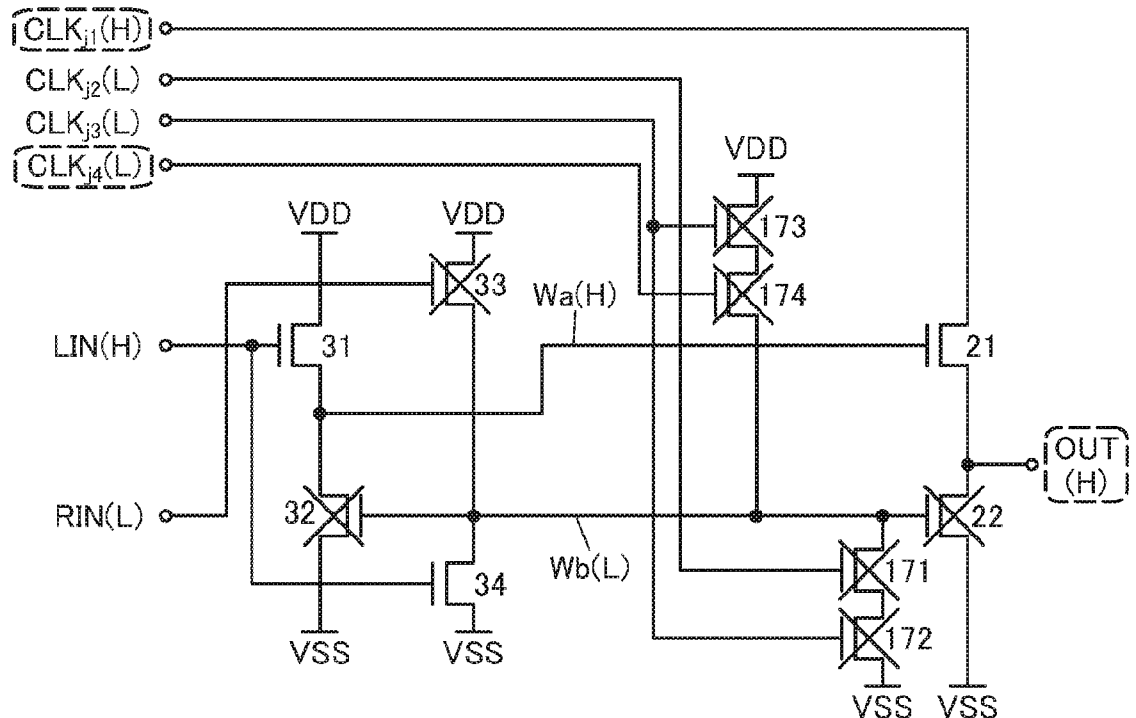
図 14B



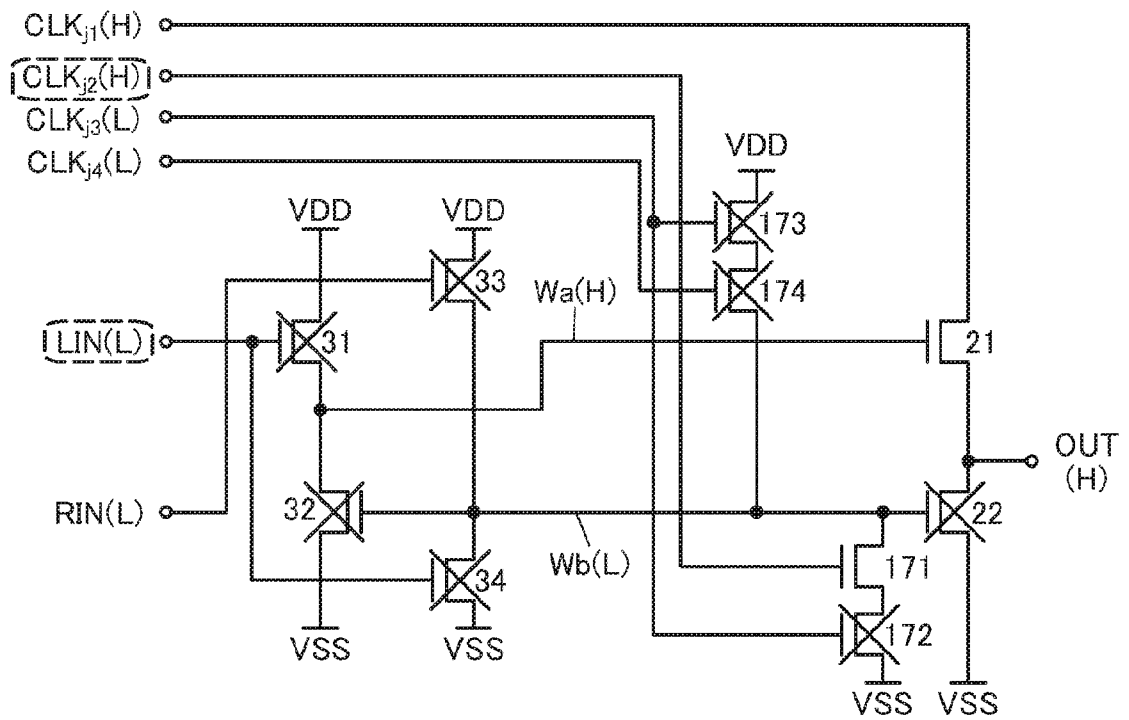
110a



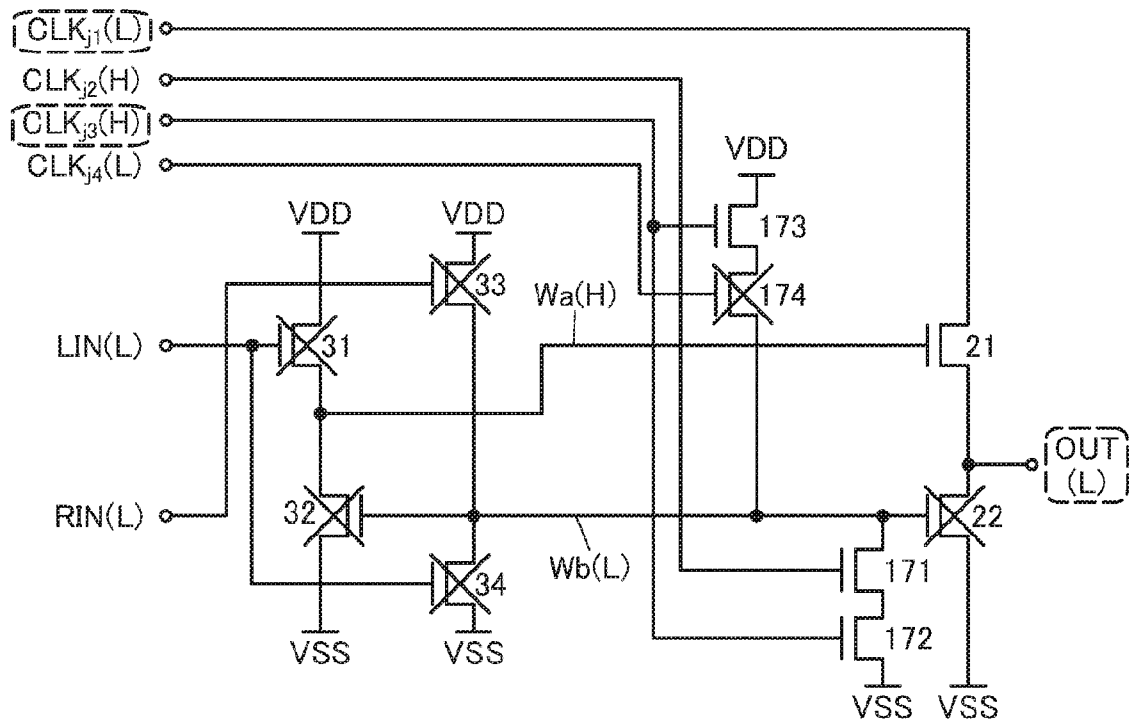
110a



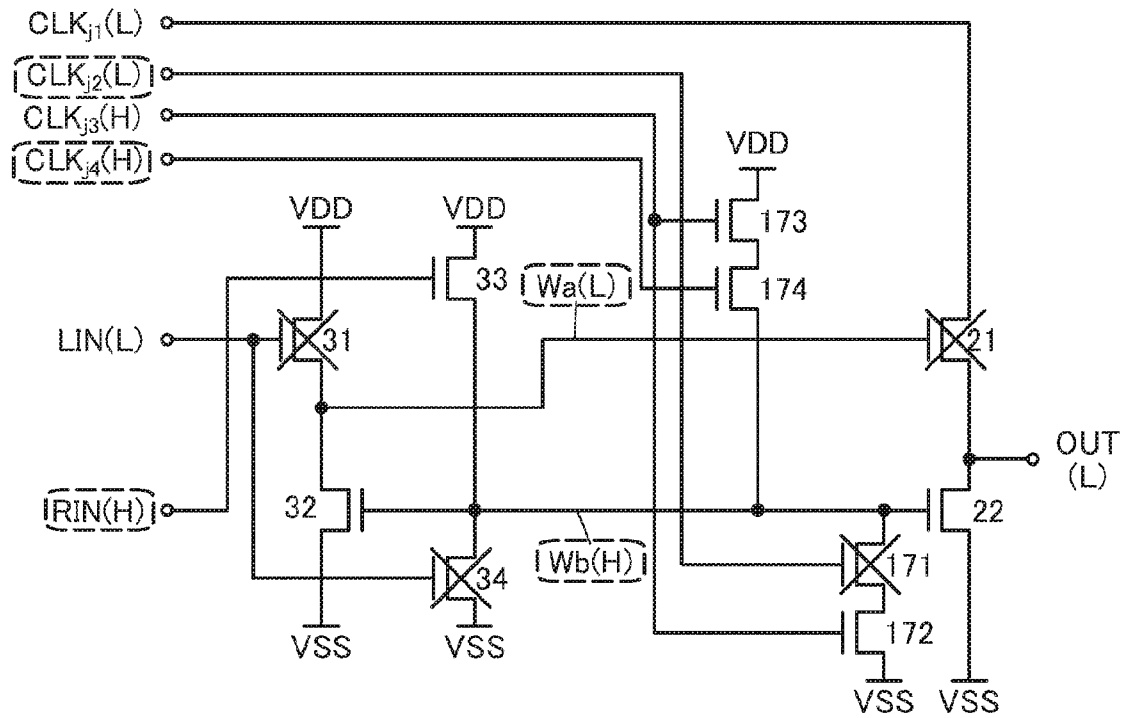
110a



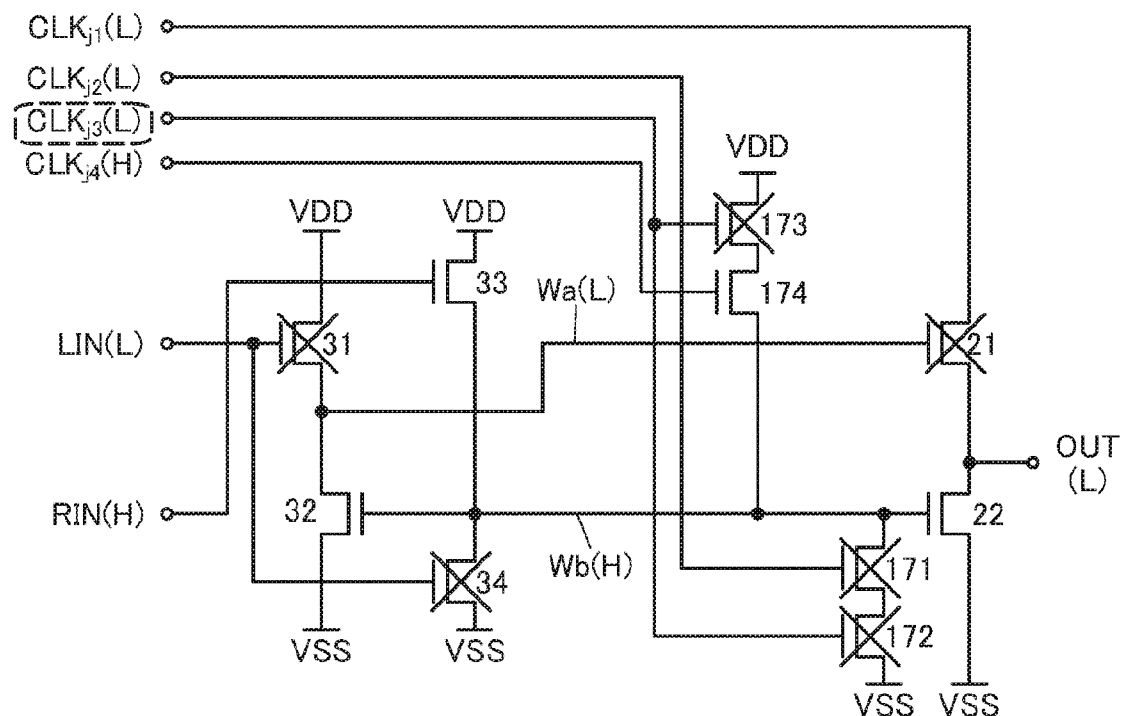
110a



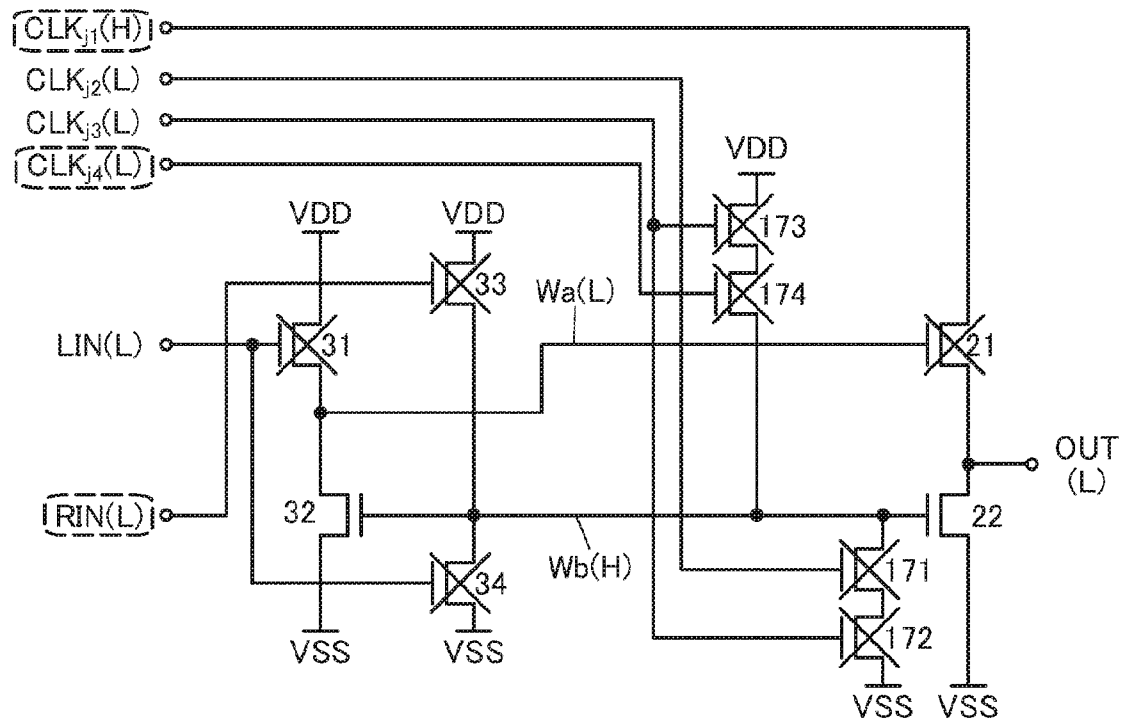
110a



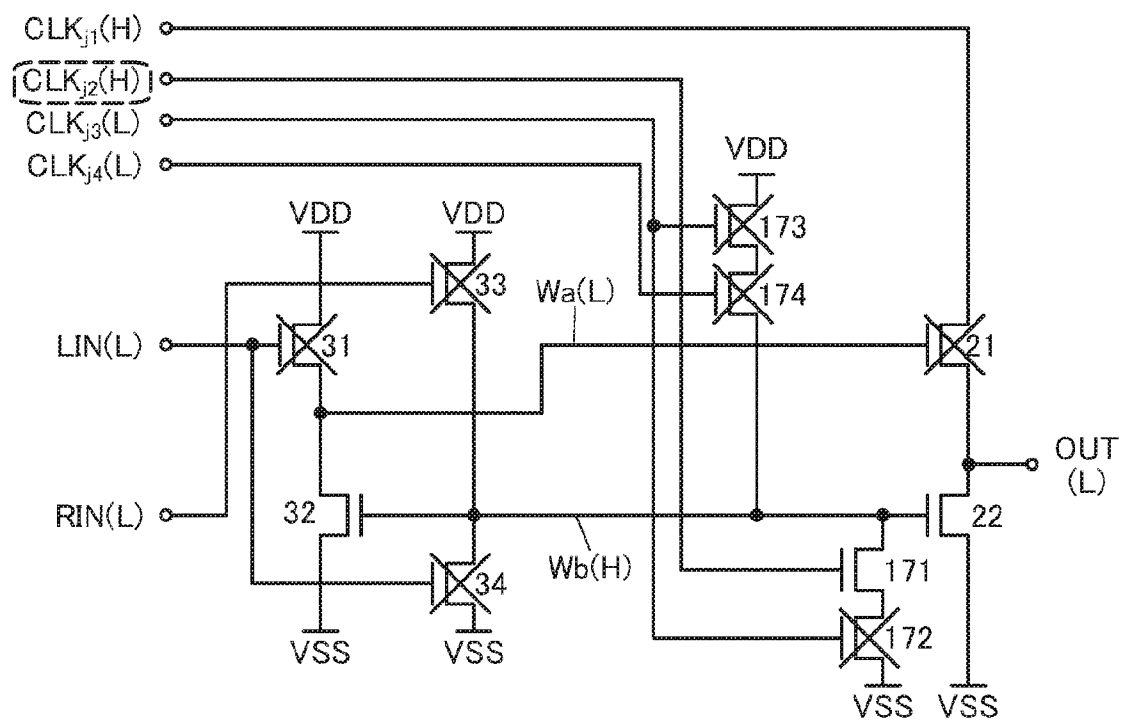
110a



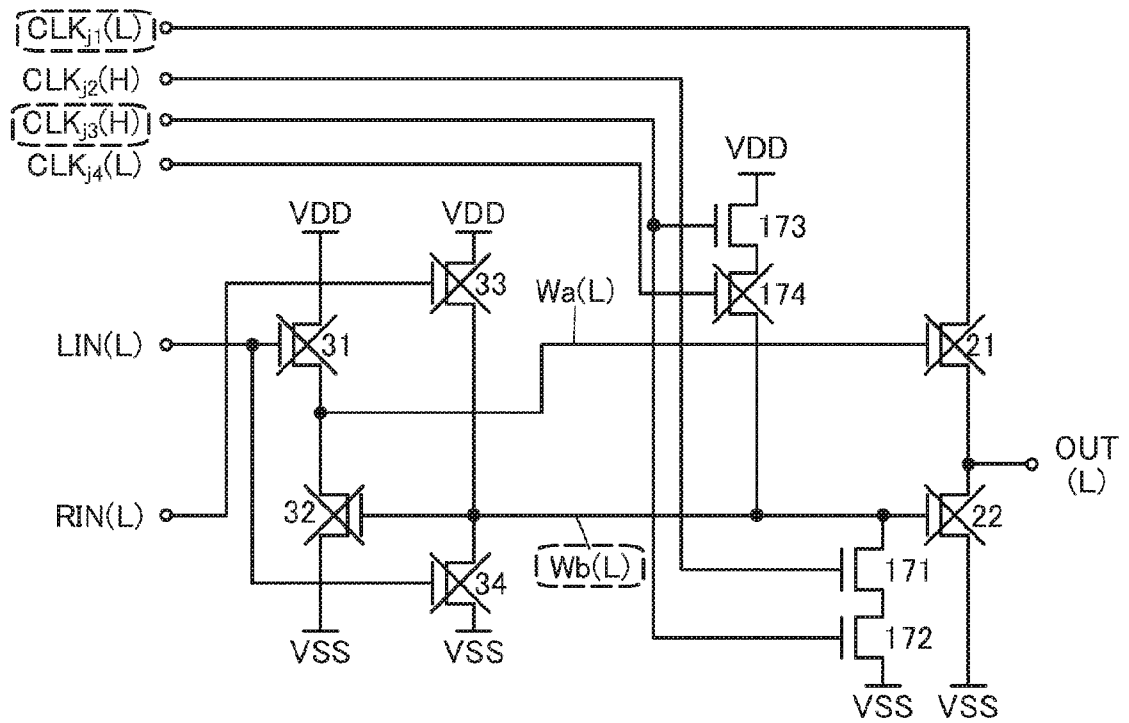
110a



110a



110a



110a

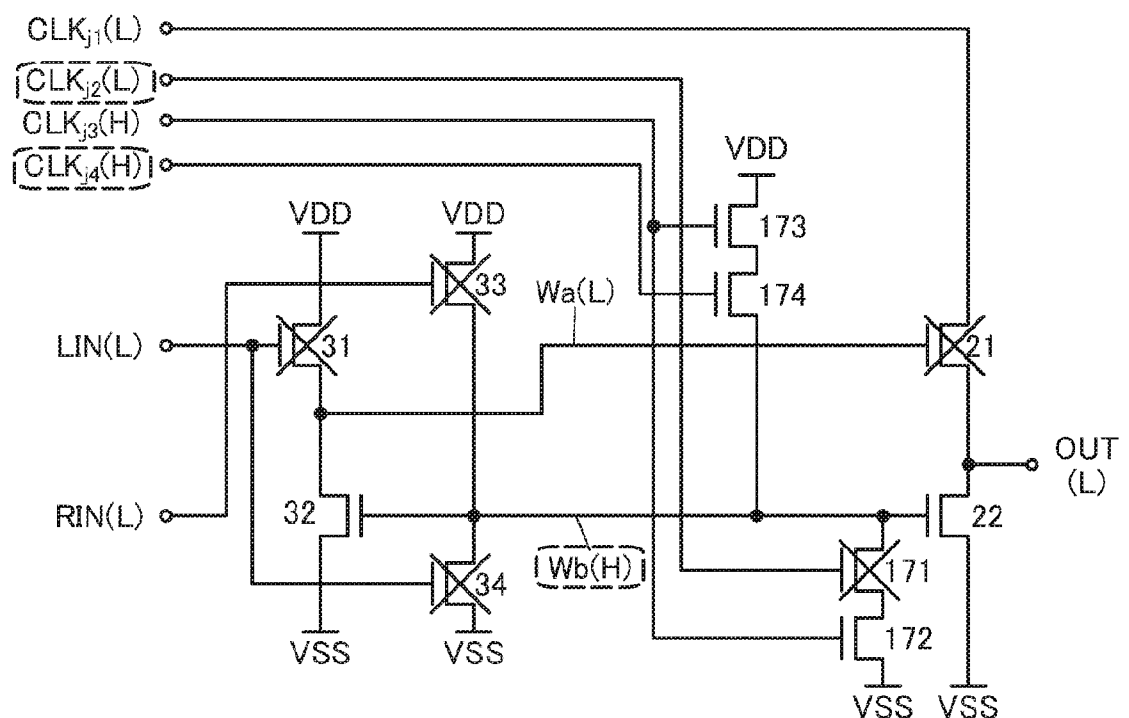
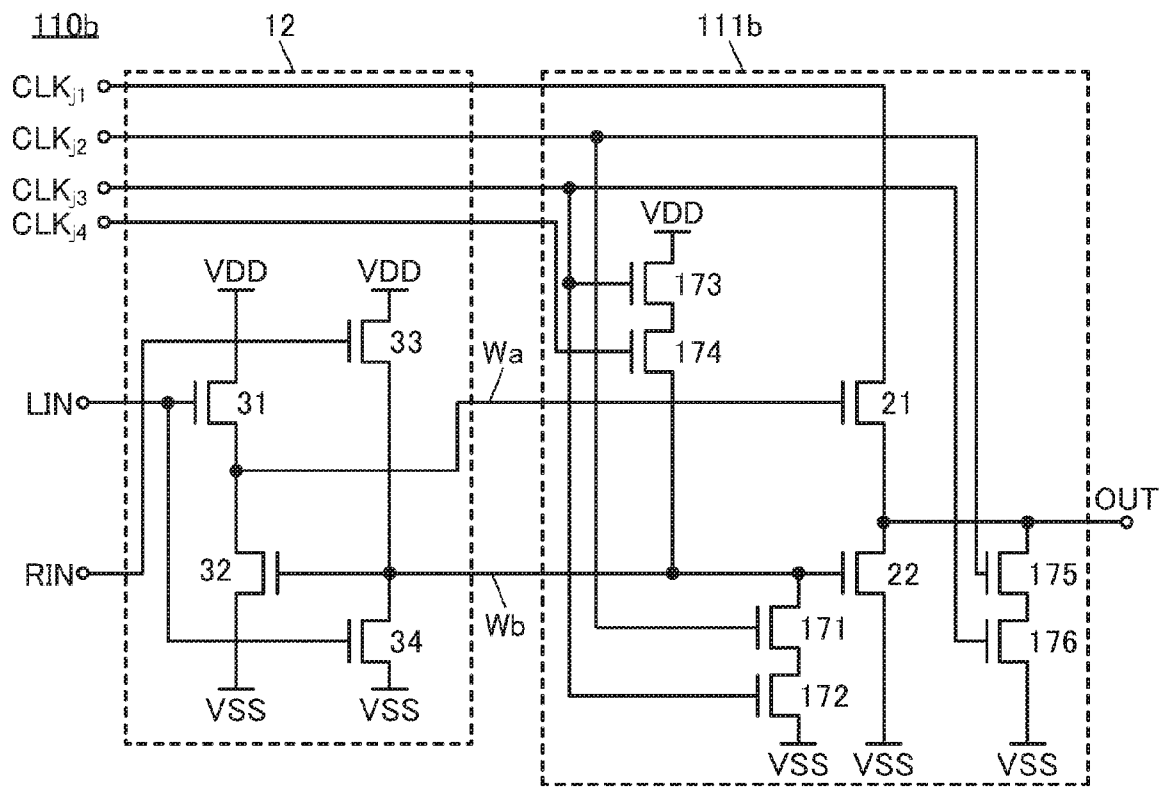
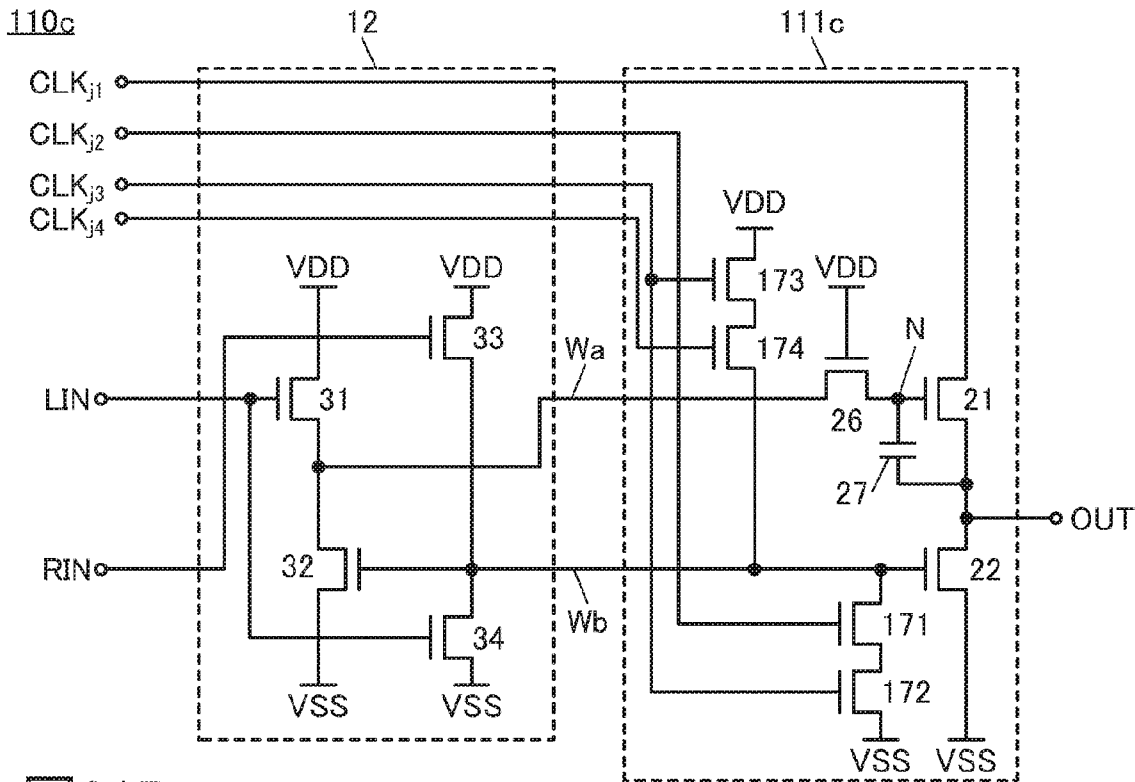


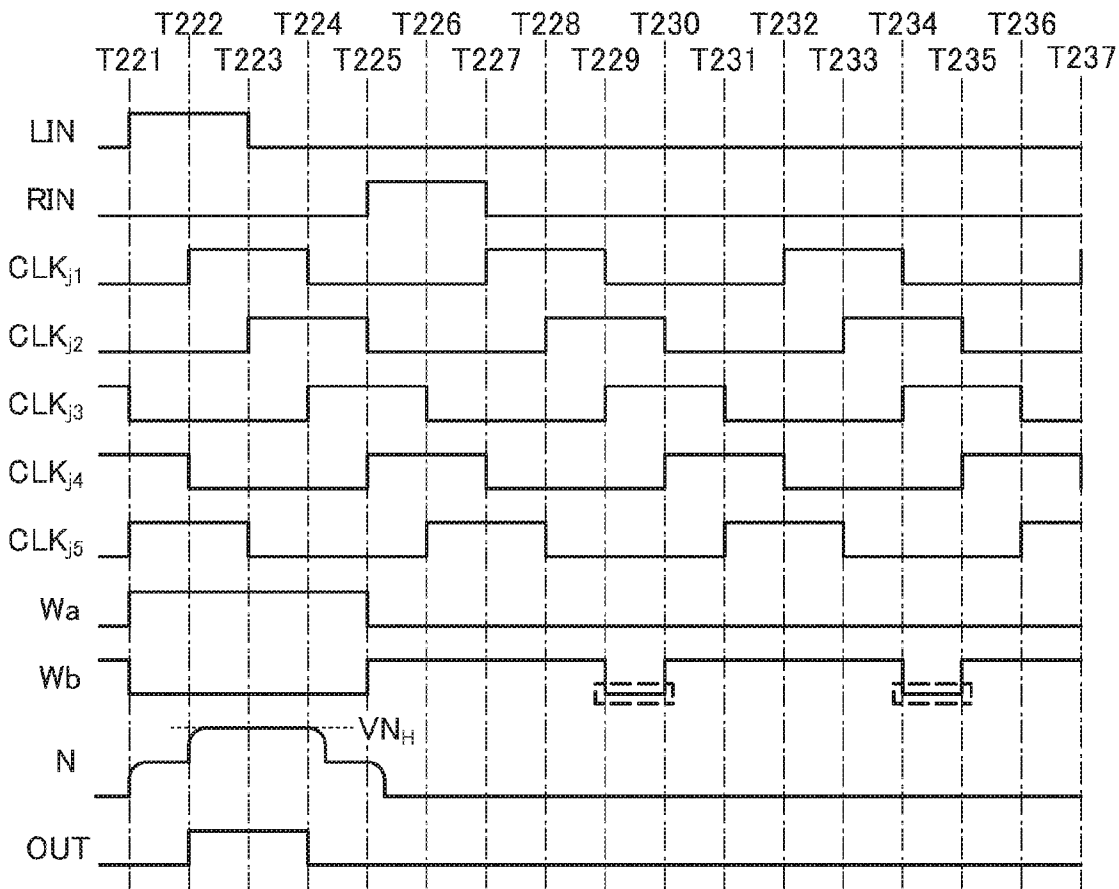
図20



21A

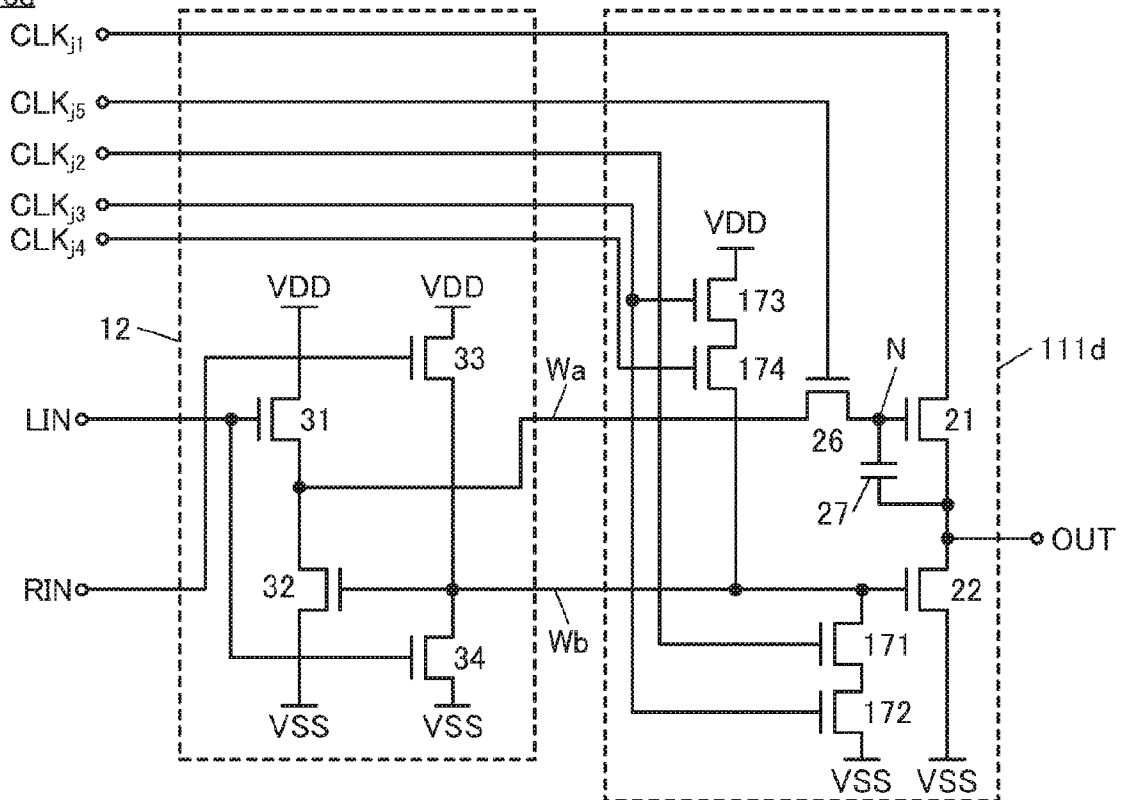


21B



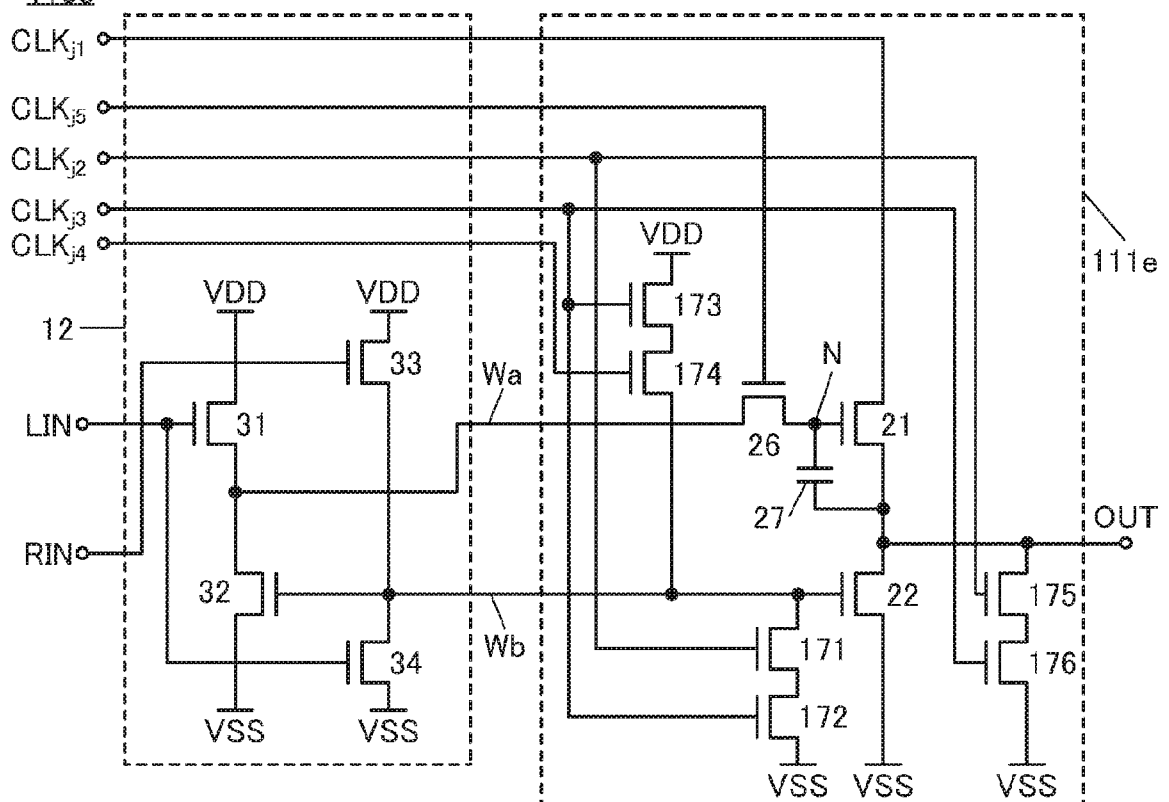
22A

110d

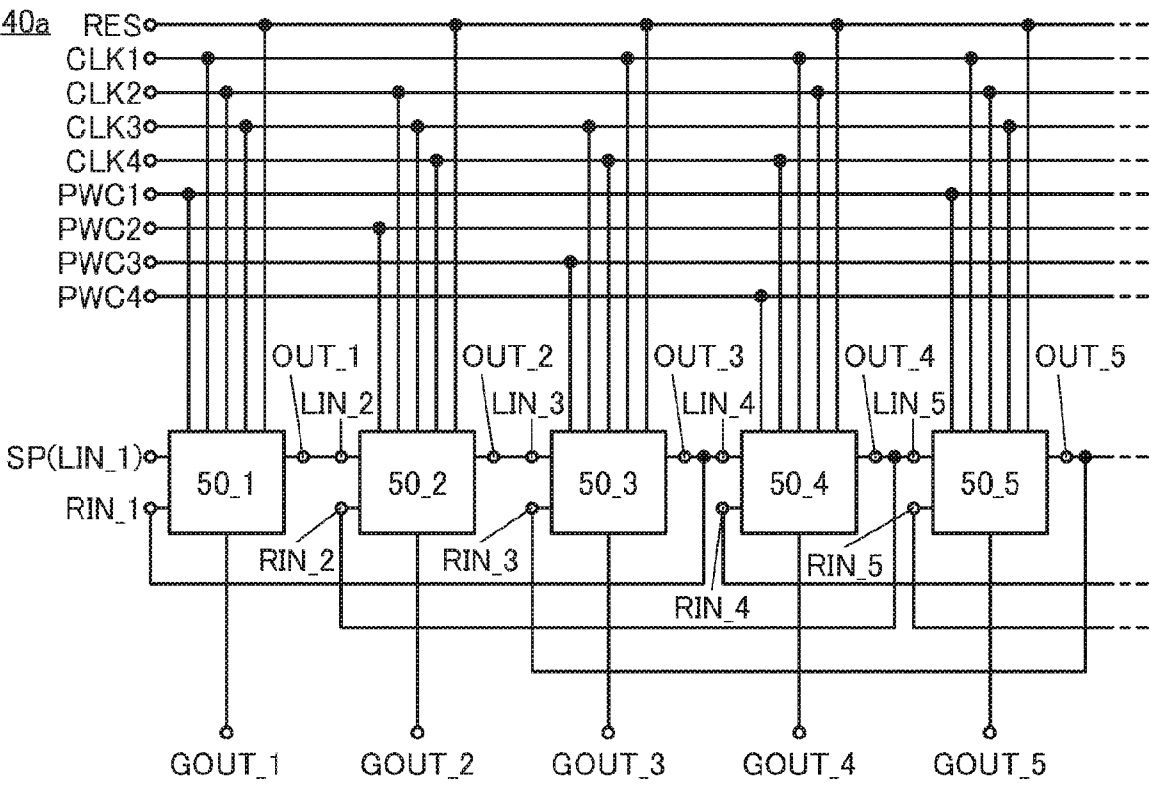


22B

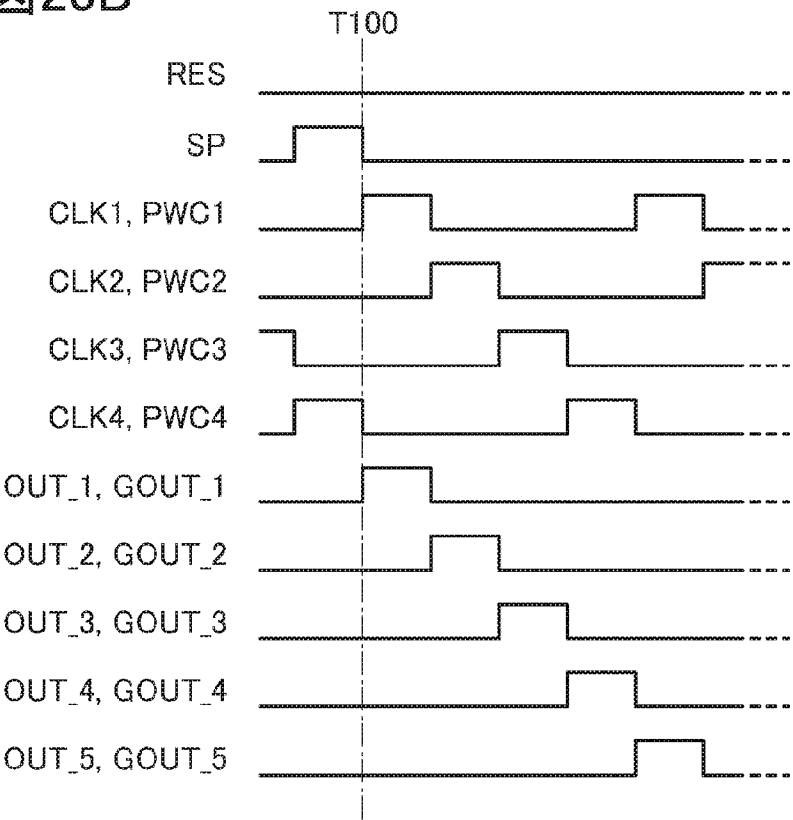
110e



23A



23B



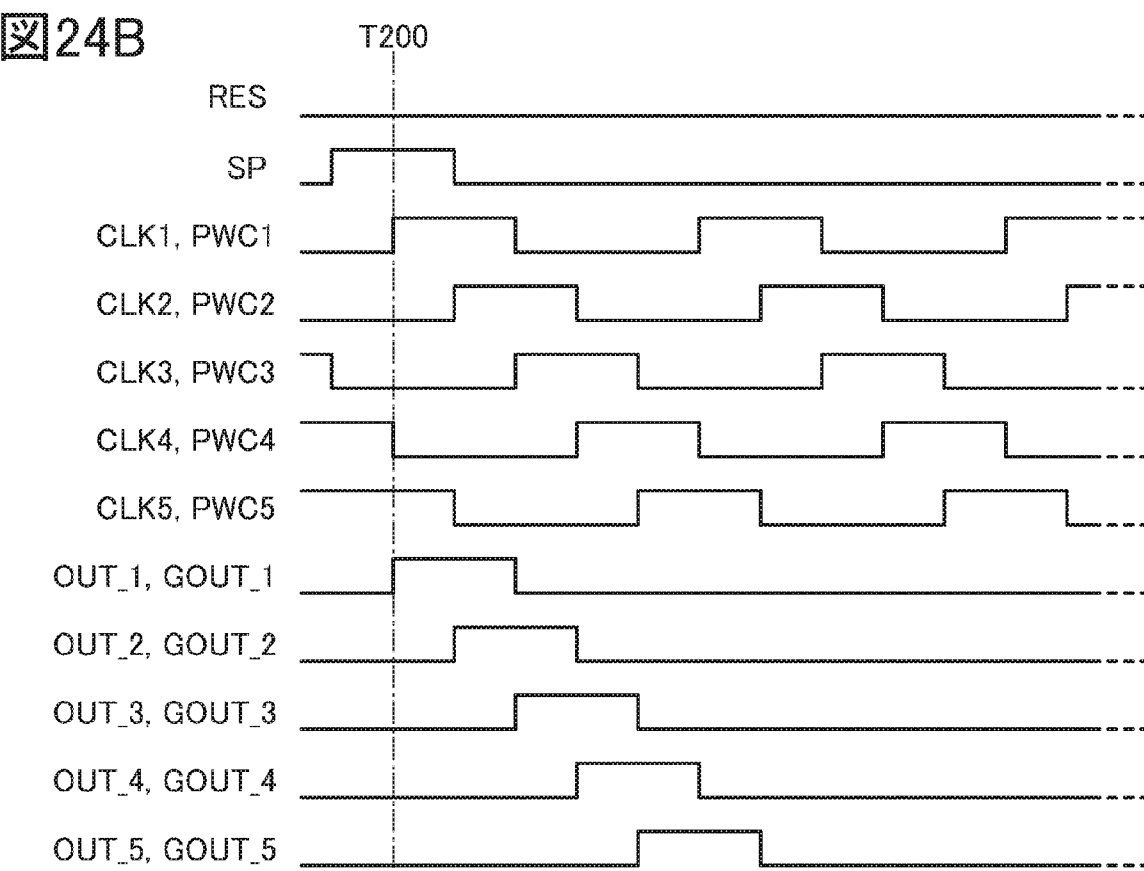
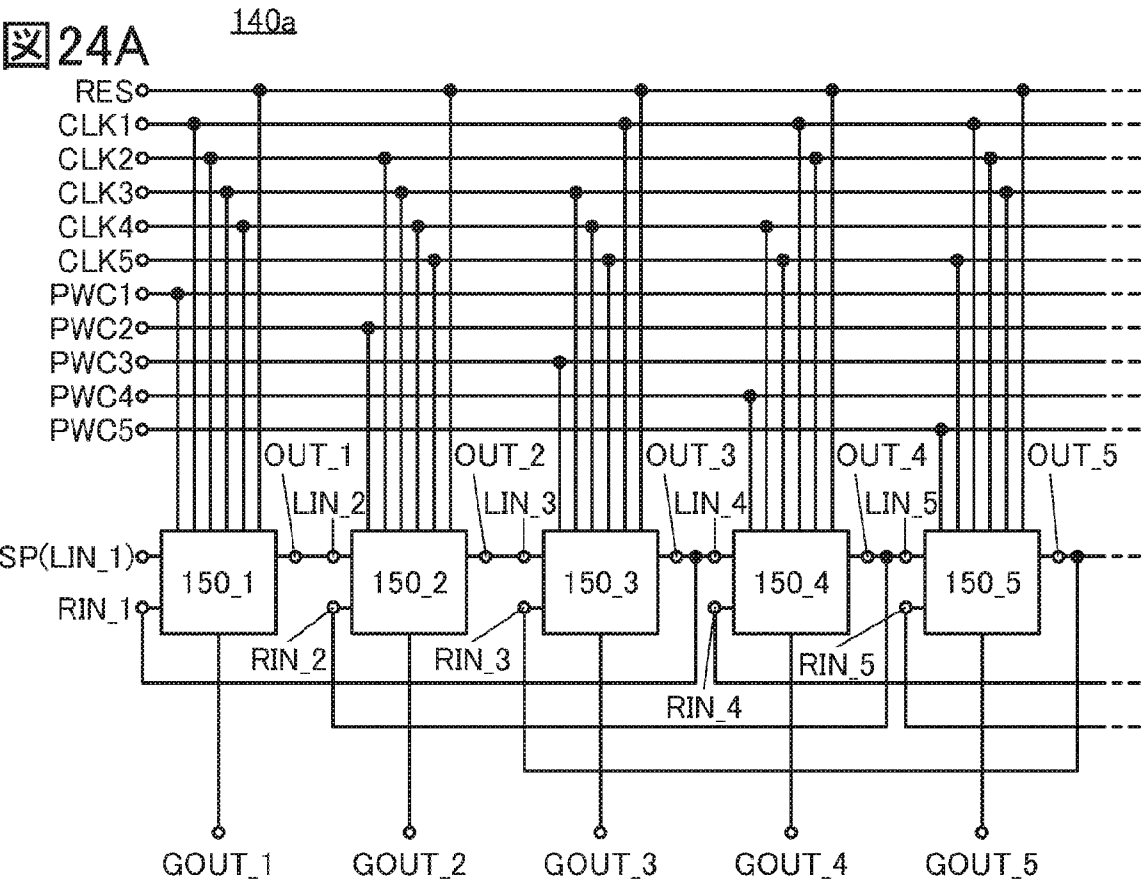
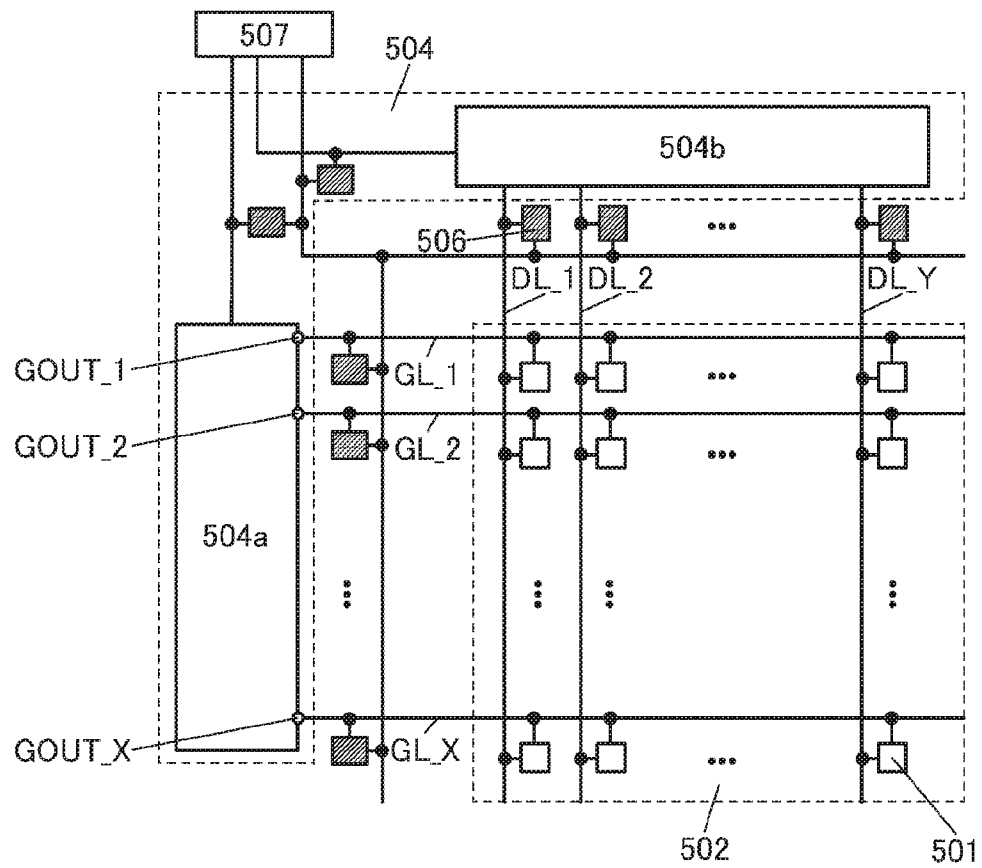
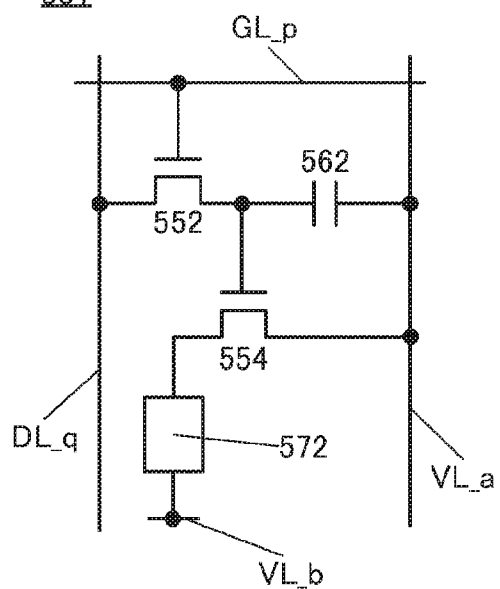


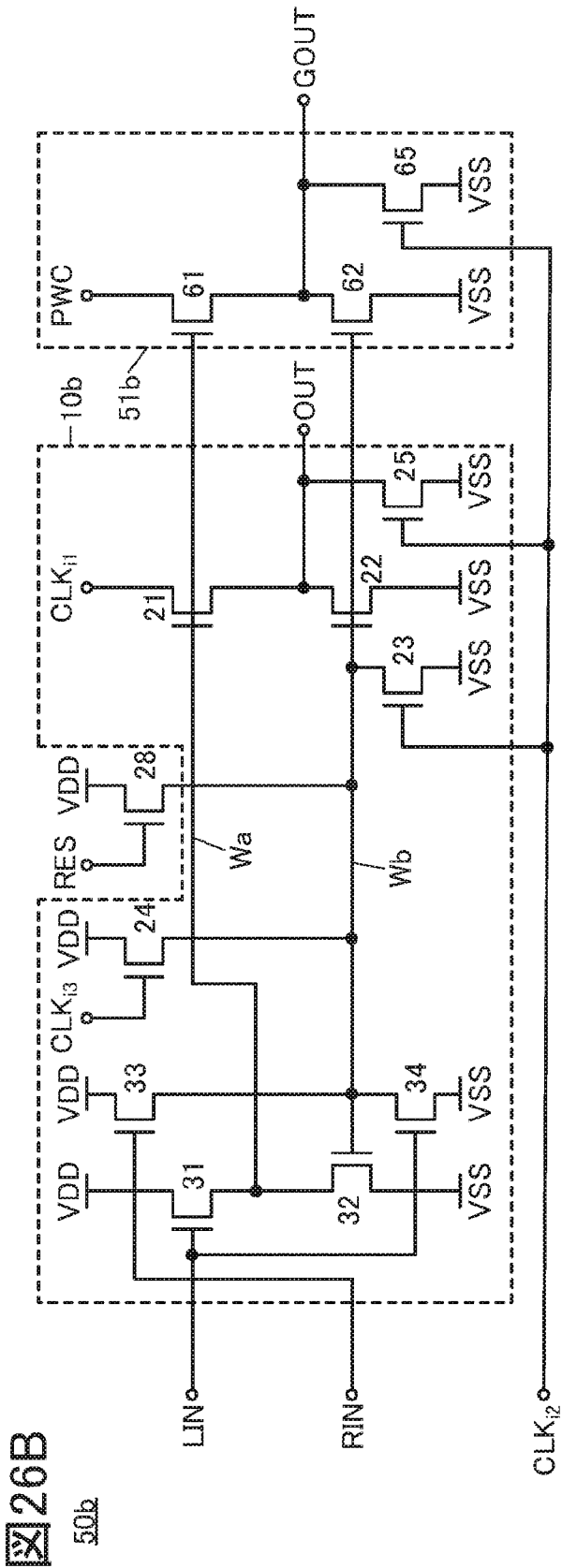
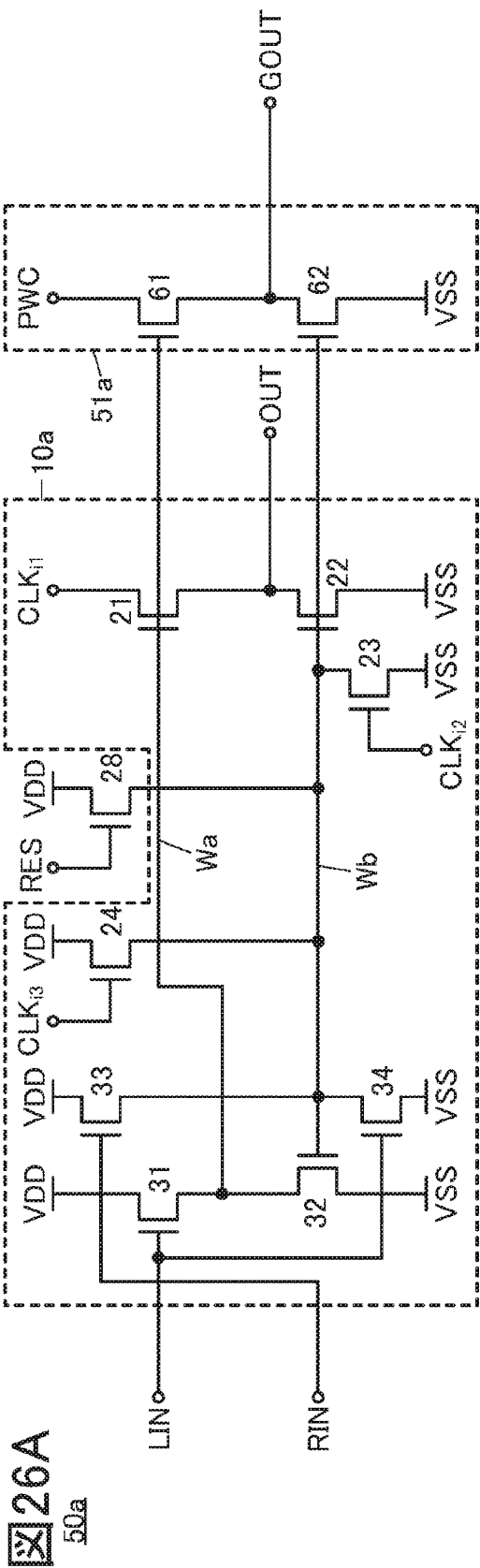
図 25A

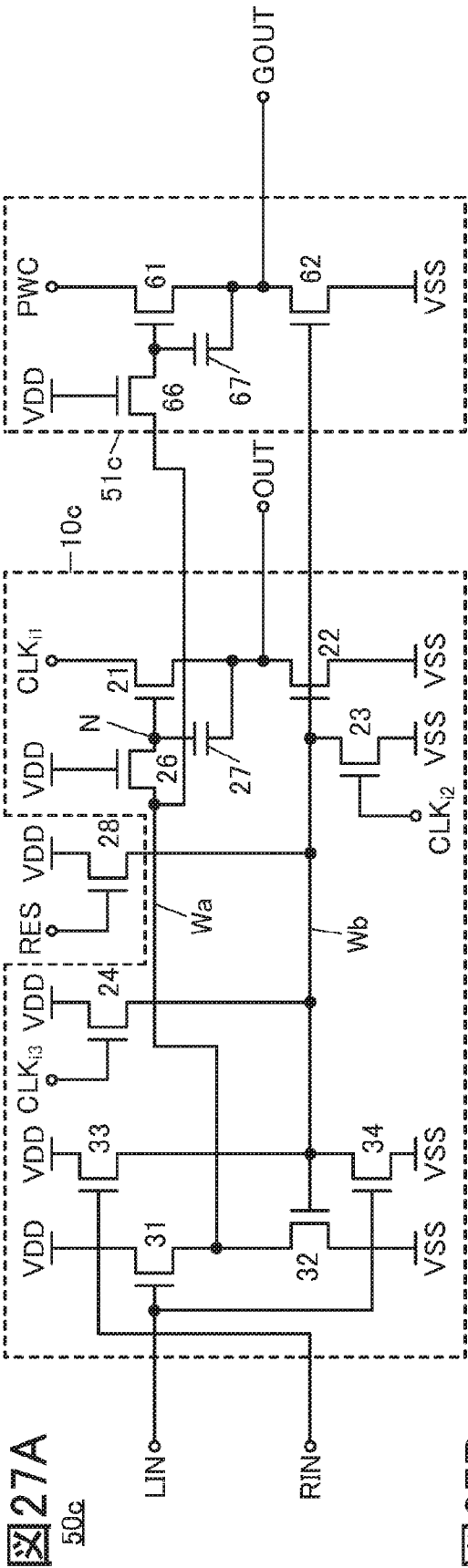
500



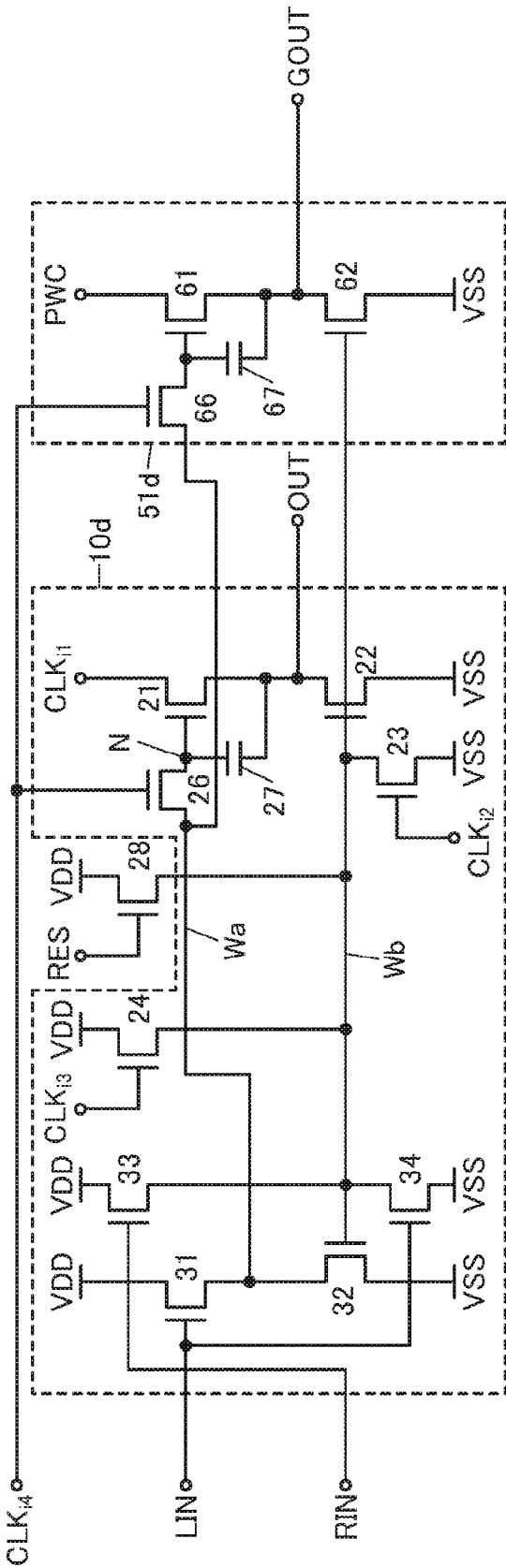
501





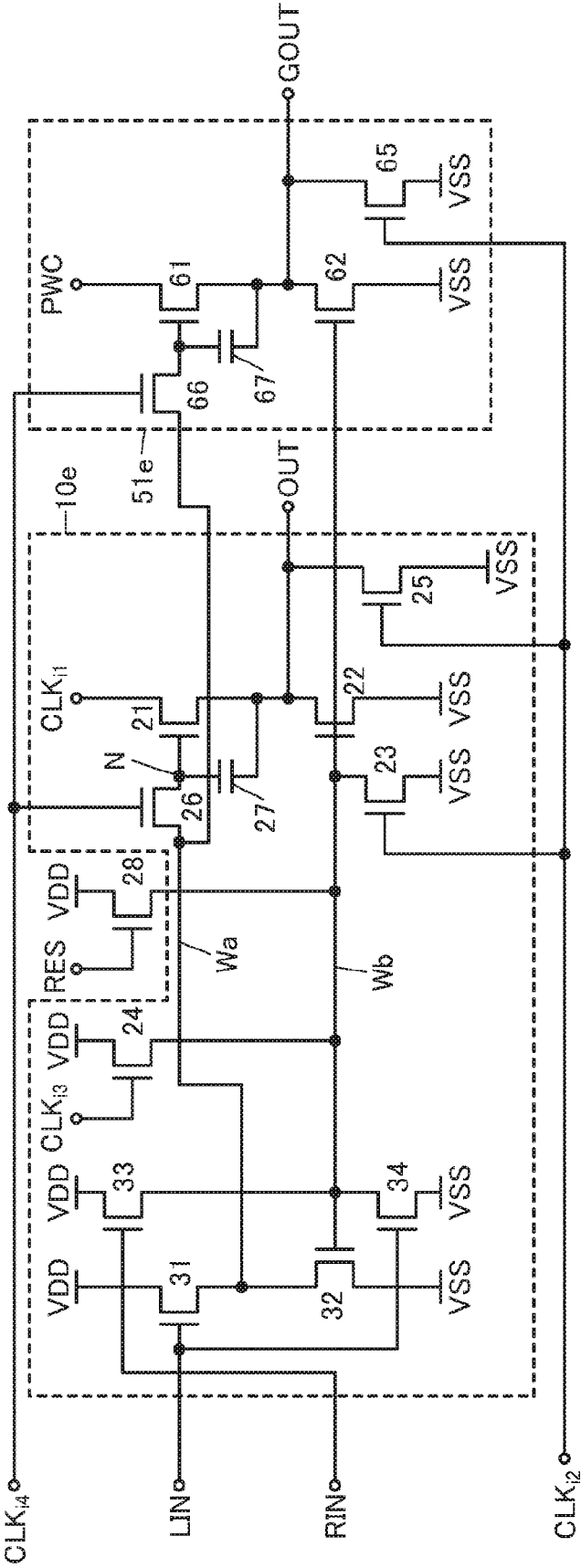


27B
50d

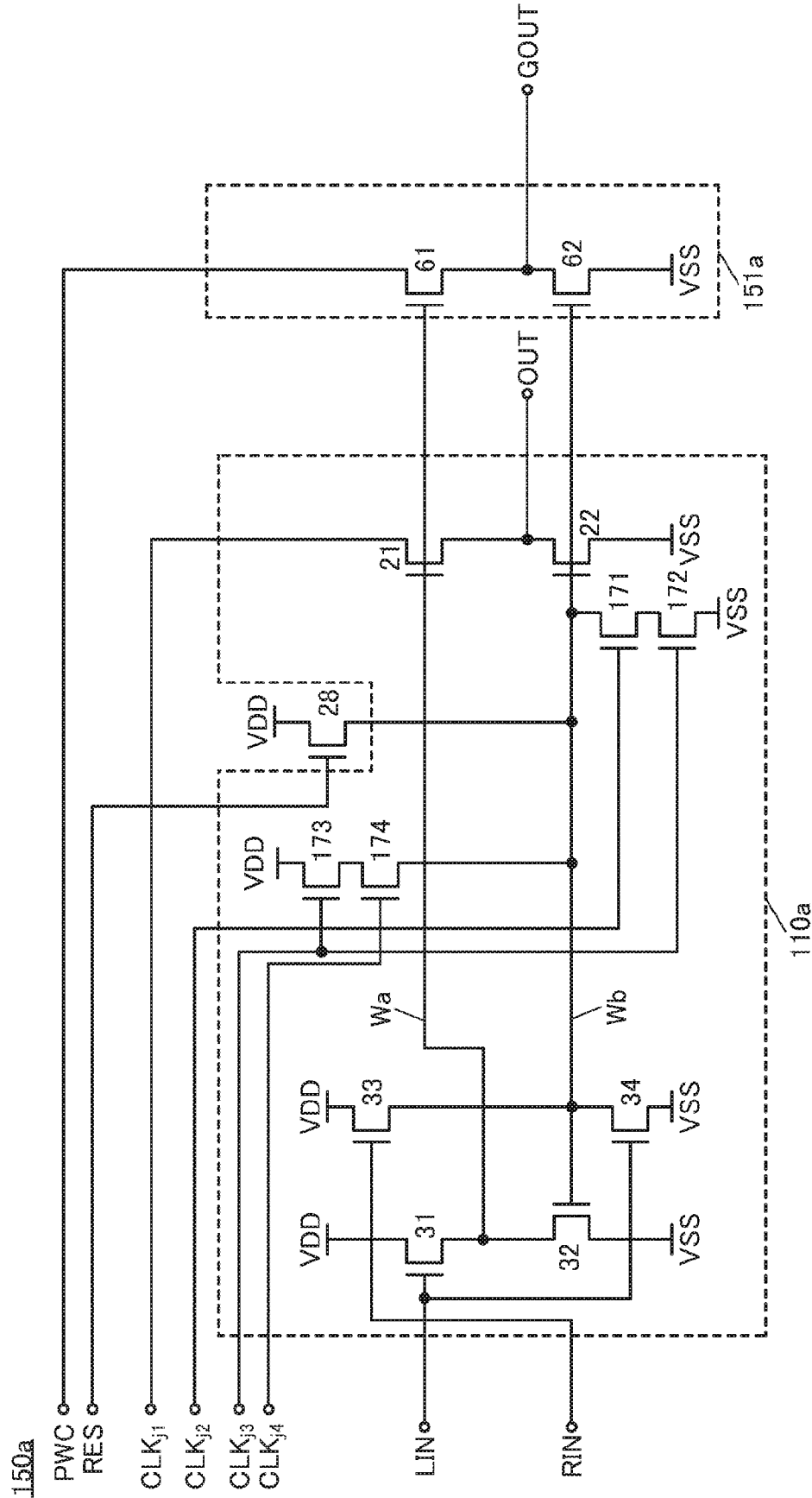


28

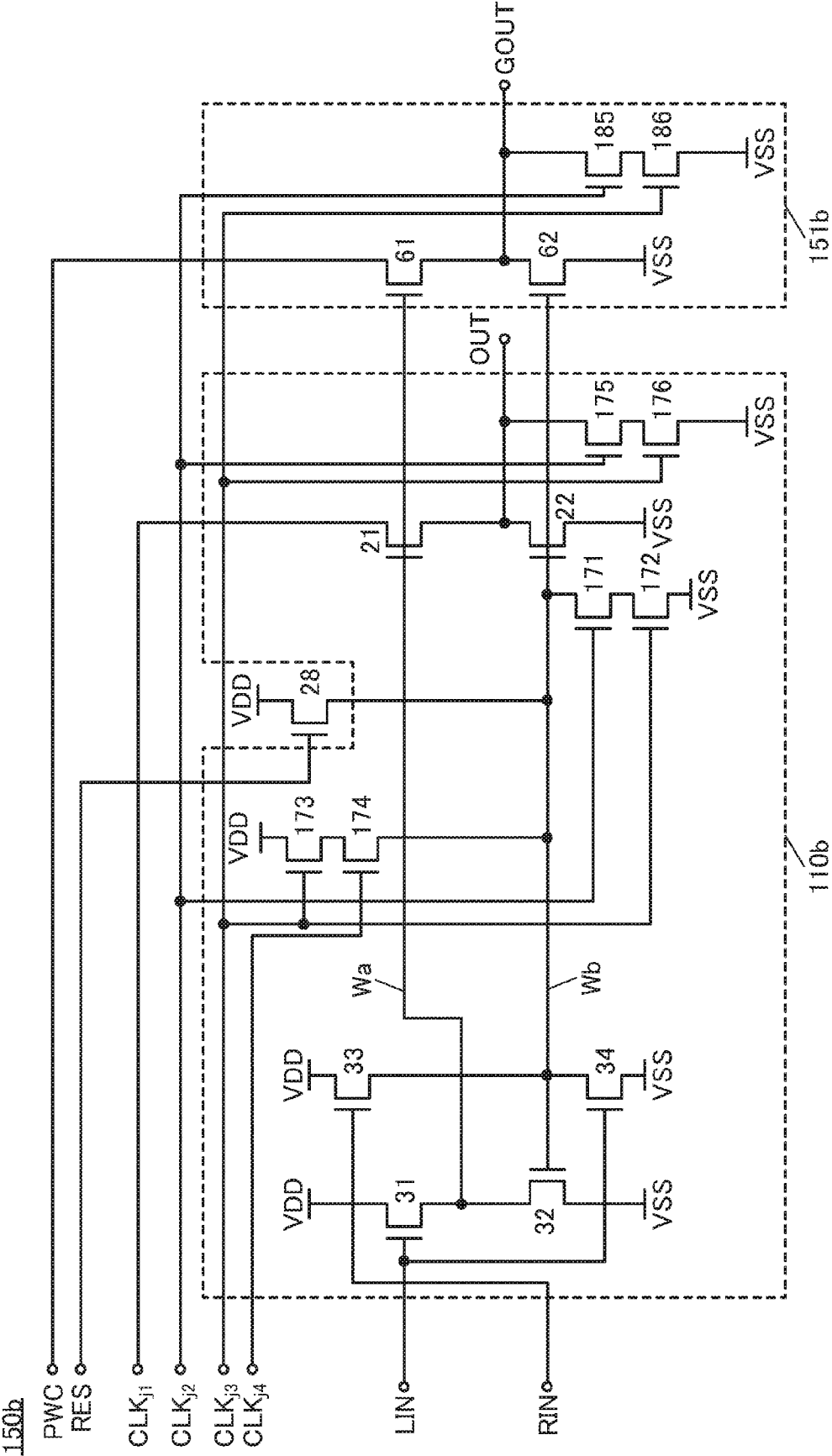
50e



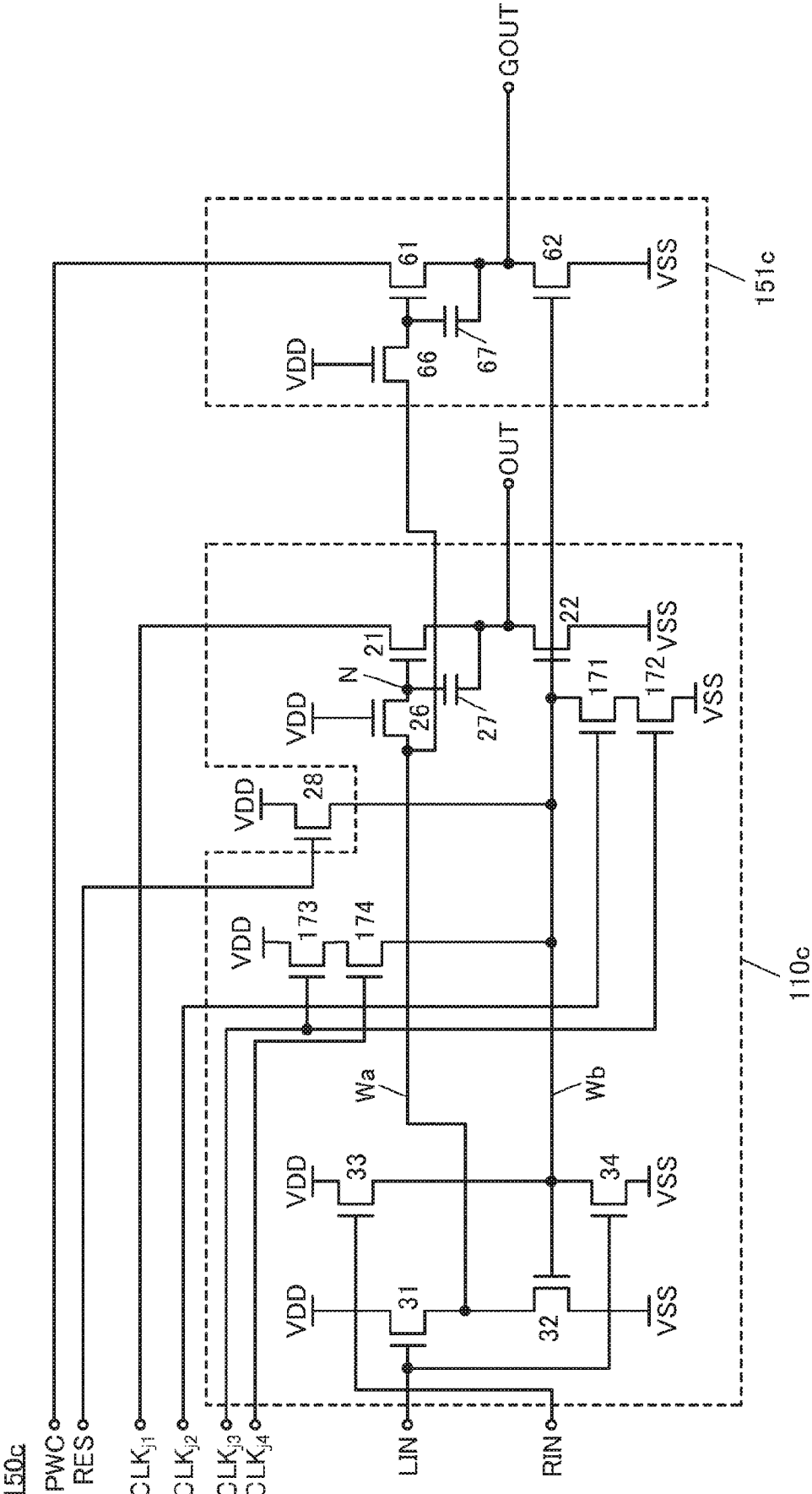
29



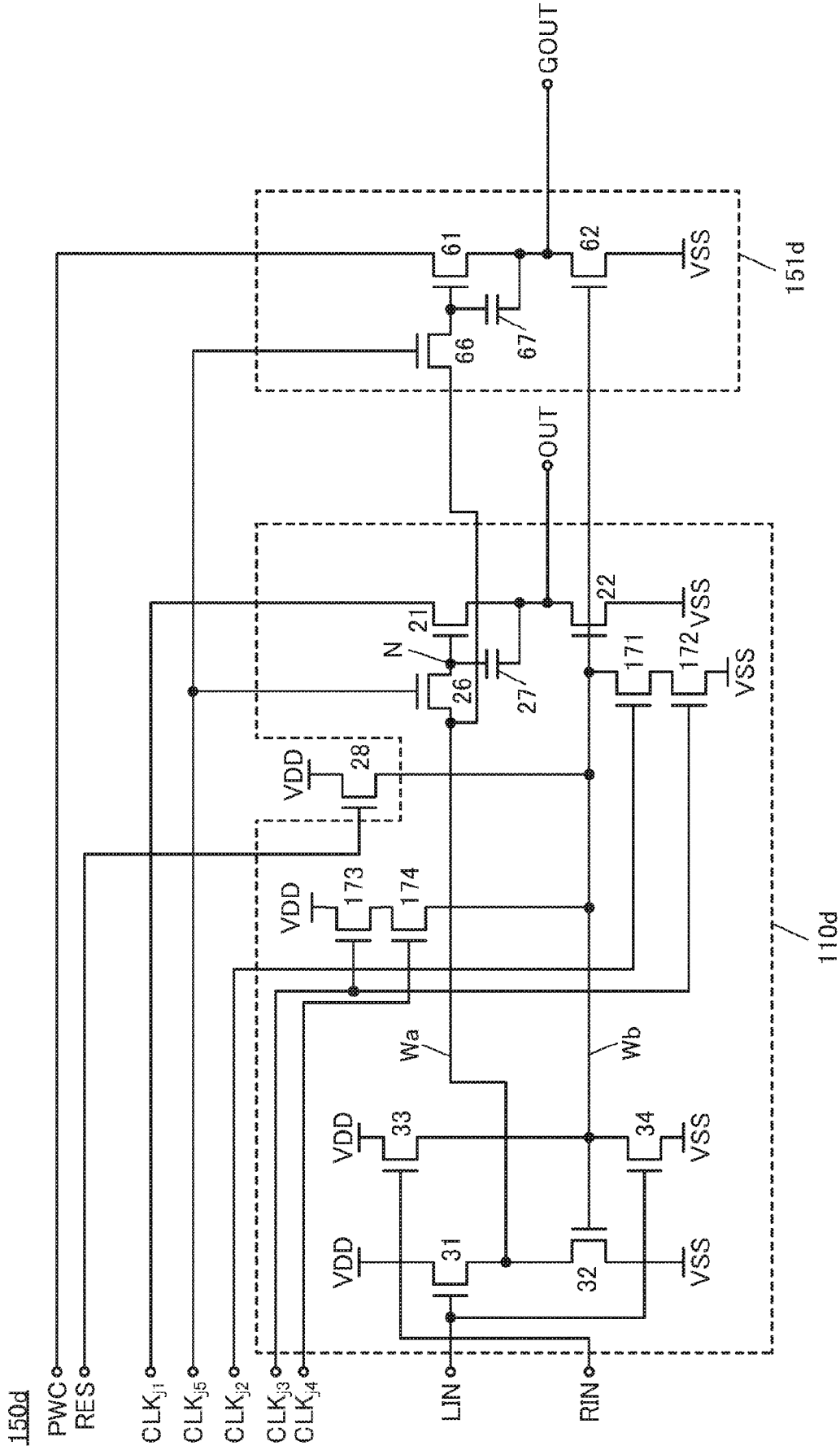
30



31



32



33

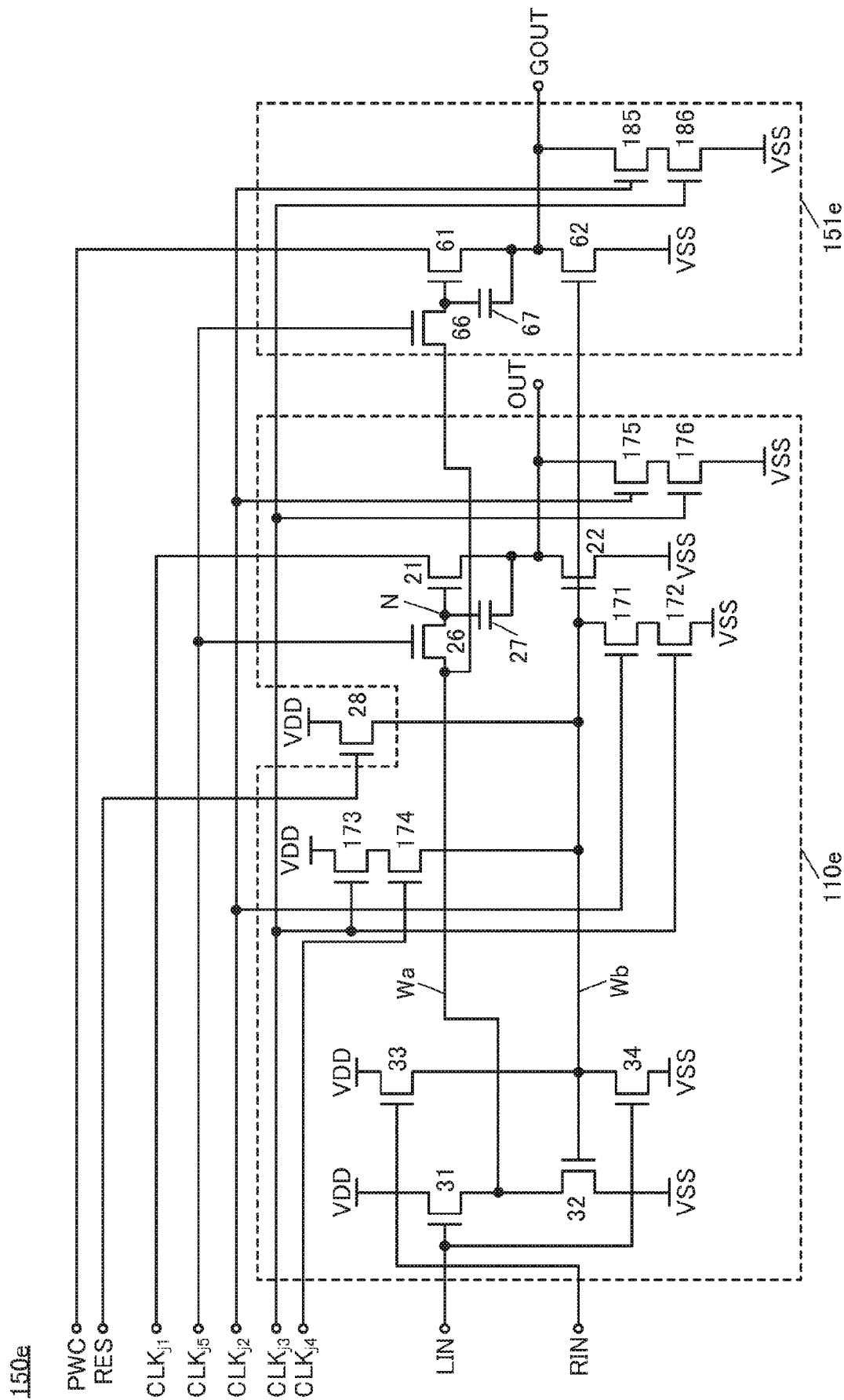


図34A

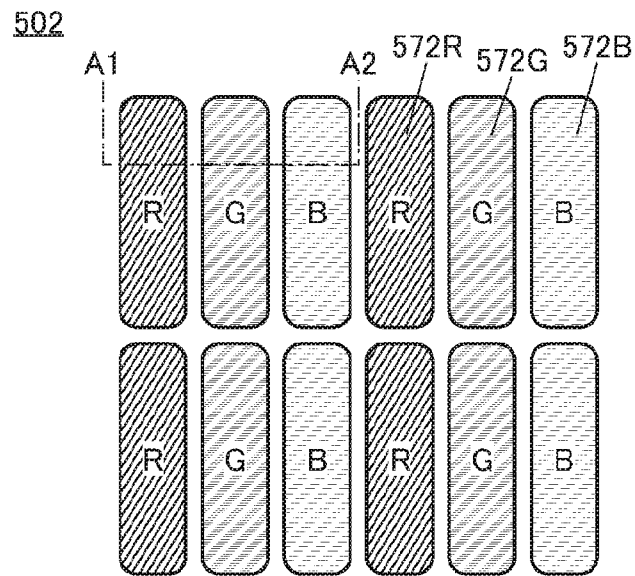


図34B

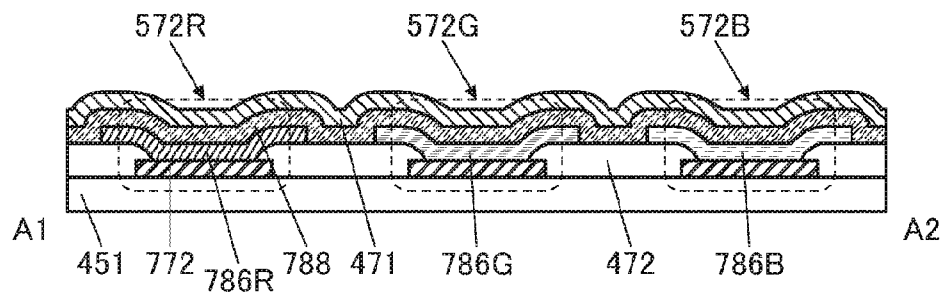
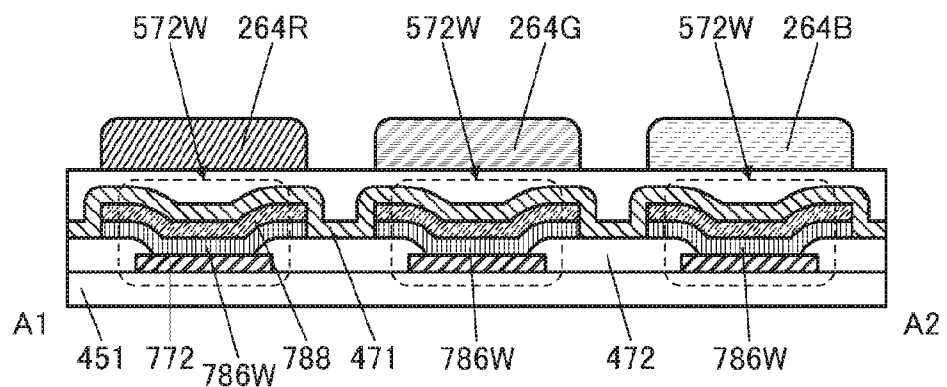
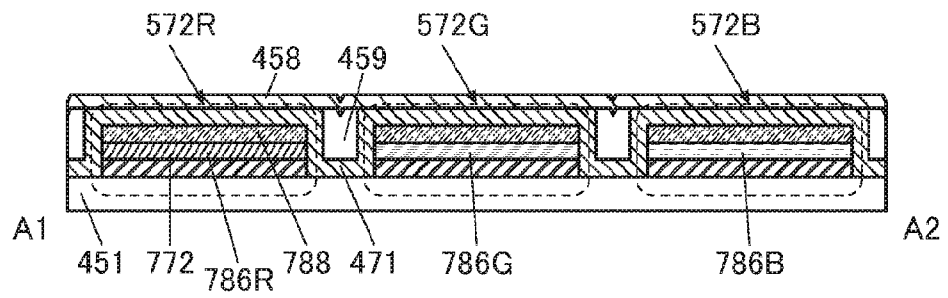


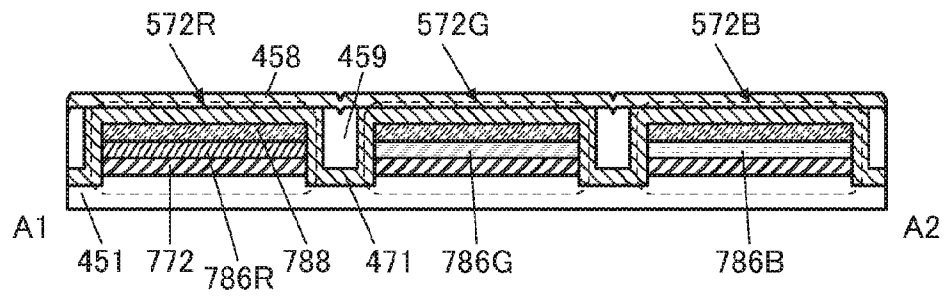
図34C



35A



35B



35C

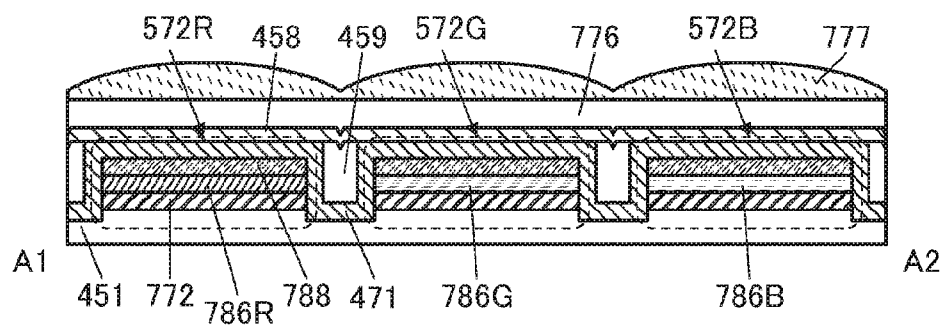


図36A

572

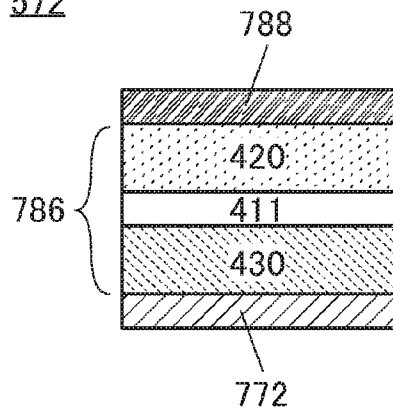


図36B

572

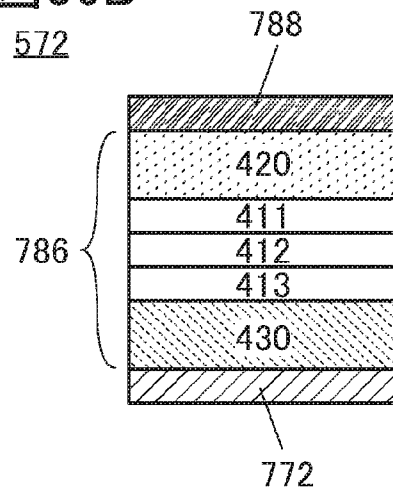


図36C

572

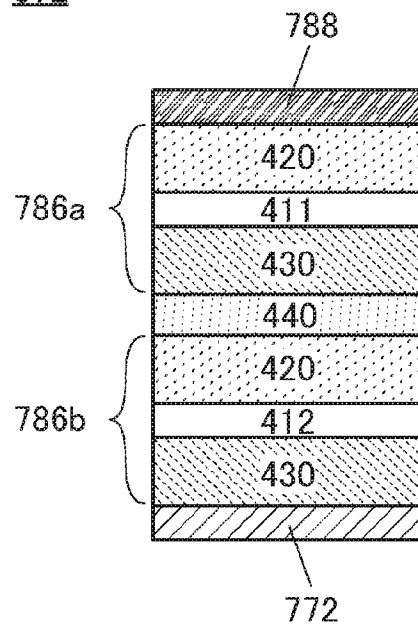
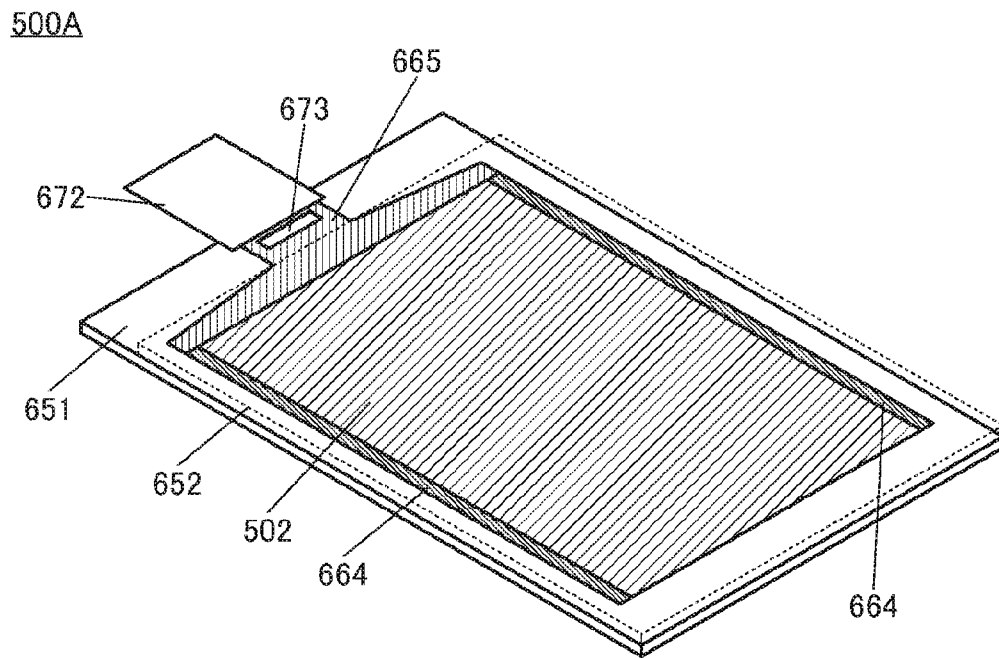
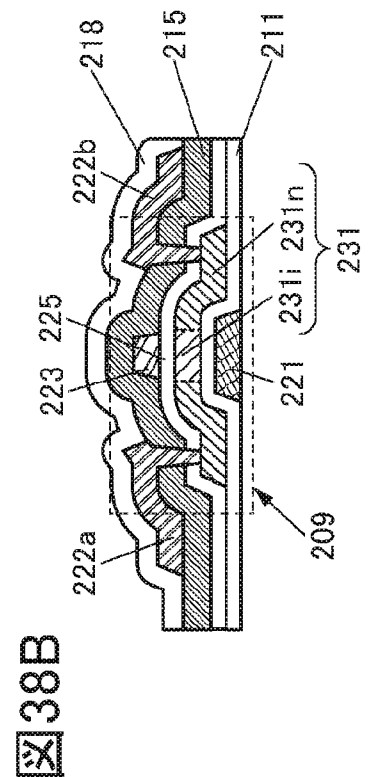
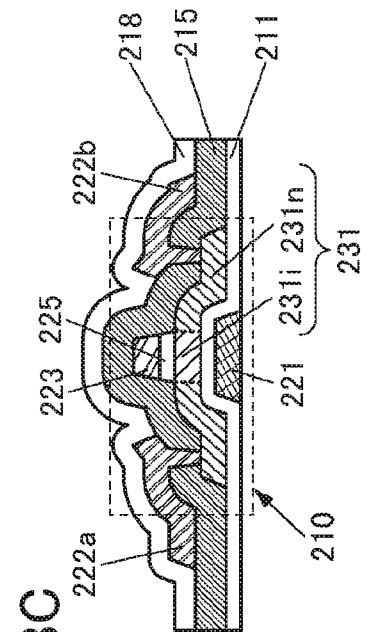
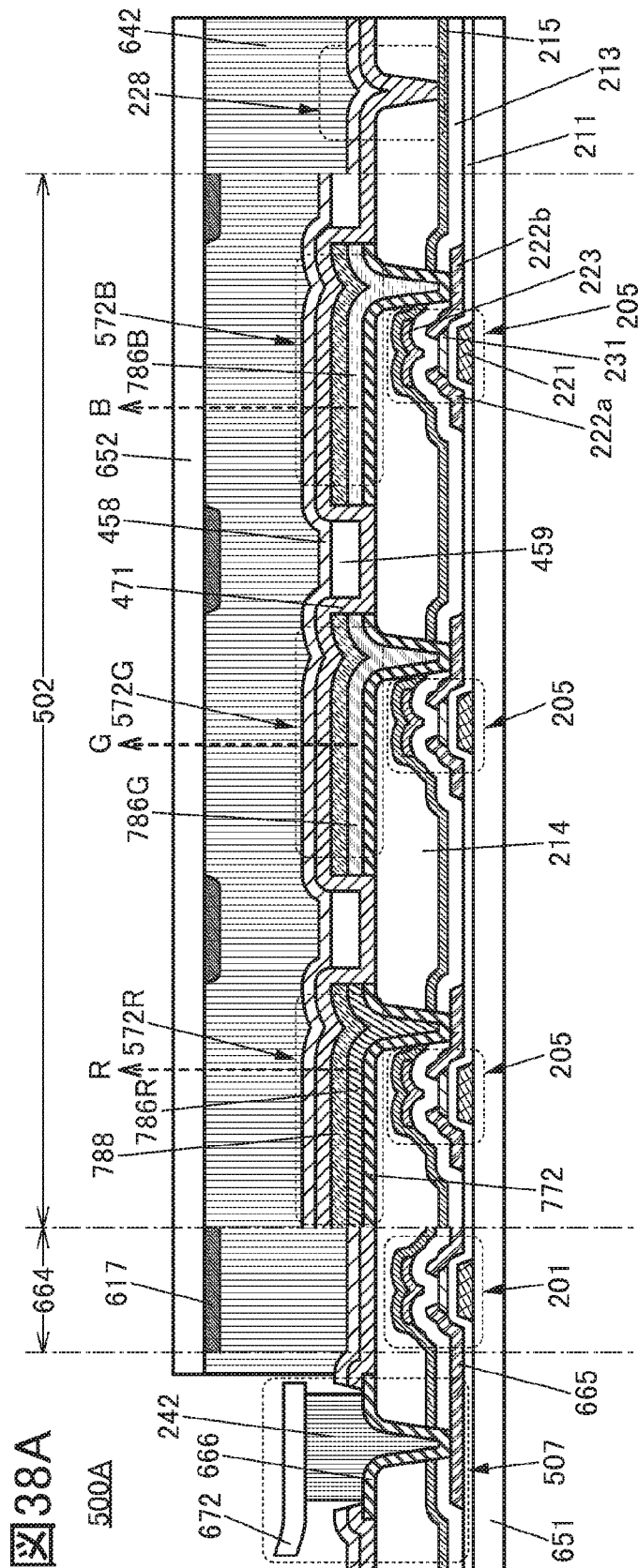


图37





39

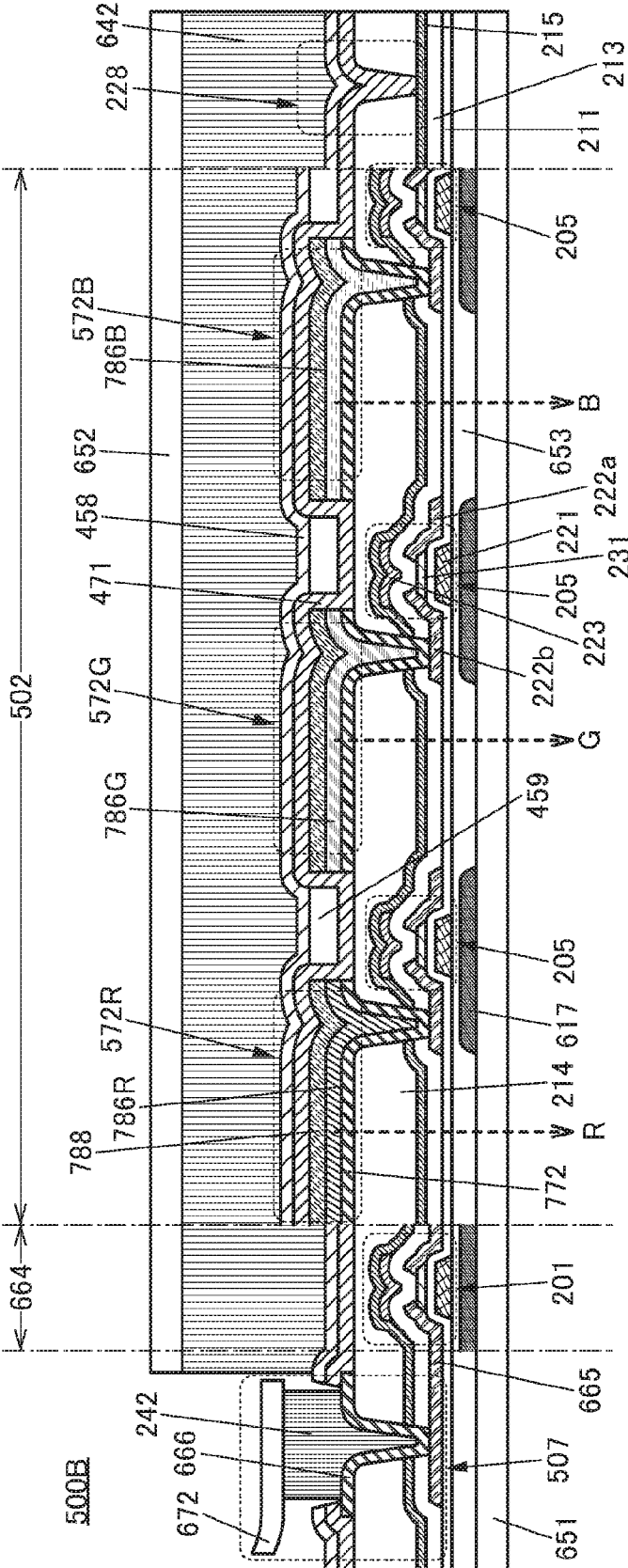


図40A

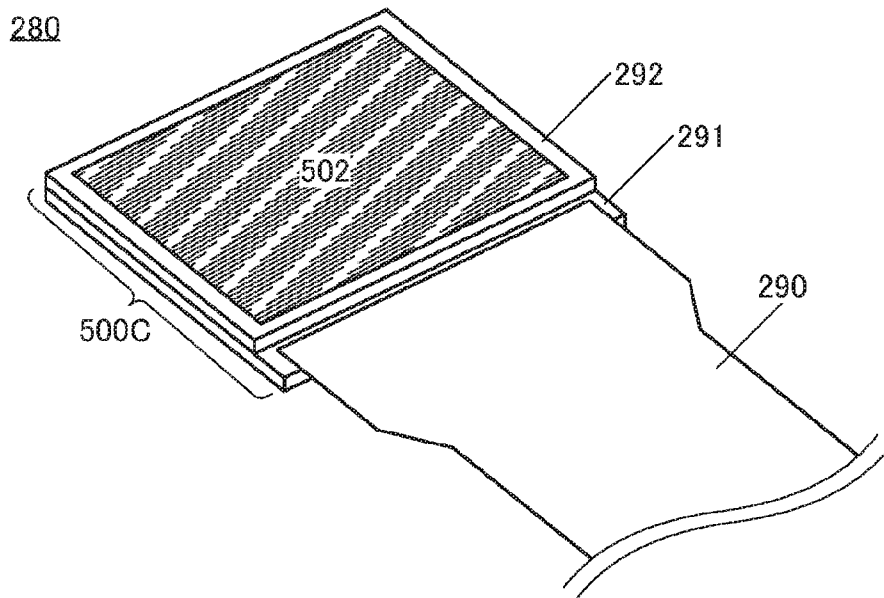


図40B

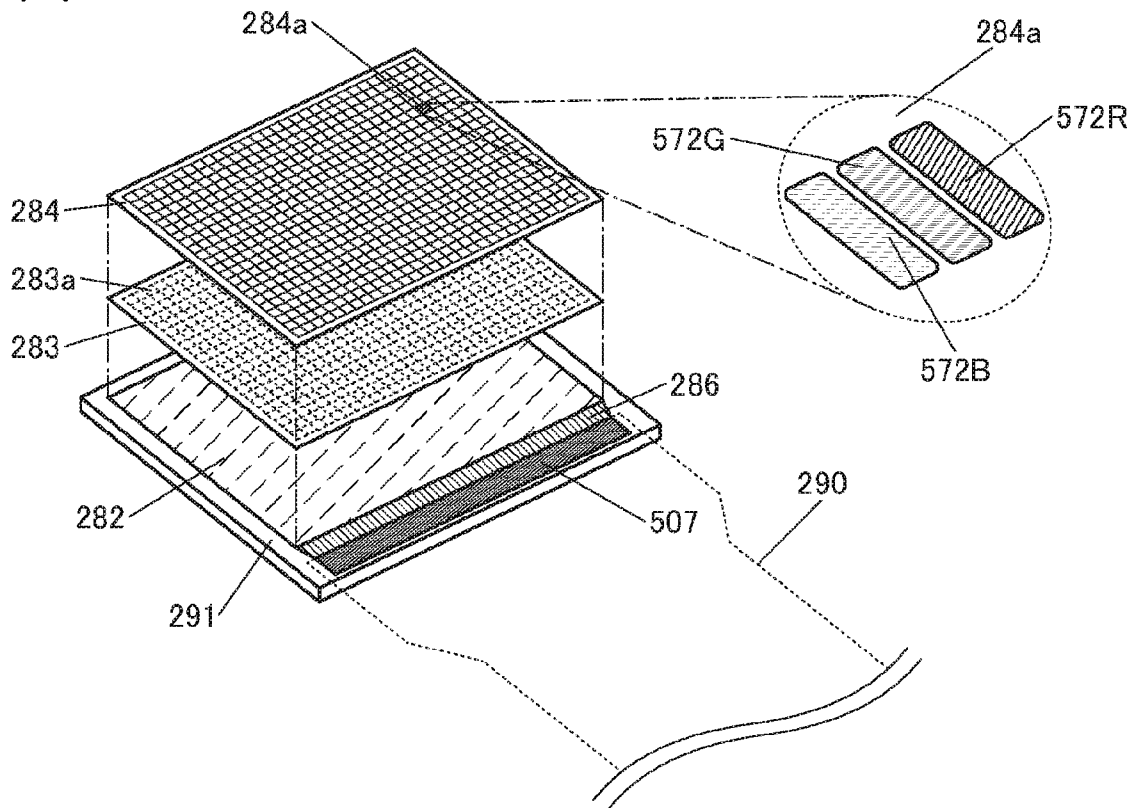


図41

500C

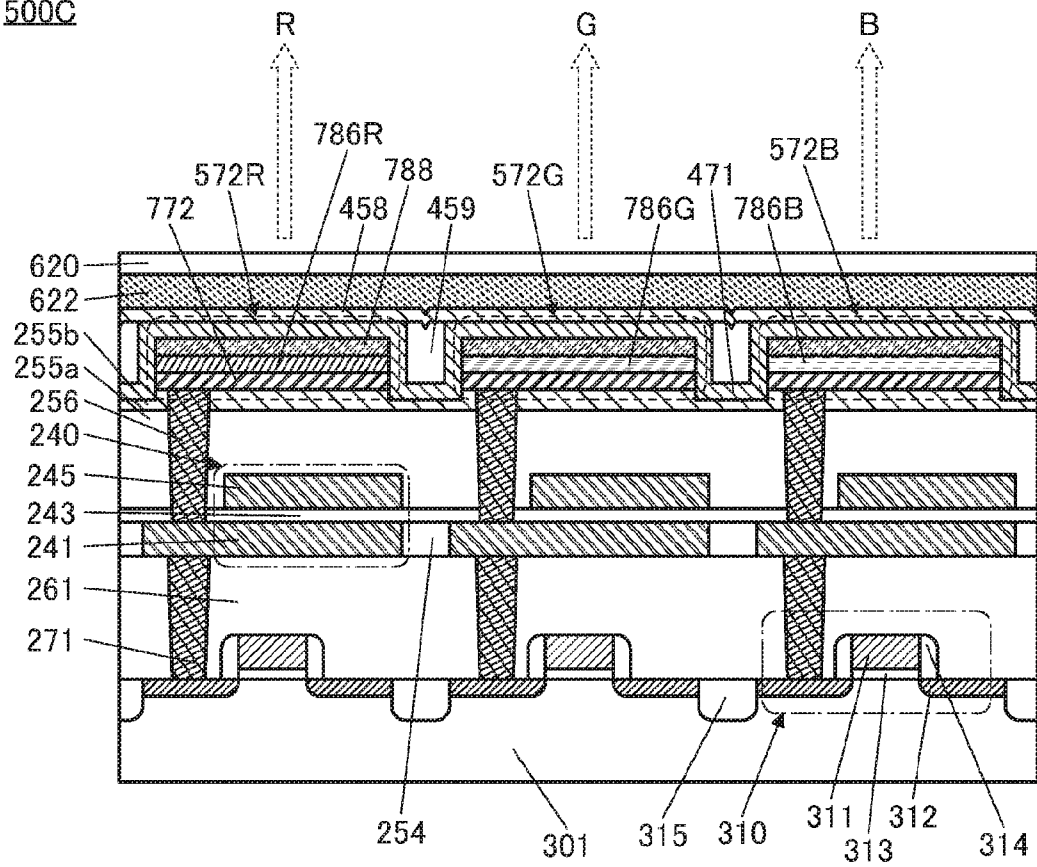


図42

500D

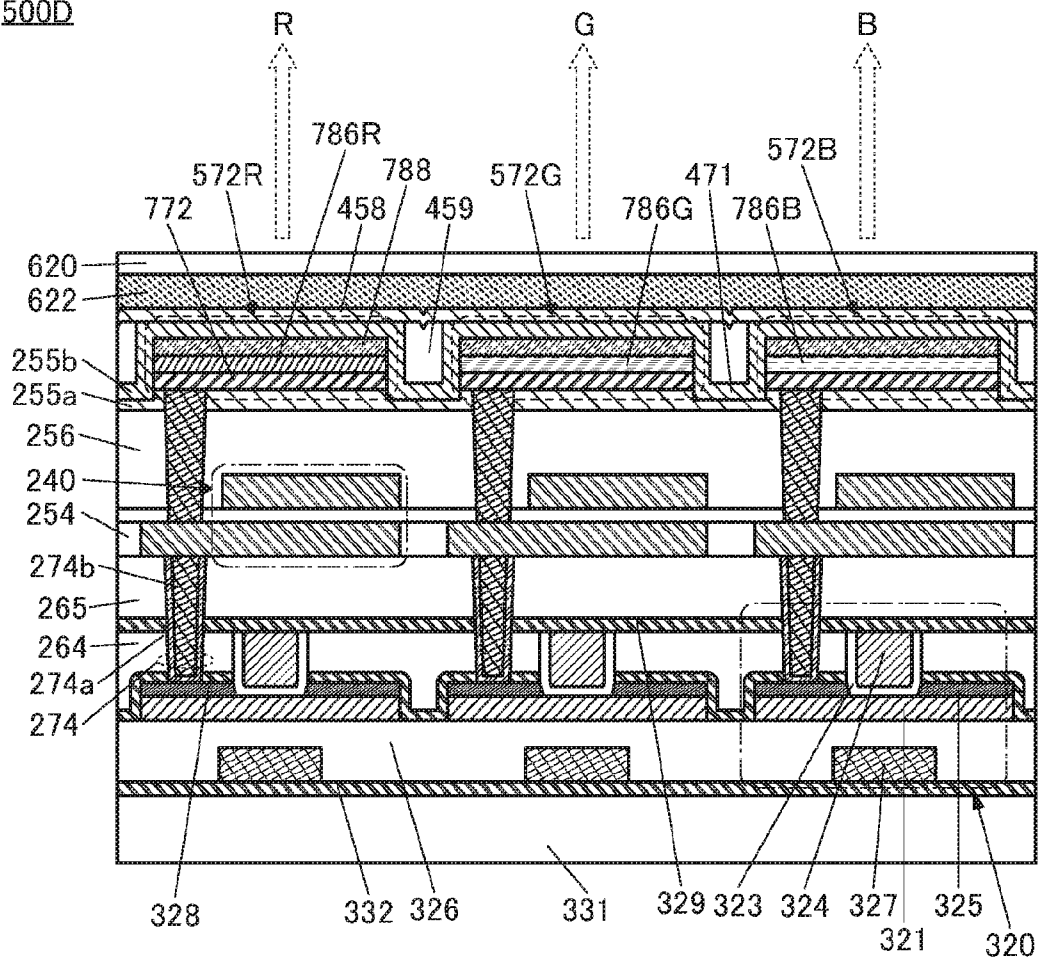


図43

500E

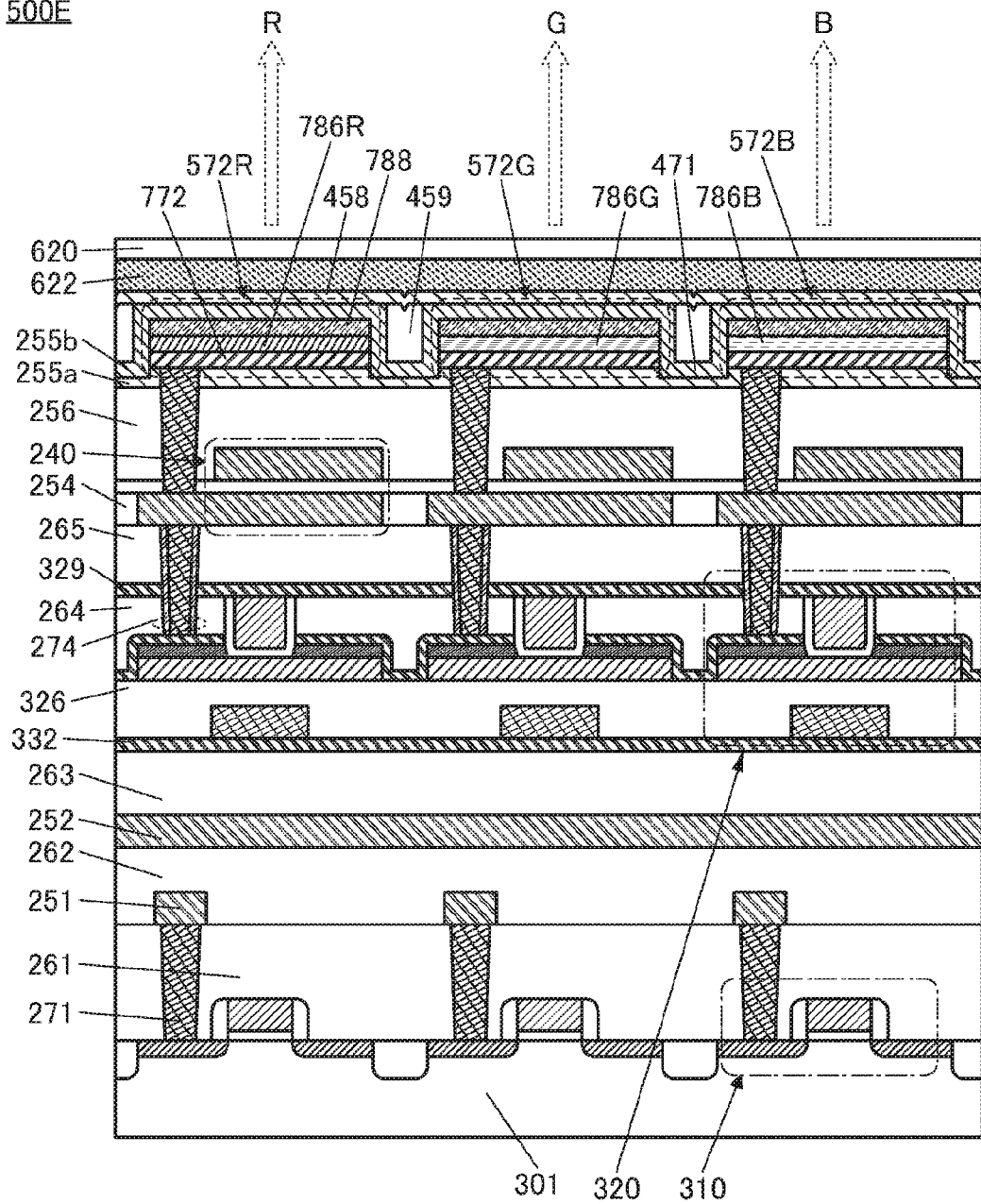
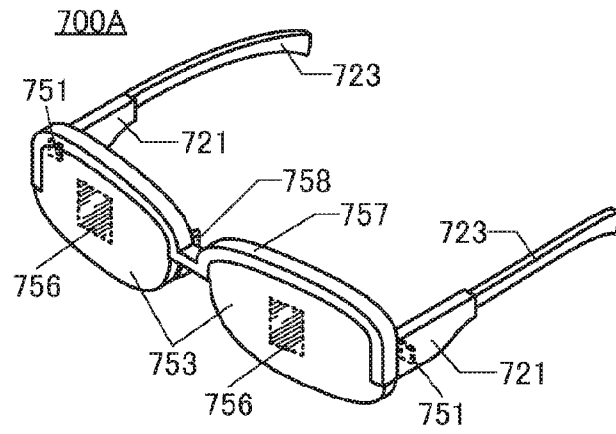


図44A



750

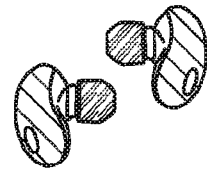


図44B

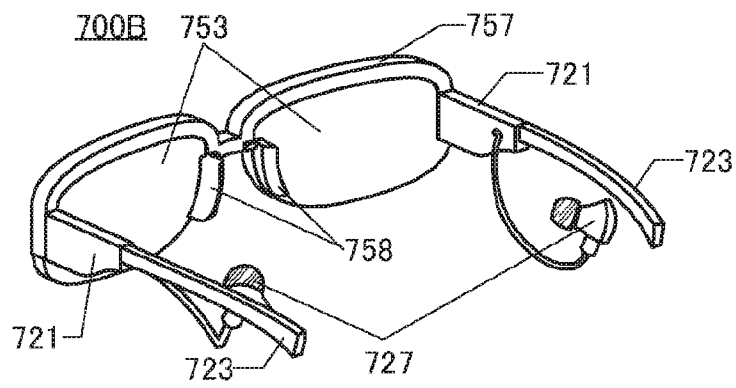
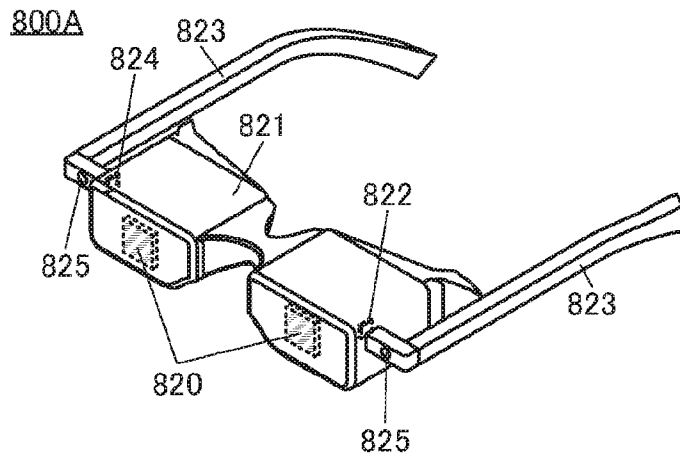


図45A



750

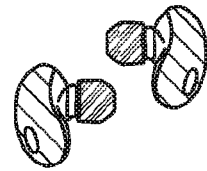
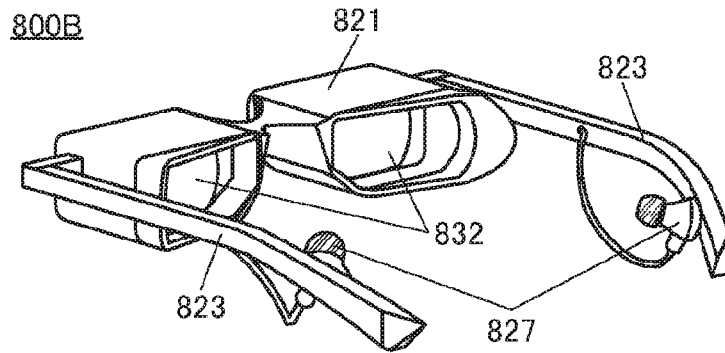


図45B



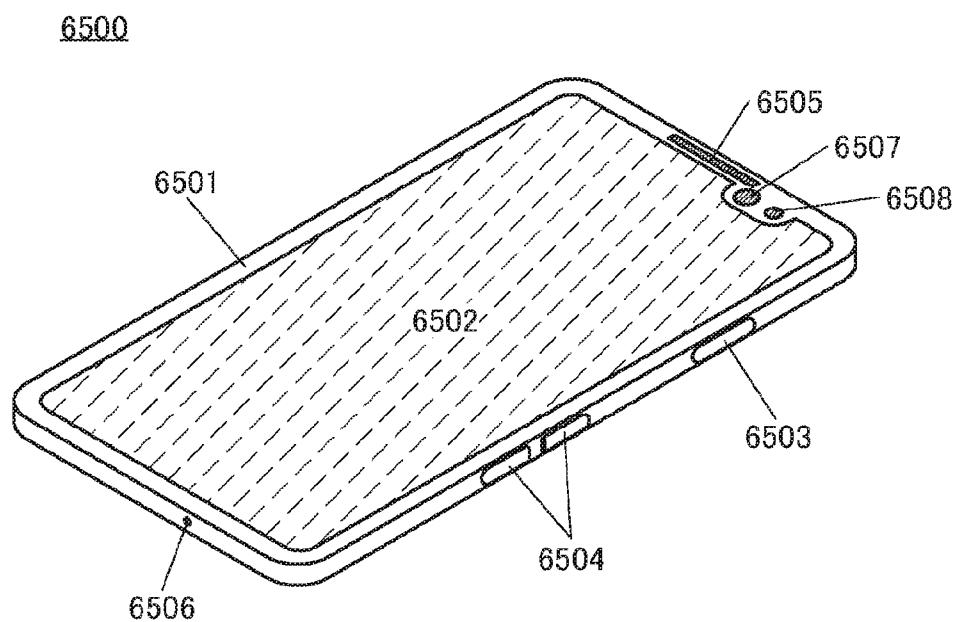


图 46B

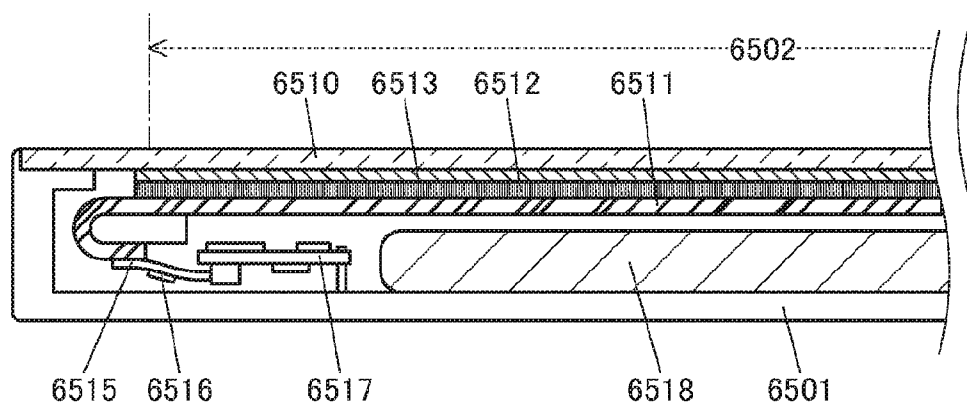


図47A

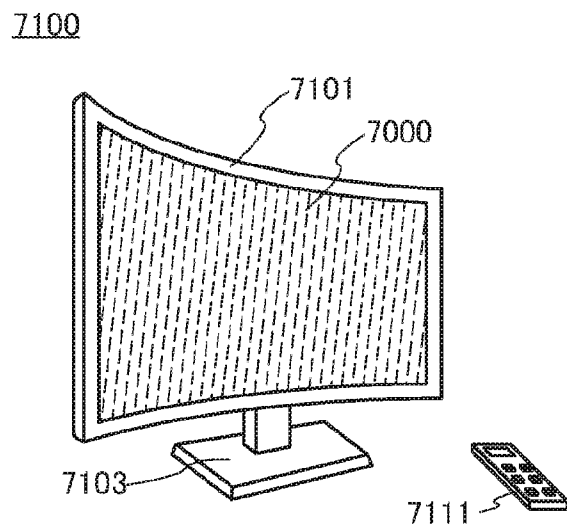


図47B

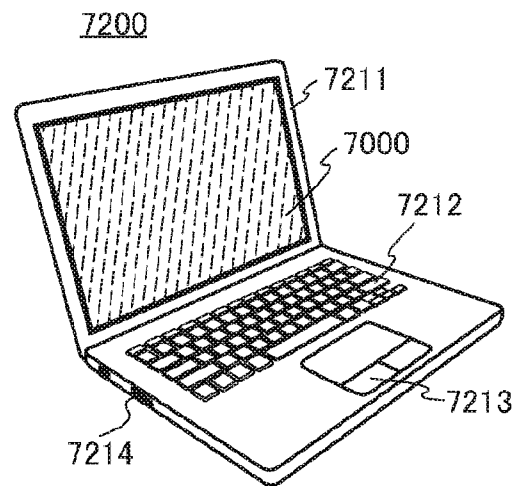


図47C

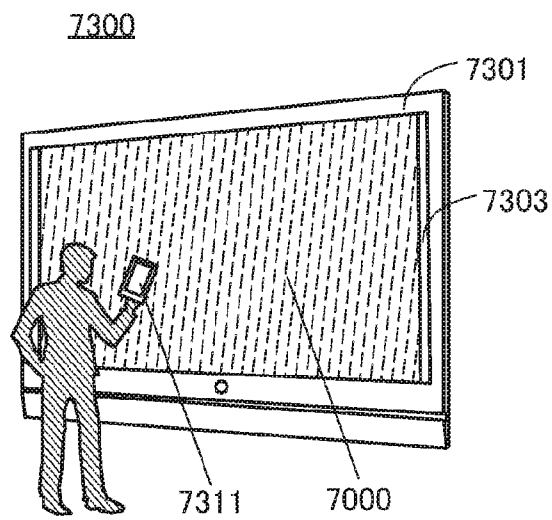


図47D

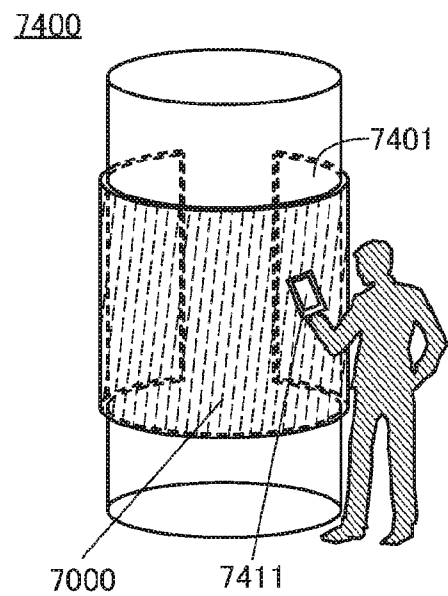


图48A

9101

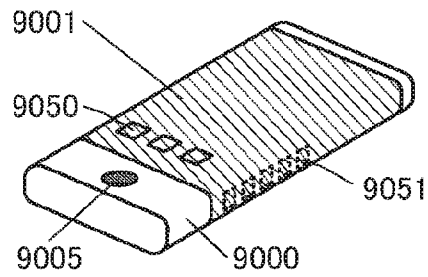


图48D

9200

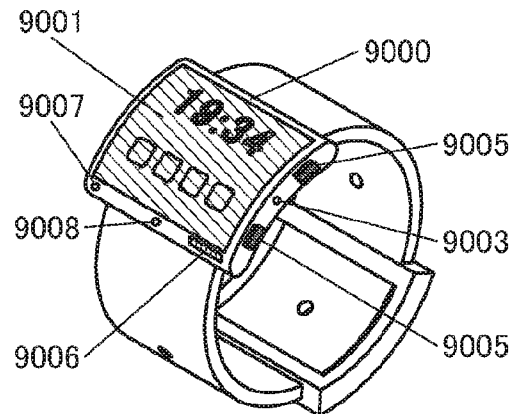


图48B

9102

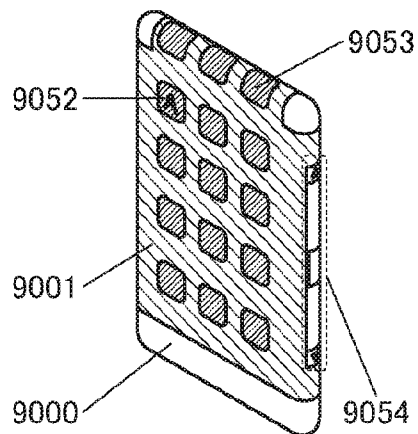


图48E

9201

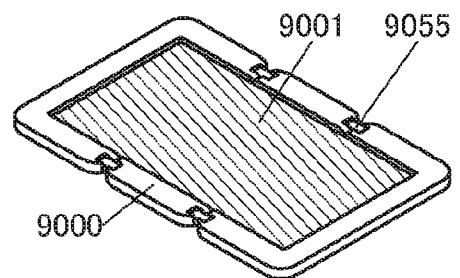


图48F

9201

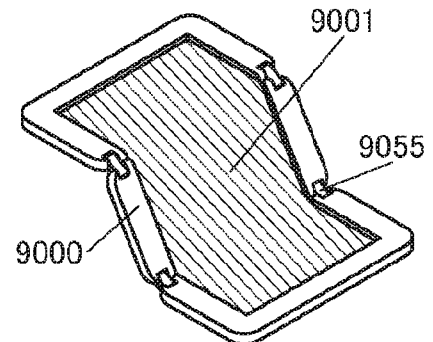


图48C

9103

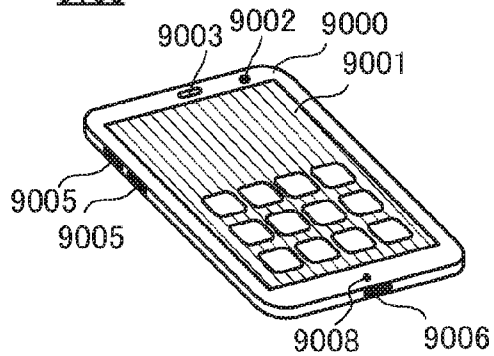


图48G

9201

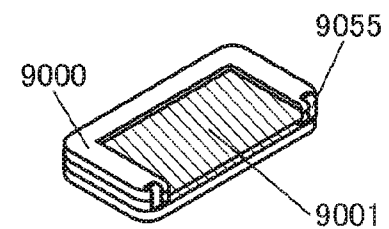


図49A

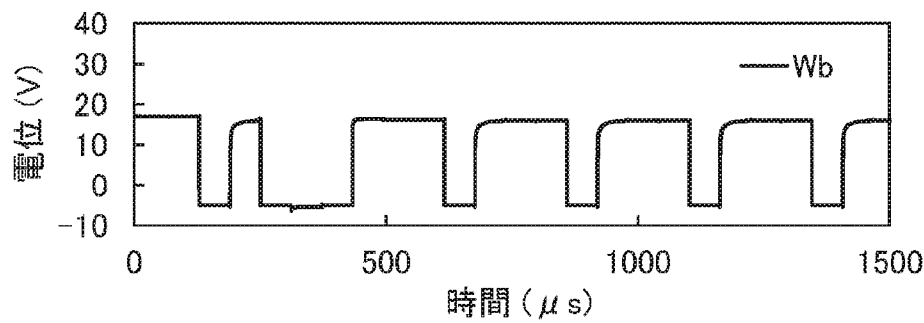


図49B

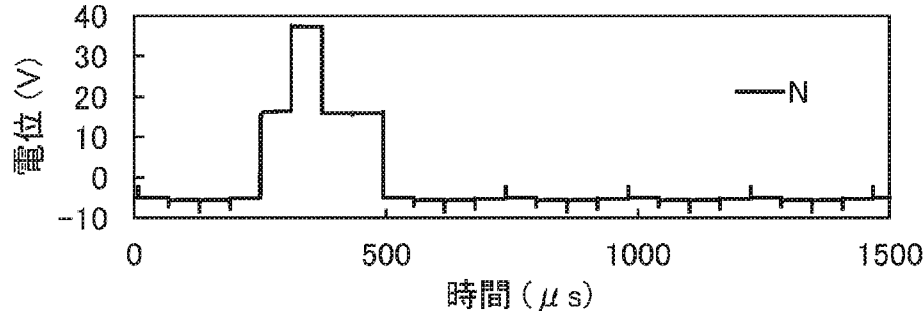


図49C

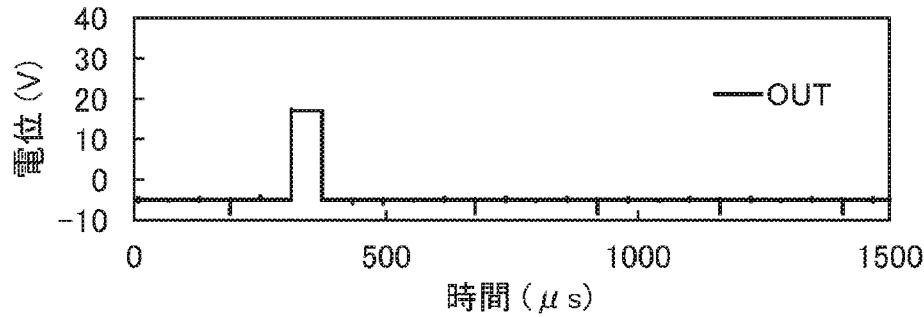


図50A

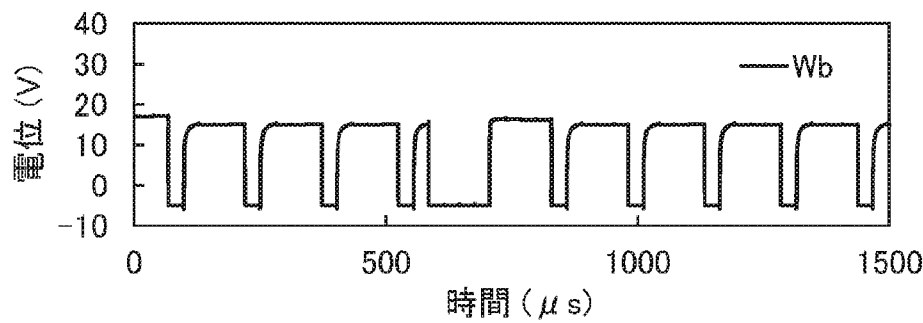


図50B

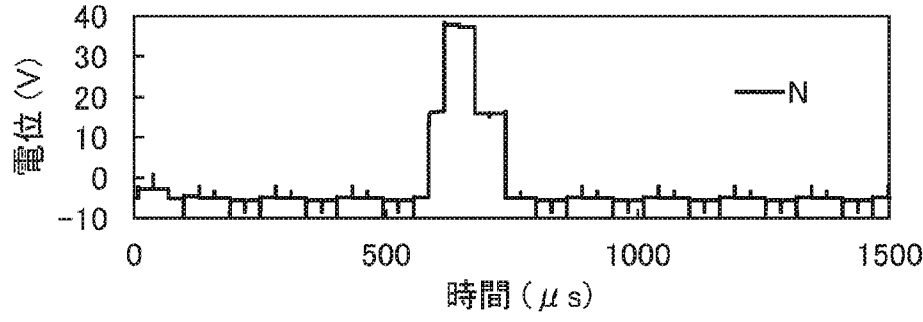
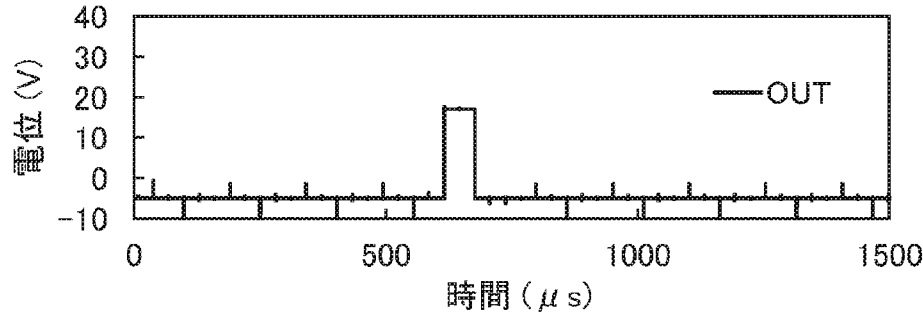


図50C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2022/051530

A. CLASSIFICATION OF SUBJECT MATTER**G11C 19/28**(2006.01)i; **G09G 3/20**(2006.01)i; **H05B 33/12**(2006.01)i

FI: G11C19/28 230; G09G3/20 622E; G09G3/20 670J; H05B33/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C19/28; G09G3/20; H05B33/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-190437 A (LG PHILIPS LCD CO LTD) 20 July 2006 (2006-07-20) paragraphs [0013]-[0059], fig. 3-8	1-2
Y	paragraphs [0013]-[0059], fig. 3-8	3-13
Y	JP 2011-205624 A (SEMICONDUCTOR ENERGY LAB CO LTD) 13 October 2011 (2011-10-13) paragraphs [0032]-[0105], fig. 1-10	3-13
Y	JP 2011-30171 A (SEMICONDUCTOR ENERGY LAB CO LTD) 10 February 2011 (2011-02-10) paragraphs [0057]-[0067], fig. 6	5, 11-13
A	JP 2008-108374 A (MITSUBISHI ELECTRIC CORP) 08 May 2008 (2008-05-08) paragraphs [0066]-[0103], fig. 6-9	1-13
A	JP 2012-99211 A (BOE TECHNOLOGY GROUP CO LTD) 24 May 2012 (2012-05-24) paragraphs [0013]-[0055], fig. 1-5	1-13

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

31 March 2022

Date of mailing of the international search report

12 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2022/051530

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2006-190437	A	20 July 2006	US 2006/0146978 A1 paragraphs [0014]-[0080], fig. 3-8 KR 10-2006-0079037 A CN 1797609 A	
JP	2011-205624	A	13 October 2011	US 2011/0216874 A1 paragraphs [0046]-[0119], fig. 1A-10B WO 2011/108343 A1 CN 102783025 A KR 10-2012-0139755 A	
JP	2011-30171	A	10 February 2011	(Family: none)	
JP	2008-108374	A	08 May 2008	US 2008/0101529 A1 paragraphs [0104]-[0141], fig. 6-9	
JP	2012-99211	A	24 May 2012	US 2012/0105393 A1 paragraphs [0027]-[0069], fig. 1-5 CN 102467891 A KR 10-2012-0046061 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 19/28(2006.01)i; G09G 3/20(2006.01)i; H05B 33/12(2006.01)i FI: G11C19/28 230; G09G3/20 622E; G09G3/20 670J; H05B33/12		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G11C19/28; G09G3/20; H05B33/12		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-190437 A (エルジー フィリップス エルシーディー カンパニー リミテッド) 20.07.2006 (2006 - 07 - 20) 段落[0013]-[0059], 図3-8	1-2
Y	段落[0013]-[0059], 図3-8	3-13
Y	JP 2011-205624 A (株式会社半導体エネルギー研究所) 13.10.2011 (2011 - 10 - 13) 段落[0032]-[0105], 図1-10	3-13
Y	JP 2011-30171 A (株式会社半導体エネルギー研究所) 10.02.2011 (2011 - 02 - 10) 段落[0057]-[0067], 図6	5, 11-13
A	JP 2008-108374 A (三菱電機株式会社) 08.05.2008 (2008 - 05 - 08) 段落[0066]-[0103], 図6-9	1-13
A	JP 2012-99211 A (京東方科技集団ふん有限公司) 24.05.2012 (2012 - 05 - 24) 段落[0013]-[0055], 図1-5	1-13
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 31.03.2022		国際調査報告の発送日 12.04.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 堀田 和義 5N 8840 電話番号 03-3581-1101 内線 3586

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2022/051530

引用文献			公表日	パテントファミリー文献	公表日
JP	2006-190437	A	20.07.2006	US 2006/0146978 A1 段落[0014]-[0080], 図3-8 KR 10-2006-0079037 A CN 1797609 A	
JP	2011-205624	A	13.10.2011	US 2011/0216874 A1 段落[0046]-[0119], 図1A-10B WO 2011/108343 A1 CN 102783025 A KR 10-2012-0139755 A	
JP	2011-30171	A	10.02.2011	(ファミリーなし)	
JP	2008-108374	A	08.05.2008	US 2008/0101529 A1 段落[0104]-[0141], 図6-9	
JP	2012-99211	A	24.05.2012	US 2012/0105393 A1 段落[0027]-[0069], 図1-5 CN 102467891 A KR 10-2012-0046061 A	