



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월29일
(11) 등록번호 10-0848927
(24) 등록일자 2008년07월22일

(51) Int. Cl.

H01L 27/10 (2006.01)

- (21) 출원번호 10-2001-0061909
- (22) 출원일자 2001년10월08일
심사청구일자 2006년09월27일
- (65) 공개번호 10-2002-0028804
- (43) 공개일자 2002년04월17일
- (30) 우선권주장
JP-P-2000-00310256 2000년10월11일 일본(JP)
- (56) 선행기술조사문헌
JP11238862 A
JP12232076 A

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자

크로다켄이찌

일본국도쿄도치요다쿠마루노우치1초메5반지1고신
마루비루가부시키가이샤히타치세이사쿠쇼지택키
자이산켄혼부나이

와타나베코우조우

일본국도쿄도치요다쿠마루노우치1초메5반지1고신
마루비루가부시키가이샤히타치세이사쿠쇼지택키
자이산켄혼부나이

(74) 대리인

이중일

전체 청구항 수 : 총 30 항

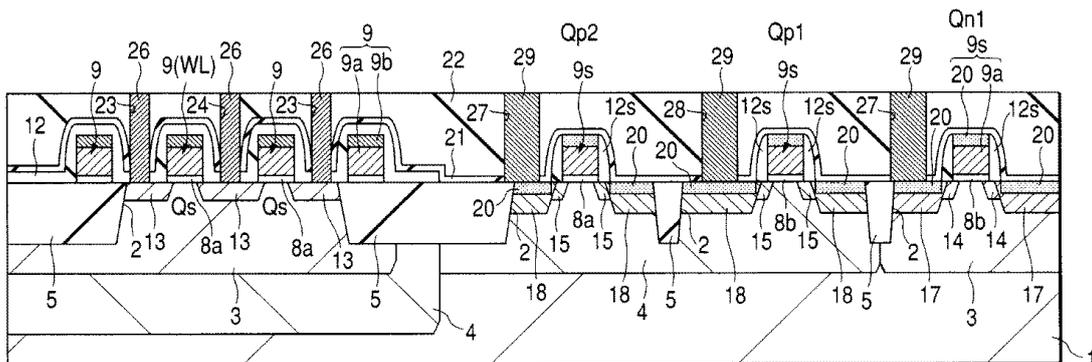
심사관 : 박혜련

(54) 반도체 집적회로장치 및 그 제조방법

(57) 요약

본 발명은 반도체집적회로장치 및 그 제조방법에 관한 것으로서 메모리셀형성영역의 정보전송용MISFET(Qs)의 게이트전극(9)을 다결정실리콘막(9a)과 W막(9b)의 적층막으로 구성하고 주변회로형성영역의 n채널형MISFET(Qn1) 및 p채널형MISFET(Qp1, Qp2)의 게이트전극(9s)을 다결정실리콘막(9a)과 CoSi층(20)과의 적층막으로 구성하고 또한, 이들 MISFET의 소스 및 드레인상에는 CoSi층(20)을 형성하지만 정보전송용MISFET의 소스 및 드레인상에는 CoSi층을 형성하지 않는다, 이 결과 메모리셀의 리플레쉬 특성을 향상시키는 것이 가능하다. 또한, CoSi층(20)상에는 콘택트홀(27, 28)을 정밀도 있게 형성할 수 있는 정보전송용 MISFET의 소스, 드레인부에 있어서의 리크전류를 저감하고, 소자의 미세화에 대응할 수 있는 기술을 제공한다.

대표도



특허청구의 범위

청구항 1

반도체기판의 메모리셀 형성영역에 형성된 정보전송용 MISFET와 용량소자로 이루어지는 메모리셀 및 주변회로형성영역에 형성된 n채널형 MISFET와 p채널형 MISFET를 갖추는 반도체집적회로장치에 있어서,

상기 정보전송용 MISFET, n채널형 MISFET 및 p채널형 MISFET는,

상기 반도체기판 안에 형성된 소스 및 드레인과 상기 소스와 드레인간의 반도체기판상에 형성된 게이트절연막과 상기 게이트절연막상에 형성된 게이트전극을 갖추고,

(a) 상기 정보전송용 MISFET의 게이트전극은 금속층을 갖추고,

(b) 상기 n채널형 MISFET 및 p채널형 MISFET의 게이트 전극은 제 1 금속실리사이드층을 갖추고, n채널형 MISFET 및 p채널형 MISFET의 소스 및 드레인상에는 제 2 금속실리사이드층이 형성되어 있는 것을 특징으로 하는 반도체 집적회로장치.

청구항 2

청구항 1 에 있어서,

상기 정보전송용 MISFET의 소스 및 드레인상에는 금속 실리사이드층이 형성되어 있지 않는 것을 특징으로 하는 반도체집적회로 장치.

청구항 3

반도체기판의 메모리셀 형성영역에 형성된 정보전송용 MISFET와 용량소자로 이루어지는 메모리셀 및 주변회로형성영역에 형성된 n채널형 MISFET와 p채널형 MISFET를 갖추는 반도체집적회로장치에 있어서,

상기 정보전송용 MISFET, n채널형 MISFET 및 p채널형 MISFET는,

상기 반도체기판 안에 형성된 소스 및 드레인과 상기 소스와 드레인간의 반도체기판상에 형성된 게이트절연막과 상기 게이트절연막상에 형성된 게이트전극을 갖추고,

(a) 상기 정보전송용 MISFET의 게이트전극은 실리콘층과 그 상부에 형성된 금속층의 적층막으로 이루어지고,

(b) 상기 n채널형 MISFET 및 p채널형 MISFET의 게이트 전극은 실리콘층과 그 상부에 형성된 제 1 금속실리사이드층으로 이루어지고, n채널형 MISFET 및 p채널형 MISFET의 소스 및 드레인상에는 제 2 금속실리사이드층이 형성되어 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 4

청구항 3 에 있어서,

상기 정보전송용 MISFET 의 소스 및 드레인상에는 금속 실리사이드층이 형성되어 있지 않는 것을 특징으로 하는 반도체집적회로장치.

청구항 5

청구항 3 에 있어서,

상기 금속층은 텅스텐으로 이루어지는 것을 특징으로 하는 반도체집적회로장치.

청구항 6

청구항 3 에 있어서,

상기 제 1 및 제 2 금속실리사이드층은 코발트 혹은 티탄실리사이드층인 것을 특징으로 하는 반도체집적회로장치.

청구항 7

청구항 3 에 있어서,

상기 제 1 및 제 2 금속실리사이드층은, 금속층과 실리콘층과의 접촉부에 있어서의 실리사이드화 반응에 의해 형성된 층인 것을 특징으로 하는 반도체집적회로장치.

청구항 8

청구항 3 에 있어서,

상기 n채널형 MISFET 혹은 p채널형 MISFET상에는 절연층이 형성되고,

상기 n채널형 MISFET 혹은 p채널형 MISFET의 게이트전극상의 상기 절연층안에는 제 1 매입도전층이 형성되고,

상기 n채널형 MISFET 혹은 p채널형 MISFET의 소스 혹은 드레인상의 상기 절연층안에는 제 2 매입도전층이 형성되어 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 9

삭제

청구항 10

청구항 3 에 있어서,

상기 정보전송용 MISFET상에는 제 1 및 제 2 절연막이 형성되고,

상기 n채널형 MISFET 와 p채널형 MISFET상에는 제 2 절연막과 동층으로 형성된 절연막이 형성되어 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 11

청구항 8 에 있어서,

상기 정보전송용 MISFET상에는 제 1, 제 2 및 제 3 절연막이 형성되고,

상기 n채널형 MISFET와 p채널형 MISFET상에는 제 2, 제 3의 절연막과 동층으로 형성된 2층의 절연막이 형성되어 있고,

상기 제 1 및 제 2 매입도전층은 상기 n채널형 MISFET 혹은 p채널형 MISFET상에 형성된 상기 2층의 절연막 안에 형성되어 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 12

반도체기판의 메모리셀 형성영역에 형성된 정보전송용 MISFET와 용량소자로 이루어지는 메모리셀 및 주변회로 형성영역에 형성된 n채널형 MISFET와 p채널형 MISFET를 갖추는 SRAM 메모리셀을 구비하는 반도체집적회로장치에 있어서,

상기 정보전송용 MISFET, n채널형 MISFET 및 p채널형 MISFET는,

상기 반도체기판 안에 형성된 소스 및 드레인과 상기 소스와 드레인간의 반도체기판상에 형성된 게이트절연막과 상기 게이트절연막상에 형성된 게이트전극을 갖추고,

(a) 상기 정보전송용 MISFET의 게이트전극은 실리콘층과 금속층의 적층막으로 이루어지고,

(b) 상기 n채널형 MISFET 및 p채널형 MISFET의 게이트 전극은 실리콘층과 그 상부에 형성된 제 1 금속실리사이드층으로 이루어지고, n채널형 MISFET 및 p채널형 MISFET의 소스 및 드레인상에는 제 2 금속실리사이드층이 형성되어 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 13

청구항 12 에 있어서,

상기 정보전송용 MISFET의 소스 및 드레인상에는 금속실리사이드층이 형성되어 있지 않는 것을 특징으로 하는 반도체집적회로장치.

청구항 14

청구항 12 에 있어서,

상기 금속층은 텅스텐으로 이루어지는 것을 특징으로 하는 반도체집적회로장치.

청구항 15

청구항 12 에 있어서,

상기 제 1 및 제 2 금속실리사이드층은, 코발트 혹은 티탄실리사이드층인 것을 특징으로 하는 반도체집적회로장치.

청구항 16

청구항 12 에 있어서,

상기 제 1 및 제 2 금속실리사이드층은, 금속층과 실리콘층과의 접촉부에 있어서의 실리사이드화 반응에 의해 형성된 층인 것을 특징으로 하는 반도체집적회로장치.

청구항 17

청구항 12 에 있어서,

상기 p채널형 MISFET의 게이트전극과 상기 n채널형 MISFET의 소스 혹은 드레인은 매입도전층으로 접속되고,

상기 매입도전층은 상기 n채널형 MISFET 혹은 p채널형 MISFET상에 형성된 절연층안에 형성되어 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 18

청구항 12 에 있어서,

상기 n채널형 MISFET의 게이트전극과 상기 p채널형 MISFET의 소스 혹은 드레인은 매입 도전층으로 접속되고,

상기 매입도전층은 상기 n채널형 MISFET 혹은 p채널형 MISFET상에 형성된 절연층안에 형성되어 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 19

삭제

청구항 20

반도체기판의 메모리셀 형성영역에 형성된 정보전송용 MISFET와 용량소자로 이루어지는 메모리셀 및 주변회로형성영역에 형성된 n채널형 MISFET와 p채널형 MISFET를 갖추는 반도체집적회로장치의 제조방법에 있어서,

- (a) 반도체기판상에 게이트절연막을 형성하는 공정과,
- (b) 상기 게이트절연막상에 다결정 실리콘막 및 고용점금속막을 순차로 형성하고 패터닝하는 것에 의해 메모리셀 형성영역 및 주변회로 형성영역에 게이트전극을 형성하는 공정과,
- (c) 상기 게이트전극의 양측에 불순물을 주입하는 것에 의해 저농도확산층을 형성하는 공정과,
- (d) 상기 게이트전극상에 제 1 절연막을 퇴적하는 공정과,
- (e) 주변회로형성영역에 형성된 제 1 절연막을 이방적(anisotropic)으로 에칭하는 것에 의해 주변회로형성영역에 형성된 게이트전극측벽에 사이드월막을 형성하는 공정과,
- (f) 상기 사이드월막을 마크스로서 주변회로 형성영역에 불순물을 주입하는 것에 의해 고농도 확산층을 형성하는 공정과,

- (g) 상기 주변회로 형성영역의 게이트전극안의 고용점 금속막을 제거하는 공정과,
- (h) 상기 주변회로 형성영역상에 금속층을 퇴적하고 열처리를 실시하는 것에 의해 상기 주변회로 형성영역의 게이트전극안의 다결정실리콘막위 및 고농도 확산층상에 실리사이드막을 형성하는 공정과,
- (i) 미반응의 상기 금속층을 제거하고 메모리셀 형성영역 및 주변회로형성영역상에 제 2 절연막을 형성하는 공정을 갖추는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 21

청구항 20 에 있어서,

- (j) 상기 제 2 절연막상에 제 3 절연막을 퇴적하고 제 2 및 제 3 절연막을 제거하는 것에 의해 상기 주변회로형성영역의 상기 다결정실리콘막상의 실리사이드막위 혹은 상기 고농도확산층상에 콘택트홀을 형성하는 공정과,
- (k) 상기 콘택트홀내에 도전성막을 매입하는 공정을 또한 갖추는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 22

청구항 21 에 있어서,

상기 n채널형 MISFET 혹은 p채널형 MISFET는 분리영역으로 포위된 영역으로 형성되고,
 상기 콘택트홀은 상기 분리영역위까지 연장하고 있는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 23

반도체기판의 메모리셀 형성영역에 형성된 정보전송용 MISFET와 용량소자로 이루어지는 메모리셀 및 주변회로 형성영역에 형성된 n채널형 MISFET와 p채널형 MISFET를 갖추는 SRAM메모리셀을 구비하는 반도체집적회로장치의 제조방법에 있어서,

- (a) 반도체기판상에 게이트절연막을 형성하는 공정과,
- (b) 상기 게이트절연막상에 다결정 실리콘막 및 고용점금속막을 순차로 형성하고 패터닝하는 것에 의해 메모리셀 형성영역 및 주변회로 형성영역에 게이트전극을 형성하는 공정과,
- (c) 상기 게이트전극의 양측에 불순물을 주입하는 것에 의해 저농도확산층을 형성하는 공정과,
- (d) 상기 게이트전극상에 제 1 절연막을 퇴적하는 공정과,
- (e) 주변회로형성영역에 형성된 제 1 절연막을 이방적(anisotropic)으로 에칭하는 것에 의해 주변회로형성영역에 형성된 게이트전극측벽에 사이드월막을 형성하는 공정과,
- (f) 상기 사이드월막을 마크스로서 주변회로 형성영역에 불순물을 주입하는 것에 의해 고농도 확산층을 형성하는 공정과,
- (g) 상기 주변회로 형성영역의 게이트전극안의 고용점 금속막을 제거하는 공정과,
- (h) 상기 주변회로 형성영역상에 금속층을 퇴적하고 열처리를 실시하는 것에 의해 상기 주변회로 형성영역의 게이트전극안의 다결정실리콘막위 및 고농도 확산층상에 실리사이드막을 형성하는 공정과,
- (i) 미반응의 상기 금속층을 제거하고 메모리셀 형성영역 및 주변회로형성영역상에 제 2 절연막을 형성하는 공정을 갖추는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 24

청구항 23 에 있어서,

- (j) 상기 제 2 절연막상에 제 3 절연막을 퇴적하고, 제 2 및 제 3 절연막을 제거하는 것에 의해 상기 p채널형 MISFET의 게이트전극안의 다결정 실리콘막위로부터 상기 n채널형 MISFET의 고농도 확산층위의 실리사이드막까지 연장하는 콘택트홀을 형성하는 공정과,
- (k) 상기 콘택트홀내에 도전성막을 매입하는 것에 의해 배선을 형성하는 공정을 갖추는 것을 특징으로 하는 반

도체집적회로장치의 제조방법.

청구항 25

청구항 23 에 있어서,

(j) 상기 제 2 절연막상에 제 3 절연막을 퇴적하고, 제 2 및 제 3 절연막을 제거하는 것에 의해 상기 n채널형 MISFET의 게이트전극안의 다결정 실리콘막위로부터 상기 p채널형 MISFET의 고농도 확산층위의 실리콘사이드막까지 연장하는 콘택트홀을 형성하는 공정과,

(k) 상기 콘택트홀내에 도전성막을 매입하는 것에 의해 배선을 형성하는 공정을 또한 갖추는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 26

반도체기판의 메모리셀 형성영역에 형성된 정보전송용 MISFET와 용량소자로 이루어지는 메모리셀 및 주변회로 형성영역에 형성된 n채널형 MISFET와 p채널형 MISFET를 갖추는 반도체집적회로장치의 제조방법에 있어서,

(a) 반도체기판상에 게이트절연막을 형성하는 공정과,

(b) 상기 게이트절연막상에 다결정 실리콘막 및 고용점금속막 및 질화실리콘막을 순차로 형성하고 패터닝하는 것에 의해 메모리셀 형성영역 및 주변회로 형성영역에 게이트전극을 형성하는 공정과,

(c) 상기 게이트전극의 양측에 불순물을 주입하는 것에 의해 저농도확산층을 형성하는 공정과,

(d) 상기 게이트전극상에 제 1 절연막을 퇴적하는 공정과,

(e) 주변회로형성영역에 형성된 제 1 절연막을 이방적(anisotropic)으로 에칭하는 것에 의해 주변회로형성영역에 형성된 게이트전극측벽에 사이드월막을 형성하는 공정과,

(f) 상기 사이드월막을 마크스로서 주변회로 형성영역에 불순물을 주입하는 것에 의해 고농도 확산층을 형성하는 공정과,

(g) 상기 주변회로 형성영역의 게이트전극안의 고용점 금속막 및 질화실리콘막을 제거하는 공정과,

(h) 상기 주변회로 형성영역상에 금속층을 퇴적하고 열처리를 실시하는 것에 의해 상기 주변회로 형성영역의 게이트전극안의 다결정실리콘막위 및 고농도 확산층상에 실리콘사이드막을 형성하는 공정과,

(i) 미반응의 상기 금속층을 제거하고 메모리셀 형성영역 및 주변회로형성영역상에 제 2 절연막을 형성하는 공정을 갖추는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

청구항 27

삭제

청구항 28

반도체기판의 메모리셀 형성영역에 형성된 정보전송용 MISFET과 용량소자로 이루어지는 메모리셀 및 주변회로 형성영역에 형성된 n채널형 MISFET과 p채널형 MISFET을 구비하는 반도체집적회로장치에 있어서,

상기 정보전송용 MISFET, n채널형 MISFET 및 p채널형 MISFET은 상기 반도체기판중에 형성된 소스 및 드레인과, 상기 소스와 드레인간의 반도체기판상에 형성된 게이트절연막과, 상기 게이트절연막상에 형성된 게이트전극을 구비하고,

(a) 상기 정보전송용 MISFET의 게이트전극은 금속을 포함하는 도전층을 갖고,

(b) 상기 n채널형 MISFET 및 p채널형 MISFET의 게이트전극은 제1 금속 실리콘사이드층을 갖고, n채널형 MISFET 및 p채널형 MISFET의 소스 및 드레인상에는 제2 금속 실리콘사이드층이 형성되어 있는 것을 특징으로 하는 반도체집적회로장치.

청구항 29

반도체 기판의 메모리 셀 형성 영역에 형성된 정보 전송용 MISFET와 용량 소자로 이루어지는 메모리 셀 및 주변

회로 형성 영역에 형성된 n채널형 MISFET와 p채널형 MISFET를 가지는 반도체 집적회로 장치로서,

상기 정보 전송용 MISFET, n채널형 MISFET 및 p채널형 MISFET는,

상기 반도체 기판상에 형성된 소스 및 드레인과, 상기 소스와 드레인의 사이의 반도체 기판상에 형성된 게이트 절연막과 상기 게이트 절연막상에 형성된 게이트 전극을 갖고,

(a) 상기 정보 전송용 MISFET의 게이트 전극은, 제1 다결정 실리콘층과, 상기 제 1 다결정 실리콘층상에 적층해 형성된 금속층으로 구성되고,

(b) 상기 n채널형 MISFET 및 p채널형 MISFET의 게이트 전극은, 제2 다결정 실리콘층과 상기 제 2 다결정 실리콘층의 표면을 실리사이드화하는 것에 의해 형성된 제1의 금속 실리사이드층으로 구성되고,

상기 n채널형 MISFET 및 p채널형 MISFET의 소스 및 드레인상에는, 상기 소스 및 드레인의 표면을 실리사이드화하는 것에 의해 형성된 제2의 금속 실리사이드층이 형성되고,

상기 제 1 및 제2의 금속 실리사이드층은 동일 공정의 실리사이드화에 의해 형성된 금속 실리사이드층인 것을 특징으로 하는 반도체 집적회로 장치.

청구항 30

청구항 29에 있어서,

상기 정보 전송용 MISFET의 소스 및 드레인상에는 금속 실리사이드층이 형성되어 있지 않은 것을 특징으로 하는 반도체 집적회로 장치.

청구항 31

청구항 30에 있어서,

상기 금속층은, 텅스텐으로 이루어지는 것을 특징으로 하는 반도체 집적회로 장치.

청구항 32

청구항 31에 있어서,

상기 제 1 및 제2의 금속 실리사이드층은, 코발트 혹은 티탄 실리사이드층인 것을 특징으로 하는 반도체 집적회로 장치.

청구항 33

청구항 32에 있어서,

상기 제 1 및 제2의 금속 실리사이드층은, 금속층과 실리콘층의 접촉부에 있어서 실리사이드화 반응에 의해 형성된 층인 것을 특징으로 하는 반도체 집적회로 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <58> 본 발명은 반도체집적회로장치 및 그 제조기술에 관하여 특히, DRAM(Dynamic Random Access Memory)과 논리집적회로등을 혼재한 반도체집적회로장치의 구조 및 그 제조에 적용하기에 유효한 기술에 관한 것이다.
- <59> MISFET의 게이트전극의 저저항화를 도모하기 위하여 게이트전극을 다결정실리콘막과 실리사이드막과의 적층막으로 하거나 혹은 게이트전극을 다결정실리콘막과 텅스텐등의 고용점금속등과의 적층막(이른바 폴리메탈게이트)으로 하는 기술이 있다.
- <60> 한편, 논리집적회로부의 고속화를 도모하는 수단으로서 논리회로를 구성하는 MISFET의 소스, 드레인의 표면에

실리사이드층을 형성하는 기술이 있다.

- <61> 예를들면, 일본국특개평2000-091535호 공보(대응 미국특허USP6,069,038)에는 게이트전극을 다결정 실리콘막과 실리사이드막과 적층막으로 한 반도체집적회로장치가 기재되어 있다.
- <62> 또한, 예를들면, 국제공개 W098/50951호(미국출원 No. 09/423,047)에는 게이트전극을 다결정실리콘막과 텅스텐(W)막과 적층막으로 하고 또한, 논리회로를 구성하는 MISFET의 소스 드레인의 표면에 실리사이드층을 형성한 반도체집적회로장치가 기재되어 있다.
- <63> 본 발명자들은 DRAM과 로직LSI를 동일 반도체기판상에 형성하는 이른바 시스템LSI의 연구·개발을 실행하고 있다.
- <64> 이 시스템 LSI안에 형성되는 DRAM은 정보전송용 MISFET와 여기에 직렬로 접속된 정보축적용 용량소자로 이루어지는 메모리셀을 구비하고 있다. 또한, 로직LSI는 n채널형 MISFET와 p채널형 MISFET를 적정하게 조합시킨 논리회로를 구비하고 있다.
- <65> 따라서, 이들을 동일기판상에 형성하기에는 메모리셀 형성영역의 정보전송용 MISFET와 로직LSI가 형성되는 주변회로형성영역의 n채널형 MISFET와 p채널형 MISFET를 가능한 공통으로 구성된 프로세스로 제조하는 것이 바람직하다.
- <66> 정보전송용 MISFET의 게이트전극 및 주변회로형성영역의 n채널형 MISFET와 p채널형 MISFET의 게이트전극과 소스, 드레인은 동작속도를 향상시키기 위하여 저저항인 것이 요구된다. 또한, 정보전송용 MISFET의 소스, 드레인간은 DRAM의 리플래쉬특성의 개선을 위하여 리크전류가 매우 작은 것이 요구된다.
- <67> 이 게이트전극의 저항을 저감하는 수단으로서 폴리사이드(polycide)게이트구조를 채용하는 수단이 있다. 폴리사이드게이트는 다결정실리콘막과 금속실리사이드막의 적층막을 패터닝하는 것에 의해 게이트전극을 형성하는 방법이다.
- <68> 그러나, 이 방법을 취하면 금속실리사이드막의 금속농도를 높게 하는 것이 불가능하기 때문에 충분한 저항이 저게이트전극을 형성하는 것이 곤란하다. 이 폴리사이드게이트 전극안의 금속실리사이드막의 금속농도를 높게 하는 것이 불가능한 이유는 다음과 같다. 즉, 게이트전극형성 공정후에는 소스 드레인영역형성을 위하여 이온주입공정 및 여기에 이어서 불순물의 활성화화를 위한 열처리공정이 필요하지만 상기 금속실리사이드막으로서 이 불순물의 활성화화를 위한 고온의 열처리에 대응하는 내열성을 갖는 막을 채용할 필요가 있기 때문이다. 예를들면, 합금층이 갖는 화학양론비보다도 금속농도가 높은 도전막을 다결정실리콘막의 상부에 형성해두면 상기 고온 열처리공정에 의해 금속이 확산하고 채널영역의 반도체기판을 오염하는 위험이 있기 때문이다.
- <69> 또한, 폴리사이드 게이트구조에 있어서, 금속실리사이드막의 막두께를 두껍게 하는 것에 의해 게이트전극의 저저항화를 도모하는 것이 가능하지만 두꺼운 막을 가공하기 위해서는 그 가공에 대응하는 포토레지스트막이 필요해진다.
- <70> 이 두꺼운 포토레지스트막은 해상도가 나쁘기 때문에 좁은 간격으로 배치된 게이트전극을 정밀도 좋게 가공하는 것이 불가능하다. 그 결과, LSI의 미세화에 대응할 수 없다.
- <71> 또한 두꺼운 막으로 구성되는 게이트전극을 좁은 간격으로 배치한 경우에는 간격과 게이트높이와의 비율(엑스펙트 비)이 커지고 게이트전극간을 절연막등으로 매입하는 것이 곤란해진다.
- <72> 상기에서, 금속농도가 높고 저저항인 도전체막과 다결정 실리콘막과의 사이에 금속의 확산 및 실리사이드반응을 방지하는 배리어메탈막을 증착하는 것에 의해 상기 문제를 해결한 폴리메탈 게이트구조가 검토되고 있다.
- <73> 이 폴리메탈구조에는 예를들면, 다결정실리콘, 질화텅스텐(WN)막 및 텅스텐(W)막의 적층막에 의해 게이트전극을 구성하는 것이 있다. 배리어메탈막으로서 질화텅스텐막과 다른 그의 질화금속 질화합금등을 적정하게 채용하는 것이 가능하다. 또한, 금속농도가 높고 저저항인 도전체막으로서 텅스텐과 다른 금속등을 채용하는 것이 가능하다.
- <74> 또한, 상기 기술한 바와 같이 주변회로형성영역의 MISFET의 소스 드레인영역의 시트저항 및 접촉저항을 내리고 또한, 정보전송용 MISFET의 소스 드레인간 리크전류를 저감하는 방법으로서 주변회로 형성영역의 MISFET만의 실리사이드프로세스를 적용하는 방법이 있다.
- <75> 이 실리사이드 프로세스는 실리콘기판상에 코발트(Co)와 티탄(Ti)등의 금속막을 형성하고 열처리를 실시하는

것에 의해 다결정 실리콘과 실리콘기판등의 실리콘층이 노출한 영역상만으로 선택적으로 금속실리사이드층을 형성하는 것이다.

- <76> 한편, 정보전송용 MISFET의 게이트전극위 또는 측벽위에는 자기정렬컨택(SAC : self aligned contact)프로세스에 필요한 막두께의 에칭 스톱퍼막을 형성할 필요가 있다. 에칭스톱퍼막은 층간절연막과 에칭의 선택비가 취해지는 막으로서 예를들면 SiN막등이 있다.
- <77> 그러나, 정보전송용 MISFET의 게이트전극위 또는 측벽위의 에칭스톱퍼막의 형성에 따라서, 주변회로형성영역의 MISFET의 게이트전극위에도 에칭 스톱퍼막이 형성되는 경우에는 컨택홀형성전에 주변회로 형성영역의 MISFET의 게이트전극위의 에칭스톱퍼막을 제거해 둘 필요가 있다.
- <78> 이것은, 주변회로영역의 소스, 드레인영역위 및 게이트전극위에 동시에 컨택홀을 개구해두도록 하면 소자분리 영역이 긴 에칭상태가 되고 오버에칭되어 버린다. 그 결과, 컨택플러그와 기판과의 사이에 단락(short-circuiting)이 발생된다. 이와 같은 단락을 방지하기 위하여 주변회로영역의 소스 드레인영역위의 컨택홀과 게이트전극위의 컨택홀을 별도의 공정으로 형성할 필요가 있기 때문이다.
- <79> 그러나, 이들 컨택홀을 별도의 공정으로 형성하는 경우에는 각각의 공정에 맞추어서 여유를 두지않으면 되지 않는 소자의 미세화를 도모할 수 없다.
- <80> 상기에서 일본국 특개평 2000-091535호 공보에는 폴리사이드게이트구조를 채용하는 경우에는 주변회로형성영역의 게이트전극위의 에칭스톱퍼막을 미리 제거하는 방법이 개시되어 있다.
- <81> 그런데, 상기 공보기재의 방법을 폴리메탈게이트구조에 적용하려고 하면 실리사이드 프로세스전에 기판표면을 청정화하기 위한 불소산 세정등의 세정처리에 의해 폴리메탈게이트를 구성하는 메탈층 및 배리어메탈층이 용해해 버리는 문제가 발생하였다. 이것은, 폴리사이드게이트를 구성하는 금속실리사이드막과 비교하여 폴리메탈 게이트를 구성하는 금속막이 화학적으로 불안정하기 때문에 발생하는 문제이다.
- <82> 이와 같이, 폴리메탈게이트상의 금속막은 에칭스톱퍼막을 제거하고 노출시킨 상태에서는 안정된 상태로 방지하는 것이 곤란하다. 또한, 금속막의 막두께가 변해버리면 게이트전극의 씨트저항이 크게 변해버려 소자의 동작을 악영향을 준다. 상기에서, 주변회로형성영역의 폴리메탈게이트상의 에칭스톱퍼막을 제거한 경우에서도 게이트전극의 씨트저항의 변동을 억제하는 것이 가능한 반도체집적회로장치 및 그 제조방법이 필요해지는 것이다.
- <83> 본 발명의 목적은 정보전송용 MISFET의 소스 드레인부에 있어서의 리크전류를 저감하고 DRAM의 리플래쉬특성의 향상을 도모하는 것이다.
- <84> 또한, 본 발명의 다른 목적은 게이트전극의 저저항화, 또한, 주변회로형성영역에 있어서는 소스, 드레인의 저저항화를 도모하고, 또한, 소자의 미세화에 대응하는 기술을 제공하는 것이다.
- <85> 또한, 본 발명의 다른 목적은 DRAM부와 로직LSI부의 고성능화 및 고집적화를 도모하는 것이다.
- <86> 본 발명의 상기 및 그 외 목적과 신규특징은 본 명세서의 기술 및 첨부도면에서 명확해질 것이다.

발명이 이루고자 하는 기술적 과제

- <87> 본원에 있어서 개시되는 발명가운데 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.
- <88> 1. 본 발명의 반도체집적회로장치는 메모리셀 형성영역의 정보전송용 MISFET의 게이트전극은 금속층을 갖추고 주변회로 형성영역의 n채널형 MISFET 및 p채널형 MISFET의 게이트전극은 제 1 금속실리사이드층을 갖추고 이들 MISFET의 소스 및 드레인상에는 제 2 금속실리사이드층이 형성되어 있다. 이와 같은 수단에 의하면 정보전송용 MISFET의 게이트전극의 저저항화를 도모할 수 있다. 또한, 주변회로 형성영역의 n채널형 MISFET 및 p채널형 MISFET의 게이트전극의 저저항화 및 소스 및 드레인의 저저항화를 도모하는 것이 가능하다.
- <89> 또한, 정보전송용 MISFET의 소스 및 드레인상에는 금속실리사이드층이 형성되어 있지 않기 때문에 리크전류의 저감에 의한 리플래쉬특성의 향상을 도모하는 것이 가능하다.
- <90> 또한 정보전송용 MISFET의 게이트전극은 실리콘층과 그 상부에 형성된 금속층의 적층막으로 하는 것이 가능하고, 또한, SRAM을 구성하는 n채널형 MISFET 및 p채널형 MISFET의 게이트전극은, 실리콘층과 그 상부에 형성된 금속실리사이드층으로 하는 것이 가능하다. 이 금속층은 예를들면, 텅스텐이다. 또한, 금속실리사이드는 예

를 들면 코발트 혹은 티탄실리사이드이다. 또한, 금속실리사이드층은 실리사이드화 반응에 의해 형성한다.

- <91> 또한, 주변회로형성영역의 n채널형 MISFET 혹은 p채널형 MISFET의 게이트전극위에는 매입도전층을 형성하는 것이 가능하다. 이와 같은 수단에 의하면 n채널형 MISFET 혹은 p채널형 MISFET의 게이트전극상에 보호막없이 매입도전층을 형성하는 컨택트홀을 정밀도 있게 형성하는 것이 가능 하다.
- <92> 2. 본 발명의 반도체집적회로장치는 메모리셀 형성영역의 정보전송용 MISFET의 게이트전극은 금속층을 갖추고 주변회로 형성영역의 SRAM메모리셀을 구성하는 n채널형 MISFET 및 p채널형 MISFET의 게이트전극은 제 1 금속 실리사이드층을 갖추고 이들 MISFET의 소스 및 드레인상에는 제 2 금속실리사이드층이 형성되어 있다. 이와 같은 수단에 의하면 정보전송용 MISFET의 게이트전극의 저저항화를 도모할 수 있다. 또한, SRAM을 구성하는 n채널형 MISFET 혹은 p채널형 MISFET의 게이트전극의 저저항화 및 소스,드레인의 저저항화를 도모할 수 있다.
- <93> 또한 정보전송용 MISFET의 소스, 드레인상에는 금속실리사이드층이 형성되어 있지 않으므로 리크전류의 저감에 의한 리플래쉬특성의 향상을 도모하는 것이 가능 하다.
- <94> 정보전송용 MISFET의 게이트전극은 실리콘층과 그 상부에 형성된 금속층의 적층막으로 가능하고 또한, SRAM을 구성하는 n채널형 MISFET 및 p채널형 MISFET의게이트전극은 실리콘층과 그 상부에 형성된 금속실리사이드층으로 가능하다. 이 금속층은 예를들면 텅스텐이다. 또한, 금속실리사이드는 예를들면 코발트 혹은 티탄실리사이드이다. 또한, 금속실리사이드층은 실리사이드화 반응에 의해 형성한다.
- <95> 또한, SRAM을 구성하는 n채널형 MISFET 혹은 p채널형 MISFET의 게이트전극상에 매입도전층을 형성하는 것이 가능하다. 이와 같은 수단에 의하면 n채널형 MISFET 혹은 p채널형 MISFET의 게이트전극상에 보호막 없이 매입도전층을 형성하는 컨택트홀을 정밀도 있게 형성하는 것이 가능 하다.
- <96> 3. 본 발명의 반도체집적회로장치의 제조방법은, 게이트절연막상에 다결정실리콘막 및 고용점금속막을 순차로 형성하고 패터닝하는 것에 의해 메모리셀 형성영역 및 주변회로 형성영역에 게이트전극을 형성하는 공정과, 주변회로 형성영역상에 금속층을 퇴적하고, 열처리를 실시하는 것에 의해 주변회로 형성영역의 게이트전극안의 다결정 실리콘막위 및 고농도확산층상에 실리사이드막을 형성하는 공정을 갖춘다. 이와 같은 수단에 의하면, 고성능으로 고집적화된 반도체집적회로장치를 구하는 것이 가능하다. 또한, 이 후 주변회로형성영역의 다결정 실리콘막상의 실리사이드막상에 컨택트홀을 형성한 경우에 있어서도 실리사이드막상에 보호막 없이 컨택트홀을 정밀도 있게 형성하는 것이 가능하다.
- <97> 4. 상기 수단은 주변회로형성영역에 형성된 SRAM을 구성하는 n채널형 MISFET와 p채널형 MISFET를 갖추는 반도체집적회로장치에 적용하는 것이 가능하다.

발명의 구성 및 작용

- <98> 이하, 본 발명의 실시형태를 도면에 의거하여 상세하게 설명한다. 또한, 실시형태를 설명하기 위한 전도면에 있어서 동일기능을 가지는 것은 동일부호를 부여하고 그 반복설명은 생략한다.
- <99> (실시형태 1)
- <100> 본 발명의 실시형태 1인 반도체집적회로장치의 제조방법을 도 1 ~ 도 16을 참조하여 공정순으로 설명한다. 또한, 반도체기판의 단면을 나타내는 각도의 좌측부부분은 DRAM의 메모리셀이 형성되는 영역(메모리셀 형성영역)을 나타내고 좌측부부분은 논리회로등이 형성되는 주변회로 형성영역을 나타내고 있다.
- <101> 우선, 도 1에 나타나는 바와 같이 반도체기판(1)안에 소자분리(2)를 형성한다. 이 소자분리(2)는 다음과 같이 형성한다. 예를들면 1 ~ 10 μ m 정도의 비율의 저항을 가지는 p형의 단결정실리콘으로 이루어지는 반도체기판(1)의 소자형성영역상에 질화실리콘막(미도시)을 형성하고 이 질화실리콘막을 마스크에 반도체기판(1)을 에칭하는 것에 의해 깊이 350nm 정도의 홈을 형성한다.
- <102> 상기 후 반도체기판(1)을 열산화하는 것에 의해 홈 내벽에 얇은 산화실리콘막(미도시)을 형성한다. 다음으로 홈의 내부를 포함하는 반도체기판(1)의 상부에 CVD(Chemical Vapor deposition)법으로 막두께 450 ~ 500nm 정도의 산화 실리콘막(5)을 퇴적하고 화학적기계연마(CMP : Chemical Mechanical Polishing)법으로 홈 상부의 산화 실리콘막(5)을 연마하고 그 표면을 평탄화 한다. 다음으로 상기 질화실리콘막을 제거한다. 이 질화 실리콘막은 앞서 열산화시의 내산화성마스크로서 구동되고 또한, 연마시 스톱퍼막으로 구동한다.
- <103> 다음으로 반도체기판(1)에 p형 불순물(붕소) 및 n형불순물(예를들면 인)을 이온주입한 후 약 1000 $^{\circ}$ C의 열처리를 실시하는 것에 의해 메모리셀 형성영역의 반도체기판(1)에 p형 웰(3) 및 깊은 n형 웰(4)을 형성하고 주변회

로형성영역의 반도체기판(1)에 p형 웰(3) 및 n형 웰(4)을 형성한다. 이 열처리는 불순물이온 활성화, 반도체 기판(1)에 발생한 결정결함등을 위하여 실행된다.

- <104> 또한, 이때, p형 웰(3) 및 n형 웰(4)의 표면에 이들 웰을 구성하는 불순물과 동일전위형의 불순물영역(미도시)을 이온주입에 의해 형성한다. 이 불순물영역은 이 후 이들 웰상에 형성되는 정보전송용 MISFET(Qs), n채널형 MISFET(Qn1) 및 n채널형 MISFET(Qp1, Qp2)의 한계치전압을 조정하기 위하여 형성된다. 또한, 상기 열처리를 RTP(Rapid Thermal Process)법을 이용하여 실행하여도 용이하다.
- <105> 다음으로 도 2에 나타나는 바와 같이 불소산계의 세정액을 이용하여 반도체기판(1)(p형 웰(3) 및 n형 웰(4))의 표면을 웨트세정한 후 약 800℃의 열산화로 p형 웰(3) 및 n형웰(4)의 각각의 표면에 막두께 7 ~ 8nm정도의 청정한 게이트산화막(8a)을 형성한다. 다음으로 주변회로형성영역 가운데 고속로직회로가 형성되는 영역(MISFET(Qn1, Qp2) 형성영역)의 불소산계의 세정액을 이용하여 반도체기판(1)(p형 웰(3) 및 n형웰(4))의 게이트산화막(8a)을 선택적으로 제거하고 열산화에의해 고속로직회로가 형성되는 영역에 막두께 2 ~ 4 nm정도의 청정한 게이트산화막(8b)을 형성한다. 게이트산화막(8a)을 가지는 MISFET의 동작전압은 2.5 ~ 3.3V이고 게이트산화막(8b)을 가지는 MISFET의 동작전압은 1.0V ~ 1.8V이다. 또한, 게이트산화막(8a, 8b)은 얇은 막이기 때문에 도 2안에서는 동일한 정도의 막두께이다. 또한, 이후 앞서 기술한 한계치전압을 조정하기 위한 불순물 영역을 형성하여도 용이하다.
- <106> 다음으로 게이트산화막(8a, 8b)의 상부에 불순물이 도핑되어 있지 않는 막두께 10nm정도의 다결정실리콘막(9a)을 CVD법으로 퇴적한다. 다음으로, 주변회로 형성영역의 n형 웰(4)상 및 메모리셀 형성영역의 다결정 실리콘막(9a)안에 n형불순물(인 또는 비소, 혹은 그 양쪽)을 이온주입한다. 또한, 주변회로형성영역의 p형 웰(3)상의 다결정 실리콘막(9a)안에 p형 불순물(붕소)을 이온주입한다.
- <107> 다음으로, 다결정실리콘막(9a)의 상부에 스퍼터링법으로 막두께 50nm정도의 W(텅스텐)(9b)을 퇴적한다.
- <108> 다음으로 도 3에 나타나는 바와 같이 포토레지스트막(미도시)을 마스크하여 W막(9b) (청구항 기재의 금속층) 및 다결정실리콘막(9a)을 드라이에칭하는 것에 의해 메모리셀 형성영역 및 주변회로형성영역에 다결정실리콘막(9a) 및 W막(9b)으로 이루어지는 게이트전극(9)을 형성한다. 또한, 메모리셀형성영역에 형성된 게이트전극(9)은 워드선(WL)으로서 기능한다. 다음으로, Wet.Hydrogen 산화에 의해 다결정 실리콘막(9a)의 측면에 4nm정도의 얇은 산화막(미도시)을 형성한다. 이 산화는 W막(9b) 및 다결정실리콘막(9a)의 드라이에칭시에 발생한 게이트절연막의 손상을 회복시키기 위하여 실행한다.
- <109> 이와 같이 본 실시형태에 의하면 다결정실리콘막(9a)과 W막(9b)의 적층막을 에칭하는 것에 의해 게이트전극(9)을 형성한 것이므로 소자의 미세화에 대응하는 것이 가능하다. 즉, 상기 기술한 게이트절연막의 막두께에 따라서 포토레지스트막의 해상도의 저하와 게이트간격과 게이트높이와의 비(에스펙트비)의 증가를 회피하는 것이 가능하다.
- <110> 다음으로 게이트전극(9)의 양측의 메모리셀 형성영역의 p형웰(3)에 n형 불순물(인 및 비소)을 주입하는 것에 의해 n⁻형 반도체영역(13)(소스, 드레인)을 형성하고 또한, 주변회로 형성영역의 p형 웰(3)에 n형 불순물(비소)을 주입하는 것에 의해 n형 반도체영역(확산층)(14)을 n형 웰(4)에 p형 불순물(붕소 또는 붕소와 인듐(Indium))을 주입하는 것에의해 p형 반도체영역(15)을 형성한다.
- <111> 여기에서, 주변회로 형성영역의 p형 웰(3)의 n⁻형 반도체영역(14)을 형성할 때 붕소를 이온주입하는 것에 의해 주변회로 형성영역의 p형 웰(3)의 n⁻형 반도체영역(14)의 주위(채널영역을 제외함)에 역도전형(p형)의 반도체영역(펀치스루스토퍼영역, 미도시)을 형성하여도 용이하다. 이 펀치스루스토퍼영역은 n⁻형 반도체영역(14) 혹은 p⁻형 반도체영역(15)에서 공핍층(空乏層)의 확산을 억제하고 쇼트채널효과를 억제하는 역할을 갖는다. 다음으로 900℃ 1분의 RTP에 의해 불순물의 활성화를 실행한다.
- <112> 다음으로 도 4에 나타나는 바와 같이 반도체기판(1)의 상부에 CVD법으로 막두께 50nm정도의 질화실리콘막(12)을 퇴적하고 메모리셀 형성영역상을 포토레지스트막(PR)으로 덮는다. 이 질화실리콘막(12)은 메모리셀 형성영역에 있어서는 후 기술하는 W막(9b)의 제거공정과 실리콘사이드막 형성공정의 마스크로서 주변회로 형성영역에 있어서는 사이드월막 형성용이 막으로서 이용된다.
- <113> 다음으로, 도 5에 나타나는 바와 같이 주변회로 형성영역상의 질화실리콘막(12)을 이방적으로 에칭하는 것에 의해 주변회로 형성영역의 게이트전극(9)의 측면에 사이드월막(12s)을 형성한다. 이 때, 게이트전극(9)상의

질화실리콘막(12)은 제거되고 W막(9b)이 노출한다. 또한, n⁻형 반도체영역(12) 및 p⁻형 반도체영역(15)상의 질화실리콘막(12)도 제거되고 n⁻형 반도체영역(14) 및 p⁻형 반도체영역(15) 표면이 노출한다.

- <114> 다음으로 주변회로형성영역의 p웰(3)에 n형 불순물(인 또는 비소)을 이온주입하는 것에 의해 n⁺형 반도체영역(17)(소스, 드레인)을 형성하고 n형웰(4)에 p형 불순물(붕소)을 이온주입하는 것에 의해 p⁺형 반도체영역(18)(소스, 드레인)을 형성한다. 다음으로 900℃, 1분의 RTP에 의해 불순물의 활성화를 실행한다. 또한, 본 실시형태에 있어서는 주변회로 형성영역의 게이트전극(9)의 측벽에 사이드월막(12s)을 형성한 후 n⁺ 반도체영역(17) 및 p⁺ 반도체영역(18)을 형성하였지만, 주변회로형성영역 중 n형 웰(4)상의 게이트전극(9)의 측벽에 사이드월(12s)을 형성한 후 p⁺형 반도체영역(18)을 형성하고 다음으로 주변회로 형성영역 가운데 p형 웰(3)상의 게이트전극(9)의 측벽에 사이드월막(12s)을 형성한 후 n⁺형 반도체영역(17)을 형성하여도 용이하다. 이와 같은 공정에 의하면 동일 마스크로 사이드월막(12s)의 형성과 불순물의 이온주입을 실행하는 것이 가능하다.
- <115> 지금까지의 공정으로 주변회로 형성영역에 LDD(Lightly Doped Drain)구조의 소스, 드레인을 구비한 n채널형 MISFET(Qn1) 및 p채널형 MISFET(Qp1, Qp2)이 형성된다.
- <116> 다음으로 도 6에 나타나는 바와 같이 주변회로 형성영역의 W막(9b)을 에칭에 의해 제거한다. 이 에칭에는 불소산 혹은 과산화수소수를 사용한다. 이들의 수용액을 이용하면 W막(9b)을 용이하게 제거하는 것이 가능하다. 따라서, 주변회로형성영역에서는 다결정 실리콘막(9a)이 노출한 상태가 되어 있다. 여기에서, 메모리셀 형성영역의 W막(9b)은 질화실리콘막(12)으로 덮여져 있기 때문에 에칭되어지지 않는다.
- <117> 다음으로, 도 7에 나타나는 바와 같이 반도체기판(1)의 상부에 코발트(Co)막(19)을 스퍼터법에 의해 퇴적한다. 이 Co막(19)을 티탄(Ti)막으로 하여도 용이하다. 다음으로, Co막(19)과 주변회로형성영역의 다결정 실리콘막(9a)과의 접촉부, 및 Co막(19)과 n⁺반도체영역(17) 및 p⁺형 반도체영역(18)과의 접촉부에 있어서, 실리콘사이드화 반응을 발생시키는 것에 의해 코발트 실리사이드(CoSi)층(20)을 형성한다. 이 CoSi층(청구항 기재의 금속실리사이드층)(20)은 500℃ ~ 600℃로 1분간의 RSP에 의해 형성한다. 다음으로, 미반응의 Co막(19)을 제거한다. 또한, 700℃ ~ 800℃으로 1분간의 RSP를 실시하는 것에 의해 CoSi층(20)의 저저항화를 도모한다(도 8). 따라서, 주변회로 형성영역의 다결정 실리콘막(9a)상에는 CoSi층(20)이 형성되고 주변회로 형성영역에는 다결정 실리콘막(9a)과 CoSi층(20)과의 적층막으로 이루어지는 게이트전극(9s)이 형성된다. 또한, 주변회로 형성영역의 n⁺반도체영역(17) 및 p⁺형 반도체영역(18)(소스, 드레인)상에도 CoSi층(20)이 형성된다. 여기에서, 메모리셀 형성영역은 질화실리콘막(12)으로 덮여져 있기 때문에 CoSi층(20)은 형성되지 않는다.
- <118> 이와 같이, 본 실시형태에 의하면 주변회로 형성영역의 게이트전극(9s)을 다결정 실리콘막(9a)과 CoSi층(20)과의 적층막으로 구성하였으므로 게이트전극(9s)의 저저항화를 도모하는 것이 가능하다. 또한, 주변회로형성영역의 n⁺반도체영역(17)(소스, 드레인) 및 p⁺형 반도체영역(18)(소스, 드레인)상에 CoSi층(20)을 형성하였으므로 소스, 드레인의 저저항화를 도모하는 것이 가능하다. 후 기술하는 소스, 드레인상의 플러그와 소스, 드레인과 접촉저항의 저감을 도모하는 것이 가능하다.
- <119> 또한, 메모리셀 형성영역의 n-형 반도체영역(13)상에는 CoSi층(20)은 형성되어 있지 않기 때문에 접합리크전류의 저감을 도모하는 것이 가능하다. 그 결과, 리플래쉬 시간을 연장시키는 것이 가능하다. 이 리플래쉬 시간은 정보전송용 MISFET(Qs)에 접속된 정보축적용 용량소자(C)에 축적된 전하를 리드할 수 있는 시간(보유유지시간)을 말한다.
- <120> 다음으로 도 9에 나타나는 바와 같이 반도체기판(1) 상부에 CVD법으로 막두께 20nm ~ 50nm정도의 질화실리콘막(21)을 퇴적한다. 이 질화실리콘막(21)은 후 기술 하는 콘택트홀(23, 24, 27, 28) 형성시의 스톱퍼막으로서 사용된다.
- <121> 다음으로, 질화실리콘막(21)의 상부에 CVD법으로 막두께 700nm ~ 800nm정도의 질화실리콘막을 퇴적한 후 질화실리콘막을 CMP법으로 연마하여 그 표면을 평탄화하는 것에 의해 층간 절연막(22)을 형성한다. 이 층간절연막(22)을 PSG막, BPSG막등으로 형성하여도 용이하다. 또한, 산화실리콘막, PSG막 혹은 BPSG막은 적층막으로서도 용이하다. 이 층간절연막(22)안에 인이 포함되어 있는 경우에는 게터링(gettering)작용에 의해

MISFET의 한계치전위를 안정화하는 것이 가능하다.

- <122> 다음으로, 도 10에 나타나는 바와 같이 메모리셀 형성영역 n⁻형 반도체영역(13) 상부의 층간절연막(22) 및 질화실리콘막(21, 12)(청구항기재의 제 1, 제 2 및 제 3 절연막)을 에칭에 의해 제거하는 것에 의해 컨택홀(23, 24)을 형성하고 반도체기판(1)(n⁻형반도체영역(13))의 표면을 노출시킨다.
- <123> 여기에서, 이 층간절연막(22)(산화실리콘막)의 에칭은 질화실리콘에 비하여 산화실리콘 에칭속도가 크게 이루는 조건으로 실행하고 질화실리콘막(21, 12)이 완전하게는 제거되어지지 않도록 한다. 또한, 질화실리콘막(21, 12)의 에칭은 실리콘(반도체기판)과 산화실리콘에 비하여 질화실리콘의 에칭속도가 크게 이루어지는 조건에서 실행하고 반도체기판(1) 과 산화실리콘막(5)이 깊게 잘라지지 않도록 한다. 이 결과, 미세한 지름을 가지는 컨택홀(23, 24)이 게이트전극((9)(워드선(WL)))에 대해서 자기정합(self-align)으로 형성된다.
- <124> 다음으로 컨택홀(23, 24)을 통하여 메모리셀 형성영역의 p형 웰(n⁻형 반도체영역(13))에 n형 불순물(인 또는 비소)을 이온주입하는 것에 의해 n⁺형 반도체영역에 n채널형으로 구성되는 정보전송용 MISFET(Qs)가 형성된다.
- <125> 다음으로 컨택홀(23, 24)의 내부에 플러그(26)를 형성한다. 플러그(26)는 컨택홀(23, 24)의 내부를 포함하는 층간절연막(22)의 상부에 인(P)등의 n형 불순물을 4×20¹⁰/cm²정도 도포한 저저항다결정 실리콘막을 CVD법으로 퇴적하고, 다음으로 이 다결정 실리콘막을 에칭백(또는 CMP법으로 연마)하여 컨택홀(23, 24)의 내부만을 남겨두는 것에 의해 형성한다,
- <126> 다음으로, 도 11에 나타나는 바와 같이 주변회로 형성영역의 층간절연막(22) 및 그 하층의 질화실리콘막(21)의 드라이에칭에 의해 n채널형 MISFET(Qn1)의 소스, 드레인(n⁺형 반도체영역(17))의 상부에 컨택홀(27)을 형성하고 p채널형 MISFET(Qp1, Qp2)의 소스, 드레인(p⁺형 반도체영역(18))의 상부에 컨택홀(28)을 형성한다. 또한, 이때와 동시에 주변회로 형성영역의 p채널형 MISFET 및 n채널형 MISFET의 게이트전극의 상부에 컨택홀(미도시)을 형성한다. 또한, 이때 주변회로 형성영역의 p채널형 MISFET등의 게이트전극위로부터 p채널형 MISFET 혹은 다른 MISFET의 소스, 드레인 영역까지 연장하는 컨택홀을 형성하여도 용이하다.
- <127> 이 층간절연막(22)(산화 실리콘막)의 에칭도 질화실리콘에 비하여 산화실리콘의 에칭속도가 크게 이루어지는 조건으로 실행하고, 질화실리콘(21)이 완전하게 제거되지 않도록 한다. 또한, 질화실리콘막(21)의 에칭은 실리콘(반도체기판)과 산화실리콘에 비하여 질화실리콘의 에칭속도가 커지는 조건으로 실행하고, 반도체기판(1) 과 산화실리콘막(5)이 깊게 잘려지지 않도록 한다. 이 결과, 미세한 지름을 가지는 컨택홀(27, 28)이 전극(9s)에 대해서 자기정합(self-align)으로 형성된다.
- <128> 이와 같이 본 실시형태에 있어서는 주변회로 형성영역의 게이트전극(9s)의 상부를 CoSi 층(20)으로 하였으므로 게이트전극(9s) 상부에 보호용의 질화실리콘막이 잔존하지 않고 컨택홀(27, 28)등을 정밀도 있게 형성하는 것이 가능하다.
- <129> 즉, 도 17에 나타나는 바와 같이 주변회로 형성영역의 W막을 게이트전극상부에 형성하는 경우에는 W막상에 보호용의 질화실리콘막(HM)이 필요해진다. 한편, 상기 기술의 LDD구조의 소스, 드레인을 형성하기 위해서는 게이트전극 측벽에 사이드 월막(SW)을 형성한다. 따라서, 이와 같은 구조의 MISFET의 게이트전극상 및 소스 혹은 드레인상에 컨택홀(CH)을 동시에 형성하는 경우에는 게이트전극상의 질화실리콘(HM)의 막두께분만큼 소스, 드레인(18) 근방이 깊에 에칭되어 버리는 위험이 있다.
- <130> 특히 소자분리(2) 안에는 산화실리콘막(5)으로 매입되어 있기 때문에 보다 깊게 에칭되어 홈(오목부)(U)이 형성될 위험이 있다. 이와 같은 홈(오목부)(U)가 형성된 컨택홀내에 도전성막이 매입되어 플러그(PG)가 형성된 경우는 이 홈(오목부)(U)을 매개하여 전류가 흘러버린다.
- <131> 그런데, 상기 기술한 바와 같이 본 실시형태에 있어서는 컨택홀(27, 28)등(게이트전극의 상부에 컨택홀(미도시)을 포함한다)을 정밀도 좋게 형성하는 것이 가능 하다.
- <132> 그런데, 미도시이지만 메모리셀 형성영역안에는 워드선(WL)이 인출하는 영역이 존재한다. 즉, 워드선(WL)(게이트전극(9))상에 컨택홀을 형성하고 이 컨택홀내에 도전성막을 매입하고 상층의 배선과 워드선(WL)이 접속된다. 이 워드선(WL)상의 컨택홀은 워드선(WL)상에 질화실리콘막(12)이 존재하고 있기 때문에 상기 컨택홀(27, 28) 등과는 별도의 공정으로 형성할 필요가 있다. 또한, 이 워드선(WL)의 인출영역상의 W막(9b)을 제거하고

주변회로 형성영역과 동일하게 CoSi층(20)을 형성하여도 용이하다. 이 경우는 워드선(WL)상의 컨택홀과 상기 컨택홀(27, 28)등을 동일한 공정으로 형성할 수 있다.

- <133> 다음으로, 컨택홀(27, 28) 및 미도시의 MISFET의 게이트전극상의 컨택홀의 내부를 포함하는 층간절연막(22)상에 CVD법으로 얇은 Ti 및 TiN막(미도시)을 순차로 퇴적한 후 CoSi층(20)과 이등층과의 접촉저항을 하강하기 위하여 500℃~ 600℃, 1분의 RTP를 실시한다. 다음으로, TiN막상에 막두께 300nm정도의 W막을 퇴적한 후 층간절연막(22)의 상부의 W막을 CMP법으로 연마하고 컨택홀(27, 28)등의 내부만을 남겨두는 것에 의해 플러그(29)(청구항 기재의 매입도전층)를 형성한다.
- <134> 다음으로 도 12에 나타나는 바와 같이 주변회로 형성영역의 플러그(29)의 상부에 제 1 층배선(30)을 한다. 제 1 층배선(30)은 예를들면 플러그(29)상을 포함하는 층간절연막(22)의 상부에 CVD법으로 막두께 100nm정도의 W막을 퇴적한 후 포토레지스트막을 마스크로 하여 이 W막을 드라이에칭하는 것에 의해 형성한다. 또한, W막의 하층에 CVD법에 의해 얇은 WN막을 형성하고 WN막 및 W막의 2층으로 제 1 층배선(30)을 구성하여도 용이하다. W막은 열적으로 안정하고 후 기술하는 정도축적용 용량소자(C)의 형성시의 열처리에 의해서도 변질하지 않는다.
- <135> 다음으로, 제 1 층배선(30)의 상부에 막두께 20 ~ 50nm 정도의 질화실리콘막(31)을 CVD법으로 퇴적한다. 이 질화실리콘막(31)은 후 기술하는 정도축적용 용량소자(C)가 형성되는 홈(34)을 형성할 때 스톱퍼막으로서 사용된다.
- <136> 다음으로 도 13에 나타나는 바와 같이 질화실리콘막(31)상에 막두께 300nm정도의 산화실리콘막(32)을 CVD법으로 퇴적한다.
- <137> 다음으로 메모리셀 형성영역의 산화실리콘막(32) 및 질화실리콘막(31)을 드라이에칭하는 것에 의해 플러그(26)의 상부에 홈(34)을 형성한다.
- <138> 다음으로, 도 14에 나타나는 바와 같이 상기 홈(34)의 내부를 포함하는 산화실리콘막(32)의 상부에 인(P)등의 n형 불순물을 도프한 막두께 50nm정도의 저저항 다결정 실리콘막을 CVD법으로 퇴적한다. 이 저저항 다결정 실리콘막은 그 표면이 요철형태(미도시)로 되어 있다. 따라서, 이 요철에 의해 표면적이 크게 이루어지고 정도축적용 용량소자(C)의 고용량화를 도모하는 것이 가능하다. 다음으로, 이 요철안에 불순물 농도를 높이기 위해서는 인을 포함하는 환경으로 700℃ ~ 750℃로 1분간의RTP를 실시한다. 열처리를 실행한다.
- <139> 다음으로 홈(34) 내부에 포토레지스트막등을 매입하고 산화실리콘막(32)의 상부 다결정 실리콘막을 에칭백하는 것에 의해 홈(34)의 내벽만을 남겨둔다. 상기에 의해, 홈(34)의 내벽을 따라서 정도축적용 용량소자(C)의 하부전극(35)이 형성된다.
- <140> 다음으로 하부전극(35)이 상부에 질화실리콘막과 산화탄탈(Ta₂O₅)막등의 고유전률막으로 구성된 용량절연막(36)을 형성한다. 산화탄탈막을 이용한 경우에는 산화탄탈을 결정화하여 유전률을 높이기 위하여 750℃에서 1분간 RTP를 실시한다. 다음으로, 용량절연막(36)상에 상부전극(37)을 형성한다. 상부전극(37)은 n형 불순물을 도프한 저저항 다결정 실리콘막 혹은 TiN막을 이용한다. TiN막을 이용한 경우는 공평층이 불가능하기 때문에 용량을 크게하는 것이 가능하다. 다음으로, 용량절연막(26) 및 상부전극(37)을 패터닝한다. 이때, 후 기술하는 비트선(BL)과 플러그(26)를 접속하기 위한 플러그(42)가 상부전극(37)과 접촉하지 않도록 이 플러그(42)의 형성영역을 확보하도록 패터닝을 실행할 필요가 있다.
- <141> 지금까지의 공정에 의해 정보전송용 MISFET(Qs)와 여기에 직렬로 접속된 정도축적용 용량소자(C)로 구성된 DRAM의 메모리셀이 완성한다.
- <142> 다음으로 도 15에 나타나는 바와 같이 상부전극(37) 및 산화실리콘막(32)상에 CVD법에 의해 산화실리콘막(38)을 퇴적한다. 다음으로, 메모리셀 형성영역의 플러그(26)(정도축적용 용량소자(C)와 접속된 것을 제외한다) 및 주변회로 형성영역의 플러그(29)의 상부 산화실리콘막(38, 32)을 에칭에 의해 제거하는 것에 의해 컨택홀(40, 41)을 형성한다.
- <143> 다음으로, 컨택홀(40, 41)의 내부에 플러그(42, 43)를 형성한다. 플러그(42, 43)는 컨택홀(40, 41)의 내부를 포함하는 산화실리콘막(38)의 상부에 인(P)등의 n형 불순물을 $4 \times 10^{20} / \text{cm}^3$ 정도로 도프한 저저항 다결정실리콘막을 CVD법으로 퇴적하고 다음으로 이 다결정실리콘막을 에칭백(또는 CMP법으로 연마)하여 컨택홀(40, 41)의 내부에만 남겨두는 것에 의해 형성한다.

- <144> 다음으로 플러그(42, 43)상에 비트선(BL) 및 제 2층배선(44)을 형성한다. 비트선(BL) 및 제 2층배선(44)은 플러그(42, 43)를 포함하는 산화실리콘막(38)사에 Ti 및 TiN의 적층막을 퇴적하고 다음으로 Al(알루미늄)막을 퇴적한다. 그 후 Al막상에 Ti 및 TiN막의 적층막을 퇴적한 후 이들막을 패터닝하는 것에 의해 형성한다. 이 비트선(BL) 및 제 2층배선(44)을 Cu(동)막과 같은 저저항 금속을 이용하여 형성하여도 용이하다. 도 16은, 비트선(BL) 형성 후의 주변회로형성영역의 평면도이다. 도 15는 예를들면 도 16의 A-A단면에 대응한다.
- <145> 다음으로, 비트선(BL) 및 제 2층배선(44)의 상부에 산화실리콘막 및 Al막등의 도전성막을 교대로 형성하는 것에 의해 복수의 배선을 형성하지만 이들 배선의 도시는 생략한다. 또한, 이들 복수의 배선가운데 최상층배선 상에는 질화실리콘막등으로 이루어지는 보호막을 형성하고 최상층 배선상의 본딩영역상을 개공한다. 이상의 공정에 의해 본 실시형태의 DRAM이 대략 완성한다.
- <146> 또한, 본 실시형태에 있어서는 게이트전극(9)안에 W막(9b)을 사용하였지만, Mo등의 다른 고용점금속을 이용하여도 용이하다.
- <147> 또한, 본 실시형태에 있어서는 CoSi층(20)을 이용하였지만 TiSi₂를 이용하여도 용이하다.
- <148> (실시형태 2)
- <149> 실시형태 1에 있어서는 메모리셀 형성영역의 게이트전극(9)(W막(9b))상에 질화실리콘막(12)을 형성하였지만 게이트전극(9)(W막(9b))상에 보호용의 질화실리콘막(201)을 형성한 후 그 상부에 질화실리콘막(12)을 형성하여도 용이하다.
- <150> 본 발명의 실시형태 2인 반도체집적회로장치의 제조방법을 도 18 ~ 도 25를 이용하여 공정순으로 설명한다.
- <151> 우선, 도 18에 나타나는 바와 같이 실시형태 1의 경우와 동일하게 산화실리콘막(5)이 매입된 소자분리(2) p형 웰(3) 및 n형웰(4)을 형성한다. 다음으로 실시형태 1의 경우와 동일하게 게이트산화막(8a, 8b)을 형성한다.
- <152> 다음으로, 게이트산화막(8a, 8b)의 상부에 불순물이 도핑되어 있지 않는 막두께 100nm정도의 다결정 실리콘막(9a)을 CVD법으로 퇴적한다. 다음으로, 주변회로 형성영역의 n형 웰(4)상 및 메모리셀 형성영역의 다결정실리콘막(9a)안에 n형 불순물(인 또는 비소, 혹은 그 양쪽)을 이온주입한다. 또한, 주변회로형성영역의 p형 웰(3)사의 다결정 실리콘막(9a)안에 p형 불순물(붕소)을 이온주입한다.
- <153> 다음으로 다결정 실리콘막(9a)의 상부에 스퍼터링법으로 막두께 50nm정도의 W(텅스텐)막(9b)을 퇴적한다.
- <154> 다음으로 W(텅스텐)막(9b)상에 CVD법에 의해 50 ~ 100nm정도의 막두께의 질화실리콘막(201)을 퇴적한다.
- <155> 다음으로, 포토레지스트막(미도시)을 마스크하여 질화실리콘막(201)을 에칭한다. 다음으로, 이 질화실리콘막(201)을 마스크로 W막(9b) 및 다결정실리콘막(9a)을 드라이에칭하는 것에 의해 메모리셀 형성영역 및 주변회로형성영역에 다결정실리콘막(9a) 및 W막(9b)으로 이루어지는 게이트전극(9)을 형성한다. 이 게이트전극(9)상에는 게이트전극(9)(W막(9b))의 보호용 질화실리콘막(201)이 형성된다.
- <156> 다음으로 실시형태 1의 경우와 동일하게 게이트전극(9)의 양측의 메모리셀 형성영역의 P형 웰(3)에 n⁻형 반도체 영역(13)을 형성하고 또한, 주변회로 형성영역의 p형 웰(3)에 n⁻형 반도체영역(14)을 n형 웰(4)에 p⁻형 반도체 영역(15)을 형성한다.
- <157> 다음으로 도 19에 나타나는 바와 같이 실시형태 1의 경우와 동일하게 반도체기판(1)의 상부에 CVD법으로 막두께 50nm정도의 질화실리콘막(12)을 퇴적하고 주변회로 형성영역의 게이트전극(9)의 측벽에 사이드월막(12s)을 형성한다.
- <158> 다음으로 주변회로 형성영역의 p형 웰(3)에 n⁺형 반도체영역(17)(소스, 드레인)을 형성하고 n형웰(4)에 p⁺형 반도체영역(18)(소스, 드레인)을 형성한다.
- <159> 다음으로 도 20에 나타나는 바와 같이 주변회로 형성영역의 질화실리콘막(201)을 에칭에 의해 제거한다. 이 때 사이드월막(12s)의 상부도 에칭된다. 다음으로 주변회로 형성영역의 W막(9b)을 에칭에 의해 제거한다. 이 에칭에는 불소산 혹은 과산화수소수를 사용한다. 이 결과, 주변회로 형성영역에서는 다결정실리콘막(9a)이 노출한 상태로 되어 있다. 여기에서 메모리셀 형성영역의 W막(9b)은 질화실리콘막(12)으로 덮혀져 있기 때문에 에칭되지 않는다.
- <160> 다음으로 실시형태 1의 경우와 동일하게 반도체기판(1)의 상부에 코발트(Co)막(19)을 스퍼터법에 의해 퇴적하

고 Co막과 주변회로 형성영역의 다결정 실리콘막(9a)과의 접촉부, 및 Co막과 n⁺반도체영역(17) 및 p⁺형 반도체 영역(18)에 있어서, 실리사이드화반응을 발생시키는 것에 의해 코발트실리사이드(CoSi)층(20)을 형성한다. 다음으로, 미반응의 Co막(19)을 제거한다(도 21).

<161> 따라서, 실시형태 1의 경우와 동일한 주변회로 형성영역의 다결정실리콘막(9a)상부에는 CoSi층(20)이 형성되고, 주변회로 형성영역에는 다결정실리콘막(9a)과 CoSi층(20)과의 적층막으로 이루어지는 게이트전극(9s)이 형성된다. 또한, 주변회로 형성영역의 n⁺반도체영역(17)(소스, 드레인) 및 p⁺형 반도체영역(18)(소스, 드레인)위에도 CoSi층(20)이 형성된다. 여기에서, 메모리셀 형성영역은 질화실리콘막(12)으로 덮혀져 있기 때문에 CoSi층(20)은 형성되지 않는다.

<162> 이후의 공정은 도 9 ~ 도 16을 이용하여 설명한 실시형태 1의 경우와 동일하기 때문에 그 설명을 생략한다.

<163> 이와 같이, 본 실시형태에 있어서는 게이트전극(9)상의 보호층의 질화실리콘막(201) 및 W막(9b)을 제거한 후 CoSi층(20)을 형성하였으므로 n채널형 MISFET(Qn1)과 n채널형 MISFET(Qp1, Qp2)의 소스, 드레인(n⁺반도체영역(17) 및 p⁺형 반도체영역(18))의 상부 및 이들 MISFET의 게이트전극상에 형성되는 컨택홀(27, 28)등을 정밀도 있게 형성하는 것이 가능하다.

<164> 또한, 실시형태 1의 경우와 동일하게 다결정실리콘막(9a)과 W막(9b)의 적층막을 에칭하는 것에 의해 게이트전극(9)을 형성하였으므로 소자의 미세화에 대응하는 것이 가능하다. 또한, 주변회로 형성영역의 게이트전극(9s)을 다결정 실리콘막(9a)과 CoSi층(20)과의 적층막으로 구성하였으므로 게이트전극(9s)의 저저항화를 도모하는 것이 가능하다. 또한, 주변회로 형성영역의 n⁺반도체영역(17)(소스, 드레인) 및 p⁺형 반도체영역(18)(소스, 드레인)상에 CoSi층(20)을 형성하였으므로 소스, 드레인의 저저항화를 도모하는 것이 가능하다. 또한, 소스, 드레인상에 형성되는 플러그와 소스, 드레인과의 접촉저항의 저감을 도모할 수 있다.

<165> 또한, 메모리셀 형성영역의 n⁻형 반도체영역(13)상에는 CoSi층(20)은 형성되지 않기 때문에 접합리크전류의 저감을 도모할 수 있다. 그 결과, 리플래시시간을 연장시키는 것이 가능하다. 또한, 메모리셀 형성영역의 게이트전극(9a)상에 질화실리콘막(201)이 형성된 것에 의해 게이트전극(9a)상에 걸리는 바와 같이 컨택홀이 형성된 경우에서도 질화실리콘막(201)이 에칭스트퍼퍼로서 구동하기 때문에 플러그와 게이트전극(9a)과의 단락을 방지하는 것이 가능하고 메모리셀 형성영역의 집적도를 향상시키는 것이 가능하다.

<166> (실시형태 3)

<167> 실시형태 1에 있어서는 메모리셀 형성영역 및 주변회로 형성영역의 게이트전극(9)을 동일공정으로 형성하였지만 별도공정으로 형성하여도 무난하다.

<168> 도 22 ~ 도 25는 본 발명의 실시형태 3인 반도체집적회로장치의 제조방법을 공정순으로 나타낸 단면도이다.

<169> 우선, 도 22에 나타나는 바와 같이 실시형태 1의 경우와 동일하게 산화실리콘막(5)이 매입된 소자분리(2), p형 웰(3) 및 n형 웰(4)을 형성한다. 이어서, 실시형태 1의 경우와 동일하게 게이트산화막(8a, 8b)을 형성한다.

<170> 다음으로, 게이트산화막(8a, 8b)의 상부에 불순물이 도포되어 있지 않은 막두께 100nm정도의 다결정 실리콘막(9a)을 CVD법으로 퇴적한다. 다음으로, 주변회로 형성영역의 n형 웰(4)상 및 메모리셀형성영역의 다결정 실리콘막(9a)안에 n형 불순물(인 또는 비소, 혹은 그 양쪽)을 이온주입한다. 또한, 주변회로 형성영역의 p형 웰(3)상의 다결정 실리콘막(9a)안에 p형 불순물(붕소)를 이온주입한다. 다음으로, 다결정실리콘막(9a)의 상부에 스퍼터링법으로 막두께 50nm정도의 W(텅스텐)막(9b)을 퇴적한다.

<171> 이어서, 포토레지스트막(미도시)을 마스크로 W막(9b) 및 다결정 실리콘막(9a)을 드라이에칭하는 것에 의해 주변회로형성영역에 다결정 실리콘막(9a) 및 W막(9b)으로 이루어지는 게이트전극(9)을 형성한다. 이 때, 메모리셀 형성영역은 포토레지스트막으로 덮혀져 있다.

<172> 다음으로 실시형태 1의 경우와 동일하게 게이트전극(9)의 양측 주변회로 형성영역의 p형 웰(3)에 n⁻형 반도체영역(14)을 n형웰(4)에 p⁻형 반도체영역(15)을 형성한다.

<173> 다음으로, 실시형태 1의 경우와 동일하게 반도체기판(1)의 상부에 CVD법으로 막두께 50nm정도의

질화실리콘막(12)을 퇴적하고 주변회로 형성영역의 게이트전극(9)의 측벽에 사이드월막(12s)을 형성한다(도 23).

- <174> 다음으로, 주변회로형성영역의 p형웰(3)에 n⁺반도체영역(17)(소스, 드레인)을 형성하고 n형웰(4)에 p⁺형 반도체영역(18)(소스, 드레인)을 형성한다.
- <175> 다음으로, 도 24에 나타나는 바와 같이 주변회로 형성영역의 W막(9b)을 에칭에 의해 제거한다. 이 에칭은 불소산 혹은 과산화 수소수를 사용한다. 이 결과, 주변회로 형성영역에서는 다결정 실리콘막(9a)이 노출한 상태로 되어 있다. 여기에서, 메모리셀 형성영역의 W막(9b)은 질화실리콘막(12)으로 덮혀져 있기 때문에 에칭되지 않는다.
- <176> 다음으로, 실시형태 1의 경우와 동일하게 반도체기판(1)의 상부에 코발트(Co)막(19)을 스퍼터법에 의해 퇴적하고 Co막과 주변회로 형성영역의 다결정 실리콘막(9a)과의 접촉부 및 Co막과 n⁺반도체영역(17) 및 p⁺형 반도체영역(18)의 접촉부에 있어서, 실리사이드화 반응을 발생시키는 것에 의해 코발트실리사이드(CoSi)층(20)을 형성한다. 다음으로, 미반응의 Co막(19)을 제거한다. 이 때, 메모리셀 형성영역은 포토레지스트막(미도시)으로 덮혀져 있다.
- <177> 따라서, 실시형태 1의 경우와 동일하게 주변회로 형성영역의 다결정 실리콘막(9a)상에는 CoSi층(20)이 형성되고 주변회로 형성영역에는 다결정실리콘막(9a)과 CoSi층(20)과의 적층막으로 이루어지는 게이트전극(9s)이 형성된다. 또한, 주변회로 형성영역의 n⁺반도체영역(17)(소스, 드레인) 및 p⁺형 반도체영역(18)(소스, 드레인)상에도 CoSi층(20)이 형성된다.
- <178> 다음으로 포토레지스트막(미도시)을 마스크에 W막(9b) 및 다결정실리콘막(9a)을 드라이에칭하는 것에 의해 메모리셀 형성영역에 다결정 실리콘막(9a) 및 W막(9b)으로 이루어지는 게이트전극(9)을 형성한다.
- <179> 다음으로, 게이트전극(9)의 양측의 메모리셀 형성영역의 p형 웰(3)에 n형 불순물(인 및 비소)을 주입하는 것에 의해 n⁻형 반도체영역(13)을 한다.
- <180> 다음으로, 반도체기판(1)의 상부에 CVD법으로 질화실리콘막(21)을 퇴적한다(도 25).
- <181> 이후의 공정은 도 9 ~ 도 16을 참조하면서 설명한 실시형태 1의 질화실리콘막(21)의 형성 후의 공정과 동일하기 때문에 그 설명을 생략한다.
- <182> 이와 같이 본 실시형태에 있어서도 게이트전극(9s)상에 CoSi층(20)을 형성하였으므로 n채널형 MISFET(Qn1)과 p채널형 MISFET(Qp1, Qp2)의 소스, 드레인(n⁺반도체영역(17), p⁺형 반도체영역(18))의 상부 및 이들 MISFET의 게이트전극(9s)상에 형성되는 컨택홀(27, 28)등을 정밀도 있게 형성할 수 있다.
- <183> 또한, 실시형태 1의 경우와 동일하게 다결정실리콘막(9a)과 W막(9b)의 적층막을 에칭하는 것에 의해 게이트전극(9)을 형성하였으므로 소자의 미세화에 대응하는 것이 가능하다. 또한, 주변회로 형성영역의 게이트전극(9s)을 다결정실리콘막(9a)과 CoSi층(20)과의 적층막으로 구성하였으므로 게이트전극(9s)의 저저항화를 도모하는 것이 가능하다. 또한, 주변회로형성영역의 n⁺반도체영역(17)(소스, 드레인) 및 p⁺형 반도체영역(18)(소스, 드레인)상에 CoSi층(20)을 형성하였으므로 소스, 드레인의 저저항화를 도모하는 것이 가능하다. 또한, 이 소스, 드레인상에 형성되는 플러그와 소스, 드레인과 접촉저항의 저감을 도모하는 것이 가능하다.
- <184> 또한, 메모리셀 형성영역의 n⁻형반도체영역(13)상에는 CoSi층(20)은 형성되지 않기 때문에 접합리크전류의 저감을 도모할 수 있다. 그 결과, 리플래쉬시간을 연장시킬 수 있다.
- <185> (실시형태 4)
- <186> 실시형태 1에 있어서는 주변회로형성영역에 n채널형 MISFET(Qn1) 및 p채널형 MISFET(Qp1, Qp2)를 형성하였지만 그 외 소자를 형성하여도 용이하다.
- <187> 도 26 ~ 도 28은 본 발명의 실시형태 4인 반도체집적회로장치의 제조방법을 공정순으로 나타낸 단면도이다. 본 실시형태에 있어서는 주변회로 형성영역에 저항소자(R)가 형성되어 있다.
- <188> 우선 도 26에 나타나는 바와 같이 실시형태 1의 경우와 동일하게 산화실리콘막(5)이 매입된 소자분리(2), p형

웰(3) 및 n형웰(4)을 형성한다. 다음으로, 실시형태 1의 경우와 동일하게 게이트산화막(8a, 8b)(미도시)을 형성한다.

- <189> 다음으로, 게이트산화막(8a, 8b)(미도시)의 상부에 불순물이 도포되어 있지않은 막두께 100nm정도의 다결정실리콘막(9a)을 CVD법으로 퇴적한다. 다음으로, 주변회로형성영역의 p형웰(3)사의 다결정실리콘막(9a) 및 메모리셀 형성영역의 다결정 실리콘막(9a)안에 p형 불순물(붕소)을 이온주입한다. 또한, 주변회로 형성영역의 n형 웰(4)상의 다결정실리콘막(9a) 안 및 소자분리(2)상의 다결정실리콘막(9a)안에 n형불순물(인 또는 비소, 혹은 그 양쪽)을 이온주입한다. 다결정실리콘막(9a)의 상부에 스퍼터링법으로 막두께 50nm정도의 W(텅스텐)막(9b)을 퇴적한다.
- <190> 다음으로, 다결정실리콘막(9a)의 상부에 스퍼터링법으로 막두께 50nm정도의 W(텅스텐)막(9b)을 퇴적한다.
- <191> 다음으로, 포토레지스트막(미도시)을 마스크로서 W막(9b) 및 다결정 실리콘막(9a)을 드라이에칭하는 것에 의해 메모리셀 형성영역 및 주변회로 형성영역에 다결정 실리콘막(9a) 및 W막(9b)으로 이루어지는 게이트전극(9)을 형성한다. 이 때, 주변회로 형성영역이 넓은 소자분리(2)상에 W막(9b) 및 다결정실리콘막(9a)을 잔존시킨다.
- <192> 다음으로 실시형태 1의 경우와 동일하게 게이트전극(9)의 양측메모리셀 형성영역의 p형웰(3)에 n⁻형 반도체영역(13)을 형성하고, 또한, 주변회로 형성영역의 p형 웰(3)에 n⁻형 반도체영역(14)(미도시)을 형성하고 n형웰(4)에 p⁻형 반도체영역(15)을 형성한다.
- <193> 다음으로 실시형태 1의 경우와 동일하게 반도체기판(1)의 상부에 CVD법으로 막두께 50nm정도의 질화실리콘막(12)을 퇴적하고 주변회로 형성영역이 게이트전극(9)의 측벽 및 주변회로 형성영역이 넓은 소자분리(2)상에 잔존한 W막(9b) 및 다결정실리콘막(9a)의 측벽에 사이드월막(12s)을 형성한다. 이 때, 메모리셀 형성영역은 포토레지스트막(미도시)으로 덮혀져 있다.
- <194> 다음으로 주변회로 형성영역의 p형 웰(3)에 n⁺반도체영역(17)(소스, 드레인 미도시)을 형성하고 n형 웰(4)에 p⁺형 반도체영역(18)(소스, 드레인 미도시)을 형성한다.
- <195> 다음으로 주변회로 형성영역의 막(9b)을 에칭에 의해 제거한다, 이 에칭은 불소산 혹은 과산화수소수를 사용한다. 이 결과, 주변회로 형성영역에서는 다결정실리콘막(9a)이 노출한 상태로 되어 있다. 여기에서, 메모리셀 형성영역의 W막(9b)은 질화실리콘막(12)으로 덮혀져 있기 때문에 에칭되지 않는다.
- <196> 다음으로 도 27에 나타나는 바와 같이 주변회로 형성영역의 n채널형 MISFET(Qn) 형성영역 이외의 영역상에 산화실리콘막등의 절연막(401)을 형성한다. 이 절연막은 주변회로 형성영역이 넓은 소자분리(2)상에 잔존한 다결정 실리콘막(9a) 상 및 원하지 않는 반도체기판(1)상에 실리콘사이드층이 형성되는 것을 방지하는 역할을 한다.
- <197> 다음으로, 실시형태 1의 경우와 동일하게 반도체기판(1)의 상부에 코발트(Co)막(19)을 스퍼터법에 의해 퇴적하고 Co막과 주변회로 형성영역의 다결정실리콘막(9a)과의 접촉부 및 Co막과 p⁺ 반도체영역(18)과의 접촉부에 있어서, 실리콘사이드화 반응을 발생시키는 것에 의해 코발트 실리콘사이드(CoSi)층(20)을 형성한다. 다음으로, 미반응의 Co막(19)을 제거한다(도 28).
- <198> 이상의 공정에 의해 주변회로 형성영역이 넓은 소자분리(2)상에 다결정 실리콘(9a)으로 이루어지는 저항소자(R)가 형성된다. 이 저항소자(R)는 수십 ~ 수백Ω/?의 저항치를 갖고 예를들면, 정전파괴 방지용의 저항과 아날로그, 디지털변환기의 저항으로서 이용된다.
- <199> 다음으로 실시형태 1의 경우와 동일하게 반도체기판(1)의 상부에 질화실리콘막(21)(미도시)을 퇴적한다.
- <200> 이후의 공정은 도 9 ~ 도 16을 참조하면서 설명한 실시형태 1의 질화실리콘막(21)의 형성 후의 공정과 동일하기 때문에 그 설명을 생략한다.
- <201> 이와 같이 본 실시형태에 있어서도 게이트전극(9s)상에 CoSi층(20)을 형성하였으므로 p채널형 MISFET(Qp1)의 소스, 드레인(p⁺형 반도체영역(18))의 상부 및 이 MISFET의 게이트전극상에 형성되는 콘택홀을 정밀도 있게 형성할 수 있다.
- <202> 또한, 실시형태 1의 경우와 동일하게 다결정 실리콘막(9a)과 W막(9b)의 적층막을 에칭하는 것에 의해 게이트전

극(9s)을 형성하였으므로 소자의 미세화에 대응할 수 있다. 또한, 주변회로 형성영역의 게이트전극(9s)을 다결정실리콘막(9a)과 CoSi층(20)과의 적층막으로 구성하였으므로 게이트전극(9s)의 저저항화를 도모하는 것이 가능하다. 또한, 주변회로 형성영역 p⁺형 반도체영역(18)(소스, 드레인)상에 CoSi층(20)을 형성하였으므로 소스, 드레인의 저저항화를 도모하는 것이 가능하다. 또한, 이 소스, 드레인상에 형성되는 플러그와 소스, 드레인과의 접촉저항의 저감을 도모하는 것이 가능하다.

- <203> 또한, 메모리셀 형성영역의 n⁻형 반도체영역(13)상에는 CoSi층(20)은 형성되지 않기 때문에 접합리크전류의 저감을 도모할 수 있다. 그 결과, 리플래시시간을 연장시킬 수 있다.
- <204> (실시형태 5)
- <205> 실시형태 1에 있어서는 주변회로 형성영역에 논리회로를 구성하는 n채널형 MISFET(Qn1) 및 p채널형 MISFET(Qp1, Qp2)을 형성하였지만 이들 MISFET를 이용하여 SRAM메모리셀을 형성하여도 용이하다.
- <206> 도 29는 본 발명의 실시형태 5인 반도체집적회로장치의 제조방법을 나타내는 단면도이다. 본 실시형태에 있어서는 주변회로 형성영역에 SRAM 메모리셀이 형성되어 있다. 또한, 본 실시형태의 반도체집적회로장치의 제조방법은 실시형태 1의 경우와 동일하기 때문에 그 상세한 설명은 생략한다.
- <207> 우선, 도 29에 나타나는 바와 같이 주변회로 형성영역의 p형 웰(3)상에는 SRAM 메모리셀을 구성하는 n채널형 MISFET(Qn41)이 형성되고 n형 웰(4)상에는 p채널형 MISFET(Qp41)이 형성되어 있다. 또한, 이들 MISFET의 게이트전극(9s)은 p형 웰(3) 및 n형웰(4)간의 존재하는 소자분리(2)까지 연장하고 있다. 또한, 미도시의 이들 MISFET와 대향하는 n채널형 MISFET(Qn42) 및 p채널형 MISFET(Qp42)의 게이트전극(9s)이 p형 웰(3) 및 n형웰(4)간에 존재하는 소자분리(2)위까지 연장하고 있다(도 30 참조).
- <208> 도 30은 본 실시형태의 반도체집적회로의 주변회로형성영역의 평면도를 나타낸다.
- <209> 도 29는 도 30의 A-A단면도에 대응된다.
- <210> 도 30에 나타나는 바와 같이 n채널형 MISFET(Qn42) 및 p채널형 MISFET(Qp42)의 게이트전극(9s)과 n채널형 MISFET(Qn41)의 n⁺형 반도체영역(17)과 플러그(P1)(배선)에 의해 접속되어 있다.
- <211> 또한, p채널형 MISFET(Qp41)의 p⁺형 반도체영역(18)상에는 플러그(P2)가 형성되고 플러그(P1) 및 플러그(P2)는 제 1층배선(30)에 의해 접속되어 있다.
- <212> 또한, 도 30의 B-B단면도도 도 29와 동일한 도가 된다. 또한, 도 30안의 Qnt1, Qnt2는 전송용 MISFET이다. P4, P5, P6는 플러그이다.
- <213> 즉, 본 실시형태 SRAM메모리셀은 6개의 MISFET로 구성되고 MISFET(Qn41)(구동용) 및 MISFET(Qp41)(부하용)으로 CMOS인버터를 구성하고, MISFET(Qn42)(구동용) 및 MISFET(Qp42)(부하용)으로 CMOS인버터를 구성하고 있다. 이들 한쌍의 CMOS 인버터의 상호 입출력단자는 교차결합되어 1비트의 정보를 기억하는 정보축적부로서 플립플롭 회로를 구성하고 있다. 또한, 이들 한쌍의 CMOS인버터의 상호 입력단자는 각각 전송용 MISFET(Qnt1, Qnt2)의 소스, 드레인의 한쪽에 접속되어 있다.
- <214> 이와같이 본 실시형태에 있어서는 게이트전극(9)상에 CoSi층(20)을 형성하였으므로 SRAM을 구성하는 n채널형 MISFET(Qn41)과 p채널형 MISFET(Qp41)의 소스, 드레인(n⁺반도체영역(17) 및 p⁺형 반도체영역(18))상에 형성되는 콘택홀(27)을 정밀도 있게 형성하는 것이 가능하다. 또한, 이들 MISFET의 게이트전극상에 형성되는 콘택홀(C1)을 정밀도 있게 형성할 수 있다. 또한, SRAM메모리셀의 미세화를 도모하는 것이 가능하다.
- <215> 또한, 실시형태 1의 경우와 동일하게 다결정 실리콘(9a)과 W막(9b)의 적층막을 에칭하는 것에 의해 게이트전극(9)을 형성하였으므로 소자의 미세화에 대응하는 것이 가능하다. 또한, 주변회로 형성영역의 게이트전극(9s)을 다결정실리콘막(9a)과 CoSi층(20)과의 적층막으로 구성하였으므로 게이트전극(9s)의 저저항화를 도모하는 것이 가능하다. 또한, 주변회로 형성영역의 n⁺반도체영역(17)(소스, 드레인) 및 p⁺형 반도체영역(18)(소스, 드레인)상에 CoSi층(20)을 형성하였으므로 소스, 드레인의 저저항화를 도모하는 것이 가능하다. 또한, 이 소스 드레인상에 형성되는 플러그와 소스, 드레인과의 접촉저항의 저감을 도모할 수 있다.
- <216> 또한, 메모리셀 형성영역의 n⁻형 반도체영역(13)상에는 CoSi층(20)은 형성되어 있지 않기 때문에 접합리크전류

의 저감을 도모할 수 있다. 그 결과, 리플래쉬 시간을 연장시키는 것이 가능하다.

- <217> 이상, 본 발명자에 의해 이루어진 발명을 실시형태에 의거하여 구체적으로 설명하였지만 본 발명은 상기 실시 형태에 한정되는 것은 아니고 그 요지를 일탈하지 않는 범위에서 다양한 변경이 가능한 것은 물론이다.
- <218> 특히, 실시형태 1등에 있어서는 비트선의 하부에 정보축적용 용량소자를 형성하는 CUB(capacitor under bit-line)구조를 채용하였지만 비트선의 상부에 정보축적용 용량소자를 형성하는 COB(capacitor over bit-line)구조를 채용하여도 용이하다.
- <219> 또한, 실시형태 1등에 있어서는 폴리메탈구조의 금속막으로서 W막을 채용하였지만 W막을 대신하여 질화텅스텐(WN)막등에 의한 배리어메탈층과 W막등의 금속층의 적층구조막을 이용하여도 용이하다. 또한, 이경우에 있어서도 불소산 혹은 과산화수소수등에 의한 에칭처리에 의해 W막 및 WN막의 쌍방모두 제거할 수 있고, 이하 실시형태에 따라서 본 발명을 적용할 수 있다.

발명의 효과

- <220> 본원에 의해 개시되는 발명가운데 대표적인 것에 의해 알 수 있는 효과를 간단하게 설명하면 이하와 같다.
- <221> 본 발명에 의하면 게이트전극상에 금속실리사이드층을 형성하였으므로 주변회로 형성영역에 형성되는 n채널형 MISFET와 p채널형 소스, 드레인의 상부 및 이들 MISFET의 게이트전극상에 형성되는 콘택홀을 정밀도 있게 형성할 수 있다.
- <222> 또한, 실리콘층과 금속층의 적층막을 에칭하는 것에 의해 게이트전극을 형성하였으므로 소자의 미세화에 대응할 수 있다. 또한, 주변회로 형성영역의 게이트전극을 실리콘막과 금속실리사이드층과의 적층막으로 구성하였으므로 게이트전극의 저저항화를 도모할 수 있다. 또한, 주변회로 형성영역의 n⁺반도체영역(17)(소스, 드레인) 및 p⁺형 반도체영역(18)(소스, 드레인)상에 금속실리사이드층을 형성하였으므로 소스, 드레인의 저저항화를 도모할 수 있다. 또한, 이 소스, 드레인상에 형성되는 플러그와 소스, 드레인과 접촉저항의 저감을 도모할 수 있다.
- <223> 또한, 메모리셀 형성영역의 n⁻형 반도체영역(소스, 드레인)상에는 금속실리사이드층은 형성되지 않기 때문에 접합리크전류의 저감을 도모할 수 있다. 그, 결과 리플래쉬시간을 연장시킬 수 있다.

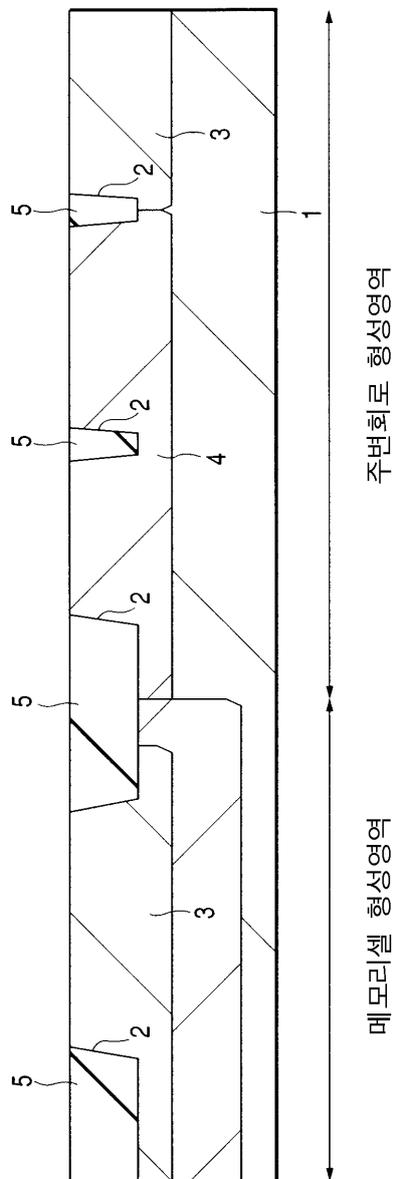
도면의 간단한 설명

- <1> 도 1 은 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <2> 도 2 는 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <3> 도 3 은 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <4> 도 4 는 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <5> 도 5 는 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <6> 도 6 은 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <7> 도 7 은 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <8> 도 8 은 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <9> 도 9 는 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <10> 도 10 은 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <11> 도 11 은 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <12> 도 12 는 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <13> 도 13 은 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <14> 도 14 는 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.
- <15> 도 15 는 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기관의 주요부 단면도이다.

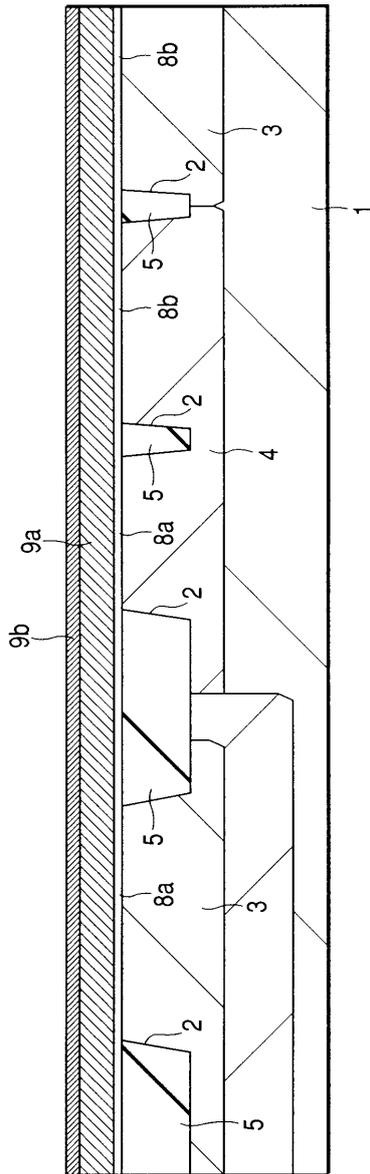
- | | | |
|------|--------------------------|--------------------------|
| <51> | CH : 컨택홀 | HM : 질화실리콘막 |
| <52> | SW : 사이드월 막 | PG : 플러그 |
| <53> | R : 저항소자 | BL : 비트선 |
| <54> | WL : 워드선 | C : 정보축적용 용량소자 |
| <55> | Qn, Qn1 : n채널형 MISFET | Qp1, Qp2 : p채널형 MISFET |
| <56> | Qs : 정보전송용 MISFET | Qn41, Qn42 : n채널형 MISFET |
| <57> | Qn41, Qn42 : p채널형 MISFET | Qnt1, Qnt21 : 전송용 MISFET |

도면

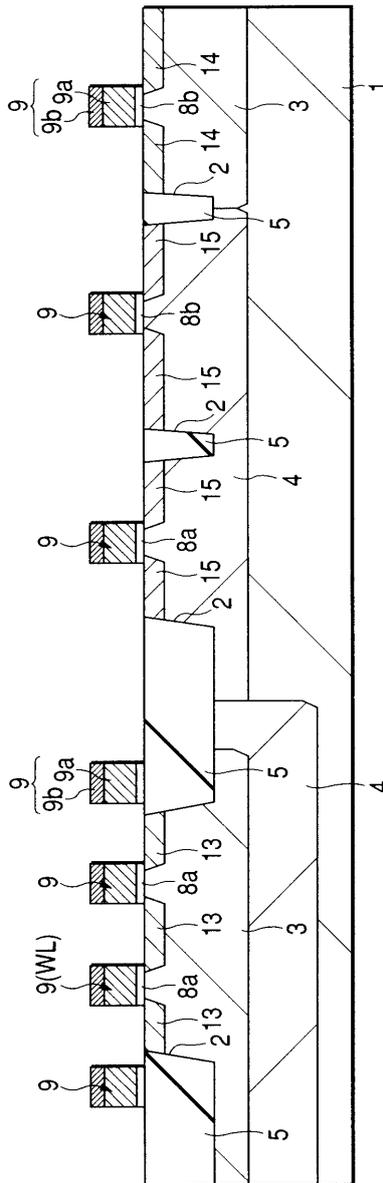
도면1



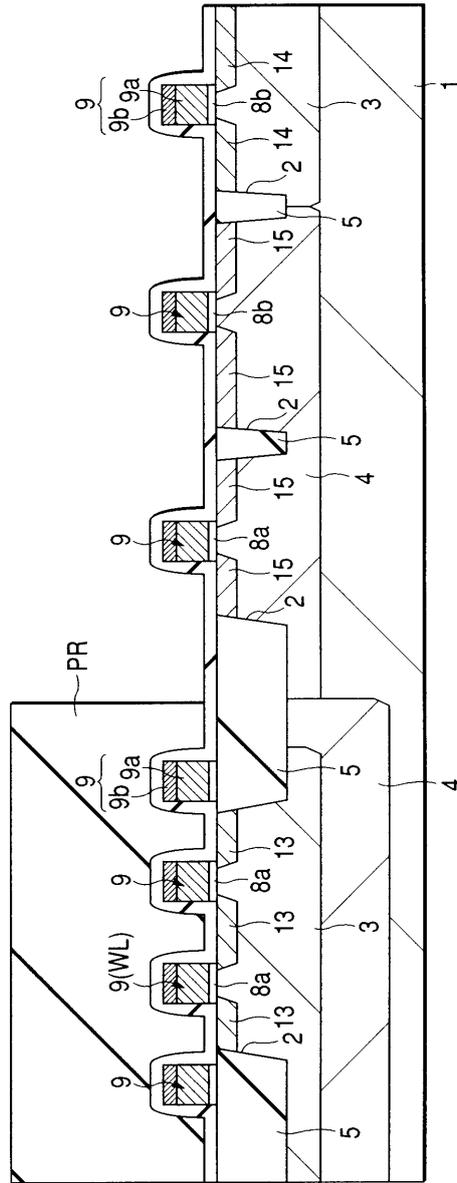
도면2



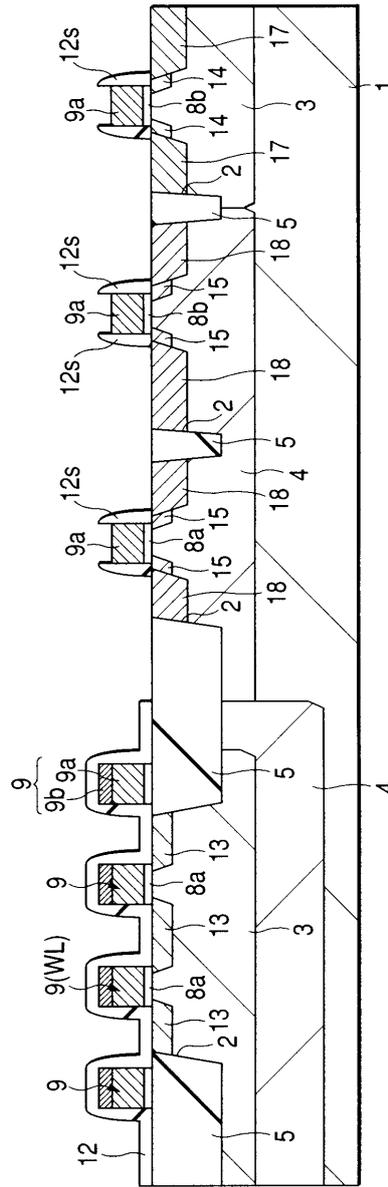
도면3



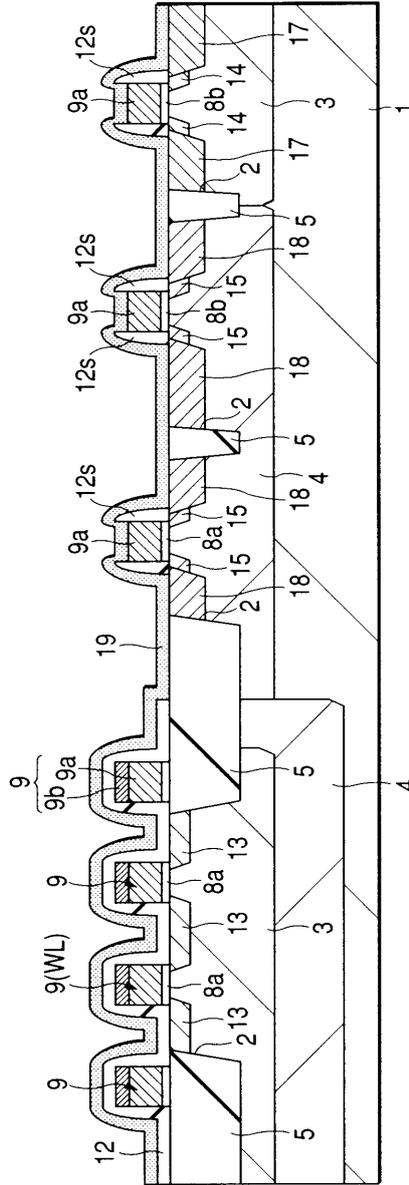
도면4



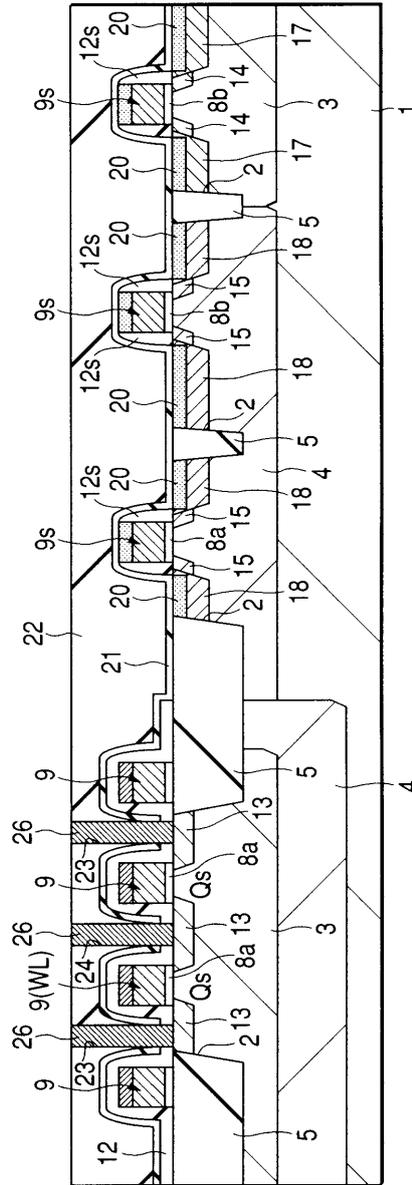
도면6



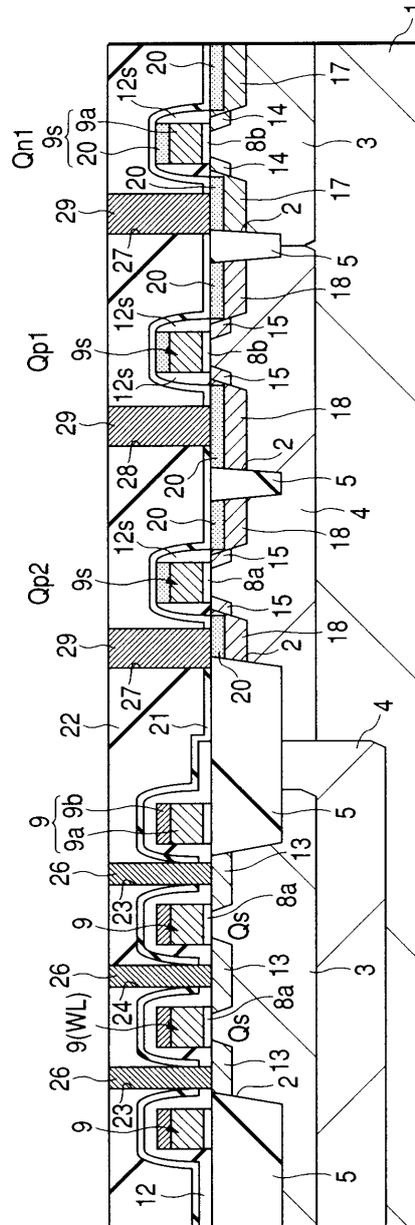
도면7



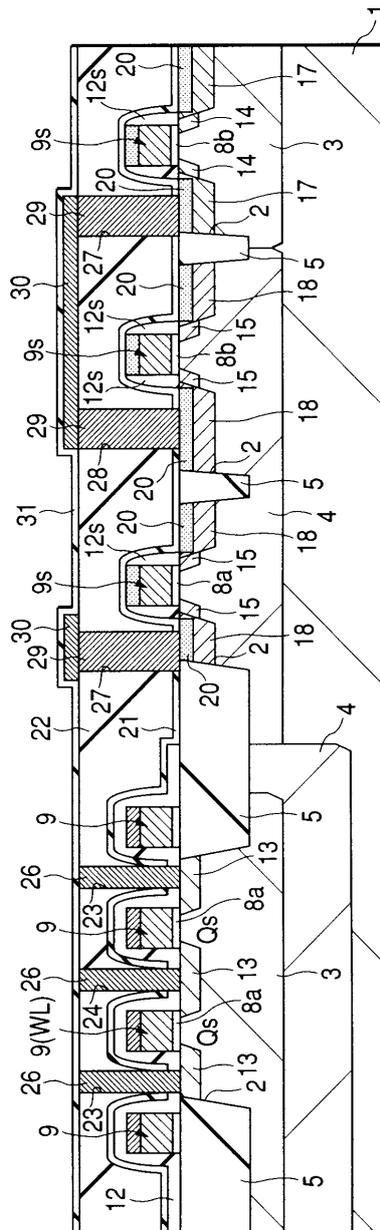
도면10



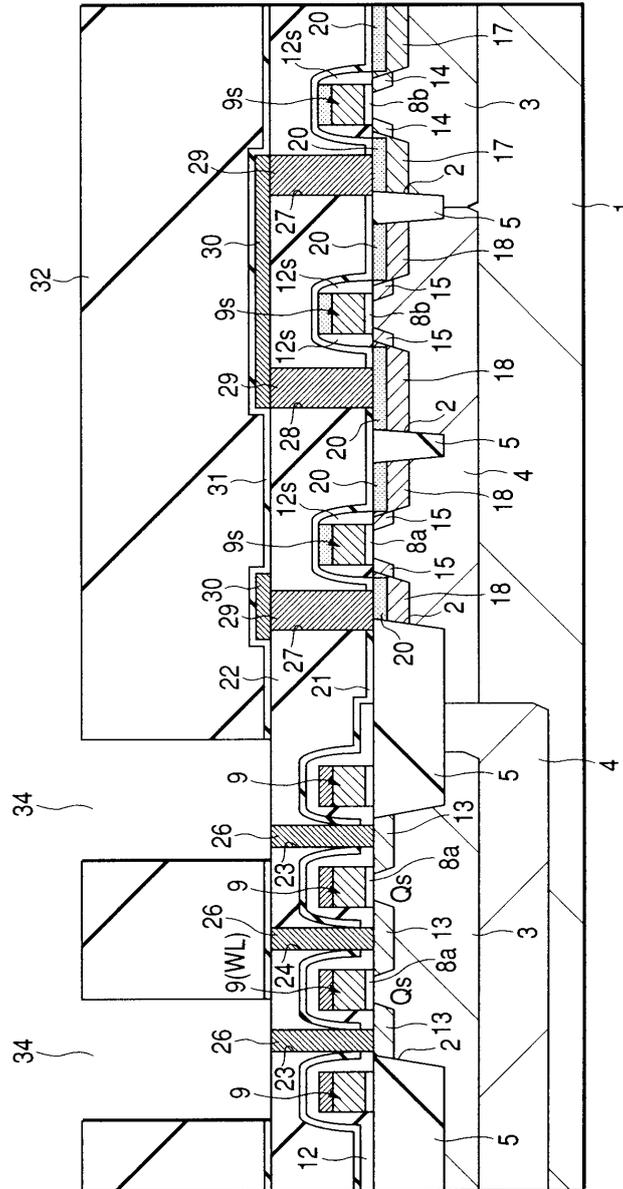
도면11



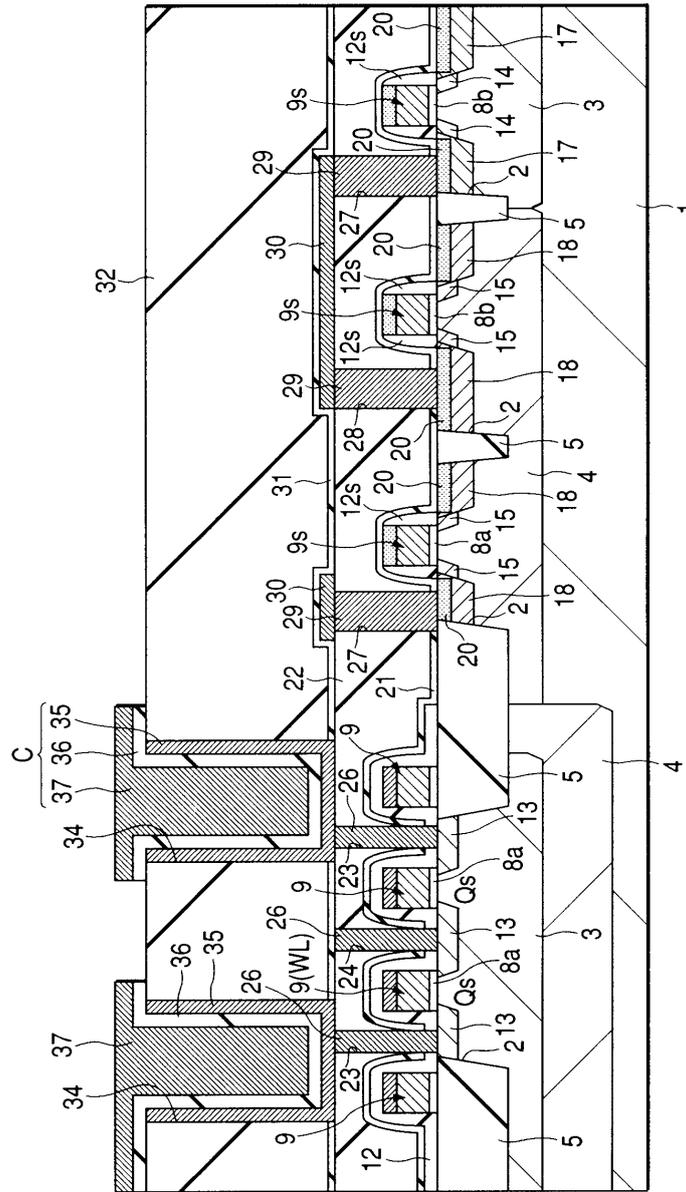
도면12



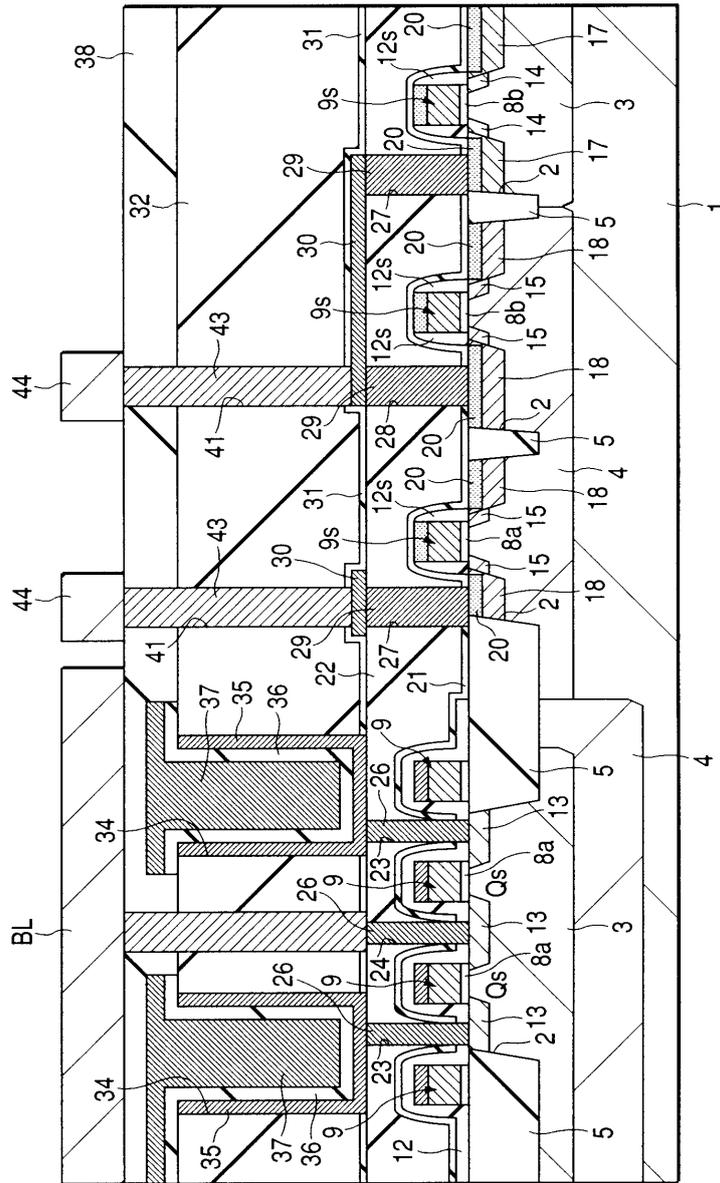
도면13



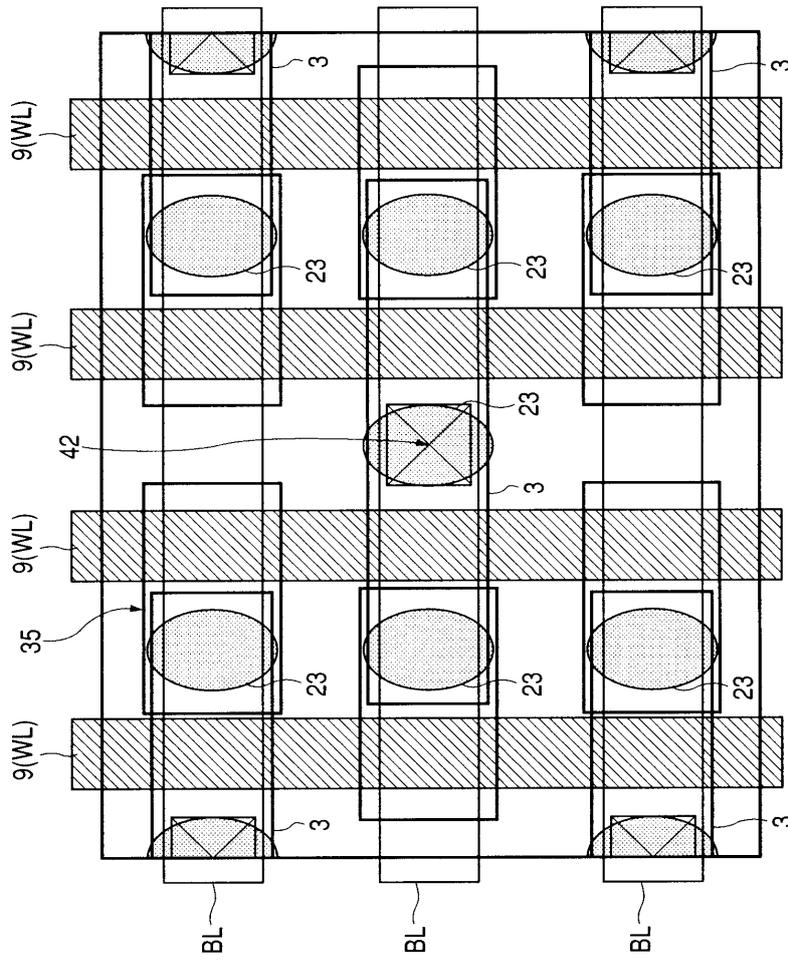
도면14



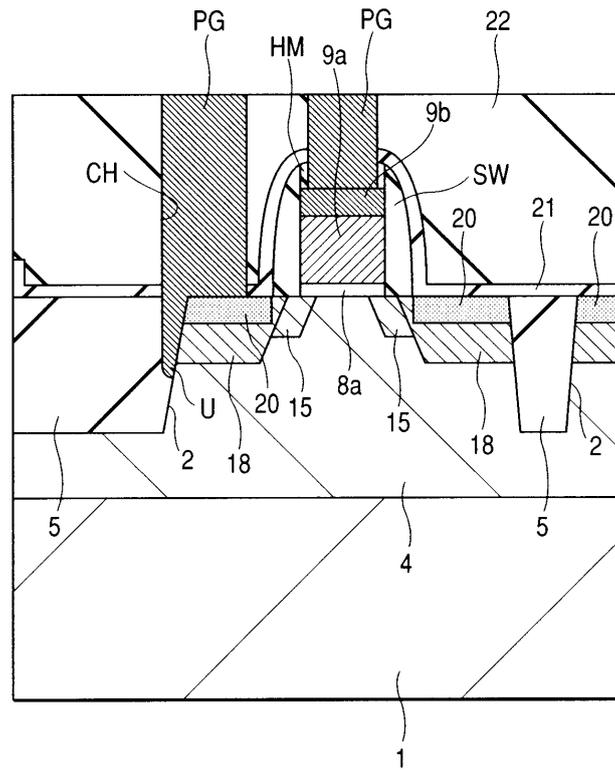
도면15



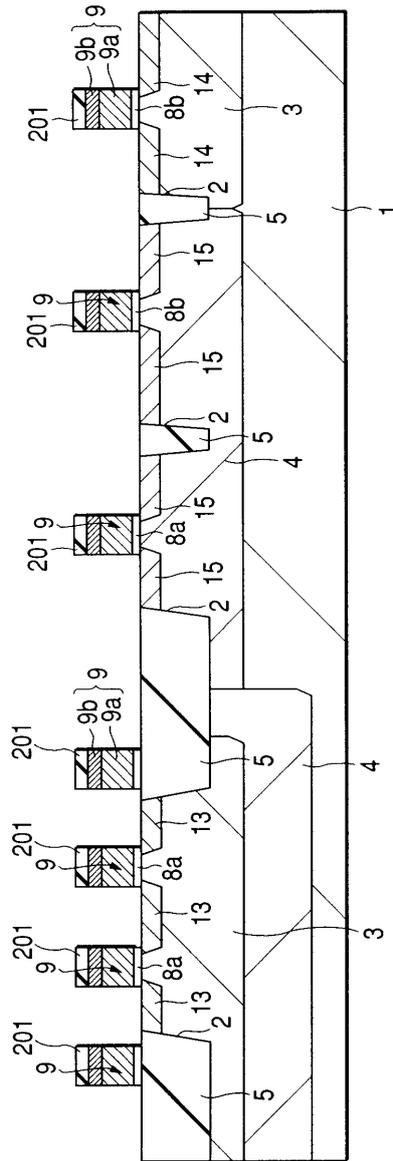
도면16



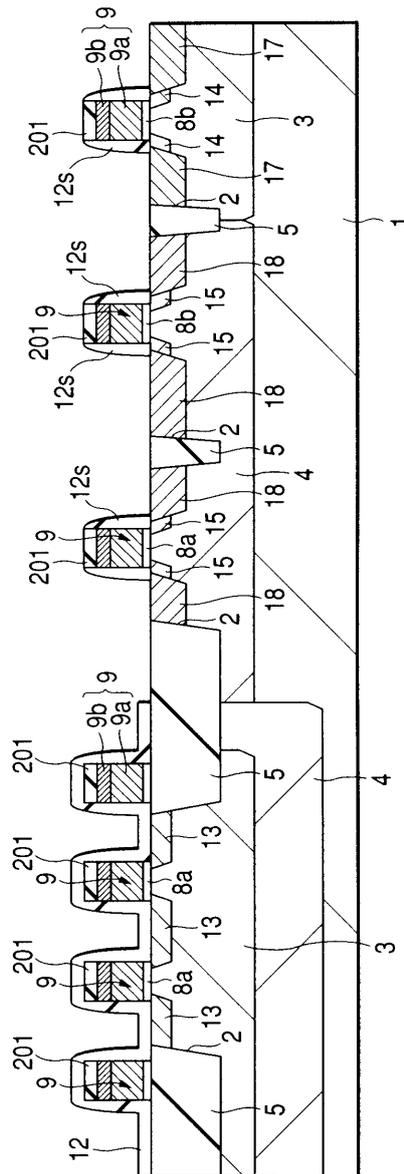
도면17



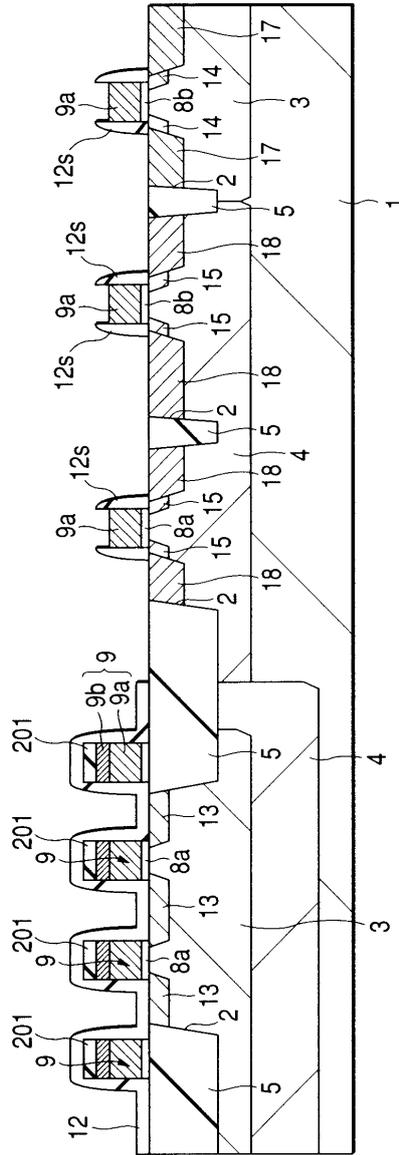
도면18



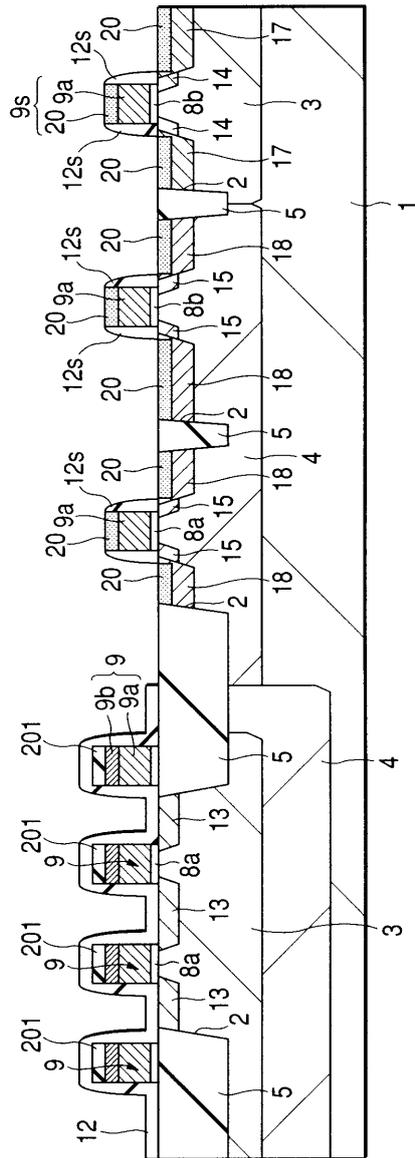
도면19



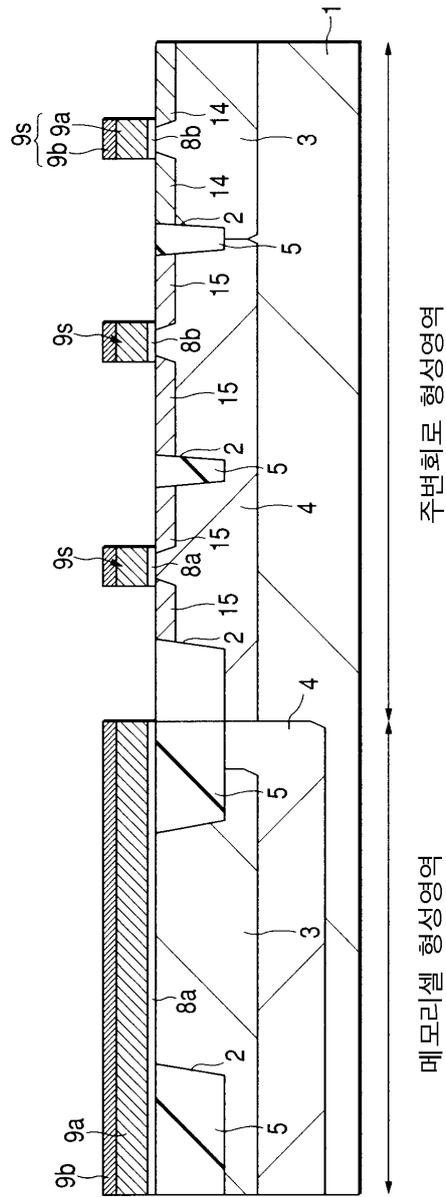
도면20



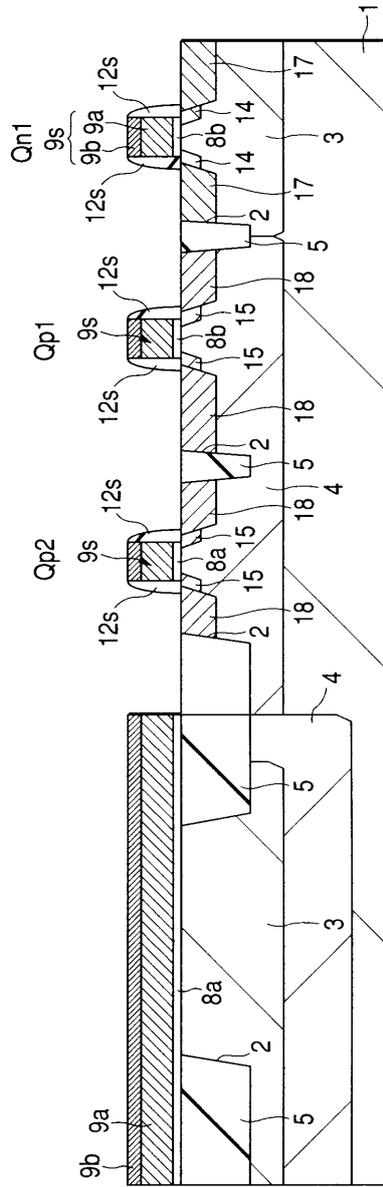
도면21



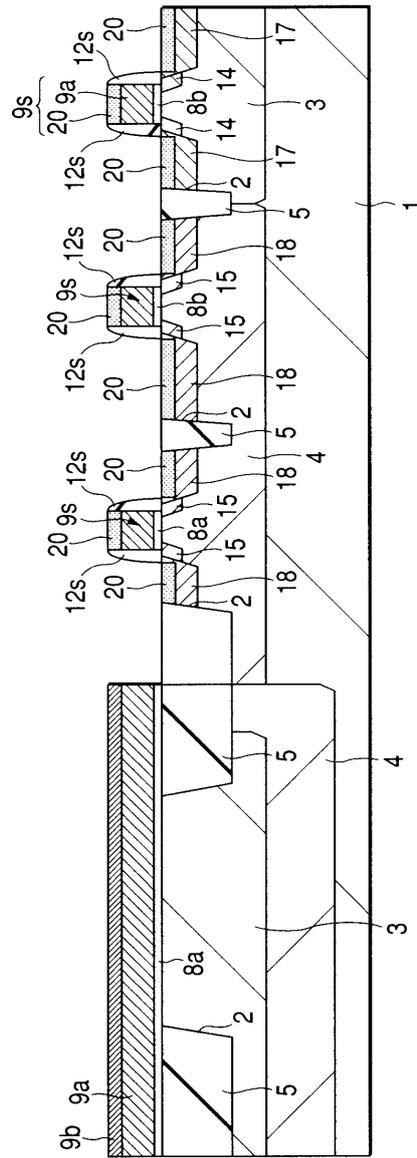
도면22



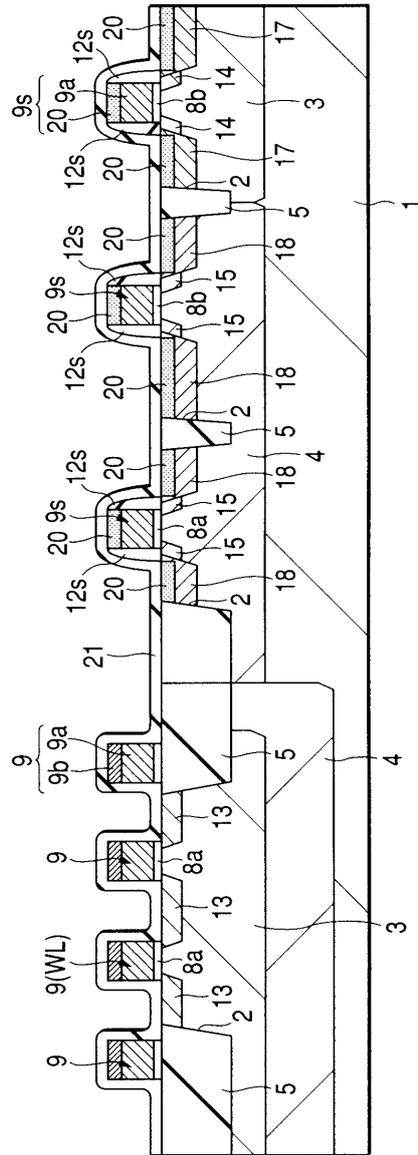
도면23



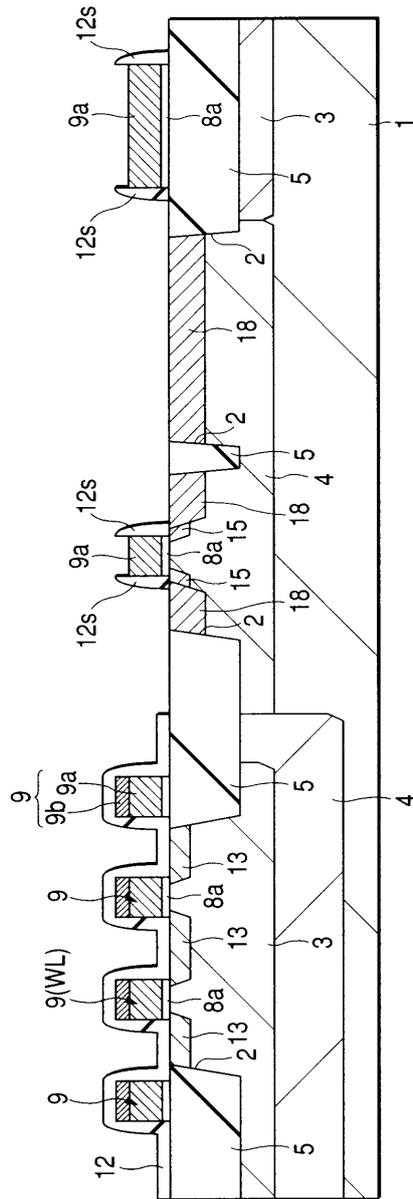
도면24



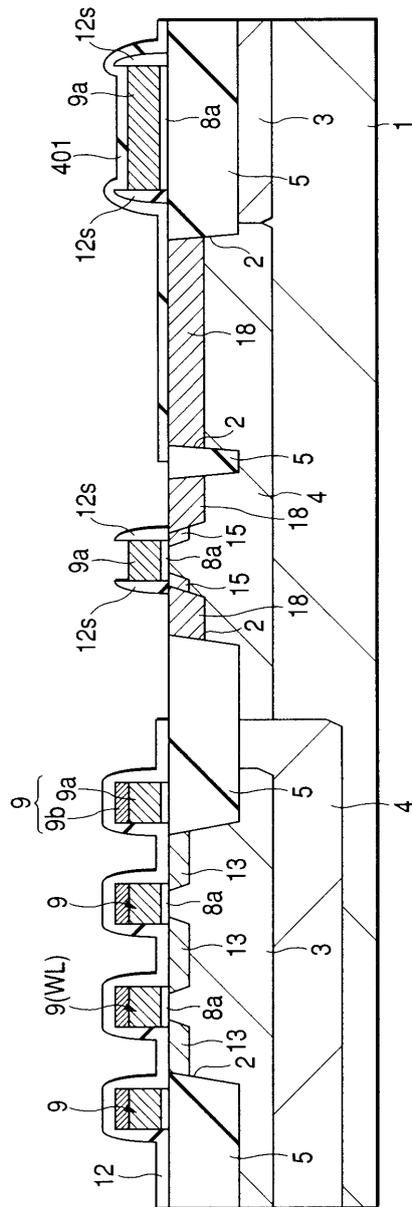
도면25



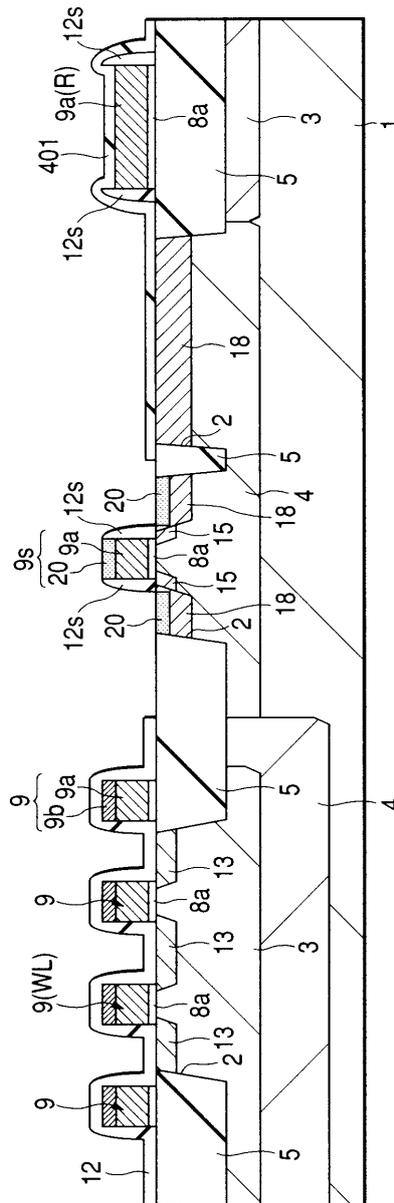
도면26



도면27



도면28



도면30

