

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4128283号
(P4128283)

(45) 発行日 平成20年7月30日 (2008. 7. 30)

(24) 登録日 平成20年5月23日 (2008. 5. 23)

(51) Int. Cl.		F I	
H03F	3/34	(2006.01)	H03F 3/34 A
H03F	3/45	(2006.01)	H03F 3/45 A

請求項の数 4 (全 15 頁)

(21) 出願番号	特願平10-276182	(73) 特許権者	390020248
(22) 出願日	平成10年9月29日 (1998. 9. 29)		日本テキサス・インスツルメンツ株式会社
(65) 公開番号	特開2000-114888 (P2000-114888A)		東京都新宿区西新宿六丁目2 4 番 1 号
(43) 公開日	平成12年4月21日 (2000. 4. 21)	(74) 代理人	100094053
審査請求日	平成17年8月26日 (2005. 8. 26)		弁理士 佐藤 隆久
		(72) 発明者	宮光 文明
			大分県速見郡日出町大字川崎字高尾4 2 6
			〇番地 日本テキサス・インスツルメンツ株式会社内
		審査官	野元 久道

最終頁に続く

(54) 【発明の名称】 差動増幅回路

(57) 【特許請求の範囲】

【請求項 1】

制御端子に差動信号が入力される第 1 及び第 2 のトランジスタを含む差動増幅部と、
 上記第 1 及び第 2 のトランジスタにそれぞれ電流を供給する第 3 及び第 4 のトランジスタを含むカレントミラー型の第 1 の電流源と、

上記第 1 及び第 2 のトランジスタに電流を供給するための第 2 の電流源と、

上記差動増幅部の差動増幅信号を増幅して出力する出力増幅部と、

上記出力増幅部に電流を供給するための第 5 及び第 6 のトランジスタを含むカレントミラー型の第 3 の電流源と、

上記第 3 の電流源に電流を供給するための第 7 及び第 8 のトランジスタを含むカレントミラー型の第 4 の電流源と、

上記第 4 の電流源に電流を供給するための第 5 の電流源と、

を有し、

上記第 1 の電流源と上記差動増幅部と上記第 2 の電流源とが第 1 の電源ラインと第 2 の電源ラインとの間に直列に接続されており、

上記第 2 の電流源が、制御端子に制御電圧が入力される第 9 のトランジスタを含み、

上記出力増幅部が、制御端子に上記差動増幅信号が入力される第 10 のトランジスタを含み、

上記第 3 の電流源が、上記第 5 のトランジスタの制御端子と上記第 6 のトランジスタの制御端子との接続中点と上記第 1 の電源ラインとの間に接続されている第 12 のトランジ

10

20

スタを含み、

上記第5の電流源が、制御端子に上記制御電圧が入力される第11のトランジスタと、
上記第4の電流源と上記第11のトランジスタとの間に接続されている第13のトランジ
スタと、上記第1の電源ラインと上記第2の電源ラインとの間に直列に接続されており、
その接続中点から上記第13のトランジスタの制御端子に電圧を供給する第1及び第2の
抵抗素子とを含む、

差動増幅回路。

【請求項2】

上記第10のトランジスタの電流駆動能力が上記第1及び第2のトランジスタの約2倍
である請求項1に記載の差動増幅回路。

10

【請求項3】

上記第1、第2、第5、第6、第9及び第11のトランジスタがNPN型のバイポーラ
トランジスタであり、

上記第3、第4、第7、第8、及び第10のトランジスタがPNP型のバイポーラトラ
ンジスタであり、

上記第1の電源ラインに電源電圧が供給されており、

上記第2の電源ラインに接地電位が供給されている、

請求項1又は2に記載の差動増幅回路。

【請求項4】

制御端子に差動信号が入力される第14及び第15のトランジスタを含む第2の差動増
幅部と、

20

上記第14及び第15のトランジスタにそれぞれ電流を供給する第16及び第17のト
ランジスタを含むカレントミラー型の第6の電流源と、

上記第14及び第15のトランジスタに電流を供給するための第7の電流源と、

上記第2の差動増幅部の差動増幅信号を増幅して出力する第2の出力増幅部と、
を更に有し、

上記第3の電流源が、上記第2の出力増幅部に電流を供給する第16のトランジスタを
更に含み、当該第16のトランジスタと上記第6のトランジスタとでカレントミラー回路
が構成される、

請求項1乃至3の何れかに記載の差動増幅回路。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は差動増幅回路（差動増幅型演算増幅回路）に関するものであり、特に、ダイナミ
ックレンジの大きなバートン型差動増幅回路に関する。

さらに特定のには、本発明は高周波特性を有し、入力オフセット電圧を低減するバートン
型差動増幅回路に関する。

【0002】

【従来の技術】

種々の回路構成の差動増幅回路（差動増幅型演算増幅回路）が知られている。そのような
差動増幅回路の中で、ダイナミックレンジの広いバートン型差動増幅回路が知られている
。

40

図4はバートン型差動増幅回路の1回路構成例を図解する。

【0003】

図4に図解したバートン型差動増幅回路1Zは、差動信号増幅部10と、出力増幅回路部
12Zと、出力バッファ回路部14とを有する。

【0004】

差動信号増幅部10は、図解のごとく、カレントミラー型の第1の電流源102と、差動
対トランジスタ回路部104と、第2の電流源106から構成される。

第1の電流源102は、PNP型バイポーラトランジスタQ₁と、PNP型バイポーラト

50

ランジスタ Q_2 とが図解のごとくカレントミラー型電流源として構成されている。
 差動対トランジスタ回路部 104 は、図解のごとく、NPN型バイポーラトランジスタ Q_4 と、トランジスタ Q_5 とが差動対型増幅回路を構成するように接続されている。
 第2の電流源 106 はNPN型バイポーラトランジスタ Q_3 で構成されている。

【0005】

差動信号増幅部 10 は、差動増幅回路としての基本回路であり、トランジスタ Q_4 のベースとトランジスタ Q_5 のベースの両者に印加された入力信号 I_N の差に応じた増幅をし、トランジスタ Q_5 のコレクタ、すなわち、トランジスタ Q_2 とトランジスタ Q_5 の接続点 N_1 から増幅結果に応じた信号を出力する。

【0006】

差動信号増幅部 10 のダイナミックレンジを広げるため、バートン型差動増幅回路には出力増幅回路部 12Z が設けられている。

出力増幅回路部 12Z は、出力増幅用トランジスタ Q_6 からなる出力増幅回路 122 と、トランジスタ Q_{23} からなる第3の電流源 124Z とを有する。

出力増幅用トランジスタ Q_6 は、接続点 N_1 からの差動出力信号を増幅し、ダイナミックレンジを広げる。そのため、出力増幅用トランジスタ Q_6 は、トランジスタ Q_4 およびトランジスタ Q_5 の2倍の電流容量を有している。たとえば、トランジスタ Q_6 は、トランジスタ Q_4 、 Q_5 の寸法の2倍の大きさで形成されている。

【0007】

出力増幅用トランジスタ Q_6 のコレクタ（接続点 N_2 ）からの出力が、バッファ回路 BUF からなる出力バッファ回路部 14 に接続されており、このバッファ回路 BUF を介して、差動対トランジスタ回路部 104 に入力された入力信号 I_N の差動増幅出力信号が出力される。

【0008】

【発明が解決しようとする課題】

図4に図解の差動増幅回路は下記条件が成立することを前提としている。

【0009】

【数1】

$$I_B(Q_1) + I_B(Q_2) \cong I_B(Q_6)$$

(1)

ここで、 $I_B(Q_1)$ はトランジスタ Q_1 のベース電流であり、
 $I_B(Q_2)$ はトランジスタ Q_2 のベース電流であり、
 $I_B(Q_6)$ はトランジスタ Q_6 のベース電流である。

【0010】

出力増幅用トランジスタ Q_6 は本来、接続点 N_1 における差動対トランジスタ回路部 104 の出力信号を増幅する目的で設けられているが、接続点 N_1 にベース電流 $I_B(Q_6)$ を流す機能をも有している。

その理由は次のとおりである。カレントミラー型の第1の電流源 102 において、トランジスタ Q_1 のコレクタがトランジスタ Q_1 、 Q_2 のベースに接続されているので、トランジスタ Q_4 のコレクタに流れる電流 $I_C(Q_4)$ はトランジスタ Q_1 、 Q_2 のベース電流 ($I_B(Q_1) / I_B(Q_2)$) とトランジスタ Q_1 のコレクタ電流との和になる ($I_C(Q_4) = I_C(Q_1) + I_B(Q_1) / I_B(Q_2)$)。これに対して、トランジスタ Q_5 のコレクタに流れる電流 $I_C(Q_5)$ は、トランジスタ Q_2 のコレクタに流れる電流 $I_C(Q_2)$ だけである ($I_C(Q_5) = I_C(Q_2)$)。その結果、トランジスタ Q_1 のコレクタからトランジスタ Q_4 のコレクタに流れる電流 $I_C(Q_4)$ が、トランジスタ Q_2 のコレクタからトランジスタ Q_5 のコレクタに流れる電流 $I_C(Q_5)$ より大きくなる傾向がある。そこで、トランジスタ Q_5 のコレクタに流れる電流の不足分をトランジスタ Q_6 のベースからトランジスタ Q_5 のコレクタに流す。

【0011】

式1の条件が満足されれば下記式2が成立する。

10

20

30

40

50

【0012】

【数2】

$$I_C(Q_4) = I_C(Q_5) \text{、または、}$$

$$I_C(Q_4) \cong I_C(Q_5)$$

(2)

ここで、 $I_C(Q_4)$ はトランジスタ Q_4 のコレクタ電流であり、
 $I_C(Q_5)$ はトランジスタ Q_5 のコレクタ電流である。

【0013】

ところで、PNP型バイポーラトランジスタのトランジスタの電流増幅率 h_{FE} が低下するとベース電流が増大する。最近の高周波プロセスによれば、ラテラル（横型）PNP型バイポーラトランジスタを形成するとき、エピタキシャル層が薄くなり、ベース領域の厚さが浅くなり、そのようなトランジスタの電流増幅率 h_{FE} は低下する傾向にある。

そのようなラテラルPNP型バイポーラトランジスタをトランジスタ Q_1 、トランジスタ Q_2 などに用いると、式2の関係が満足されなくなる。

差動信号増幅部10においては、トランジスタ Q_4 とトランジスタ Q_5 とを全く同じ特性のものをを用い、式2が満足されることを前提としている。しかしながら、トランジスタ Q_4 とトランジスタ Q_5 との特性が一致していたとしても、式2の条件が満足されない場合、動作エラーとなり、オフセット電圧が大きくなり、正確な差動増幅信号が得られない。因みにオフセット電圧の大きさを考察すると、オフセット電圧は下記式3に依存するから、高周波用差動増幅回路においてPNP型バイポーラトランジスタの電流増幅率 $h_{FE} = \beta$ が低下すればするほど、トランジスタ Q_1 とトランジスタ Q_2 のベース電流は大きくなり、動作エラーが増大してオフセット電圧は一層大きくなる。

【0014】

【数3】

$$I_B(Q_1) + I_B(Q_2) = 1/\beta \cdot [I_C(Q_1) + I_C(Q_2)]$$

ここで、 β はPNP型バイポーラトランジスタの電流増幅率 h_{FE} である。

(3)

【0015】

本発明の目的は、高周波動作においても、オフセットが生じない、ダイナミックレンジの広い差動増幅回路を提供することにある。

【0016】

【課題を解決するための手段】

本発明によれば、制御端子に差動信号が入力される第1及び第2のトランジスタを含む差動増幅部と、上記第1及び第2のトランジスタにそれぞれ電流を供給する第3及び第4のトランジスタを含むカレントミラー型の第1の電流源と、上記第1及び第2のトランジスタに電流を供給するための第2の電流源と、上記差動増幅部の差動増幅信号を増幅して出力する出力増幅部と、上記出力増幅部に電流を供給するための第5及び第6のトランジスタを含むカレントミラー型の第3の電流源と、上記第3の電流源に電流を供給するための第7及び第8のトランジスタを含むカレントミラー型の第4の電流源と、上記第4の電流源に電流を供給するための第5の電流源と、を有し、

上記第1の電流源と上記差動増幅部と上記第2の電流源とが第1の電源ラインと第2の電源ラインとの間に直列に接続されており、

上記第2の電流源が、制御端子に制御電圧が入力される第9のトランジスタを含み、

上記出力増幅部が、制御端子に上記差動増幅信号が入力される第10のトランジスタを含み、

10

20

30

40

50

上記第3の電流源が、上記第5のトランジスタの制御端子と上記第6のトランジスタの制御端子との接続中点と上記第1の電源ラインとの間に接続されている第12のトランジスタを含み、

上記第5の電流源が、制御端子に上記制御電圧が入力される第11のトランジスタと、上記第4の電流源と上記第11のトランジスタとの間に接続されている第13のトランジスタと、上記第1の電源ラインと上記第2の電源ラインとの間に直列に接続されており、その接続中点から上記第13のトランジスタの制御端子に電圧を供給する第1及び第2の抵抗素子とを含む、

差動増幅回路が提供される。

【0017】

好ましくは、上記第10のトランジスタの電流駆動能力が上記第1及び第2のトランジスタの約2倍である。

【0020】

好ましくは、上記第1、第2、第5、第6、第9及び第11のトランジスタはNPN型のバイポーラトランジスタであり、上記第3、第4、第7、第8、及び第10のトランジスタはPNP型のバイポーラトランジスタであり、上記第1の電源ラインには電源電圧が供給されており、上記第2の電源ラインには接地電位が供給されている。

【0021】

好ましくは、制御端子に差動信号が入力される第14及び第15のトランジスタを含む第2の差動増幅部と、上記第14及び第15のトランジスタにそれぞれ電流を供給する第16及び第17のトランジスタを含むカレントミラー型の第6の電流源と、上記第14及び第15のトランジスタに電流を供給するための第7の電流源と、上記第2の差動増幅部の差動増幅信号を増幅して出力する第2の出力増幅部と、を更に有し、

上記第3の電流源が、上記第2の出力増幅部に電流を供給する第16のトランジスタを更に含み、当該第16のトランジスタと上記第6のトランジスタとでカレントミラー回路が構成される。

【0023】

【発明の実施の形態】

第1の実施の形態

本発明の差動増幅回路の第1の実施の形態を図1を参照して述べる。

図1は本発明の第1の実施形態のバートン型差動増幅回路1の回路図である。

図1に図解した差動増幅回路1は、差動信号増幅部10と、出力増幅回路部12と、出力バッファ回路部14とを有する。

【0024】

図1に図解した差動信号増幅部10は、図4を図解した述べた差動信号増幅部10と同じ構成をしている。すなわち、差動信号増幅部10は、第1の電源ライン V_{cc} と第2の電源ラインGNDとの間に直列接続された、カレントミラー型の第1の電流源102と、差動対トランジスタ回路部104と、第2の電流源106から構成される。

【0025】

カレントミラー型の第1の電流源102は、PNP型バイポーラトランジスタ Q_1 とPNP型バイポーラトランジスタ Q_2 とを有し、トランジスタ Q_1 、 Q_2 の両者のエミッタが第1の電源ライン V_{cc} に接続され、トランジスタ Q_1 、 Q_2 の両者のベースが共通接続され、その共通接続されたベースが、トランジスタ Q_1 のコレクタに接続されている。

カレントミラー型の第1の電流源102は、理論的には、トランジスタ Q_1 のコレクタ電流とトランジスタ Q_2 のコレクタ電流が同じで、正確かつ安定に一定の電流を負荷回路、この例では、差動対トランジスタ回路部104に提供する。したがって、カレントミラー型の第1の電流源102は、差動対トランジスタ回路部104のような差動信号を増幅するために、トランジスタ Q_4 とトランジスタ Q_5 の動作条件が完全に一致しなければならない回路の電源としては好ましい。

カレントミラー型の第1の電流源102の考えは、その他のカレントミラー型電流源12

10

20

30

40

50

4、126にも適用できる。

【0026】

差動対トランジスタ回路部104はNPN型バイポーラトランジスタ Q_4 とNPN型バイポーラトランジスタ Q_5 とが差動対を構成するように接続されている。すなわち、トランジスタ Q_4 のエミッタとトランジスタ Q_5 のエミッタとが共通接続され、トランジスタ Q_4 のコレクタがカレントミラー型の第1の電流源102のトランジスタ Q_1 のコレクタに接続され、トランジスタ Q_5 のコレクタがカレントミラー型の第1の電流源102のトランジスタ Q_2 のコレクタに接続されている。トランジスタ Q_4, Q_5 のベースに差動増幅すべき入力信号INが印加される。

【0027】

第2の電流源106はNPN型バイポーラトランジスタ Q_3 で構成されており、トランジスタ Q_3 のコレクタはトランジスタ Q_4, Q_5 のエミッタが共通接続された接続点 N_3 に接続され、トランジスタ Q_3 のエミッタは第2の電源ラインGNDに接続されており、トランジスタ Q_3 のベースには所定の電流制御電圧VCが印加されている。この電流制御電圧VCの電圧によって、トランジスタ Q_3 を流れる電流、すなわち、負荷回路としてのトランジスタ Q_4, Q_5 の負荷電流が規定される。

【0028】

本実施の形態においては、第1の電源ライン V_{cc} は図1に図解したトランジスタの動作電圧を提供する、たとえば、DC3～5Vであり、第2の電源ラインGNDは接地電位である。

【0029】

基本差動増幅回路としての差動信号増幅部10のダイナミックレンジを広げるため、図1に図解したパートン型差動増幅回路1には出力増幅回路部12が設けられている。図1に図解した出力増幅回路部12は図4に図解した回路12Zとは異なる。

図1に図解した出力増幅回路部12は、第1の電源ライン V_{cc} と第2の電源ラインGNDとの間に設けられた、出力増幅用PNP型バイポーラトランジスタ Q_6 からなる出力増幅回路122と、カレントミラー型の第3の電流源124と、カレントミラー型の第4の電流源126と、第5の電流源128とを有する。

【0030】

この回路構成の特徴の詳細については後述するが、下記式4がトランジスタの電流増幅率 h_{FE} に関係なく成立すれば、上述したオフセット電圧が増大するという問題は解決できる。

【0031】

【数4】

$$I_C(Q_1) + I_C(Q_2) = I_C(Q_6)$$

(4)

ここで、 $I_C(Q_1)$ はトランジスタ Q_1 のコレクタ電流であり、

$I_C(Q_2)$ はトランジスタ Q_2 のコレクタ電流であり、

$I_C(Q_6)$ はトランジスタ Q_6 のコレクタ電流である。

【0032】

そこで、図1に図解した差動増幅回路1においては、トランジスタ Q_6 のコレクタ電流 $I_C(Q_6)$ を規定している、トランジスタ Q_7 のコレクタ電流 $I_C(Q_7)$ を発生する回路として、カレントミラー型の第3の電流源124およびカレントミラー型の第4の電流源126を設けた。また、電流増幅率 h_{FE} の高い、NPN型バイポーラトランジスタ Q_7 およびNPN型バイポーラトランジスタ Q_8 を用いて出力増幅用トランジスタ Q_6 の電流源である、カレントミラー型の第3の電流源124を構成している。

【0033】

出力増幅用トランジスタ Q_6 は、入力信号INを差動増幅した差動対トランジスタ回路部104の出力端子、すなわち、接続点 N_1 からの差動出力信号を増幅し、差動対トランジ

10

20

30

40

50

スタ回路部 104 のダイナミックレンジを広げる。

ダイナミックレンジを広げるために、出力増幅用トランジスタ Q_6 は、トランジスタ Q_4 およびトランジスタ Q_5 の 2 倍の電流容量を有している。より具体的に言えば、出力増幅用トランジスタ Q_6 の面積はトランジスタ Q_4, Q_5 それぞれの寸法の 2 倍の大きさに形成されている。あるいは、トランジスタ Q_6 としては、トランジスタ Q_4, Q_5 それぞれと同じ定格（容量）のトランジスタを 2 個並列に設けてもよい。

【0034】

カレントミラー型の第 3 の電流源 124 は、NPN 型バイポーラトランジスタ Q_7 と NPN 型バイポーラトランジスタ Q_8 からなるカレントミラー型電流源である。

トランジスタ Q_7 のコレクタが接続点 N_2 を介して出力増幅用トランジスタ Q_6 のコレクタに接続され、トランジスタ Q_7 のエミッタが第 2 の電源ライン GND に接続されている。トランジスタ Q_7 のベースとトランジスタ Q_8 のベースとは共通接続されている。

トランジスタ Q_8 のエミッタが第 2 の電源ライン GND に接続され、さらに共通接続されたトランジスタ Q_7 のベースとトランジスタ Q_8 のベースの接続点がトランジスタ Q_8 のコレクタに接続されている。トランジスタ Q_8 のコレクタはカレントミラー型の第 4 の電流源 126 内のトランジスタ Q_9 のコレクタに接続されている。

NPN 型バイポーラトランジスタ Q_7, Q_8 の電流増幅率 h_{FE} は十分大きい。このことは、式 4 を参照して述べた条件に合致している。

【0035】

カレントミラー型の第 4 の電流源 126 は、PNP 型バイポーラトランジスタ Q_9 と PNP 型バイポーラトランジスタ Q_{10} からなるカレントミラー型電流源である。

トランジスタ Q_9 のエミッタが第 1 の電源ライン V_{cc} に接続され、トランジスタ Q_9 のベースがトランジスタ Q_{10} のベースに接続され、トランジスタ Q_9 のコレクタがカレントミラー型の第 3 の電流源 124 内のトランジスタ Q_8 のコレクタに接続されている。

トランジスタ Q_{10} のエミッタが第 1 の電源ライン V_{cc} に接続され、トランジスタ Q_{10} のコレクタがトランジスタ Q_9 のベースと共通接続されたトランジスタ Q_{10} のベースに接続されている。トランジスタ Q_{10} のコレクタは第 5 の電流源 128 のトランジスタ Q_{11} のコレクタに接続されている。

【0036】

カレントミラー型の第 4 の電流源 126 は、カレントミラー型の第 3 の電流源 124 の 2 倍の電流供給容量を有している。したがって、カレントミラー型の第 4 の電流源 126 を構成しているトランジスタ Q_9, Q_{10} はそれぞれ、カレントミラー型第 3 の電流源 124 を構成しているトランジスタ Q_7, Q_8 の 2 倍の電流容量を有している。したがって、トランジスタ Q_9, Q_{10} の面積はそれぞれ、トランジスタ Q_7, Q_8 のそれぞれの面積の 2 倍の大きさに形成されている。あるいは、トランジスタ Q_9, Q_{10} はそれぞれ、トランジスタ Q_7, Q_8 それぞれを 2 個並列に設けた構造にしてもよい。

【0037】

第 5 の電流源 128 はカレントミラー型の第 4 の電流源 126 の電流源として設けられ、NPN 型バイポーラトランジスタ Q_{11} を有する。トランジスタ Q_{11} のコレクタはトランジスタ Q_{10} のコレクタに接続され、トランジスタ Q_{11} のエミッタが第 2 の電源ライン GND に接続されている。トランジスタ Q_{11} のベースには、トランジスタ Q_3 のベースに印加されている制御電圧 V_C が印加されており、トランジスタ Q_{11} に所定の定電流を流すように構成されている。

【0038】

出力増幅用トランジスタ Q_6 のコレクタに接続されている接続点 N_2 に出力バッファ回路部 14 のバッファ回路 BUF が接続されており、差動信号増幅部 10 のトランジスタ Q_4, Q_5 のベースに印加された入力信号を差動増幅した信号がバッファ回路 BUF から出力される。

【0039】

図 1 に図解した差動増幅回路 1 と図 4 に図解した差動増幅回路 1Z とを比較する。図 1 に

10

20

30

40

50

図解した差動増幅回路 1 は、出力増幅用トランジスタ Q_6 の電流源として、図 4 のトランジスタ Q_{23} に代えて、トランジスタ Q_7, Q_8 からなるカレントミラー型の第 3 の電流源 1 2 4 と、トランジスタ Q_9, Q_{10} からなるカレントミラー型の第 4 の電流源 1 2 6 と、トランジスタ Q_{11} からなる第 5 の電流源 1 2 8 とを設けた点が異なる。しかしながら、この回路追加は、実質的に 4 個のトランジスタの追加に過ぎず、取り立てて複雑な回路構成となった訳ではない。

【0040】

図 1 に図解した差動増幅回路 1 の動作を述べる。

差動信号増幅部 10 の動作は図 4 を参照して述べた動作と実質的に同じである。

すなわち、差動対トランジスタ回路部 104 を構成するトランジスタ Q_4 のベースとトランジスタ Q_5 のベースの両者に入力信号 I_N が印加されると、差動対トランジスタ回路部 104 においてトランジスタ Q_4 のベースとトランジスタ Q_5 のベースに印加された電圧の差を増幅した電流を接続点 N_1 (トランジスタ Q_5 のコレクタ) に出力する。

カレントミラー型の第 1 の電流源 102 は、トランジスタ Q_4 のコレクタおよびトランジスタ Q_5 のコレクタに、等しい一定の電流を提供する。

トランジスタ Q_3 からなる第 2 の電流源 106 は、トランジスタ Q_4 のエミッタおよびトランジスタ Q_5 のエミッタに一定の電流を提供する。

【0041】

出力増幅用トランジスタ Q_6 は接続点 N_1 の差動増幅信号を出力増幅用トランジスタ Q_6 の電流増幅率 h_{FE} に応じて増幅して、そのコレクタ (接続点 N_2) に出力する。

カレントミラー型の第 3 の電流源 124 は出力増幅用トランジスタ Q_6 の定電流源であり、カレントミラー型の第 4 の電流源 126 も出力増幅用トランジスタ Q_6 の定電流源である。第 5 の電流源 128 はカレントミラー型の第 4 の電流源 126 の定電流源である。特に、出力増幅用トランジスタ Q_6 の定電流源として、第 3 の電流源 124 と第 4 の電流源 126 とは、トランジスタ Q_{11} だけの第 5 の電流源 128 より正確な定電流源としてのカレントミラー型電流源にしている。

【0042】

出力増幅用トランジスタ Q_6 のコレクタ (接続点 N_2) からの出力が、バッファ回路 BUF からなる出力バッファ回路部 14 に供給されており、このバッファ回路 BUF を介して、差動対トランジスタ回路部 104 に入力された入力信号 I_N の差動増幅出力信号が出力される。

【0043】

次いで、カレントミラー型の第 3 の電流源 124 およびカレントミラー型の第 4 の電流源 126 を設けたことによるオフセット電圧のキャンセル (低減) 効果について考察する。カレントミラー型の第 1 の電流源 102 において、トランジスタ Q_1 のコレクタ電流 $I_C(Q_1)$ とトランジスタ Q_2 のコレクタ電流 $I_C(Q_2)$ とは等しい。すなわち、下記式 5 が成立し、下記式 5 から、下記式 6 が成り立つ。

【0044】

【数 5】

$$I_C(Q_1) = I_C(Q_2)$$

(5)

ここで、 $I_C(Q_1)$ はトランジスタ Q_1 のコレクタ電流であり、 $I_C(Q_2)$ はトランジスタ Q_2 のコレクタ電流である。

【0045】

【数 6】

$$I_B(Q_1) + I_B(Q_2) = I_B(Q_6)$$

(6)

ここで、 $I_B(Q_1)$ はトランジスタ Q_1 のベース電流であり、

$I_B(Q_2)$ はトランジスタ Q_2 のベース電流であり、

$I_B(Q_6)$ はトランジスタ Q_6 のベース電流である。

【0046】

式6の関係が成立すれば下記式7が成立してオフセット電圧は0となる。

【0047】

【数7】

$$I_C(Q_4) = I_C(Q_5) \quad (7)$$

ここで、 $I_C(Q_4)$ はトランジスタ Q_4 のコレクタ電流であり、

10

$I_C(Q_5)$ はトランジスタ Q_5 のコレクタ電流である。

【0048】

したがって、オフセット電圧を生じさせないためには、上述した条件が満足されればよい。
下記にそのための条件を考察する。

この考察において、NPN型バイポーラトランジスタ Q_3 、 Q_7 、 Q_8 、 Q_{11} の電流増幅率 h_{FE} は便宜的に無限大(∞)と仮定する。

【0049】

差動対トランジスタ回路部104におけるトランジスタ Q_4 のコレクタ電流 $I_C(Q_4)$ とトランジスタ Q_5 のコレクタ電流 $I_C(Q_5)$ とが等しいとして、下記条件が成立すると仮定する。

20

【0050】

【数8】

$$I_C(Q_4) = I_C(Q_3) / 2 \quad (8)$$

ここで、 $I_C(Q_3)$ はトランジスタ Q_3 のコレクタ電流である。

【0051】

もし、下記関係が成立すれば、

【0052】

【数9】

30

$$I_C(Q_2) + I_B(Q_6) = I_C(Q_5) = I_C(Q_3) / 2 \quad (9)$$

【0053】

式8との関係から式7の関係が成立し、オフセット電圧は発生しない。

そこで、この関係が成立する条件を考察する。

NPN型バイポーラトランジスタの電流増幅率 h_{FE} を β とする。

式8から、

【0054】

【数10】

40

$$\begin{aligned} I_C(Q_4) &= I_C(Q_3) / 2 \\ &= I_C(Q_1) + 2 \cdot I_C(Q_1) / \beta \\ \therefore I_C(Q_1) &= I_C(Q_3) \cdot \beta / [2(\beta + 2)] = I_C(Q_2) \end{aligned} \quad (10)$$

【0055】

上記同様に、カレントミラー型の第4の電流源126においても、カレントミラー型電流源の原理から下記式が成立する。

【0056】

50

【数 1 1】

$$I_C(Q_{11}) = I_C(Q_{10}) + 2 \cdot I_C(Q_{10}) / \beta \quad (11)$$

【0 0 5 7】

式 1 1 に、下記の関係式を代入する。

【0 0 5 8】

【数 1 2】

$$I_C(Q_{11}) = I_C(Q_3) \quad (12) \quad 10$$

$$\begin{aligned} I_C(Q_{10}) &= I_C(Q_9) \\ &= I_C(Q_8) \\ &= I_C(Q_7) \\ &= I_C(Q_6) \end{aligned} \quad (13)$$

【0 0 5 9】

20

【数 1 3】

$$\begin{aligned} I_C(Q_3) &= I_C(Q_6) + 2 \cdot I_C(Q_6) / \beta \\ \therefore I_C(Q_6) &= I_C(Q_3) \cdot \beta / (\beta + 2) \end{aligned} \quad (14)$$

【0 0 6 0】

式 1 0 式 1 2 とから、下記式 1 3 が得られる。

【0 0 6 1】

【数 1 4】

30

$$\begin{aligned} I_C(Q_2) + I_C(Q_6) &= I_C(Q_3) \cdot \beta / [2(\beta + 2)] + I_C(Q_3) \cdot \beta / (\beta + 2) \\ &= I_C(Q_3) [\beta / [2(\beta + 2)] + \beta / (\beta + 2)] \\ &= I_C(Q_3) / 2 \end{aligned} \quad (15)$$

【0 0 6 2】

したがって、下記式 1 6 が成立する。

40

【0 0 6 3】

【数 1 5】

$$I_C(Q_4) = I_C(Q_5) = I_C(Q_3) / 2 \quad (16)$$

【0 0 6 4】

式 1 6 は差動対トランジスタ回路部 1 0 4 が完全に平衡しており、オフセット電圧が発生しないことを示している。すなわち、カレントミラー型の第 3 の電流源 1 2 4 およびカレントミラー型の第 4 の電流源 1 2 6 を設けた図 1 に図解した差動増幅回路 1 には原理的にオフセットが発生しない。

50

【0065】

差動増幅回路1の実際的な考察

以上の考察において、便宜的にNPN型バイポーラトランジスタの電流増幅率 h_{FE} が無限大と仮定した。その理由は、NPN型バイポーラトランジスタは一般的にみて、その電流増幅率 h_{FE} が高くオフセット派生の影響が少ないことに加えて、考察を容易にするためである。

しかしながら、トランジスタの電流増幅率 h_{FE} が無限大ということとはあり得ない。そこで、NPN型バイポーラトランジスタの電流増幅率 h_{FE} を100と仮定し、PNP型バイポーラトランジスタの電流増幅率 h_{FE} を種々変えた場合のオフセット発生具合についてシミュレーションを行った結果を下記表1に示す。

10

【0066】

【表1】

表1

PNP型トランジスタ の電流増幅率 h_{FE}	図4の差動増幅回路 におけるオフセット電圧 (μV)	図1の差動増幅回路1 におけるオフセット電圧 (μV)
100	- 15.5	10.1
50	- 51.0	19.8
25	-181.4	38.9
20	-278.8	48.3
15	-468.2	63.7
10	-996.8	92.3

20

【0067】

図1に図解した差動増幅回路1においても、オフセット電圧は発生しているが、その値は図4に図解した差動増幅回路におけるオフセット電圧より相当低下している。

30

また、本実施の形態によれば、PNP型バイポーラトランジスタの電流増幅率 h_{FE} が変動した場合でも（ばらついた場合でも）オフセット電圧を所定の範囲に制限できる。

【0068】

上述したように、図1を参照して述べた本発明の第1の実施の形態の差動増幅回路1によれば、原理的にはオフセット電圧は発生せず、実際の回路においても、オフセット電圧は発生したとしても、図4に図解した差動増幅回路におけるオフセット電圧より相当低下できる。

オフセット電圧を上述したように低下させた場合でも、図1の差動増幅回路1において、ダイナミックレンジが狭くなったり、高周波特性が低下することはない。

なお、図1に図解した差動増幅回路1は、カレントミラー型の第3の電流源124とカレントミラー型の第4の電流源126を追加するだけであるから、回路構成が特別複雑にはならない。

40

【0069】

第2の実施の形態

図2を参照して本発明の差動増幅回路の第2実施の形態について述べる。

第2の実施の形態の差動増幅回路1Aは、上述した図1におけるオフセット電圧をさらに低減することを目的とする。

図2に図解した差動増幅回路1Aは、差動信号増幅部10と、出力増幅回路部12Aと、出力バッファ回路部14とを有する。

差動信号増幅部10は図1に図解した差動信号増幅部10と全く同じ回路構成をしている

50

。同様に、出力バッファ回路部 1 4 は図 1 に図解した出力バッファ回路部 1 4 と全く同じである。

【0070】

図 2 に図解した差動増幅回路 1 A における出力増幅回路部 1 2 A は、図 1 に図解のカレントミラー型の第 3 の電流源 1 2 4 に NPN 型バイポーラトランジスタ Q_{12} を追加したカレントミラー型の第 3 の電流源 1 2 4 A と、図 1 に図解のカレントミラー型の第 4 の電流源 1 2 6 に NPN 型バイポーラトランジスタ Q_{13} と、分圧直列抵抗器 R_1 , R_2 を追加したカレントミラー型の第 4 の電流源 1 2 6 A を有する。

【0071】

カレントミラー型の第 3 の電流源 1 2 4 A に付加されたトランジスタ Q_{12} は、そのベースが NPN 型バイポーラトランジスタ Q_8 のコレクタに接続され、コレクタが第 1 の電源ライン V_{cc} に接続され、エミッタが NPN 型バイポーラトランジスタ Q_8 のベースとトランジスタ Q_7 のベースの共通接続部に接続されている。すなわち、トランジスタ Q_{12} とトランジスタ Q_8 とは逆並列に接続されており、トランジスタ Q_{12} を設けることにより、トランジスタ Q_7 のコレクタ電流と、トランジスタ Q_8 のコレクタ電流とを一致させている。その結果、トランジスタ Q_{12} を設けることにより、トランジスタ Q_7 の電流増幅率 h_{FE} の影響をキャンセルできる。

【0072】

カレントミラー型の第 4 の電流源 1 2 6 A に付加されてトランジスタ Q_{13} は、そのコレクタがトランジスタ Q_{10} のコレクタに接続され、そのエミッタがトランジスタ Q_{11} のコレクタに接続されており、トランジスタ Q_{10} のコレクタ電流 $I_C(Q_{10})$ を制御する。第 1 の電源ライン V_{cc} と第 2 の電源ライン GND との間に設けられた分圧直列抵抗器 R_1 , R_2 は、その電圧分割比に応じてトランジスタ Q_{13} のベース電圧を規定する。したがって、分圧直列抵抗器 R_1 , R_2 の電圧分割比を適切に選択することにより、トランジスタ Q_{13} は、カレントミラー型の第 3 の電流源 1 2 4 A におけるトランジスタ Q_{12} と同様の作用により、トランジスタ Q_{10} の電流増幅率 h_{FE} の影響をキャンセルできる。

【0073】

上述したとおり、図 1 に図解した差動増幅回路 1 に、トランジスタ Q_{12} とトランジスタ Q_{13} を付加することにより、図 2 に図解した差動増幅回路 1 A は、表 1 に例示したオフセット電圧をさらに低減することができる。

【0074】

第 3 実施の形態

図 3 を参照して本発明の差動増幅回路の第 3 実施の形態について述べる。

図 3 に図解した差動増幅回路 1 B は複数の入力信号を効率よく差動増幅する回路を示す。

【0075】

図 3 に図解した差動増幅回路 1 A は、図 2 の差動信号増幅部 1 0 に対応する差動信号増幅部 1 0₁、図 2 の出力増幅回路部 1 2 A に対応する第 1 の出力増幅回路部 1 1₁ と第 2 の出力増幅回路部 1 3 の合成回路、図 2 の出力バッファ回路部 1 4 に対応する出力バッファ回路部 1 4₁ を有しており、上述した図 2 に図解した差動増幅回路 1 A と全く同じである。図解の関係で、第 1 の出力増幅回路部 1 1₁ と第 2 の出力増幅回路部 1 3 とに分離しているが、これらの合成回路は、図 2 の出力増幅回路部 1 2 A と全く同じである。第 2 の出力増幅回路部 1 3 は、複数の信号増幅に共用する。

【0076】

以上から、差動信号増幅部 1 0₁、第 1 の出力増幅回路部 1 1₁ と第 2 の出力増幅回路部 1 3 の合成回路、出力バッファ回路部 1 4₁ は、図 2 を参照して述べた差動増幅回路 1 A と全く同じ動作をし、トランジスタ Q_4 のベースおよびトランジスタ Q_5 のベースに入力された第 1 の入力信号 I_{N1} を差動増幅して出力バッファ回路部 1 4₁ から出力する。この回路の動作および特徴は、図 2 を参照して述べた差動増幅回路 1 A の特徴および効果と同様である。

【0077】

10

20

30

40

50

図 3 に図解した差動増幅回路 1 B は、2 以上の入力信号を差動増幅するための回路であり、第 2 の入力信号 $I N_2$ は、差動信号増幅部 $1 0_1$ と全く同じ回路構成の差動信号増幅部 $1 0_2$ 、出力増幅回路部 $1 1_1$ と全く同じ回路構成の出力増幅回路部 $1 1_2$ 、および、出力バッファ回路部 $1 4_1$ と全く同じ構成の出力バッファ回路部 $1 4_2$ を有している。したがって、第 2 の入力信号 $I N_2$ も第 1 の入力信号 $I N_1$ と同様に差動増幅されて出力バッファ回路部 $1 4_2$ から出力される。

【0078】

図 3 に図解した差動増幅回路 1 B は、第 2 の出力増幅回路部 $1 3$ が複数の差動信号増幅部 $1 0_x$ (x は $1 \sim n$) および第 1 の出力増幅回路部 $1 1_x$ に共用できるので、複数の入力信号を差動増幅する場合、回路構成が実質的に簡単になり、効率がよい。

10

【0079】

本発明の好適実施の形態について上述したが、本発明の差動増幅回路の実施に際しては上述した回路構成には限定されず、当業者は本発明の技術思想の範囲内で種々改変することができる。

【0080】

【発明の効果】

本発明の差動増幅回路は、広いダイナミックレンジを維持しつつ、かつ、高周波特性を維持しつつ、オフセットの影響を少なくすることができる。

また、本発明の差動増幅回路においては、その差動増幅回路を構成するトランジスタの電流増幅率に変動した場合でも（ばらついた場合でも）オフセット電圧を所定の範囲に制限

20

【図面の簡単な説明】

【図 1】図 1 は本発明の第 1 の実施形態の差動増幅回路の回路図である。

【図 2】図 2 は本発明の第 2 の実施形態の差動増幅回路の回路図である。

【図 3】図 3 は本発明の第 3 の実施形態の差動増幅回路の回路図である。

【図 4】図 4 は本発明の背景技術としての差動増幅回路の回路図である。

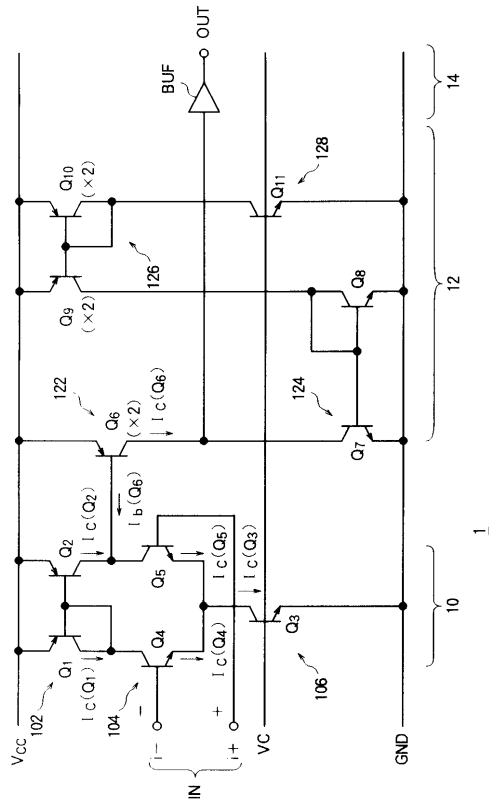
【符号の説明】

1, 1 A・・・差動増幅回路
 1 0・・・差動信号増幅部
 1 0 2・・・カレントミラー型の第 1 の電流源
 Q_1, Q_2 ・・・PNP 型バイポーラトランジスタ
 1 0 4・・・差動対トランジスタ回路部
 Q_4, Q_5 ・・・NPN 型バイポーラトランジスタ
 1 0 6・・・第 2 の電流源
 Q_3 ・・・NPN 型バイポーラトランジスタ
 1 2・・・出力増幅回路部
 1 2 2・・・出力増幅用トランジスタ (Q_6)
 1 2 4・・・カレントミラー型の第 3 の電流源
 Q_7, Q_8 ・・・NPN 型バイポーラトランジスタ
 Q_{12} ・・・NPN 型バイポーラトランジスタ
 1 2 6・・・カレントミラー型の第 4 の電流源
 Q_9, Q_{10} ・・・PNP 型バイポーラトランジスタ
 Q_{13} ・・・NPN 型バイポーラトランジスタ
 R_1, R_2 ・・・分圧抵抗器
 1 2 8・・・第 5 の電流源
 Q_{11} ・・・NPN 型バイポーラトランジスタ
 1 4・・・出力バッファ回路部
 B U F・・・バッファ回路

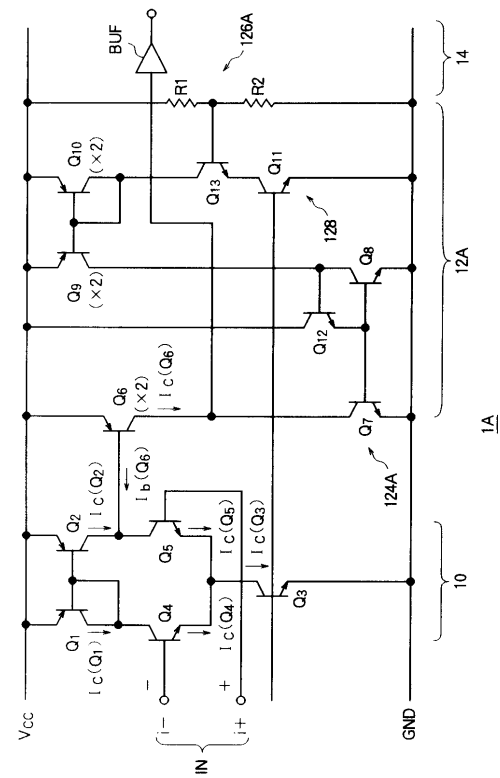
30

40

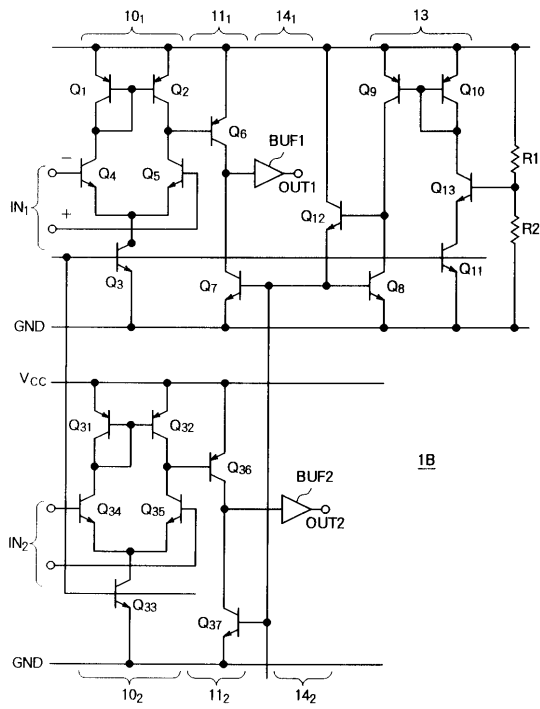
【図 1】



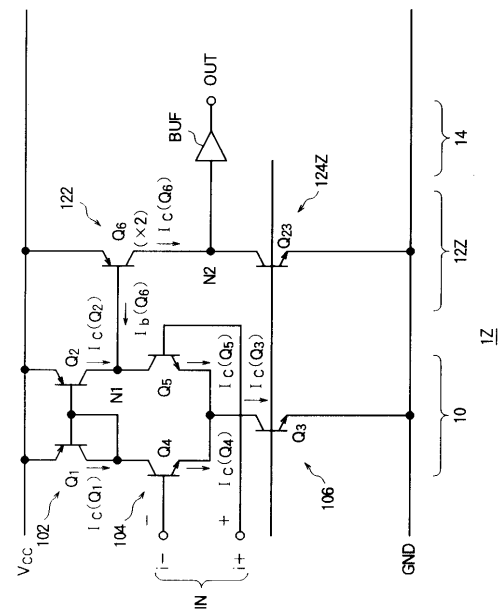
【図 2】



【図 3】



【図 4】



フロントページの続き

- (56)参考文献 特開昭54-008951 (JP, A)
特開昭62-145907 (JP, A)
特開昭64-071306 (JP, A)
特開平11-154832 (JP, A)
特開昭61-116412 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 3/34

H03F 3/45