

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月17日(17.10.2024)



(10) 国際公開番号

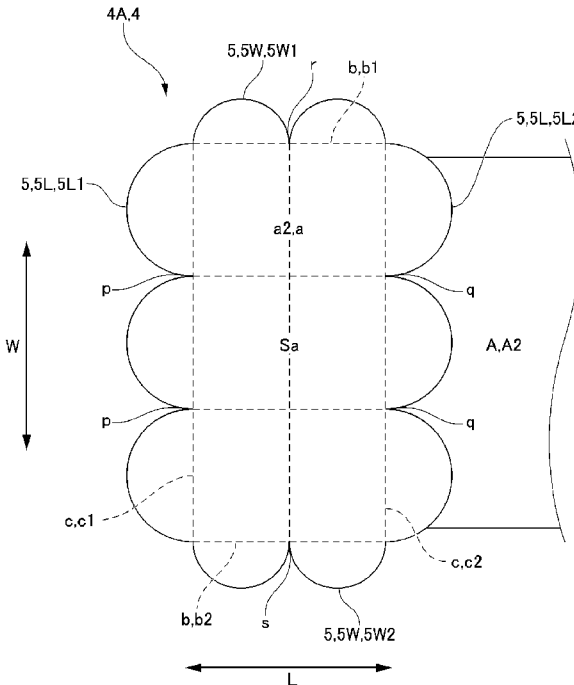
WO 2024/214531 A1

- (51) 国際特許分類:
H01G 4/30 (2006.01) *H01G 4/228* (2006.01)
H01G 2/06 (2006.01)
- (21) 国際出願番号: PCT/JP2024/011939
- (22) 国際出願日: 2024年3月26日(26.03.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-066335 2023年4月14日(14.04.2023) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
- JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 山田 忠輝 (YAMADA Tadateru);
〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
寺下 洋右 (TERASHITA Yosuke); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 加藤 竜太, 外 (KATO Ryuta et al.);
〒1000005 東京都千代田区丸の内 1-7-12 サピアタワー Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: MULTILAYER CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称: 積層セラミック電子部品

図 4



(57) Abstract: Provided is a multilayer ceramic electronic component with which solder wetting onto an end surface of an external electrode of a multilayer ceramic capacitor can be suppressed. This multilayer ceramic electronic component 1 comprises: a multilayer ceramic capacitor 1A; and two spacers 4 disposed on one main surface A2 side of the multilayer ceramic capacitor 1A. Each of the spacers 4 has: two spacer main surfaces a facing each other in a first direction T; two spacer side surfaces b facing each other in a second direction W; and two spacer end surfaces c facing each other in a

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

third direction L. When the spacer 4 is divided into n portions in the second direction W in a plan view seen from the one spacer main surface a2 side, each of the n regions obtained by the division includes a single protrusion 5L protruding in the third direction L.

(57) 要約: 積層セラミックコンデンサの外部電極の端面へのはんだの濡れ上がりを抑制することが可能な積層セラミック電子部品を提供する。本発明の積層セラミック電子部品1は、積層セラミックコンデンサ1Aと、前記積層セラミックコンデンサ1Aの、一方の主面A2側に配置された2つのスペーサ4と、を備え、前記スペーサ4は、それぞれ、前記第1方向Tに相対する2つのスペーサ主面a、前記第2方向Wに相対する2つのスペーサ側面b、及び前記第3方向Lに相対する2つのスペーサ端面cを有し、前記スペーサ4を、一方の前記スペーサ主面a2側から見た平面視において、前記第2方向Wにn分割したときに、n分割された各領域は、それぞれ、前記第3方向Lに突出する凸部5Lを1つ含んでいる。

明 細 書

発明の名称： 積層セラミック電子部品

技術分野

[0001] 本発明は、積層セラミック電子部品に関する。

背景技術

[0002] 積層セラミックコンデンサにおいて、電圧印加時に積層セラミックコンデンサ特有の、いわゆる「鳴き」が発生する。この「鳴き」の発生を抑制するために、積層セラミックコンデンサにおける基板に実装される側にスペーサが配置された積層セラミック電子部品が知られている（特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-216337号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、スペーサを超えて、積層セラミックコンデンサの外部電極へはんだが濡れ上がる場合があり、スペーサが配置された積層セラミック電子部品であっても、鳴き抑制の効果が十分に得られないことがあった。

[0005] 本発明は、積層セラミックコンデンサの外部電極の端面へのはんだの濡れ上がりを抑制可能な積層セラミック電子部品を提供することを目的とする。

課題を解決するための手段

[0006] 本発明は、上記課題を解決するために、セラミック層と内部電極層とが交互に積層され、第1方向に相対する2つの積層体主面、前記第1方向と交差する第2方向に相対する2つの積層体側面、及び前記第1方向及び前記第2方向に交差する第3方向に相対する2つの積層体端面、を有する積層体、並びに、前記積層体端面から前記積層体主面にわたって配置され、2つの前記積層体端面のそれぞれに露出した前記内部電極層と接続された外部電極、を有する積層セラミックコンデンサと、前記積層セラミックコンデンサの、一

方の前記積層体主面側における、一方の前記積層体端面側と他方の前記積層体端面側とのそれぞれ配置された2つのスペーサと、を備え、前記スペーサは、それぞれ、前記第1方向に相對する2つのスペーサ主面、前記第2方向に相對する2つのスペーサ側面、及び前記第3方向に相對する2つのスペーサ端面を有し、前記スペーサを、一方の前記スペーサ主面側から見た平面視において、前記第2方向にn分割したときに、n分割された各領域は、それぞれ、前記第3方向に突出する凸部を1つ含んでいる、積層セラミック電子部品を提供する。

発明の効果

[0007] 本発明によれば、積層セラミックコンデンサの外部電極の端面へのはんだの濡れ上がりを抑制可能な積層セラミック電子部品を提供することができる。

図面の簡単な説明

[0008] [図1]実施形態の積層セラミック電子部品1の概略斜視図である。

[図2]実施形態の積層セラミック電子部品1の図1における――線に沿った断面図である。

[図3]実施形態の積層セラミック電子部品1の図1における――線に沿った断面図である。

[図4]積層セラミック電子部品1の第2スペーサ4Bが取り付けられている部分を、第2スペーサ主面a2側から見た平面視の図である。

[図5]積層セラミック電子部品1の製造方法を説明するフローチャートである。

[図6]スペーサ4の変形形態を示した図である。

[図7]スペーサ4の変形形態を示した図である。

[図8]スペーサ4の変形形態を示した図である。

[図9]スペーサ4の変形形態を示した図である。

[図10]スペーサ端面cに凸部5Lが形成されたスペーサ4であって凸部5Lの数nが2から8の本発明に係る積層セラミック電子部品1と、比較形態と

して凸部 5 L の数 n が 0 の積層セラミック電子部品との音圧レベルを測定した結果を示した表である。

[図11] スペース側面 b に凸部 5 W が形成されたスペース 4 であって凸部 5 W の数 m が 1 から 4 の本発明に係る積層セラミック電子部品 1 と、比較形態として凸部 5 W の数 m が 0 の積層セラミック電子部品との音圧レベルを測定した結果を示した表である。

発明を実施するための形態

[0009] まず、本発明の実施形態にかかる積層セラミック電子部品 1 について説明する。図 1 は、実施形態の積層セラミック電子部品 1 の概略斜視図である。図 2 は、実施形態の積層セラミック電子部品 1 の図 1 における $1-1$ 線に沿った断面図である。図 3 は、実施形態の積層セラミック電子部品 1 の図 1 における $1-1-1$ 線に沿った断面図である。

[0010] 積層セラミック電子部品 1 は、略直方体形状で、積層体 2 及び積層体 2 の両端に設けられた一対の外部電極 3 とを有する積層セラミックコンデンサ 1 A と、積層セラミックコンデンサ 1 A に取り付けられたスペース 4 とを備える。また、積層体 2 は、セラミック層 1 4 と内部電極層 1 5 とを複数組合む内層部 1 1 を含む。

[0011] 以下の説明において、積層セラミック電子部品 1 の向きを表わす用語として、積層セラミック電子部品 1 において、セラミック層 1 4 と内部電極層 1 5 とが積層されている方向を高さ方向 T （第 1 方向）とする。一対の外部電極 3 が設けられている方向を長さ方向 L （第 3 方向）とする。長さ方向 L 及び高さ方向 T のいずれにも交差する方向を幅方向 W （第 2 方向）とする。なお、実施形態においては、幅方向 W は長さ方向 L 及び高さ方向 T のいずれにも直交している。

[0012] （積層体 2 の外表面）

また、積層体 2 の 6 つの外表面のうち、高さ方向 T に相対する一対の外表面を第 1 積層体主面 $A 1$ と第 2 積層体主面 $A 2$ とし、幅方向 W に相対する一対の外表面を第 1 積層体側面 $B 1$ と第 2 積層体側面 $B 2$ とし、長さ方向 L に

相対する一对の外表面を第1積層体端面C1と第2積層体端面C2とする。

[0013] なお、第1積層体主面A1と第2積層体主面A2とを特に区別して説明する必要のない場合、まとめて積層体主面Aとし、第1積層体側面B1と第2積層体側面B2とを特に区別して説明する必要のない場合、まとめて積層体側面Bとし、第1積層体端面C1と第2積層体端面C2とを特に区別して説明する必要のない場合、まとめて積層体端面Cとして説明する。

[0014] (積層体2)

積層体2は、角部を含む稜線部R1に丸みがつけられていることが好ましい。稜線部R1は、積層体2の2面、すなわち積層体主面Aと積層体側面B、積層体主面Aと積層体端面C、又は、積層体側面Bと積層体端面Cが交わる部分である。

[0015] 積層体2は、内層部11と、内層部11の高さ方向T両側にそれぞれ配置される外層部12とを備える積層体本体10と、積層体本体10の幅方向Wの両側に設けられたサイドギャップ部30とを備える。

[0016] (内層部11)

内層部11は、高さ方向Tに沿って交互に積層されたセラミック層14と内部電極層15とを複数組合む。

[0017] (セラミック層14)

セラミック層14は、セラミック材料で製造されている。セラミック材料としては、特に限定されないが、例えば、BaTiO₃を主成分とする誘電体セラミックが用いられる。また、セラミック材料として、これらの主成分にMn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物等の副成分のうちの少なくとも1つを添加したものをを用いてもよい。

[0018] 内部電極層15は、複数の第1内部電極層15aと、複数の第2内部電極層15bとを備える。第1内部電極層15aと第2内部電極層15bとは、交互に配置されている。なお、第1内部電極層15aと第2内部電極層15bとを特に区別して説明する必要のない場合、まとめて内部電極層15として説明する。

[0019] 第1内部電極層15aは、第2内部電極層15bと対向する第1対向部152aと、第1対向部152aから第1積層体端面C1側に引き出された第1引き出し部151aとを備える。第1引き出し部151aの端部は、第1積層体端面C1に露出し、後述の第1外部電極3aに電氣的に接続されている。第2内部電極層15bは、第1内部電極層15aと対向する第2対向部152bと、第2対向部152bから第2積層体端面C2に引き出された第2引き出し部151bとを備える。第2引き出し部151bの端部は、後述の第2外部電極3bに電氣的に接続されている。第1内部電極層15aの第1対向部152aと、第2内部電極層15bの第2対向部152bとに電荷が蓄積され、コンデンサとして機能する。

[0020] 内部電極層15は、例えばNi、Cu、Ag、Pd、Ag-Pd合金、Au等に代表される金属材料により形成されていることが好ましい。

[0021] (外層部12)

外層部12は、内層部11のセラミック層14と同じ材料で製造されていることが好ましい。

[0022] (サイドギャップ部30)

サイドギャップ部30は、セラミック層14と同様の材料で製造されていることが好ましい。

[0023] (外部電極3)

外部電極3は、第1積層体端面C1に設けられた第1外部電極3aと、第2積層体端面C2に設けられた第2外部電極3bとを備える。なお、第1外部電極3aと第2外部電極3bとを特に区別して説明する必要のない場合、まとめて外部電極3として説明する。外部電極3は、積層体端面Cだけでなく、積層体主面A及び積層体側面Bの積層体端面C側の一部も覆っている。

[0024] 上述のように、第1内部電極層15aの第1引き出し部151aの端部は第1積層体端面C1に露出し、第1外部電極3aに電氣的に接続されている。また、第2内部電極層15bの第2引き出し部151bの端部は第2積層体端面C2に露出し、第2外部電極3bに電氣的に接続されている。これに

より、第1外部電極3aと第2外部電極3bとの間は、複数のコンデンサ要素が電氣的に並列に接続された構造となっている。

[0025] 外部電極3は、例えば下地電極層とめっき層との2層構造であってもよい。また、めっき層は1層であってもよく、2層であってもよい。さらに下地電極層とめっき層との間に導電性樹脂層を備えていてもよい。下地電極層は、例えば、導電性金属とガラスとを含む導電性ペーストを塗布、焼き付けることにより形成される。下地電極層の導電性金属としては、例えば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au等を用いることが好ましい。めっき層は、例えば、Cu、Ni、Sn、Ag、Pd、Ag-Pd合金、Au等からなる群から選ばれる1種の金属又は当該金属を含む合金のめっきからなることが好ましい。

[0026] (スペーサ4)

実施形態でスペーサ4は、積層セラミックコンデンサ1Aの第2積層体主面A2側における、第1積層体端面C1側に配置された第1スペーサ4Aと、第2積層体端面C2側に配置された第2スペーサ4Bとを備える。

[0027] なお、スペーサ4が配置される面は、積層セラミックコンデンサ1Aの第2積層体主面A2側に限定されない。例えば、積層セラミックコンデンサ1Aの積層体側面Bのうちの一方の側に配置されてもよい。その場合、積層体側面Bが実装面となる。

[0028] 以下、第1スペーサ4Aと第2スペーサ4Bとを区別して説明する必要のない場合、まとめてスペーサ4として説明する。第1スペーサ4Aと第2スペーサ4Bとは一定の距離、離間して配置されている。

[0029] (スペーサ4の外表面)

第1スペーサ4Aと第2スペーサ4Bとのそれぞれの6つの外表面のうち、高さ方向Tに相對する一対の外表面をスペーサ主面aとする。そして、スペーサ主面aのうちの積層セラミックコンデンサ1A側の外表面を第1スペーサ主面a1とし、他方の実装側の外表面を第2スペーサ主面a2とする。スペーサ4の第1スペーサ主面a1は、積層セラミックコンデンサ1Aの第

2積層体主面A2側と対向し、第2積層体主面A2に延びる外部電極3と接続されている。

[0030] また、第1スペーサ4Aと第2スペーサ4Bとのそれぞれ4の6つの外表面のうち、幅方向Wに相對する一対の外表面を、第1スペーサ側面b1及び第2スペーサ側面b2とする。長さ方向Lに相對する一対の外表面のうちの、第1スペーサ4Aと第2スペーサ4Bとの互いに対向する側の面を第2スペーサ端面c2とし、他側の外側を向いた面を第1スペーサ端面c1とする。

[0031] なお、第1スペーサ主面a1と第2スペーサ主面a2とを特に區別して説明する必要のない場合、まとめてスペーサ主面aとし、第1スペーサ側面b1と第2スペーサ側面b2とを特に區別して説明する必要のない場合、まとめてスペーサ側面bとし、第1スペーサ端面c1と第2スペーサ端面c2とを特に區別して説明する必要のない場合、まとめてスペーサ端面cとして説明する。

[0032] (スペーサ4の材料)

スペーサ4は、任意の導電成分によって製造することができるが、Cu及びNiから選ばれる少なくとも1種の高融点金属と低融点金属としてのSnとを含む金属間化合物を主成分とした材料とした部材により製造されることが好ましい。導電性樹脂によって製造されていてもよい。

[0033] 例えば、スペーサ4は、50D（メジアン径）が5 μ mで、Cuを10wt%含むNi粉末を31.5%、Snを3wt%且つAgを0.5wt%含むCu組成のはんだ粉末を58.5wt%、及び、フェノール樹脂と溶剤と添加剤の成分を合わせて10wt%含むもので製造されていてもよい。

[0034] また、スペーサ4は、D50が5 μ mで、Cuを10wt%含むNi粉末を31.5%、Snを3wt%且つAgを0.5wt%含むCu組成のはんだ粉末を58.5wt%、及び、ロジンと溶剤と添加剤の成分を合わせて10wt%含むもので製造されていてもよい。

[0035] 図4は、積層セラミック電子部品1の第1スペーサ4Aが取り付けられて

いる部分を、第2スペーサ主面a2側から見た平面視の図である。なお、以下の説明は第1スペーサ4Aを用いて説明するが、第2スペーサ4Bも同様であるので、第1スペーサ4Aと第2スペーサ4Bとを合わせてスペーサ4として説明する。

[0036] (凸部5)

スペーサ4は、図4に示す平面視で見たときに、外方に突出する凸部5を有している。凸部5は、長さ方向Lに突出した凸部5Lを含み、実施形態においては、さらに幅方向Wに突出した凸部5Wを含む。

[0037] (凸部5の形状)

凸部5は、図4に示すような平面視で見たときに、輪郭が円弧形状又は楕円弧形状が好ましく、半円形状であることがより好ましく、実施形態では半円形状である。

[0038] (長さ方向Lに突出した凸部5L)

長さ方向Lに突出した凸部5Lは、第1スペーサ端面c1から突出した凸部5L1を含み、実施形態においては、さらに、第2スペーサ端面c2から突出した凸部5L2を含む。

[0039] 第1スペーサ端面c1を、図4に示す平面視において、幅方向Wにn分割した点をpとする。そして第1スペーサ端面c1を、点pを通り且つ長さ方向Lに沿って延びる直線で分割したときに、n分割された各領域に、それぞれ凸部5L1が1つ含まれている。すなわち、スペーサ4は、図4に示す平面視において、第1スペーサ端面c1から、長さ方向Lに突出する凸部5L1をn個含んでいる。nは、2から6であることが好ましく、図4に示す実施形態において、nは3である。

[0040] また、実施形態においては、第2スペーサ端面c2から突出した凸部5L2も同様に含む。すなわち、第2スペーサ端面c2を、図4に示す平面視において、幅方向Wにn分割した点をqとする。そして第2スペーサ端面c2を、点qを通り且つ長さ方向Lに沿って延びる直線で分割したときに、n分割された各領域に、それぞれ凸部5L2が1つ含まれている。すなわち、ス

ペーサ 4 は、図 4 に示す平面視において、第 2 スペーサ端面 c 2 から、長さ方向 L に突出する凸部 5 L 2 を n 個含んでいる。 n は、2 から 6 であることが好ましく、図 4 に示す実施形態において、 n は 3 である。

[0041] (幅方向 W に突出した凸部 5 W)

幅方向 W に突出した凸部 5 W は、第 1 スペーサ側面 b 1 から突出した凸部 5 W 1 と、第 2 スペーサ側面 b 2 から突出した凸部 5 W 2 とを含む。

[0042] 第 1 スペーサ側面 b 1 を、図 4 に示す平面視において、長さ方向 L に m 分割した点を r とする。そして第 1 スペーサ側面 b 1 を、点 r を通り且つ幅方向 W に沿って延びる直線で分割したときに、 m 分割された各領域に、それぞれ凸部 5 W 1 が 1 つ含まれている。すなわち、スペーサ 4 は、図 4 に示す平面視において、第 1 スペーサ側面 b 1 から、幅方向 W に突出する凸部 5 W 1 を m 個含んでいる。 m は、1 又は 2 であることが好ましく、図 4 に示す実施形態において、 m は 2 である。なお、本明細書において、 m 分割とは、 $m = 1$ の場合も含むものとする。

[0043] また、実施形態においては、第 2 スペーサ側面 b 2 から突出した凸部 5 W 2 も同様に含む。すなわち、第 2 スペーサ側面 b 2 を、図 4 に示す平面視において、長さ方向 L に m 分割した点を s とする。そして第 2 スペーサ側面 b 2 を、点 s を通り且つ幅方向 W に沿って延びる直線で分割したときに、 m 分割された各領域に、それぞれ凸部 5 W 2 が 1 つ含まれている。すなわち、スペーサ 4 は、図 4 に示す平面視において、第 2 スペーサ側面 b 2 から、幅方向 W に突出する凸部 5 W 1 を m 個含んでいる。 m は、1 又は 2 であることが好ましく、図 4 に示す実施形態において、 m は 2 である。

[0044] (等分)

上述した n 分割及び m 分割は、これに限定されないが、等分割であることが好ましく、実施形態では等分割である。

[0045] (n 等分)

スペーサ端面 c を幅方向 W に n 等分とは、図 4 に示す平面視において、スペーサ端面 c を通る直線の、第 1 スペーサ側面 b 1 を通る直線との交点と、

第2スペーサ側面b2を通る直線との交点との間をn等分することをいう。

[0046] (m等分)

スペーサ側面bを長さ方向Lにm等分とは、図4に示す平面視において、スペーサ側面bを通る直線の、第1スペーサ端面c1を通る直線との交点と、第2スペーサ端面c2を通る直線との交点との間を等分することをいう。

[0047] 凸部5が設けられていることにより、スペーサ端面cを通る直線及びスペーサ側面bを通る直線が不明瞭な場合は以下のようにする。

[0048] 凸部5Lと凸部5Lとの間の最も窪んだ位置を通る幅方向Wに延びる線を、スペーサ端面cを通る直線とし、凸部5Lと凸部5Lとの間の窪んだ位置が複数存在し、複数の位置が異なる場合は、最も窪んだ位置のうちの、最も窪んだ位置を通る幅方向Wに延びる線を、スペーサ端面cを通る直線とする。

[0049] 凸部5Wと凸部5Wとの間の窪んだ部分を通る長さ方向Lに延びる線を、スペーサ側面bを通る直線とし、凸部5Wと凸部5Wとの間の窪んだ位置が複数存在し、複数の位置が異なる場合は、最も窪んだ位置のうちの、最も窪んだ位置を通る長さ方向Lに延びる線を、スペーサ側面bを通る直線とする。凸部5Wが1つの場合は、凸部5Wと凸部5Lとの間の窪んだ部分を通る直線を、スペーサ側面bを通る直線とする。

[0050] さらに、スペーサ4は、図4に示す第2スペーサ主面a2の面積を S_a 、第1スペーサ側面b1と第2スペーサ側面b2との平均面積を S_b （図1に図示）、第1スペーサ端面c1と第2スペーサ端面c2との平均面積を S_c （図1及び図3に図示）、凸部5が形成されていない場合の $S_a / (S_b + S_c)$ を S_0 、凸部5が形成されている場合の $S_a / (S_b + S_c)$ を S_1 としたときに、 S_1 / S_0 が1.05以上であることが好ましく、1.12以上であることがより好ましい。

[0051] なお、 S_a 、 S_b 、 S_c の面積は、以下のようにして測定することができる。積層セラミック電子部品1がはんだで基板に実装されている場合、例えばボンドテスター（DAGE（登録商標）、DAGE-5000）を用いて

、基板から取り外す。その後、レーザー顕微鏡（キーエンス（登録商標）、VK-X1000、倍率20倍）でレーザー走査した各面の像を取得し、解析ソフト（キーエンス（登録商標）、マルチファイル解析アプリケーション）にてSa、Sb、Scの面積を測定する。基板に実装されていない積層セラミック電子部品1の場合も同様である。

[0052] （積層セラミック電子部品1の製造方法）

図5は、積層セラミック電子部品1の製造方法を説明するフローチャートである。積層セラミック電子部品1の製造方法は積層セラミックコンデンサ製造工程S1と、スペーサ製造工程S2とを含む。

[0053] （積層セラミックコンデンサ製造工程S1）

積層セラミックコンデンサ製造工程S1は、積層体製造工程S11と外部電極形成工程S12とを含む。

[0054] （積層体製造工程S11）

セラミックス粉末、バインダ及び溶剤を含むセラミックスラリーをキャリアフィルム上においてダイコータ、グラビアコータ、マイクログラビアコータ等を用いてシート状に成形してセラミック層14となる積層用セラミックグリーンシートを製作する。次いで、積層用セラミックグリーンシートに導電体ペーストをスクリーン印刷、インクジェット印刷、グラビア印刷等によって帯状に印刷し、積層用セラミックグリーンシートの表面に内部電極層15となる導電パターンを印刷するが印刷された素材シートを製作する。このとき、導電体ペーストを所望のパターンで形成し、サイドギャップ部30を形成してもよい。

[0055] 続いて、導電パターンが同一の方向を向き且つ導電パターンが隣り合う素材シート間において幅方向Wにおいて半ピッチずつずれた状態になるように、複数の素材シートを積み重ねる。さらに、複数枚積層された素材シートの両側にそれぞれ、外層部12となる外層部用セラミックグリーンシートを積み重ねる。

[0056] 積み重ねた複数の素材シートと外層部用セラミックグリーンシートとを熱

圧着し、マザーブロックを作成する。次いで、マザーブロックを切断し、積層体本体 10 を製造し、さらに積層体本体 10 にサイドギャップ部 30 を形成して積層体 2 を製造する。

[0057] (外部電極形成工程 S 1 2)

続いて、積層体 2 の積層体端面 C に、導電性金属とガラスとを含む導電性ペーストを塗布、焼き付けることにより外部電極 3 を形成する。外部電極 3 は、積層体 2 両側の積層体端面 C のみならず、積層体主面 A 及び積層体側面 B の一部も覆うように形成する。以上の工程により、積層セラミックコンデンサ 1 A を製造する。

[0058] (スペーサ製造工程 S 2)

スペーサ製造工程 S 2 は、整列工程 S 2 1 と、材料ペースト配置工程 S 2 2 と、リフロー工程 S 2 3 とを含む。

[0059] (整列工程 S 2 1)

保持基板に積層セラミックコンデンサ 1 A を、吸着ノズルを用いて所定の位置に整列するように並べる。保持基板は、積層セラミックコンデンサ 1 A を保持可能で、かつ、耐熱性を有するものが好ましい。保持基板は、例えば、金属材料ペーストがリフロー条件下で接合しないようなアルミナ板の上にポリイミド製の両面テープを貼り付けたものが好ましい。金属材料ペーストに樹脂を含ませるようにしてもよく、その際、樹脂はフェノール樹脂であってもよい。

[0060] (材料ペースト配置工程 S 2 2)

保持基板の上に整列された積層セラミックコンデンサ 1 A に対して、たとえば、スクリーン印刷によりスキージを用いて、スペーサ 4 となる金属材料ペーストを所望のパターンに形成する。この際、例えば、マスキング治具を準備し、保持基板の上に整列された積層セラミックコンデンサ 1 A に対してマスキング治具を配置する。マスキング治具は、一方の主面から他方主面に貫通する複数の貫通孔を有する。貫通孔は、それぞれ、目的に応じた形状を有し、この形状の違いにより、スペーサ 4 の形状が決定される。

[0061] (リフロー工程 S 2 3)

続いて、積層セラミックコンデンサ 1 A に金属材料ペーストが所定のパターンに形成された状態で、リフローを実施する。これにより、金属材料ペースト中の金属が、金属間化合物を生成するとともに、金属材料ペーストが硬化し、積層セラミックコンデンサ 1 A に所望の形状のスペーサ 4 が取り付けられた積層セラミック電子部品 1 が完成する。

[0062] (変形例)

以上説明した実施形態の積層セラミック電子部品 1 におけるスペーサ 4 は、第 1 スペーサ端面 c 1 を幅方向 W に 3 等分したそれぞれの領域に、1 つずつ、合計 3 個の凸部 5 L 1 が設けられ、第 2 スペーサ端面 c 2 を幅方向 W に 3 等分したそれぞれの領域に、1 つずつ、合計 3 個の凸部 5 L 1 が設けられ、第 1 スペーサ側面 b 1 を長さ方向 L に 2 等分したそれぞれの領域に、1 つずつ、合計 2 個の凸部 5 W 1 が設けられ、第 2 スペーサ側面 b 2 を長さ方向 L に 2 等分したそれぞれの領域に、1 つずつ、合計 2 個の凸部 5 W 2 が設けられている。

[0063] しかし、本発明はこれに限定されない。図 6、図 7、図 8 及び図 9 は、スペーサ 4 の変形形態を示した図である。

[0064] 例えば、スペーサ側面 b に凸部 5 W が設けられていなくてもよい。また、スペーサ端面 c に設けられた凸部 5 L は 3 個でなくてもよい。図 6 は、スペーサ側面 b に凸部 5 W が設けられていない形態を示した図である。図 6 (a) は、2 つのスペーサ端面 c が、それぞれ幅方向 W に 2 等分され、それぞれの領域に、1 つずつ、合計 2 個の凸部 5 L が設けられた形態である。図 6 (b) は、2 つのスペーサ端面 c が、それぞれ幅方向 W に 3 等分され、それぞれの領域に、1 つずつ、合計 3 個の凸部 5 L が設けられた形態である。図 6 (c) は、2 つのスペーサ端面 c が、それぞれ幅方向 W に 4 等分され、それぞれの領域に、1 つずつ、合計 4 個の凸部 5 L が設けられた形態である。図 6 (d) は、2 つのスペーサ端面 c が、それぞれ幅方向 W に 5 等分され、それぞれの領域に、1 つずつ、合計 5 個の凸部 5 L が設けられた形態である。

図6（e）は、2つのスペーサ端面cが、それぞれ幅方向Wに6等分され、それぞれの領域に、1つずつ、合計6個の凸部5Lが設けられた形態である。

[0065] また、例えば、第2スペーサ端面c2に凸部5Lが設けられていなくてもよい。図7は、第1スペーサ端面c1に凸部5Lが設けられているが、スペーサ側面b及び第2スペーサ端面c2に凸部5が設けられていない形態である。

[0066] さらに、例えばスペーサ側面bに設けられた凸部5Wは1つであってもよい。図8は、2つのスペーサ端面cが、それぞれ幅方向Wに3等分され、それぞれの領域に、1つずつ、合計3個の凸部5Lが設けられ、2つのスペーサ側面bに、凸部5Wが1つ設けられた形態である。

[0067] また、スペーサ端面cに設けられた凸部5Lは均等な間隔で設けられていなくてもよい。そして、第1スペーサ4Aと第2スペーサ4Bとで凸部5の数が異なってもよい。図9は、2つのスペーサ端面cにそれぞれ、不均一な間隔で長さ方向Lに突出した凸部5L（5L1，5L2）が設けられ、2つのスペーサ側面bに、幅方向Wに突出した凸部5Wが設けられていないか、凸部5W（5W1，5W2）1又は2個設けられている形態である。

[0068] （効果）

積層セラミックコンデンサ1Aは、電圧印加時に、積層セラミックコンデンサ1A特有の、いわゆる「鳴き」が発生する。この「鳴き」の発生を抑制するために、積層セラミックコンデンサ1Aにおける基板に実装される側にスペーサ4が配置されて積層セラミック電子部品1が構成されている。しかし、はんだを用いて積層セラミック電子部品1を基板に実装する際、はんだがスペーサ4を超えて濡れ上がり、積層セラミックコンデンサ1Aの外部電極3まで到達する可能性があり、そうすると、鳴き抑制の効果が十分に得られない。

[0069] しかし、本発明の積層セラミック電子部品1が備えるスペーサ4は、図4に示す平面視で見たときに、外方に突出する凸部5を有している。凸部5は

、長さ方向Lに突出した凸部5 Lを含み、さらに幅方向Wに突出した凸部5 Wを含む。長さ方向Lに突出した凸部5 Lは、第1スペーサ端面c 1から突出した凸部5 L 1を含み、さらに、第2スペーサ端面c 2から突出した凸部5 L 2を含む。

[0070] このように、実施形態では、積層セラミック電子部品1を基板に実装する際にはんだが濡れ上がりやすい第1スペーサ端面c 1に、突出した凸部5 L 1を含む。ゆえに、はんだが第1スペーサ端面c 1を濡れ上がろうとする際、凸部5 L 1間にはんだをトラップすることができる。これにより、積層セラミックコンデンサ1 Aの外部電極3への第1スペーサ端面c 1でのはんだの濡れ上がりを抑制することができる。したがって、十分な鳴き抑制を得ることができる。

[0071] さらに、本発明の積層セラミック電子部品1は、幅方向Wに突出した凸部5 Wを含む。そして、はんだがスペーサ側面bを濡れ上がろうとする際、凸部5 W間にはんだをトラップすることができる。ゆえに、積層セラミックコンデンサ1 Aの外部電極3へのスペーサ側面bでのはんだの濡れ上がりを抑制することができる。したがって、さらに鳴き抑制を得ることができる。

[0072] 加えて、本発明の積層セラミック電子部品1は、第2スペーサ端面c 2に突出した凸部5 L 2を含む。そして、はんだが第2スペーサ端面c 2を濡れ上がろうとする際、凸部5 L 2間にはんだをトラップすることができる。ゆえに、積層セラミックコンデンサ1 Aの外部電極3への第2スペーサ端面c 2でのはんだの濡れ上がりを抑制することができる。したがって、さらに鳴き抑制を得ることができる。

[0073] (本発明の積層セラミック電子部品1の効果の検証)

次に、本発明の積層セラミック電子部品1による鳴き抑制効果の検証について説明する。まず、以下の積層セラミック電子部品1を用意した。積層セラミック電子部品1が含む積層セラミックコンデンサ1 Aの寸法は以下である。

長さ方向L : 1.70 ± 0.10 mm

幅方向W : 0.90 ± 0.10 mm

高さ方向 : 0.90 ± 0.10 mm

内部電極の主成分 : Ni

セラミック層の主成分 : BaTiO₃

外部電極の構成 : ガラスを含むCuの下地電極層 + Ni / Snめっき

[0074] この積層セラミックコンデンサ1Aに、以下の2種類のスペーサ4を形成した。

(1) スペーサ端面cに凸部5Lが形成されたスペーサ4

スペーサ端面cに凸部5Lが形成されたこれらのスペーサ4は、スペーサ側面bに凸部5Wは形成されていない。スペーサ4は、2つのスペーサ端面cのそれぞれのn分割された各領域に1つずつ凸部5Lが形成されている。実施形態の積層セラミック電子部品1として、nが2から8のものをそれぞれ5個と、比較形態としてnが0のものを5個用意した。

[0075] (2) スペーサ側面bに凸部5Wが形成されたスペーサ4

スペーサ側面bに凸部5Wが形成されたこれらのスペーサ4は、スペーサ端面cに凸部5Lは形成されていない。スペーサ4は、2つのスペーサ側面bのそれぞれのm分割された各領域に1つずつ凸部5Wが形成されている。実施形態の積層セラミック電子部品1として、mが1から4のものをそれぞれ5個と、比較形態としてmが0のものを5個用意した。

[0076] スペーサ4の凸部5を含む寸法は以下である。

長さ方向L : 0.45 mm $\pm$ 0.05 mm

幅方向W : 0.85 mm $\pm$ 0.05 mm

高さ方向 : 0.15 mm $\pm$ 0.05 mm

上記のスペーサ4の寸法は、図4で示す平面視でみたときに、凸部5も含む寸法である。すなわち、上記寸法のスペーサ4から凸部5が突出して形成されているわけではない。

[0077] スペーサ4は、D50が $5\mu\text{m}$ のCu-10wt%Ni粉末を31.5%、Sn-3wt%Ag-0.5wt%Cu組成のはんだ粉末を58.5wt

％、及びフェノール樹脂と溶剤と添加剤の成分を合わせて10wt％含むものを用いた。

[0078] (音圧レベル測定)

それぞれの積層セラミック電子部品1を基板に実装し、無響音箱内に設置し、基板と対向するように積層セラミック電子部品1の上に集音マイクを設置した。次いで、積層セラミック電子部品1に3kHzの周波数及び1Vppの電圧を有する交流を印加し、積層セラミック電子部品1の鳴きレベルを集音マイクによって測定した。このときの、積層セラミック電子部品1の鳴きを、基板から3mm上の位置で集音マイクによって集音し、集音マイクの出力を、集音計を介してFFT (Fast Fourier Transform) アナライザに入力し、そこで、音圧レベルを解析した。以上のようにして求められた音圧レベルについて、上記の凸部5、面積比を持つサンプルを測定した。

[0079] (検証結果)

(1) スペーサ端面cに凸部5Lが形成されたスペーサ4

図10はスペーサ端面cに凸部5Lが形成されたスペーサ4であって、凸部5Lの数nが2から8の本発明に係る積層セラミック電子部品1と、比較形態として凸部5Lの数nが0の積層セラミック電子部品とを、それぞれ5個ずつ用意し、上記の検証方法により音圧レベルを測定して、5個の平均の音圧レベルを示した表である。

[0080] また、図10には、第2スペーサ主面a2の面積を S_a 、第1スペーサ側面b1と第2スペーサ側面b2との平均面積を S_b 、第1スペーサ端面c1と第2スペーサ端面c2との平均面積を S_c 、凸部5が形成されていない場合の $S_a / (S_b + S_c)$ を S_0 、凸部5が形成されている場合の $S_a / (S_b + S_c)$ を S_1 としたときの、 S_1 / S_0 の値も示す。

[0081] 図10に示すように、 $n=0$ 、すなわち凸部5が形成されていない比較形態では、音圧レベルは74.6dBであった。しかし、本発明のように凸部5Lが形成されている場合、音圧レベルはいずれも比較形態より低く、鳴き

抑制の効果を有することが検証された。さらに、 $n = 2$ から 6 においては、音圧レベルが 70 dB 以下となり、さらに鳴き抑制の効果が高くなることが検証された。

[0082] 図 10 に示すように、 $S1/S0$ が 1 である比較形態では、音圧レベルは 74.6 dB であった。しかし、 $S1/S0$ が 1.05 以上であると、音圧レベルはいずれも比較形態より低く、鳴き抑制の効果を有することが検証された。また、 $S1/S0$ が 1.12 以上になると、音圧レベルが 70 dB 以下となり、さらに鳴き抑制の効果が高くなることが検証された。

[0083] (2) スペーサ側面 b に凸部 5W が形成されたスペーサ 4

図 11 はスペーサ側面 b に凸部 5W が形成されたスペーサ 4 であって、凸部 5M の数 m が 1 から 4 の本発明に係る積層セラミック電子部品 1 と、比較形態として凸部 5M の数 m が 0 の積層セラミック電子部品とを、それぞれ 5 個ずつ用意し、上記の検証方法により音圧レベルを測定して、5 個の平均の音圧レベルを示した表である。

[0084] また、図 11 には、第 2 スペーサ主面 $a2$ の面積を Sa 、第 1 スペーサ側面 $b1$ と第 2 スペーサ側面 $b2$ との平均面積を Sb 、第 1 スペーサ端面 $c1$ と第 2 スペーサ端面 $c2$ との平均面積を Sc 、凸部 5 が形成されていない場合の $Sa/(Sb+Sc)$ を $S0$ 、凸部 5 が形成されている場合の $Sa/(Sb+Sc)$ を $S1$ としたときの、 $S1/S0$ の値も示す。

[0085] 図 11 に示すように、 $m = 0$ 、すなわち凸部 5 が形成されていない比較形態では、音圧レベルは 74.6 dB であった。しかし、本発明のように凸部 5W が形成されている場合、音圧レベルはいずれも比較形態より低く、鳴き抑制の効果を有することが検証された。さらに、 $m = 1$ 又は 2 においては、音圧レベルが 70 dB 以下となり、さらに鳴き抑制の効果が高くなることが検証された。

[0086] 図 11 に示すように、 $S1/S0$ が 1.00 である比較形態では、音圧レベルは 74.6 dB であった。しかし、 $S1/S0$ が 1.06 以上であると、音圧レベルはいずれも比較形態より低く、鳴き抑制の効果を有することが

検証された。また、 $S1/S0$ が1.13以上になると、音圧レベルが70 dB以下となり、さらに鳴き抑制の効果が高くなることが検証された。

[0087] なお、スペーサ端面cに凸部5Lを形成した場合、スペーサ側面bに凸部5Wは形成しなかった。また、スペーサ側面bに凸部5Wを形成した場合、スペーサ端面cに凸部5Lは形成しなかった。しかし、凸部5を形成した面以外の面に、さらに凸部5を形成した場合、はんだのトラップ量が多くなるので、鳴き抑制の効果は、同等もしくはより高くなると考えられる。

[0088] また、スペーサ4に形成される凸部5は、積層セラミックコンデンサ1Aのサイズが大きくなるほど、サイズを大きく、又は個数を増加することが可能である。ただし、凸部5の個数が多くなると、図4で示す方向の平面視においてスペーサ主面aが四角形に近づいていく。そして、凸部5の個数が多くなるほど個々の凸部が小さくなっていくので、凸部5の数が一定数以上になると、逆に $S1/S0$ が1に近づき始め、スペーサ4の表面にトラップされるはんだ量が減少していく。このため、積層セラミックコンデンサ1Aの外部電極3への第2スペーサ端面c2でののはんだの濡れ上がりの抑制効果が薄れ、図10、11に示すように音圧レベルが増加してくる。

[0089] 以上、本発明の実施形態について説明したが、本発明は実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の態様で実施することが可能である。本発明は以下の組み合わせを含む。

[0090] <1>セラミック層と内部電極層とが交互に積層され、第1方向に相對する2つの積層体主面、前記第1方向と交差する第2方向に相對する2つの積層体側面、及び前記第1方向及び前記第2方向に交差する第3方向に相對する2つの積層体端面、を有する積層体、並びに、前記積層体端面から前記積層体主面にわたって配置され、2つの前記積層体端面のそれぞれに露出した前記内部電極層と接続された外部電極、を有する積層セラミックコンデンサと、前記積層セラミックコンデンサの、一方の前記積層体主面側における、一方の前記積層体端面側と他方の前記積層体端面側とのそれぞれ配置された2つのスペーサと、を備え、前記スペーサは、それぞれ、前記第1方向に相

対する2つのスペーサ主面、前記第2方向に相対する2つのスペーサ側面、及び前記第3方向に相対する2つのスペーサ端面を有し、前記スペーサを、一方の前記スペーサ主面側から見た平面視において、前記第2方向に n 分割したときに、 n 分割された各領域は、それぞれ、前記第3方向に突出する凸部を1つ含んでいる、積層セラミック電子部品。

[0091] <2>前記スペーサは、一方の前記スペーサ主面側から見た平面視において、前記第2方向に n 等分したときに、 n 等分された各領域は、それぞれ、前記第3方向に突出する凸部を1つ含んでいる、<1>記載の積層セラミック電子部品。

[0092] <3>前記 n は2から6である、<1>又は<2>に記載の積層セラミック電子部品。

[0093] <4>前記凸部は前記第3方向の両側に設けられている、<1>から<3>のいずれかに記載の積層セラミック電子部品。

[0094] <5>前記スペーサを、一方の前記スペーサ主面側から見た平面視において、前記第3方向に m 分割したときに、 m 分割された各領域は、それぞれ、前記第2方向に突出する凸部を1つ含んでいる<1>に記載の積層セラミック電子部品。

[0095] <6>前記スペーサは、それぞれ、前記第3方向に m 等分されている、<5>に記載の積層セラミック電子部品。

[0096] <7>前記 m は1又は2である、<5>又は<6>に記載の積層セラミック電子部品。

[0097] <8>前記凸部は、前記スペーサの前記第2方向に相対する2つのスペーサ側面の両側に設けられている、<5>から<7>のいずれかに記載の積層セラミック電子部品。

[0098] <9>前記凸部の輪郭は半円状である、<1>から<8>のいずれかに記載の積層セラミック電子部品。

[0099] <10>前記一方の前記スペーサ主面の面積を S_a 、前記第2方向から見たときの2つの前記スペーサ側面の平均面積を S_b 、前記第3方向から見た

ときの2つの前記スペーサ端面の平均面積を S_c 、前記凸部が形成されていない場合の $S_a / (S_b + S_c)$ を S_0 、前記凸部が形成されている場合の $S_a / (S_b + S_c)$ を S_1 としたとき、

S_1 / S_0 が1.05以上である、

<1>から<9>のいずれかに記載の積層セラミック電子部品。

[0100] <11> S_1 / S_0 が、1.12以上である、<10>に記載の積層セラミック電子部品。

符号の説明

- [0101] A 積層体主面
A 1 第1積層体主面
A 2 第2積層体主面
B 積層体側面
B 1 第1積層体側面
B 2 第2積層体側面
C 積層体端面
C 1 第1積層体端面
C 2 第2積層体端面
a スペーサ主面
a 1 第1スペーサ主面
a 2 第2スペーサ主面
b スペーサ側面
b 1 第1スペーサ側面
b 2 第2スペーサ側面
c スペーサ端面
c 1 第1スペーサ端面
c 2 第2スペーサ端面
1 積層セラミック電子部品
1 A 積層セラミックコンデンサ

- 2 積層体
- 3 外部電極
- 4 スペーサ
- 4 A 第1 スペーサ
- 4 B 第2 スペーサ
- 5, 5 L, 5 L 1, 5 L 2, 5 W, 5 W 1, 5 W 2 凸部
- 1 4 セラミック層
- 1 5 内部電極層

請求の範囲

[請求項1]

セラミック層と内部電極層とが交互に積層され、
第1方向に相對する2つの積層体主面、
前記第1方向と交差する第2方向に相對する2つの積層体側面、
及び
前記第1方向及び前記第2方向に交差する第3方向に相對する2つの積層体端面、
を有する積層体、並びに、
前記積層体端面から前記積層体主面にわたって配置され、2つの前記積層体端面のそれぞれに露出した前記内部電極層と接続された外部電極、を有する積層セラミックコンデンサと、
前記積層セラミックコンデンサの、一方の前記積層体主面側における、一方の前記積層体端面側と他方の前記積層体端面側とのそれぞれ配置された2つのスペーサと、を備え、
前記スペーサは、それぞれ、
前記第1方向に相對する2つのスペーサ主面、
前記第2方向に相對する2つのスペーサ側面、及び
前記第3方向に相對する2つのスペーサ端面を有し、
前記スペーサを、一方の前記スペーサ主面側から見た平面視において、前記第2方向に n 分割したときに、 n 分割された各領域は、それぞれ、前記第3方向に突出する凸部を1つ含んでいる、
積層セラミック電子部品。

[請求項2]

前記スペーサは、一方の前記スペーサ主面側から見た平面視において、前記第2方向に n 等分したときに、 n 等分された各領域は、それぞれ、前記第3方向に突出する凸部を1つ含んでいる、
請求項1に記載の積層セラミック電子部品。

[請求項3]

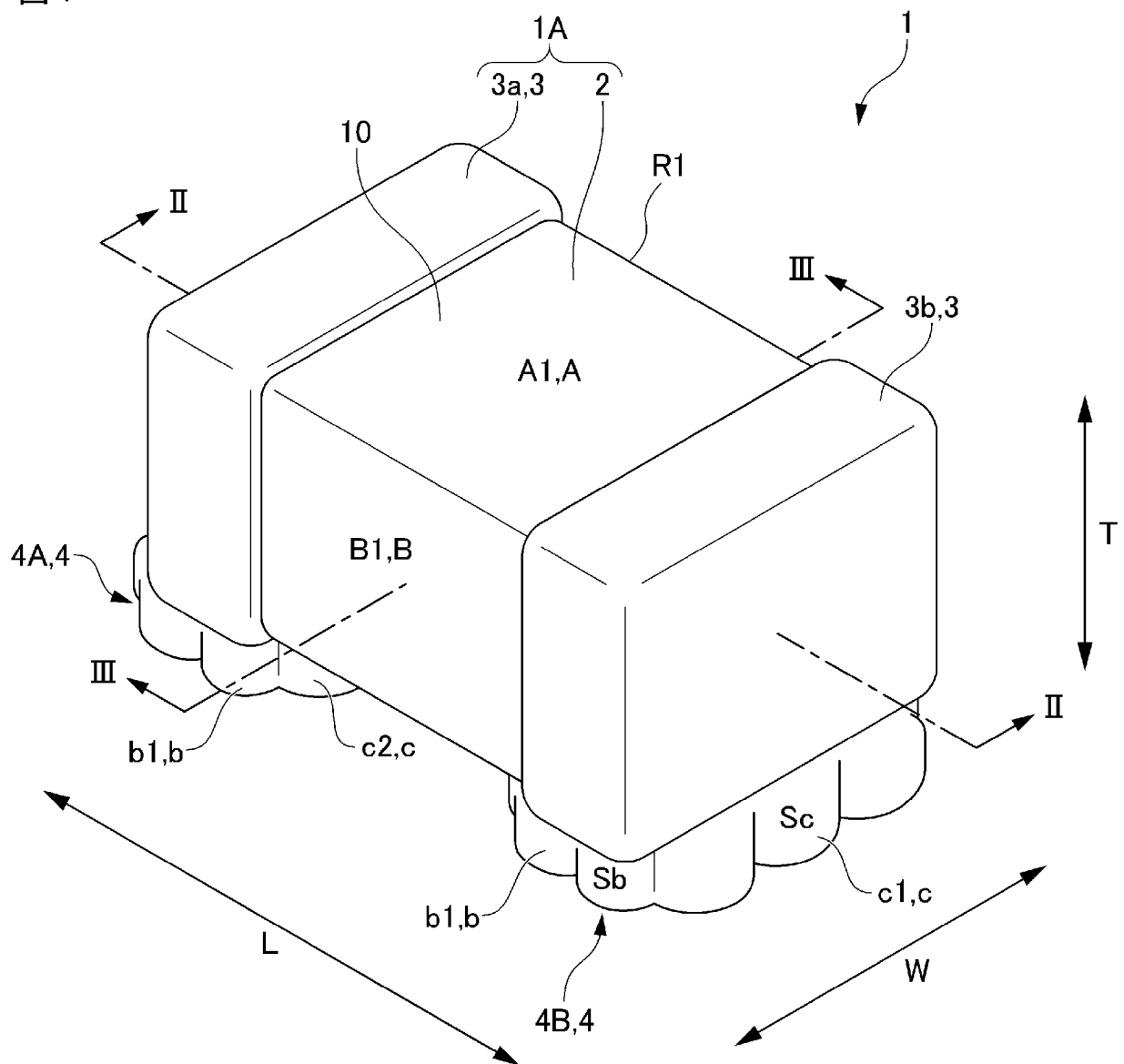
前記 n は2から6である、
請求項1または2に記載の積層セラミック電子部品。

- [請求項4] 前記凸部は、前記スペーサの前記第3方向に相対する2つのスペーサ端面の両側に設けられている、
請求項1から3のいずれか1項に記載の積層セラミック電子部品。
- [請求項5] 前記スペーサを、一方の前記スペーサ主面側から見た平面視において、前記第3方向に m 分割したときに、 m 分割された各領域は、それぞれ、前記第2方向に突出する凸部を1つ含んでいる、
請求項1に記載の積層セラミック電子部品。
- [請求項6] 前記スペーサは、一方の前記スペーサ主面側から見た平面視において、前記第3方向に m 等分したときに、 m 等分された各領域は、それぞれ、前記第2方向に突出する凸部を1つ含んでいる、
請求項5に記載の積層セラミック電子部品。
- [請求項7] 前記 m は1又は2である、
請求項5または6に記載の積層セラミック電子部品。
- [請求項8] 前記凸部は、前記スペーサの前記第2方向に相対する2つのスペーサ側面の両側に設けられている、
請求項5から7のいずれか1項に記載の積層セラミック電子部品。
- [請求項9] 前記凸部の輪郭は半円状である、
請求項1から8のいずれか1項に記載の積層セラミック電子部品。
- [請求項10] 前記一方の前記スペーサ主面の面積を S_a 、
前記第2方向から見たときの2つの前記スペーサ側面の平均面積を S_b 、
前記第3方向から見たときの2つの前記スペーサ端面の平均面積を S_c 、
前記凸部が形成されていない場合の $S_a / (S_b + S_c)$ を S_0 、
前記凸部が形成されている場合の $S_a / (S_b + S_c)$ を S_1 としたとき、
 S_1 / S_0 が1.05以上である、
請求項1から9のいずれか1項に記載の積層セラミック電子部品。

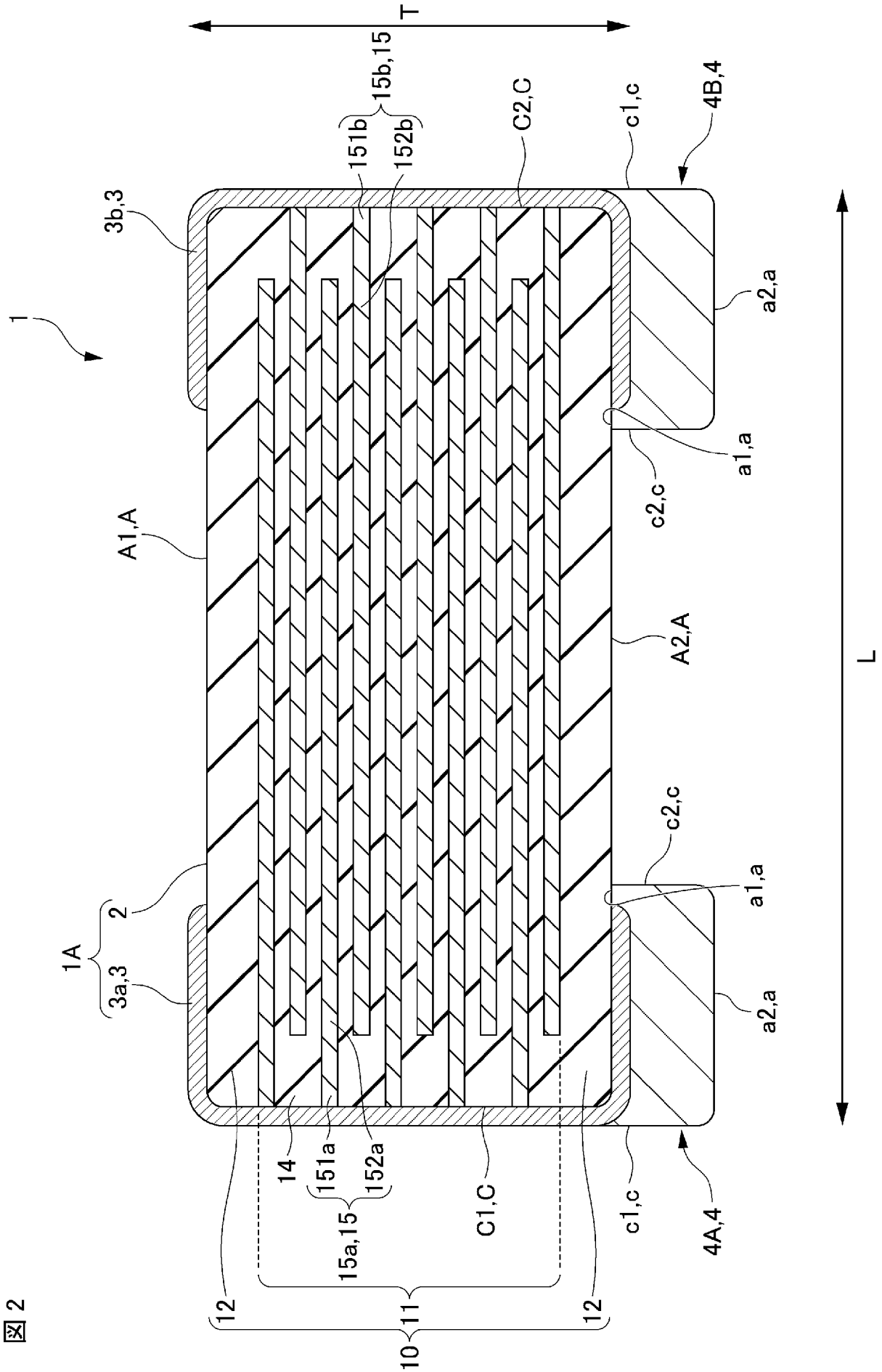
[請求項11] $S1/S0$ が、1.12 以上である、
請求項10に記載の積層セラミック電子部品。

[図1]

図 1

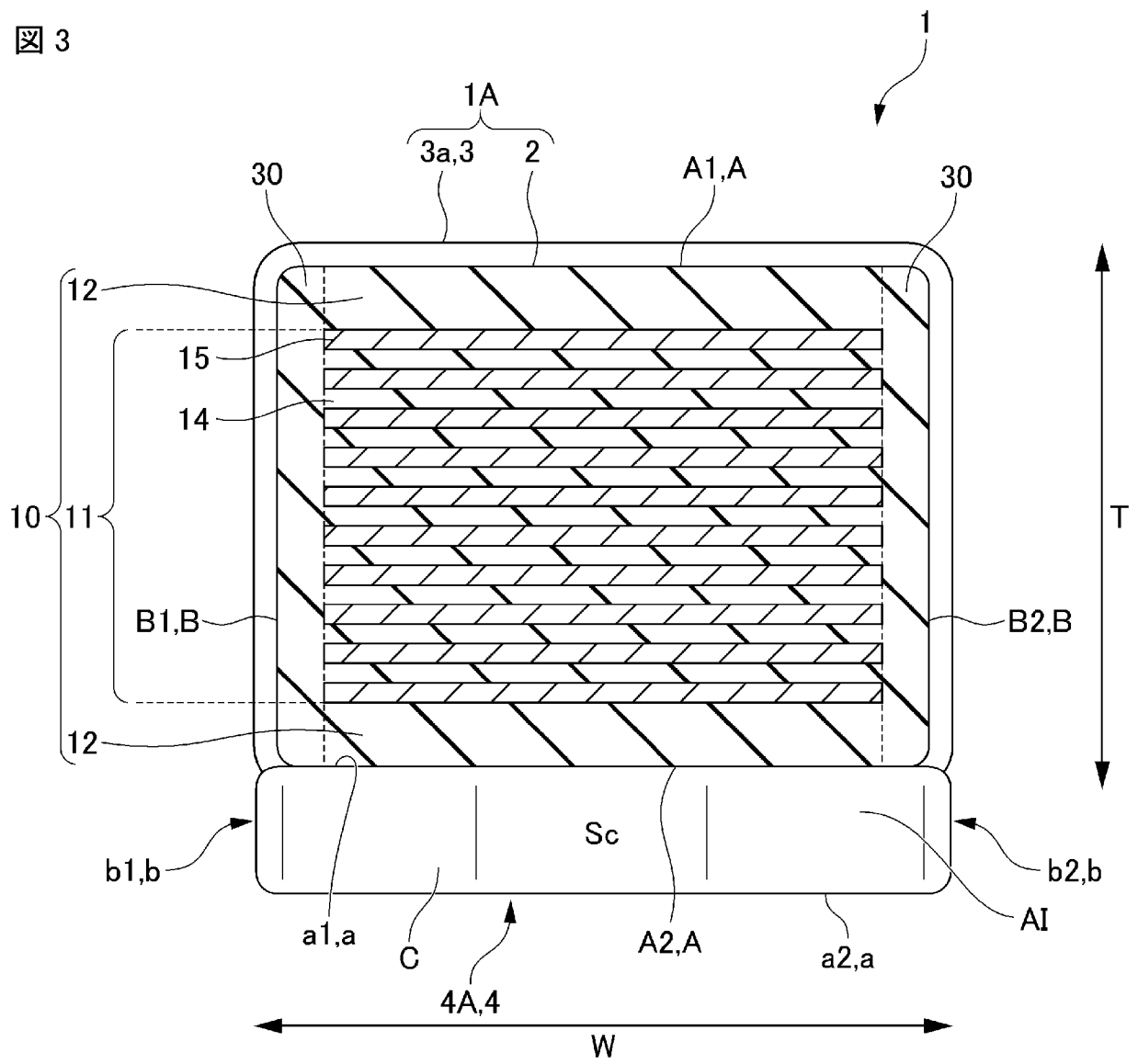


[図2]



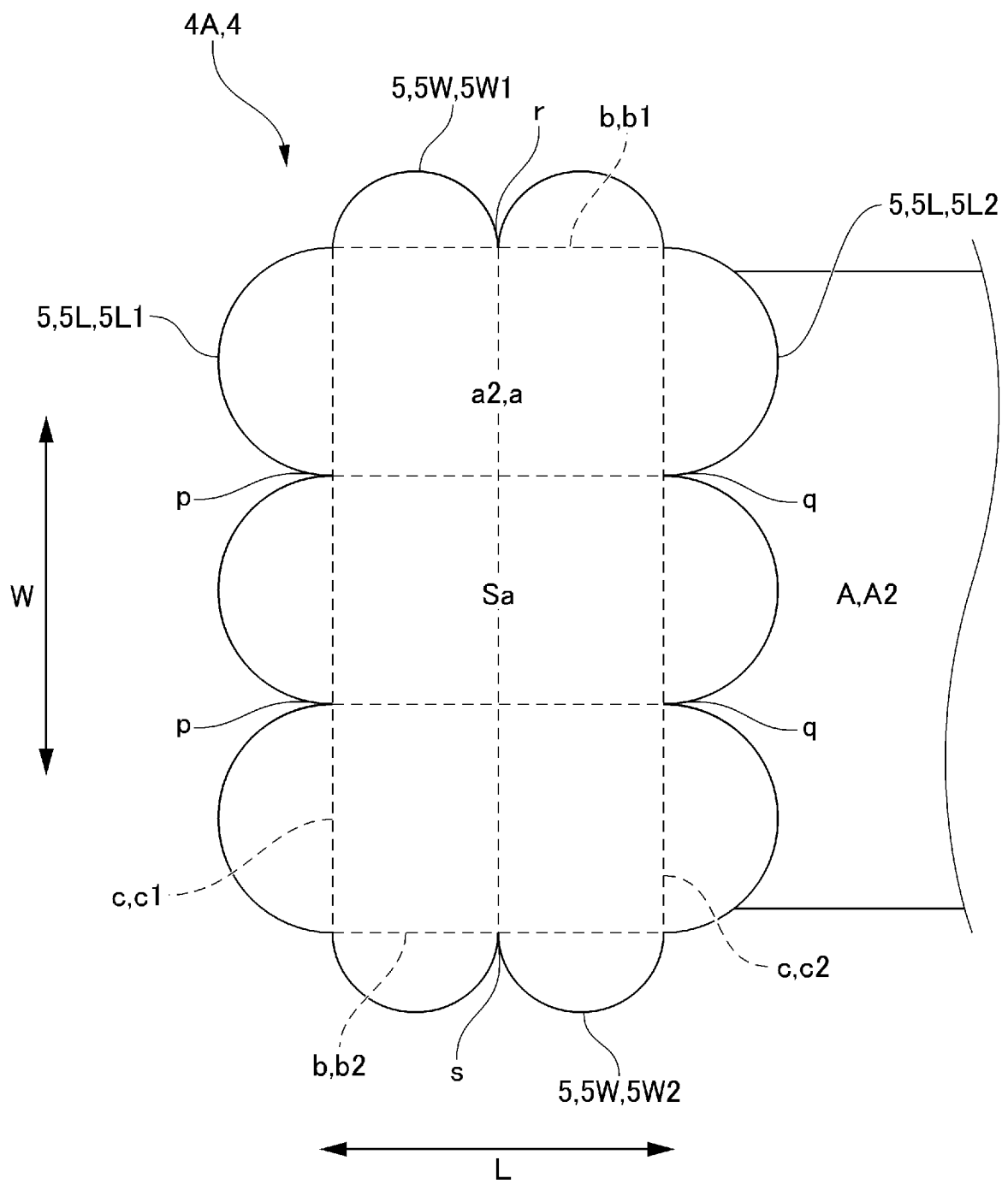
[図3]

図 3



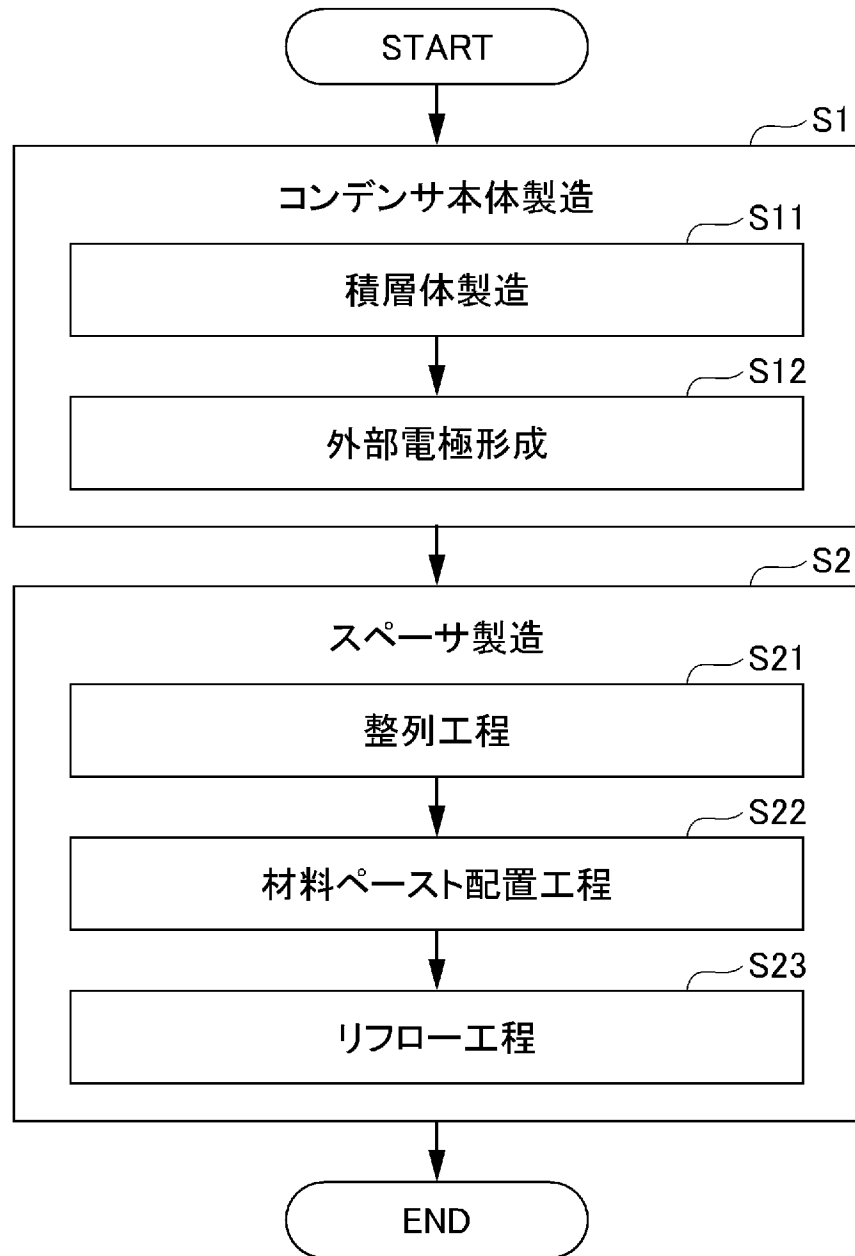
[図4]

図 4



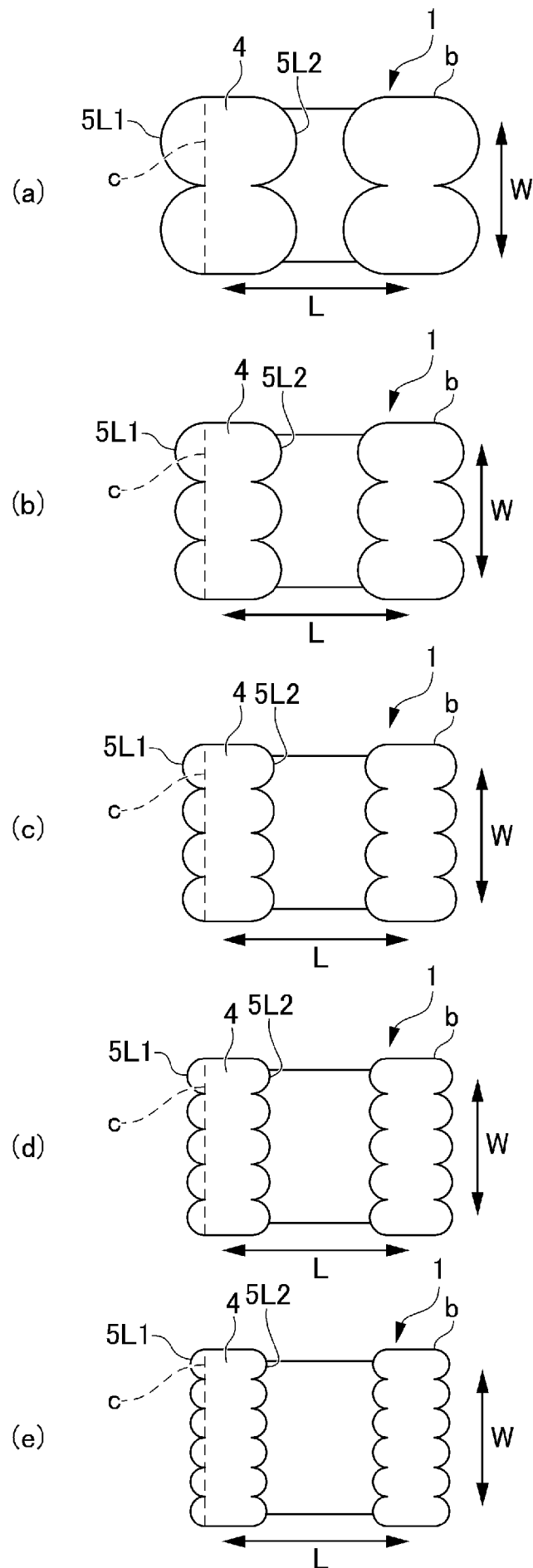
[図5]

図 5



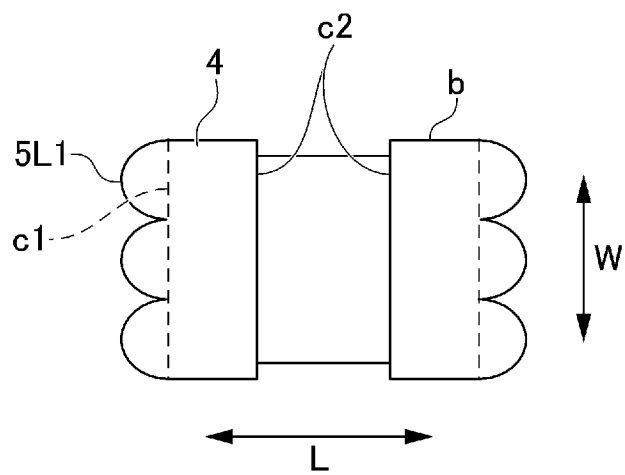
[図6]

図 6



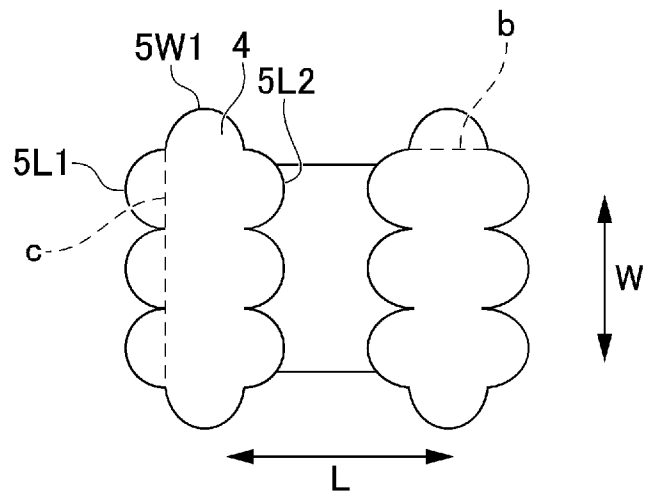
[図7]

図 7



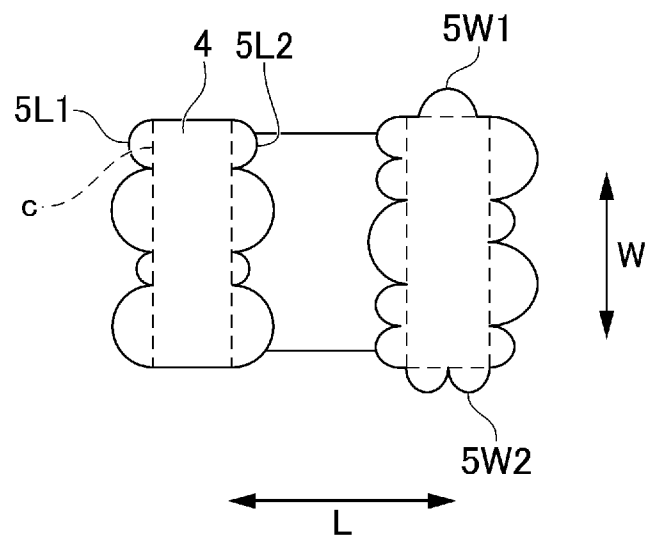
[図8]

図 8



[図9]

図 9



[図10]

図 10

n	音圧レベル (dB)	S1/S0
0	74.6	1.00
2	66.7	1.12
3	64.1	1.14
4	62.5	1.16
5	64.3	1.15
6	67.1	1.13
7	70.2	1.10
8	72.3	1.05

[図11]

図 11

m	音圧レベル (dB)	S1/S0
0	74.6	1.00
1	66.5	1.14
2	65.1	1.13
3	70.9	1.08
4	72.7	1.06

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/011939

A. CLASSIFICATION OF SUBJECT MATTER

H01G 4/30(2006.01)i; **H01G 2/06**(2006.01)i; **H01G 4/228**(2006.01)i
FI: H01G4/30 201F; H01G4/228 A; H01G2/06 500; H01G4/30 513

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/30; H01G2/06; H01G4/228

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2020/0051746 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 13 February 2020 (2020-02-13) paragraphs [0028]-[0080], [0092]-[0098], fig. 1-4	1-8, 10-11
Y	paragraphs [0028]-[0080], [0092]-[0098], fig. 1-4	9
Y	JP 6-188536 A (MITSUBISHI ELECTRIC CORPORATION) 08 July 1994 (1994-07-08) paragraphs [0012], [0013], fig. 7	9
Y	JP 2003-133473 A (KYOCERA CORPORATION) 09 May 2003 (2003-05-09) paragraphs [0034], [0035], fig. 2	9
X	JP 2018-190952 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 29 November 2018 (2018-11-29) paragraphs [0033]-[0071], [0091]-[0102], fig. 1-4, 6-9	1-3
A	JP 2014-072241 A (ROHM CO., LTD.) 21 April 2014 (2014-04-21)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 June 2024

Date of mailing of the international search report

18 June 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/011939

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2020/0051746	A1	13 February 2020	KR 10-2020-0016586 A CN 110828164 A	
JP	6-188536	A	08 July 1994	US 5495223 A column 4, lines 27-54, fig. 7	
JP	2003-133473	A	09 May 2003	(Family: none)	
JP	2018-190952	A	29 November 2018	US 2018/0323010 A1 paragraphs [0048]-[0086], [0106]-[0117], fig. 1-4, 6-9 KR 10-2018-0122916 A CN 108806983 A	
JP	2014-072241	A	21 April 2014	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01G 4/30(2006.01)i; H01G 2/06(2006.01)i; H01G 4/228(2006.01)i

FI: H01G4/30 201F; H01G4/228 A; H01G2/06 500; H01G4/30 513

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01G4/30; H01G2/06; H01G4/228

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2020/0051746 A1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 13.02.2020 (2020 - 02 - 13)	1-8, 10-11
Y	段落 [0028] - [0080]、[0092] - [0098]、図1-4	9
Y	段落 [0028] - [0080]、[0092] - [0098]、図1-4	9
Y	JP 6-188536 A (三菱電機株式会社) 08.07.1994 (1994 - 07 - 08)	9
Y	段落 [0012] - [0013]、図7	9
Y	JP 2003-133473 A (京セラ株式会社) 09.05.2003 (2003 - 05 - 09)	9
Y	段落 [0034] - [0035]、図2	9
X	JP 2018-190952 A (サムソン エレクトロメカニクス カンパニーリミテッド.) 29.11.2018 (2018 - 11 - 29)	1-3
X	段落 [0033] - [0071]、[0091] - [0102]、図1-4、6 - 9	1-3
A	JP 2014-072241 A (ローム株式会社) 21.04.2014 (2014 - 04 - 21)	1-11

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

05.06.2024

国際調査報告の発送日

18.06.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

多田 幸司 5D 5292

電話番号 03-3581-1101 内線 3549

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/011939

引用文献			公表日	パテントファミリー文献	公表日
US	2020/0051746	A1	13.02.2020	KR 10-2020-0016586 A CN 110828164 A	
JP	6-188536	A	08.07.1994	US 5495223 A 第4欄第27-54行、図7	
JP	2003-133473	A	09.05.2003	(ファミリーなし)	
JP	2018-190952	A	29.11.2018	US 2018/0323010 A1 段落 [0048] - [0086]、[0106] - [0117]、図1-4、6-9 KR 10-2018-0122916 A CN 108806983 A	
JP	2014-072241	A	21.04.2014	(ファミリーなし)	