



(19) Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 10 2005 059 780 B4 2009.08.13

(12)

Patentschrift

(21) Aktenzeichen: **10 2005 059 780.7**

(22) Anmeldetag: **14.12.2005**

(43) Offenlegungstag: **06.07.2006**

(45) Veröffentlichungstag
der Patenterteilung: **13.08.2009**

(51) Int Cl.⁸: **G11C 7/04 (2006.01)**

G11C 11/407 (2006.01)

G11C 11/406 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10-2004-0107905 17.12.2004 KR

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(74) Vertreter:
**Kuhnen & Wacker Patent- und
Rechtsanwaltsbüro, 85354 Freising**

(72) Erfinder:
Lee, Kee-Hoon, Suwon, Kyonggi, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

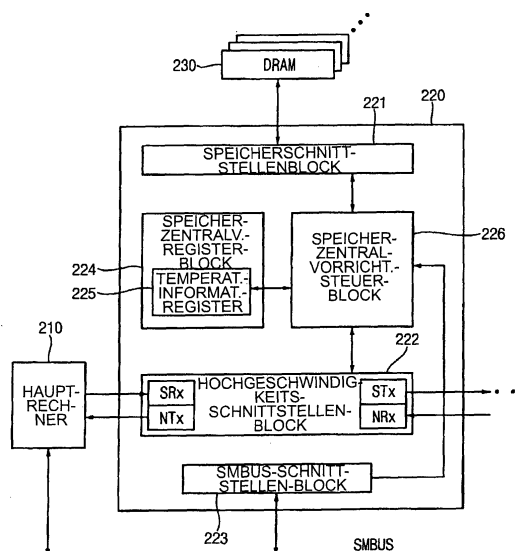
US 2004/02 36 877 A1

US 58 75 142 A

(54) Bezeichnung: **Speicherzentralvorrichtung, vollständig gepuffertes Speichermodul und Speichermodulsystem und Verfahren zum Überwachen einer dynamischen Temperatur eines Halbleiterspeichers**

(57) Hauptanspruch: Speicherzentralvorrichtung (220; 220-1, ..., 220-n) mit:

einem Speicherzentralvorrichtungs-Steuerblock (226), der konfiguriert ist, um ein Befehlspaket, das von einem Hauptrechner (210) empfangen wird, zu decodieren und um zu bestimmen, ob das Befehlspaket die Speicherzentralvorrichtung (220; 220-1, ..., 220-n) bestimmt hat, und, wenn das Befehlspaket den Speicherzentralvorrichtungs-Steuerblock (226) für eine Operation nicht bestimmt, der Speicherzentralvorrichtungs-Steuerblock (226) konfiguriert ist, um eine Temperaturinformationsabfrage zu mindestens einem einer Mehrzahl von Halbleiterspeichern (230; M1, ..., Mm), die mit der Speicherzentralvorrichtung (220; 220-1, ..., 220-n) gekoppelt sind, zu senden, und konfiguriert ist, um eine Temperaturinformation von dem mindestens einen der Mehrzahl von Halbleiterspeichern (230; M1, ..., Mm) zu empfangen.



Beschreibung

PRIORITÄTSANSPRUCH

[0001] Ein Prioritätsanspruch wird gemäß 35 U. S. C. 119 aus der koreanischen Patentanmeldung Nr. 2004-107905, eingereicht am 17. Dezember 2004 beim Koreanischen Amt für Geistiges Eigentum (KI-PO), deren Inhalt hierdurch durch Bezugnahme aufgenommen ist, beansprucht.

HINTERGRUND DER ERFINDUNG

1. GEBIET DER ERFINDUNG

[0002] Exemplarische Ausführungsbeispiele der vorliegenden Erfindung beziehen sich allgemein auf ein Verfahren zum Überwachen einer dynamischen Temperatur eines Halbleiterspeichersystems und auf ein Halbleiterspeichersystem. Exemplarische Ausführungsbeispiele der vorliegenden Erfindung beziehen sich insbesondere auf ein Verfahren zum Überwachen einer dynamischen Temperatur eines vollständig gepufferten Speichermoduls und auf das vollständig gepufferte Speichermodul.

2. BESCHREIBUNG DER VERWANDTEN TECHNIK

[0003] Es gibt zwei Gründe, warum dynamische Temperaturen eines dynamischen Direktzugriffsspeichers (DRAM; DRAM = Dynamic Random Access Memory) überwacht werden sollten.

[0004] Der erste Grund besteht darin, den Leistungsverbrauch des DRAM-Chips unter Verwendung eines Verfahrens, das ähnlich zu einem temperaturkompensierten Selbstauffrischen (TCSR; TCSR = Temperature-Compensated Self-Refresh) ist, zu reduzieren.

[0005] Eine Speicherzelle des DRAM-Chips zeichnet Daten auf, indem eine Ladung in einem Zellkondensator gespeichert wird. Die Ladung in dem Zellkondensator kann jedoch aufgrund eines Leckstroms über die Zeit verloren gehen, wenn keine Lese/Schreib-Operationen stattfinden. Ein Auffrischverfahren, das konfiguriert ist, um die Daten, die in dem Zellkondensator gespeichert sind, periodisch neu zu schreiben, ist daher notwendig. Eine Auffrischperiode kann als ein Zeitintervall zum Auffrischen des Zellkondensators in dem DRAM-Chip definiert sein. Je länger die Auffrischperiode ist, desto weniger Leistung verbraucht ein DRAM-Chip. In letzter Zeit haben hergestellte DRAM-Chips ein temperaturkompensiertes Selbstauffrischen (TCSR) verwendet, um die Selbstauffrischperiode zu vergrößern. Das TCSR verwendet einen eingebetteten bzw. eingebauten Temperatursensor, um eine innere Temperatur des DRAM-Chips zu messen und die Selbstauffrischperiode basierend auf der gemessenen Temperatur zu

ändern. Der Leckstrom in dem Zellkondensator weist eine sehr starke Abhängigkeit von der Temperatur auf. Wenn der Temperatursensor daher eine niedrige Temperatur erfasst, kann eine lange Auffrischperiode beibehalten werden, um den Leistungsverbrauch zu reduzieren.

[0006] Der zweite Grund besteht darin, dass das Überwachen der dynamischen Temperatur notwendig sein kann, um einen Betriebsgeschwindigkeitsbereich, der eine Zuverlässigkeit des DRAM-Chips garantiert, zu bestimmen.

[0007] Wenn beispielsweise eine innere Temperatur des DRAM-Chips über einer spezifischen Schwellentemperatur ist, kann die Zuverlässigkeit des DRAM-Chips durch Verringern der Betriebsgeschwindigkeit des DRAM-Chips bei der Temperatur garantiert werden.

[0008] Hier kann ein Temperatursensor zum Zweck des Reduzierens des Leistungsverbrauchs verwendet werden. Es ist möglicherweise unnötig, die gemessenen Temperaturinformationen aus dem DRAM-Chip zu senden, da der Temperatursensor möglicherweise lediglich innen verwendet wird. Der Temperatursensor kann daher in den DRAM-Chip integriert sein, um die Temperatur des DRAM-Chips direkt zu messen. Da es möglicherweise unnötig ist, die Temperaturinformationen aus dem DRAM-Chip zu kommunizieren, existieren auf einer Betriebsseite möglicherweise keine kommunikationsbezogenen Kompatibilitätsprobleme.

[0009] Um jedoch die Betriebszuverlässigkeit eines DRAM-Chips zu garantieren, sollten die gemessenen Temperaturinformationen außen überwacht werden, und es kann daher ein Bedarf an einem Betriebsverfahren bestehen, das fähig ist, die Temperaturinformationen aus dem DRAM-Chip zu senden, ohne die Grundoperationen des DRAM, z. B. die Lese-Operation und/oder Schreib-Operation, zu unterbrechen.

[0010] Ein Bandbreiten-Drosselungsverfahren kann verwendet werden, um das vorhergehende Problem zu überwinden. Das Bandbreiten-Drosselungsverfahren steuert basierend auf einer Beziehung zwischen einer Betriebsbandbreite und einer Temperatur die Betriebsbandbreite, anstatt eine Temperatur unter Verwendung von Temperatursensoren direkt zu messen. Die Beziehung ist eine Funktion eines Stroms eines Halbleiterchips und einer Temperaturcharakteristik eines Halbleiterpakets.

[0011] Das Bandbreiten-Drosselungsverfahren besitzt den Vorteil, dass es leicht zu verwenden ist, da dasselbe den Temperatursensor indirekt verwendet. Es kann jedoch schwierig sein, das Bandbreiten-Drosselungsverfahren an alle verschiedenen Speicherzugriffstypen von DRAM-Vorrichtungen an-

zupassen. D. h., es kann einen negativen Effekt dahingehend geben, dass, wenn das Bandbreiten-Drosselungsverfahren verwendet wird, um eine Schwellenbandbreite auf einen niedrigen Pegel einzustellen, wenn ein Absinken der Schwellenbandbreite möglicherweise nicht erforderlich ist, ein allgemeiner Leistungspegel des DRAM möglicherweise verringert wird.

[0012] Ein DRAM-Speichermodul mit einer Mehrzahl von Speichervorrichtungen, die an einer gedruckten Schaltungsplatine (PCB; PCB = Printed Circuit Board) angebracht sind, kann als entweder ein einreihiges Speichermodul (SIMM; SIMM = Single In-line Memory Module) oder ein zweireihiges Speichermodul (DIMM; DIMM = Dual In-line Memory Module) klassifiziert werden. Ein DIMM ist einer der am häufigsten verwendeten Typen eines Speichermoduls und kann weiter als entweder ein vollständig gepuffertes zweireihiges Speichermodul (FB-DRIMM; FB = Fully-Buffered) oder ein Register-DIMM klassifiziert werden. In letzter Zeit hat sich eine praktische Anwendungsforschung für das FB-DIMM hinsichtlich einer Anstrengung verstärkt, ein Hochgeschwindigkeits- und Hochkapazitäts-Speichersystem zu erhalten. Ein Speichersystem, das das FB-DIMM aufweist, kann für das Einfügen bzw. Einführen eines FP-DIMM an einem Motherboard bzw. einer Mutterplatine eine Mehrzahl von Schlitzen aufweisen.

[0013] [Fig. 1](#) ist ein Blockdiagramm, das ein herkömmliches Speichersystem, das vollständig gepufferte zweireihige Speichermodule (FB-DIMM) aufweist, darstellt.

[0014] Bezug nehmend auf [Fig. 1](#) kann ein FB-DIMM-Speichersystem **100** einen Host bzw. einen Hauptrechner **110** und eine Mehrzahl von FB-DIMM (MM1, ..., MMn, wobei n eine natürliche Zahl sein kann), die in einer Daisy-Chain bzw. Verkettung verbunden sind, aufweisen. Bis zu acht (8) FB-DIMM (MM1, ..., MMn) können allgemein in der Verkettung verbunden sein.

[0015] Der Hauptrechner **110** kann einen Sender (STx), um Southbound-(SB-) bzw. nach Süden gehende Pakete zu der Mehrzahl von FB-DIMM (MM1, ..., MMn) zu senden, und einen Empfänger (NTx) aufweisen, um Northbound-(NB-) bzw. Norden gehende Pakete zu empfangen, die von der Mehrzahl von FB-DIMM zu dem Hauptrechner **110** übertragen werden können.

[0016] Die FB-DIMM (MM1, ..., MMn) können einen Speicher-Hub (engl. memory hub) bzw. eine Speicherzentralvorrichtung (**120-1**, ..., **120-n**) und eine Mehrzahl von DRAM (M1, ..., Mm, wobei m eine natürliche Zahl sein kann) aufweisen. Jede zentrale Speichervorrichtung kann einen SB-Paket-Sendeempfänger (STx/SRx), einen NB-Paket-Sendeemp-

fänger (NTx/NRx) und einen Speicherzentralvorrichtung-Steuerblock **122** aufweisen. Obwohl nicht in [Fig. 1](#) gezeigt, kann jede der Speicherzentralvorrichtungen (**120-1**, ..., **120-n**) einen Systemverwaltungsbus-(SMBus-; SMBus = System Management Bus) Schnittstellenblock aufweisen und kann mit dem Hauptrechner **110** durch einen SMBus verbunden sein. Daher kann der Hauptrechner **110** die Speicherzentralvorrichtungen (**120-1**, ..., **120-n**) durch den SMBus steuern.

[0017] Der SB-Paket-Empfänger (SRx) kann ein Hochgeschwindigkeits-SB-Paket, das von dem Hauptrechner **110** oder von einem benachbarten FB-DIMM, das in einer entgegengesetzten Richtung zu derselben der Sendung des SB-Pakets positioniert ist, übertragen wird, empfangen. Der SB-Paket-Sender (STx) kann im Gegensatz dazu das SB-Paket, das bei dem SB-Paket-Empfänger (SRx) empfangen wird, zu einem benachbarten SB-DIMM, das in der gleichen Richtung wie dieselbe der Sendung des SB-Pakets positioniert ist, senden.

[0018] Der Speicherzentralvorrichtung-Steuerblock **122** kann das SB-Paket, das bei dem SB-Paket-Empfänger (SRx) empfangen wird, decodieren, kann Befehls- und Adressinformationen für die DRAM-Vorrichtungen (M1, ..., Mm) erzeugen, kann Daten schreiben und Daten lesen, kann die gelesenen Daten in ein NB-Paket codieren und kann das NB-Paket durch den NB-Paket-Sender (NTx) senden.

[0019] Der NB-Paket-Empfänger (NRx) kann ein Hochgeschwindigkeits-NB-Paket, das von einem benachbarten FB-DIMM, das in einer entgegengesetzten Richtung zu der Sendung des NB-Pakets positioniert ist, übertragen wird, empfangen. Der NB-Paket-Sender (NTx) kann im Gegensatz dazu das NB-Paket, das bei dem NB-Paket-Empfänger (NRx) empfangen wird, zu dem Hauptrechner **110** oder einem benachbarten FB-DIMM, das in der gleichen Richtung wie die Sendung des NB-Pakets positioniert ist, senden.

[0020] Jede Speicherzentralvorrichtung (**120-1**, ..., **120-n**) kann zusätzlich einen Speicherschnittstellenblock **124** aufweisen, um mit den DRAM (M1, ..., Mm) schnittstellenmäßig verbunden zu sein.

[0021] Ein FB-DIMM-Speichersystem **100** kann eine Speicherzentralvorrichtung, beispielsweise einen fortschrittlichen Speicherpuffer (AMB; AMB = Advanced Memory Buffer), verwenden, um Eingangs-/Ausgangsdaten der DRAM zu Puffern, anstatt eine direkte Verbindung zwischen den DRAM und einer Speichersteuerung zu verwenden. Das FB-DIMM-Speichersystem besitzt jedoch keine Temperaturüberwachungsfähigkeiten.

[0022] Aus der US 5,875,142 A ist ein Halbleiterspeichersystem mit mehreren Halbleiterspeichern und einem Hauptrechner bekannt, wobei jeder Halbleiterspeicher einen Temperatursensor enthält, dessen Zustand über einen Bus von dem Hauptrechner überwacht werden kann.

[0023] Ein FB-DIMM ist z. B. aus der US 2004/0236877 A1 bekannt.

ZUSAMMENFASSUNG DER ERFINDUNG

[0024] Aufgabe der Erfindung ist es, die Betriebsgeschwindigkeit eines Halbleiterspeichers bei der Überwachung seiner Temperatur nicht zu verringern.

[0025] Die Aufgabe wird gelöst durch eine Speicherzentralvorrichtung nach Anspruch 1, durch ein vollständig gepuffertes Speichermodul und Speichermodulsystem nach Anspruch 8 oder 15 und durch ein Verfahren zum Überwachen der Temperatur eines Halbleiterspeichers nach Anspruch 20. Weiterbildungen der Erfindung sind in den Unteransprüchen gekennzeichnet.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0026] Die vorhergehenden und andere Aspekt der vorliegenden Erfindung werden durch die detaillierte Beschreibung von exemplarischen Ausführungsbeispielen derselben unter Bezugnahme auf die begleitenden Zeichnungen offensichtlich, in denen:

[0027] [Fig. 1](#) ein Blockdiagramm ist, das ein herkömmliches Speichersystem, das vollständig gepufferte, zweireihige Speichermodule (FB-DIMM) aufweist, darstellt.

[0028] [Fig. 2](#) ein Blockdiagramm ist, das einen Überwachungsbetrieb für eine dynamische Temperatur eines FB-DIMM-Speichersystems gemäß einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung darstellt.

[0029] [Fig. 3](#) eine Tabelle ist, die einen Befehlsrahmen eines nach Süden gehenden (SB-)Pakets zeigt.

[0030] [Fig. 4](#) ein Blockdiagramm ist, das ein Ausführungsbeispiel einer Speicherzentralvorrichtung des in [Fig. 2](#) dargestellten FB-DIMM-Speichersystems darstellt.

[0031] [Fig. 5A](#) ein Zeitdiagramm ist, das eine Leseoperation eines herkömmlichen FB-DIMM-Speichersystems darstellt.

[0032] [Fig. 5B](#) ein Zeitdiagramm ist, das eine Leseoperation eines FB-DIMM-Speichersystems gemäß einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung darstellt.

DETAILLIERTE BESCHREIBUNG VON EXEMPLARISCHEN AUSFÜHRUNGSBEISPIELEN

[0033] Detaillierte, darstellende exemplarische Ausführungsbeispiele der vorliegenden Erfindung sind hierin offenbart. Spezifische strukturelle und funktionelle Details, die hierin offenbart sind, sind jedoch zum Zweck des Beschreibens von exemplarischen Ausführungsbeispielen der vorliegenden Erfindung lediglich stellvertretend.

[0034] Obwohl die Erfindung dementsprechend verschiedene Modifikationen und alternative Formen zulässt, sind spezifische Ausführungsbeispiele derselben beispielsweise in den Zeichnungen gezeigt und hierin detailliert beschrieben. Gleiche Ziffern beziehen sich durch die Beschreibung der Figuren hindurch auf gleiche Elemente.

[0035] Es ist offensichtlich, dass, obwohl die Ausdrücke erste(r, s), zweite(r, s), etc. hierin verwendet werden können, um verschiedene Elemente zu beschreiben, diese Elemente nicht durch diese Ausdrücke begrenzt sein sollen. Diese Ausdrücke werden lediglich verwendet, um ein Element von einem anderen zu unterscheiden. Ein erstes Element kann beispielsweise als ein zweites Element bezeichnet werden, und ähnlich-erweise kann ein zweites Element als ein erstes Element bezeichnet werden, ohne von dem Schutzbereich der vorliegenden Erfindung abzuweichen. Wie hierin verwendet, umfasst der Ausdruck "und/oder" jede und alle Kombinationen von einem oder mehreren der zugeordneten aufgelisteten Gegenstände.

[0036] Es ist offensichtlich, dass, wenn auf ein Element als "verbunden" oder "gekoppelt" mit einem anderen Element Bezug genommen wird, dasselbe mit dem anderen Element direkt verbunden oder gekoppelt sein kann oder dazwischen liegende Elemente vorhanden sein können. Wenn im Gegensatz dazu auf ein Element als "direkt verbunden" oder "direkt gekoppelt" mit einem anderen Element Bezug genommen wird, sind keine dazwischen liegenden Elemente vorhanden. Andere Worte, die verwendet werden, um die Beziehung zwischen Elementen zu beschreiben, sollten auf eine ähnliche Art und Weise (d. h. "zwischen" gegenüber "direkt zwischen", "benachbart" gegenüber "direkt benachbart", etc.) interpretiert werden.

[0037] Die hierin verwendete Terminologie dient lediglich dem Zweck des Beschreibens von speziellen Ausführungsbeispielen und soll nicht die Erfindung begrenzen. Wie hierin verwendet, sollen die Singularformen "eine(r, s)" und "der, die, das" ebenso die Pluralformen umfassen, es sei denn, dass es der Zusammenhang deutlich anders zeigt. Es ist ferner offensichtlich, dass die Ausdrücke "aufweisen", "aufweisend", "umfassen" und/oder "umfassend", wenn

dieselben hierin verwendet werden, die Anwesenheit von angegebenen Merkmalen, Ganzzahlen, Schritten, Operationen, Elementen und/oder Komponenten spezifizieren, jedoch nicht die Anwesenheit oder Hinzufügung von einem oder mehreren anderen Merkmalen, Ganzzahlen, Schritten, Operationen, Elementen, Komponenten und/oder Gruppen derselben ausschließen.

[0038] Alle Ausdrücke (einschließlich technischer und wissenschaftlicher Ausdrücke), die hierin verwendet werden, besitzen die gleiche Bedeutung, wie sie durch Fachleute, die diese Erfindung betrifft, üblicherweise verstanden wird, es sei denn, dass es anders definiert ist. Es ist ferner offensichtlich, dass Ausdrücke, wie z. B. dieselben, die in allgemein verwendeten Wörterbüchern definiert sind, als eine Bedeutung aufweisend interpretiert werden sollten, die mit der Bedeutung derselben in dem Zusammenhang der relevanten Technik konsistent ist, und nicht in einem idealisierten oder übermäßig formalen Sinn interpretiert werden sollten, es sei denn, dass es ausdrücklich hierin so definiert ist.

[0039] Es sei ferner bemerkt, dass bei einigen alternativen Implementationen die in den Blöcken angegebenen Funktionen/Handlungen außerhalb der in den Flussdiagrammen angegebenen Reihenfolge auftreten können. Zwei Blöcke, die beispielsweise hintereinander gezeigt sind, können tatsächlich im Wesentlichen gleichzeitig ausgeführt werden, oder die Blöcke können manchmal abhängig von der betreffenden Funktionalität/den betreffenden Handlungen in der umgekehrten Reihenfolge ausgeführt werden.

[0040] Exemplarische Ausführungsbeispiele der vorliegenden Erfindung können ein Befehls-Snooping bzw. -Schnüffeln verwenden, um ein FB-DIMM-Speichersystem mit einer Fähigkeit eines Überwachens der dynamischen Temperatur zu konfigurieren, ohne Lese/Schreib-Operationen zu unterbrechen.

[0041] [Fig. 2](#) ist ein Blockdiagramm eines FB-DIMM-Speichersystems, das ein Überwachen der dynamischen Temperatur gemäß einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung aufweist.

[0042] Das FB-DIMM-Speichersystem kann einen Hauptrechner **210** aufweisen, um eine Mehrzahl von FB-DIMM (MM1, ..., MMn) zu steuern. Jedes der FB-DIMM (MM1, ..., MMn), die in [Fig. 2](#) dargestellt sind, kann eine Mehrzahl von DRAM (M1, ..., Mm) bzw. eine Speicherzentralvorrichtung (**220-1**, ..., **220-n**) aufweisen.

[0043] Der Hauptrechner **210** kann ein SB-Paket, das eines der Mehrzahl von FB-DIMM bestimmt, das

ein während einer Zugriffsoperation bestimmtes FB-DIMM sein kann, beispielsweise eine Lese/Schreib-Operation, senden.

[0044] Das bestimmte FB-DIMM kann bestimmen, ob ein Befehlsadresscode des SB-Pakets, das durch den Hauptrechner **210** gesendet wird, für sich selbst bestimmt ist, und wenn dasselbe für sich selbst bestimmt ist, führt dasselbe die Operation aus, die durch das SB-Paket festgesetzt ist. [Fig. 2](#) stellt einen Befehl LESEN oder SCHREIBEN, der insbesondere ein FB-DIMM (MM3) durch das SB-Paket bestimmt, dar. Es ist jedoch offensichtlich, dass Befehle für jedes der Mehrzahl von FB-DIMM bestimmt sein können.

[0045] Unbestimmte FB-DIMM, d. h. FB-DIMM, die nicht durch einen Befehlsadresscode des SB-Pakets bestimmt sind, beispielsweise FB-DIMM (MM1, MM2, ..., MMn), können Temperaturinformationen lesen, die durch Temperatursensoren (z. B. Lesetemperatursensoren (TS)), die in den DRAM eingebaut sind, durch das jeweilige FB-DIMM gemessen werden, während das bestimmte FB-DIMM die Befehlsoperation, die in dem SB-Paket bestimmt ist, ausführt.

[0046] Ein Überwachungsverfahren der dynamischen Temperatur gemäß einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung kann Temperaturinformationen lesen, ohne Speicherzugriffsoperationen des bestimmten FB-DIMM (MM3) zu unterbrechen, da die nicht bestimmten FB-DIMM (MM1, MM2, ..., MMn) Temperaturinformationen durch jeweilige Speicherzentralvorrichtungen (**220-1**, **220-2**, ..., **220-n**), die in jedem der FB-DIMM umfasst sind, lesen können. Es ist in der Technik gut bekannt, dass ein DRAM in sich eingebaute Temperatursensoren aufweisen kann.

[0047] Das SB-Paket kann zehn (10) Datenströme aufweisen, und jeder der Datenströme kann zwölf (12) Bits aufweisen, die während einer einzigen Speicherbetriebstaktperiode gesendet werden. Ein einzelnes SB-Paket kann daher insgesamt 120 Bit Paketdaten aufweisen, und die Paketdaten können drei (3) aufweisen, wobei jeder Rahmen 40 Bit aufweist. D. h., die drei Rahmen können einen einzigen Befehlsrahmen und einen ersten und einen zweiten Schreibdatenrahmen aufweisen oder alternativ einen einzelnen Befehlsrahmen und zwei Keine-Operation-(NOP-; NOP = No Operation) Rahmen aufweisen. Der Befehlsrahmen kann einen 16-Bit-Code für eine zyklische Redundanzprüfung (CRC; CRC = Cyclic Redundancy Check) und 24-Bit-Befehlsinformationen aufweisen. Der erste Schreibdatenrahmen kann Speicherdaten von oberen 36 Bit aufweisen, und der zweite Schreibdatenrahmen kann Speicherdaten von unteren 36 Bit aufweisen.

[0048] Ein Überwachen der dynamischen Tempera-

tur kann basierend auf einem Codieren eines SB-Paket-Befehlsrahmens, wie in [Fig. 3](#) dargestellt ist, durchgeführt werden, und kann, wie in [Fig. 4](#) dargestellt ist, ausgeführt sein.

[0049] [Fig. 3](#) ist ein Diagramm, das einen Befehlsrahmen eines nach Süden gehenden (SB-)Pakets zeigt.

[0050] Die Vierundzwanzig-(24-)Bit-Befehlsinformationen eines Befehlsrahmens eines SB-Pakets können 3-Bit-Zielinformationen (DST; DST = Destination Information), 1-Bit-Rangauswahlinformationen (RS; RS = Rank Selection), einen DRAM-Befehl (CMD) und eine Adresse (ADDR) aufweisen. Die 3-Bit-Zielinformationen (DST) können einer von 8-Modul-Identifikationscodes sein, wobei jeder der Codes einem der acht FB-DIMM (MM1, ..., MM8), die mit einem einzelnen Hauptrechner verbunden sein können, entsprechen kann. "000" kann beispielsweise das erste FB-DIMM-Modul darstellen, und "111" kann das achte FB-DIMM-Modul darstellen. Das Rangauswahlbit (RS) kann eine der zwei Seiten von jedem FB-DIMM-Modul auswählen.

[0051] Der DRAM-Befehl (CMD) kann in zwei Gruppen aufgeteilt sein. Eine erste Gruppe kann Adressinformationen für beispielsweise einen Befehl AKTIVIEREN, einen Befehl SCHREIBEN und einen Befehl LESEN aufweisen. Eine zweite Gruppe kann einen Befehl ALLE VORLADEN und einen Befehl EINZELN VORLADEN aufweisen und kann die Adressinformationen ausschließen. Bei dem Fall des Befehls AKTIVIEREN kann ein 21stes Bit der Befehlsinformationen (CMD) als "1" definiert sein, und eine Kombination von anderen Bits kann der DRAM-Bankadresse und den Reihenadresswerten entsprechen.

[0052] Der Befehl SCHREIBEN und der Befehl LESEN können voneinander durch eine Kombination eines 19ten Bits und eines 20sten Bits der Befehlsinformationen (z. B. "11" bzw. "10") unterschieden werden, und eine Kombination von anderen Bits kann einem Spaltenadresswert entsprechen.

[0053] Bei einem FB-DIMM-Speichersystem können Speicherzentralvorrichtungen **220** von allen FB-DIMM-Modulen (MM1, ..., MMn), die mit einem Hauptrechner **210** in einer Verkettung verbunden sind, ein SB-Paket empfangen, das durch den Hauptrechner **210** zum Decodieren gesendet werden kann. Jedes der FB-DIMM-Module (MM1, ..., MMn) kann daher die Fähigkeit besitzen, zu bestimmen, ob das SB-Paket für dasselbe selbst bestimmt ist, und kann einen Typ einer Befehlsoperation erkennen.

[0054] [Fig. 4](#) ist ein Blockdiagramm, das ein Ausführungsbeispiel einer Speicherzentralvorrichtung des FB-DIMM-Speichersystems von [Fig. 2](#) darstellt.

[0055] Bezug nehmend auf [Fig. 4](#) kann eine Speicherzentralvorrichtung **220** eines FB-DIMM-Speichersystems, bei dem die Überwachung der dynamischen Temperatur angewendet werden kann, gemäß einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung einen Speicherschnittstellenblock **221**, einen Hochgeschwindigkeits-Schnittstellenblock **222**, einen SMBus-Schnittstellenblock **223**, um mit einem Hauptrechner **210** zu kommunizieren, einen Speicherzentralvorrichtungs-Registerblock **224**, der ein Temperaturinformationsregister **225** mit mindestens einer Kapazität von einem einzigen Bit aufweisen kann, und einen Speicherzentralvorrichtungs-Steuerblock **226** aufweisen.

[0056] Der Speicherschnittstellenblock **221** kann zwischen den DRAM **230** und der Speicherzentralvorrichtung **220** eine Schnittstelle bilden. D. h., der Speicherschnittstellenblock **221** kann mit einem Eingangs-/Ausgangsstift bzw. -Anschlussstift (nicht gezeigt), einem Steuersignalstift und einem Adressstift der DRAM **230** verbunden sein.

[0057] Der Hochgeschwindigkeits-Schnittstellenblock **222** kann einen SB-Paketsender (STx), einen SB-Paketempfänger (SRx), einen NB-Paketsender (NTx) und einen NB-Paketempfänger (NRx) aufweisen. Der Hochgeschwindigkeits-Schnittstellenblock **222** kann allgemein mit dem Hauptrechner **210** und benachbarten FB-DIMM durch eine Niederspannungs-Differenzsignalisierung (LVDS; LVDS = Low-Voltage Differential Signaling) mit hohen Geschwindigkeiten kommunizieren.

[0058] Jedes der FB-DIMM (MM1, ..., MMn) und der Hauptrechner **210** können durch einen Systemverwaltungsbus (SMBus) miteinander verbunden sein, derart, dass der SMBus-Schnittstellenblock **223** mit dem Hauptrechner **210** kommunizieren kann.

[0059] Der Speicherzentralvorrichtungs-Steuerblock **226** kann das SB-Paket decodieren, das von dem Hauptrechner **210** durch den Hochgeschwindigkeits-Schnittstellenblock **222** empfangen werden kann. Basierend auf den Befehlsinformationen des decodierten SB-Pakets kann der Speicherzentralvorrichtungs-Steuerblock **226** die DRAM **230** steuern. Der Speicherzentralvorrichtungs-Steuerblock **226** kann zusätzlich Daten, die von den DRAM **230** empfangen werden, in ein NB-Paket codieren und das NB-Paket durch den Hochgeschwindigkeits-Schnittstellenblock **222** zu dem Hauptrechner **210** senden.

[0060] Der Speicherzentralvorrichtungs-Steuerblock **226** kann bestimmen, ob das SB-Paket, das durch den Hochgeschwindigkeits-Schnittstellenblock **222** empfangen wird, für denselben selbst bestimmt wurde, indem die 3-Bit-Zielinformationen (DST) innerhalb der 24-Bit-Befehlsinformationen analysiert werden.

[0061] Wenn der Speicherzentralvorrichtungungs-Steuerblock **226** bestimmt, dass die 3-Bit-Zielinformationen (DST) für denselben selbst bestimmt wurden, kann der Speicherzentralvorrichtungungs-Steuerblock **226** eine Operation ausführen, die einem DRAM-Befehl (CMD) für die DRAM **230**, die in dem bestimmten FB-DIMM umfasst sind, entsprechen kann.

[0062] Wenn im Gegensatz dazu der Speicherzentralvorrichtungungs-Steuerblock **226** bestimmt, dass die 3-Bit-Zielinformationen (DST) nicht für denselben selbst bestimmt sind, kann der Speicherzentralvorrichtungungs-Steuerblock **226** durch den DRAM-Schnittstellenblock **221** Temperaturinformationen der DRAM **230** abfragen.

[0063] Ein getrennter Temperaturinformations-Eingangs-/Ausgangsstift oder ein existierender Eingangs-/Ausgangsstift kann zugeordnet werden, um die Temperaturinformationen abzufragen oder zu empfangen. Wenn ein existierender Eingangs-/Ausgangsstift verwendet wird, kann dies keinen Effekt auf die Operationen des FB-DIMM-Moduls haben, das die Befehlsoperation ausführt.

[0064] Der Speicherzentralvorrichtungungs-Steuerblock **226** kann die Temperaturinformationen in dem Temperaturinformationsregister **225** empfangen und speichern. Das Temperaturinformationsregister **225** kann in dem Speicherzentralvorrichtungungs-Registerblock **224** umfasst sein.

[0065] Das Temperaturinformationsregister **225** kann eine Ein-Bit-Kapazität aufweisen, wobei das Bit eine Alarm-Flag bzw. ein Alarm-Markierungskennzeichen sein kann, um anzuzeigen, ob die gemessene Temperatur über einer Schwellentemperatur ist. Wenn beispielsweise eine innere Temperatur des DRAM-Chips über einer spezifischen Schwellentemperatur ist, kann die Zuverlässigkeit des DRAM-Chips durch Verringern der Betriebsgeschwindigkeit des DRAM-Chips bei der Temperatur garantiert werden. Das Temperaturinformationsregister **225** kann zusätzlich eine Mehrzahl von Bits aufweisen, derart, dass das Temperaturinformationsregister die Temperaturwerte der DRAM **230** direkt überwachen kann. Die Konfiguration des Temperaturinformationsregisters **225** kann von einem Typ einer Temperaturinformation der DRAM **230** abhängen.

[0066] Der Hauptrechner **210** kann die Temperaturinformationen bei einer Informationsperiode des Temperaturinformationsregisters **225** durch den SMBus und den SMBus-Schnittstellenblock **223** bei einer vorbestimmten Temperaturinformationsperiode lesen. Die Temperaturinformationen der DRAM **230** können durch den SMBus zu dem Hauptrechner **210** übertragen werden, anstatt zu dem Hauptrechner **210** als ein getrenntes NB-Paket übertragen zu werden, wodurch normale Lese-/Schreiboperationen

nicht unterbrochen werden und die Systemleistung nicht verschlechtert wird.

[0067] Die Temperaturinformationsperiode kann gemäß einer erforderlichen Temperaturüberwachungsperiode variiert werden. Die Periode kann beispielsweise in Mikrosekunden [10^{-6} s] oder Millisekunden [10^{-3} s] ausgedrückt sein.

[0068] Wenn eine Zielinformation (DST) in den Befehlsinformationen eines durch einen Speicherzentralvorrichtungungs-Steuerblock **226** empfangenen SB-Pakets nicht für sich selbst bestimmt ist, kann der Speicherzentralvorrichtungungs-Steuerblock **226** die Temperaturinformationen der DRAM **230** lesen, wenn ein DRAM-Befehls-(CMD-)Code einem Befehl LESEN entspricht oder wenn alternativ ein DRAM-Befehls-(CMD-)Code einem Befehl LESEN oder einem Befehl SCHREIBEN entspricht.

[0069] Bei dem in [Fig. 3](#) dargestellten Befehlsrahmen kann lediglich, wenn der DRAM-Befehl (CMD) den Befehl LESEN darstellt, der Speicherzentralvorrichtungungs-Steuerblock **226** die Temperaturinformationen der DRAM **230** lesen. Wenn alternativ der DRAM-Befehl (CMD) ein Befehl LESEN oder SCHREIBEN ist, kann der Speicherzentralvorrichtungungs-Steuerblock **226** die Temperaturinformationen der DRAM **230** lesen.

[0070] Das Sammelverfahren von Temperaturinformationen der DRAM **230** durch den Speicherzentralvorrichtungungs-Steuerblock **226**, wie im Vorhergehenden beschrieben, kann abhängig von einer Speicher-systemkonfiguration variieren. D. h., wenn der Speicherzentralvorrichtungungs-Steuerblock **226** häufig die Temperaturinformationen von den DRAM **230** liest, kann sich die Genauigkeit der Temperaturinformationen der DRAM **230** verbessern, es kann sich jedoch der Verbrauch von elektrischem Strom des Speichermoduls vergrößern. Wenn auf der anderen Seite der Speicherzentralvorrichtungungs-Steuerblock **226** selten die Temperaturinformationen von den DRAM **230** liest, kann sich die Genauigkeit der Temperaturinformationen der DRAM **230** verringern, der Stromverbrauch des Speichermoduls kann sich jedoch ebenfalls verringern.

[0071] [Fig. 5A](#) ist ein Zeitdiagramm, das eine Leseoperation eines herkömmlichen FB-DIMM-Speichersystems darstellt.

[0072] [Fig. 5B](#) ist ein Zeitdiagramm, das eine Leseoperation eines FB-DIMM-Speichersystems gemäß einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung darstellt.

[0073] Bezug nehmend auf [Fig. 5A](#) kann das Zeitdiagramm eine Leseoperation des herkömmlichen, in [Fig. 1](#) dargestellten FB-DIMM-Speichersystems dar-

stellen.

[0074] Bezug nehmend auf [Fig. 1](#) und [Fig. 5A](#) können SB-Pakete **501** und **502**, die von einem Hauptrechner **110** gesendet werden, zu einem ersten FB-DIMM MM1 bis zu einem letzten FB-DIMM MMn über einen SB-Paketempfänger (SRx) und einen SB-Paketensender (STx) jeder Speicherzentralvorrichtung (**120-1**, ..., **120-n**), die mit dem Hauptrechner **110** durch die Verkettungsverbindung verbunden ist, während einer einzigen Speichertaktperiode (CLK) übertragen werden.

[0075] Übertragene SB-Pakete **501** und **502** können in jedem Speicherzentralvorrichtungs-Steuerblock **122** jeder der Speicherzentralvorrichtungen (**120-1**, ..., **120-n**), die in jedem der FB-DIMM (MM1, ..., MMn) umfasst sind, decodiert werden, und dann können Zielinformationen DST, die in den Befehlsinformationen umfasst sind, analysiert werden. Wenn die Zielinformationen DST der übertragenen SB-Pakete **501** und **502** gleich einem Modulidentifikationscode des FB-DIMM sind, dann kann das FB-DIMM die Befehlsoperation, die in dem übertragenen SB-Paket **501** und **502** bestimmt ist, ausführen. Wenn die Zielinformationen (DST) der übertragenen SB-Pakete **501** und **502** nicht gleich dem Modulidentifikationscode des FB-DIMM sind, dann kann das FB-DIMM das übertragene SB-Paket **501** und **502** ignorieren. D. h., dass lediglich das FB-DIMM, bei dem die Zielinformationen (DST) in den Befehlsinformationen des SB-Pakets **501** und **502** umfasst sind, ausgewählt werden kann. [Fig. 5A](#) zeigt, dass die Zielinformationen (DST) in den Befehlsinformationen der SB-Pakete **501** und **502** das erste FB-DIMM (MM1) bestimmen können, und ein Befehl AKTIVIEREN (ACT1) **502** und ein Befehl LESEN (RD1) werden aufeinander folgend von dem Hauptrechner **210** eingegeben.

[0076] Die Speicherzentralvorrichtung **120-1** des bestimmten FB-DIMM (MM1) kann entsprechend Daten gemäß einer Leseoperation **505** von den DRAM, die in dem bestimmten FB-DIMM (MM1) umfasst sind, lesen und die gelesenen Daten aus dem DRAM-Schnittstellenblock **124** ansprechend auf den Befehl AKTIVIEREN (ACT1) **503** und den Befehl LESEN (RD1) **504** ausgeben.

[0077] Der SB-Paketempfänger (SRx) eines nicht bestimmten FB-DIMM (MM2) und der SB-Paketempfänger (SRx) eines nicht bestimmten FB-DIMM (MMn) können andererseits ferner die SB-Pakete **501** und **502** empfangen und die empfangenen SB-Pakete **501** und **502** decodieren. Da jedoch die Zielinformationen (DST), die in den Befehlsinformationen umfasst sind, möglicherweise nicht gleich dem Modulidentifikationscode sind, ignorieren die nicht bestimmten FB-DIMM (MM 1, ..., MMn) den decodierten Befehl und halten einen Keine-Operation-Modus

aufrecht.

[0078] Die Speicherzentralvorrichtung **120-1** des bestimmten FB-DIMM (MM1) kann anschließend die Daten, die aus den DRAM (M1, ..., Mm) durch eine Leseoperation **505** gelesen werden, in NB-Pakete codieren und die NB-Pakete durch eine Sendeoperation **506** zu dem Hauptrechner **110** senden.

[0079] Bezug nehmend auf [Fig. 5B](#) und [Fig. 2](#) und [Fig. 4](#) stellt das Zeitdiagramm eine Leseoperation eines FB-DIMM-Speichersystems gemäß einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung dar.

[0080] Bezug nehmend auf [Fig. 5B](#), wie im Vorhergehenden erwähnt ist, können die SB-Pakete (**511**, **512**), die durch einen Hauptrechner **210** gesendet werden, zu jedem der FB-DIMM (MM1, ..., MMn), die mit dem Hauptrechner **210** durch eine Verkettungsverbindung verbunden sind, übertragen werden.

[0081] Die übertragenen SB-Pakete (**511**, **512**) können in den Speicherzentralvorrichtungen (**220-1**, ..., **220-n**), die in jedem der FB-DIMM (MM1, ..., MMn) umfasst sind, decodiert werden, und Zielinformationen (DST), die in den Befehlsinformationen umfasst sind, können analysiert werden. Bei diesem Beispiel kann lediglich ein FB-DIMM (MM1), das einen Modulidentifikationscode aufweist, der mit den Zielinformationen (DST) übereinstimmt, eine bestimmte Befehlsoperation durchführen.

[0082] Ein SB-Paketempfänger (SRx) einer Speicherzentralvorrichtung **220-2** eines FB-DIMM (MM2) kann andererseits durch einen SB-Paketempfänger (SRx) der Speicherzentralvorrichtung **220-n** des FB-DIMM (MMn) die SB-Pakete empfangen und das SB-Paket decodieren. Da jedoch die Zielinformationen (DST) nicht mit dem Modulidentifikationscode übereinstimmen, können die anderen FB-DIMM (MM2, ..., MMn) den Decodierbefehl ignorieren.

[0083] Die Speicherzentralvorrichtungs-Steuerblöcke **226** der Speicherzentralvorrichtung **220-2** des FB-DIMM (MM2) können jedoch Temperaturinformationen ihrer jeweiligen DRAM **230** durch die Speicherzentralvorrichtung **220-n** des FB-DIMM (MMn) lesen.

[0084] Der Speicherzentralvorrichtungs-Steuerblock **226** der Speicherzentralvorrichtung **220-2** kann beispielsweise einen Temperaturinformations-Abfragebefehl **516** durch den Speicherschnittstellenblock **221** zu den DRAM **230** senden. Die DRAM **230**, die den Temperaturinformations-Abfragebefehl **516** empfangen, können die Temperaturinformationen **518**, die durch einen Temperatursensor, der in jedem der DRAM **230** eingebaut ist, gemessen werden können, zu dem Speicherzentralvorrichtungs-Steuer-

block **226** über den Speicherschnittstellenblock **221** senden. Operationen des Speicherzentralvorrichtung-Steuerblocks **226** in den Speicherzentralvorrichtungen **220-3** der anderen FB-DIMM (MM3 bis MMn) können auf die gleiche Art und Weise wie die im Vorhergehenden erörterten FB-DIMM (MM2) in Betrieb sein. [Fig. 5B](#) stellt den Speicherzentralvorrichtung-Steuerblock **226** der Speicherzentralvorrichtung **220-n**, die die gleiche Operation durchführt, dar.

[0085] Die Speicherzentralvorrichtung **220-1** des bestimmten FB-DIMM (MM1) kann ferner die Daten **515** codieren, die von den DRAM (M1, ..., Mm) ansprechend auf eine Leseoperation **415** gelesen werden, in NB-Pakete codieren und die NB-Pakete zu dem Hauptrechner **210** senden (**520**).

[0086] Wie in [Fig. 5B](#) gezeigt ist, können andererseits der Speicherzentralvorrichtung-Steuerblock **226** der Speicherzentralvorrichtung **220-2** des FB-DIMM (MM2) und der Speicherzentralvorrichtung-Steuerblock **226** der Speicherzentralvorrichtung **220-n** des FB-DIMM (MMn) die Temperaturinformationen der DRAM **230** in Temperaturinformationsregistern **225** der Speicherzentralvorrichtungen **220-2** und **220-n** speichern anstatt die Temperaturinformationen als NB-Paket zu übertragen. Wie im Vorhergehenden beschrieben ist, kann der Hauptrechner **210** die Temperaturinformationen der DRAM **230**, die in dem Temperaturinformationsregister **225** gespeichert sind, periodisch lesen. Und diese Informationen können über den jeweiligen SMBus-Schnittstellenblock **223** über den SMBus übertragen werden.

[0087] Wie im Vorhergehenden beschrieben ist, stellt [Fig. 5B](#) dar, dass die Temperaturinformationen der DRAM eingestellt werden können, wenn der DRAM-Befehl (CMD) des SB-Pakets den Befehl LESEN darstellt. Die Temperaturinformationen der DRAM können jedoch nicht nur eingestellt werden, wenn der DRAM-Befehl (CMD) des SB-Pakets den Befehl LESEN (RD1) darstellt, sondern ebenso, wenn der DRAM-Befehl (CMD) einen Befehl SCHREIBEN darstellt.

Patentansprüche

1. Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) mit:
 einem Speicherzentralvorrichtung-Steuerblock (**226**), der konfiguriert ist, um ein Befehlspaket, das von einem Hauptrechner (**210**) empfangen wird, zu decodieren und um zu bestimmen, ob das Befehlspaket die Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) bestimmt hat, und, wenn das Befehlspaket den Speicherzentralvorrichtung-Steuerblock (**226**) für eine Operation nicht bestimmt, der Speicherzentralvorrichtung-Steuerblock (**226**) konfiguriert ist, um

eine Temperaturinformationsabfrage zu mindestens einem einer Mehrzahl von Halbleiterspeichern (**230**; M1, ..., Mm), die mit der Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) gekoppelt sind, zu senden, und konfiguriert ist, um eine Temperaturinformation von dem mindestens einen der Mehrzahl von Halbleiterspeichern (**230**; M1, ..., Mm) zu empfangen.

2. Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) nach Anspruch 1, mit ferner:
 einem Speicherschnittstellenblock (**221**), der konfiguriert ist, um eine Schnittstelle zwischen dem Speicherzentralvorrichtung-Steuerblock (**226**) und der Mehrzahl von Halbleiterspeichern (**230**; M1, ..., Mm) zu bilden; und
 einem Hochgeschwindigkeits-Schnittstellenblock (**222**), der konfiguriert ist, um das Befehlspaket von dem Hauptrechner (**210**) zu empfangen und ein Datenpaket zu dem Hauptrechner (**210**) zu senden; und
 einem Busschnittstellenblock (**223**), der konfiguriert ist, um die Temperaturinformationen zwischen dem Speicherzentralvorrichtung-Steuerblock (**226**) und dem Hauptrechner (**210**) schnittstellenmäßig auszutauschen.

3. Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) nach Anspruch 2, mit ferner:
 einem Speicherzentralvorrichtungs-Registerblock (**224**) mit einem Temperaturinformationsregister (**225**), das konfiguriert ist, um die Temperaturinformationen zu speichern.

4. Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) nach Anspruch 2, bei der der Hochgeschwindigkeits-Schnittstellenblock (**222**) einen Paketempfänger (SRx), der konfiguriert ist, um das Befehlspaket zu empfangen, und einen Paket-Sendeempfänger (NTx), der konfiguriert ist, um das Datenpaket zu senden, aufweist.

5. Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) nach Anspruch 1, mit ferner:
 einem Speicherzentralvorrichtungs-Registerblock (**224**) mit einem Temperaturinformationsregister (**225**), das konfiguriert ist, um die Temperaturinformationen zu speichern.

6. Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) nach Anspruch 5, bei der die Temperaturinformationen ein Markierungskennzeichen sind, das anzeigt, ob eine Temperatur des mindestens einen der Halbleiterspeicher (**230**; M1, ..., Mm) eine Schwellentemperatur überschreitet.

7. Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) nach Anspruch 6, bei der die Temperaturinformationen ein Temperaturwert des mindestens einen der Halbleiterspeicher (**230**; M1, ..., Mm) sind.

8. Vollständig gepuffertes Speichermodul (MM1,

..., MMn) mit:

einer Mehrzahl von Halbleiterspeichern (M1, ..., Mm), die jeweils mit einem darin eingebauten Temperatursensor konfiguriert sind; und einer Speicherzentralvorrichtung (220; 220-1, ..., 220-n), die konfiguriert ist, um ein Befehlspaket, das von einem Hauptrechner (210) empfangen wird, zu puffern, die Mehrzahl von Halbleiterspeichern (230; M1, ..., Mm) ansprechend auf das Befehlspaket zu steuern, ein Ausgangssignal, das von der Mehrzahl von Halbleiterspeichern (230; M1, ..., Mm) empfangen wird, zu puffern und das gepufferte Ausgangssignal zu dem Hauptrechner (210) zu senden, und wobei die Speicherzentralvorrichtung (220; 220-1, ..., 220-n) konfiguriert ist, um ein Temperaturinformations-Abfragesignal zu erzeugen, wenn das Befehlspaket, das von dem Hauptrechner (210) empfangen wird, nicht die Speicherzentralvorrichtung (220; 220-1, ..., 220-n) bestimmt.

9. Vollständig gepuffertes Speichermodul (MM1, ..., MMn) nach Anspruch 8, bei dem die Speicherzentralvorrichtung (220; 220-1, ..., 220-n) folgende Merkmale aufweist:

einen Speicherzentralvorrichtungs-Steuerblock (226), der konfiguriert ist, um ein Befehlspaket, das von einem Hauptrechner (210) empfangen wird, zu decodieren und um zu bestimmen, ob das Befehlspaket die Speicherzentralvorrichtung (220; 220-1, ..., 220-n) bestimmt, und, wenn das Befehlspaket den Speicherzentralvorrichtungs-Steuerblock (226) für eine Operation nicht bestimmt, der Speicherzentralvorrichtungs-Steuerblock (226) konfiguriert ist, um eine Temperaturinformationsabfrage zu mindestens einem der Mehrzahl von Halbleiterspeichern (230; M1, ..., Mm), die mit der Speicherzentralvorrichtung (220; 220-1, ..., 220-n) gekoppelt sind, zu senden, und konfiguriert ist, um eine Temperaturinformation von dem mindestens einen der Mehrzahl von Halbleiterspeichern (230; M1, ..., Mm) zu empfangen.

10. Vollständig gepuffertes Speichermodul (MM1, ..., MMn) nach Anspruch 9, mit ferner: einem Speicherschnittstellenblock (221), der konfiguriert ist, um zwischen dem Speicherzentralvorrichtungs-Steuerblock (226) und der Mehrzahl von Halbleiterspeichern (230; M1, ..., Mm) eine Schnittstelle zu bilden; und einem Hochgeschwindigkeits-Schnittstellenblock (222), der konfiguriert ist, um das Befehlspaket von dem Hauptrechner (210) zu empfangen und ein Datenpaket zu dem Hauptrechner (210) zu senden; einem Busschnittstellenblock (223), der konfiguriert ist, um die Temperaturinformationen zwischen dem Speicherzentralvorrichtungs-Steuerblock (226) und dem Hauptrechner (210) schnittstellenmäßig auszutauschen; und einem Speicherzentralvorrichtungs-Registerblock (224) mit einem Temperaturinformationsregister (225), das konfiguriert ist, um die Temperaturinforma-

tionen zu speichern.

11. Vollständig gepuffertes Speichermodul (MM1, ..., MMn) nach Anspruch 8, bei dem die Halbleiterspeicher (230; M1, ..., Mm) mindestens einen Temperaturinformations-Ausgangsstift aufweisen, um die Temperaturinformationen auszugeben.

12. Vollständig gepuffertes Speichermodul (MM1, ..., MMn) nach Anspruch 11, bei dem der mindestens eine Temperaturinformations-Ausgangsstift einen Stift aufweist, der aktiviert ist, um die Temperaturinformationen auszugeben, wenn eine gemessene Temperatur über einer Schwellentemperatur ist.

13. Vollständig gepuffertes Speichermodul (MM1, ..., MMn) nach Anspruch 8, bei dem die Temperaturinformationen über einen Bus (SMBUS) zu dem Hauptrechner (210) gesendet werden.

14. Vollständig gepuffertes Speichermodul (MM1, ..., MMn) nach Anspruch 13, bei dem der Bus (SMBUS) das Befehlspaket nicht trägt.

15. Vollständig gepuffertes Speichermodulsystem, mit: mindestens einem Speichermodul (MM1, ..., MMm); und einem Hauptrechner (210), der konfiguriert ist, um das mindestens eine Speichermodul (MM1, ..., MMm) zu verbinden, wobei das mindestens eine Speichermodul (MM1, ..., MMm) folgende Merkmale aufweist: eine Mehrzahl von Halbleiterspeichern (230; M1, ..., Mm), die jeweils mit einem darin eingebauten Temperatursensor konfiguriert sind; und eine Speicherzentralvorrichtung (220; 220-1, ..., 220-n), die konfiguriert ist, um ein Befehlspaket, das von einem Hauptrechner (210) empfangen wird, zu puffern, die Mehrzahl von Halbleiterspeichern (230; M1, ..., Mm) ansprechend auf das Befehlspaket zu steuern, ein Ausgangssignal, das von der Mehrzahl von Halbleiterspeichern (230; M1, ..., Mm) empfangen wird, zu puffern und das gepufferte Ausgangssignal zu dem Hauptrechner (210) zu senden, wobei die Speicherzentralvorrichtung (220; 220-1, ..., 220-n) konfiguriert ist, um ein Temperaturinformations-Abfragesignal zu erzeugen, wenn das Befehlspaket, das von dem Hauptrechner (210) empfangen wird, nicht die Speicherzentralvorrichtung (220; 220-1, ..., 220-n) bestimmt.

16. Vollständig gepuffertes Speichermodulsystem nach Anspruch 15, bei dem die Speicherzentralvorrichtung (220; 220-1, ..., 220-n) folgende Merkmale aufweist: einen Speicherzentralvorrichtungs-Steuerblock (226), der konfiguriert ist, um ein Befehlspaket, das von einem Hauptrechner (210) empfangen wird, zu decodieren und um zu bestimmen, ob das Befehlspa-

ket die Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) bestimmt, und, wenn das Befehlspaket den Speicherzentralvorrichtungs-Steuerblock (**226**) für eine Operation nicht bestimmt, der Speicherzentralvorrichtungs-Steuerblock (**226**) konfiguriert ist, um eine Temperaturinformationsabfrage zu mindestens einem der Mehrzahl von Halbleiterspeichern (**230**; M1, ..., Mm), die mit der Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) gekoppelt sind, zu senden, und konfiguriert ist, um eine Temperaturinformation von dem mindestens einen der Mehrzahl von Halbleiterspeichern (**230**; M1, ..., Mm) zu empfangen.

17. Vollständig gepuffertes Speichermodulsystem nach Anspruch 16, bei dem die Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) folgende Merkmale aufweist:

einen Speicherschnittstellenblock (**221**), der konfiguriert ist, um zwischen dem Speicherzentralvorrichtungs-Steuerblock (**226**) und der Mehrzahl von Halbleiterspeichern (**230**; M1, ..., Mm) eine Schnittstelle zu bilden; und

einen Hochgeschwindigkeits-Schnittstellenblock (**222**), der konfiguriert ist, um das Befehlspaket von dem Hauptrechner (**210**) zu empfangen und ein Datenpaket zu dem Hauptrechner (**210**) zu senden;

einen Busschnittstellenblock (**223**), der konfiguriert ist, um die Temperaturinformationen zwischen dem Speicherzentralvorrichtungs-Steuerblock (**226**) und dem Hauptrechner (**210**) schnittstellenmäßig auszutauschen; und

einen Speicherzentralvorrichtungs-Registerblock (**224**), der ein Temperaturinformationsregister (**225**) aufweist, das konfiguriert ist, um die Temperaturinformationen zu speichern.

18. Vollständig gepuffertes Speichermodulsystem nach Anspruch 15, bei dem der Hauptrechner (**210**) konfiguriert ist, um eine Betriebsgeschwindigkeit der Halbleiterspeicher (**230**; M1, ..., Mm) des Speichermoduls (MM1, ..., MMn) basierend auf der empfangenen Temperatur einzustellen.

19. Vollständig gepuffertes Speichermodul nach Anspruch 17, bei dem der Hauptrechner (**210**) konfiguriert ist, um die Temperatur der Halbleiterspeicher (**230**; M1, ..., Mm), die in dem Temperaturinformationsregister (**225**) in der Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) gespeichert ist, periodisch zu lesen.

20. Verfahren zum Überwachen einer dynamischen Temperatur eines Halbleiterspeichers (**230**; M1, ..., Mm) mit folgenden Schritten:

Empfangen eines Befehlspakets bei einer Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**), mit der eine Mehrzahl von Halbleiterspeichern (**230**; M1, ..., Mm) gekoppelt sind;

Bestimmen, ob das Befehlspaket die Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) bestimmt;

Senden eines Temperaturinformations-Abfragesignals zu mindestens einem der Mehrzahl von Halbleiterspeichern (**230**; M1, ..., Mm), wenn das Befehlspaket die Speicherzentralvorrichtung (**220**; **220-1**, ..., **220-n**) nicht bestimmt; und

Empfangen von Temperaturinformationen von dem mindestens einen der Mehrzahl von Halbleiterspeichern (**230**; M1, ..., Mm).

21. Verfahren nach Anspruch 20, mit ferner folgendem Schritt:

Speichern der empfangenen Temperaturinformationen.

22. Verfahren nach Anspruch 20, bei dem das Befehlspaket durch einen Hauptrechner (**210**) gesendet wird.

23. Verfahren nach Anspruch 20, mit ferner folgendem Schritt:

periodisches Lesen der empfangenen Temperaturinformationen durch einen Hauptrechner (**210**).

24. Verfahren nach Anspruch 20, mit ferner folgendem Schritt:

Einstellen einer Betriebsgeschwindigkeit des mindestens einen der Mehrzahl von Halbleiterspeichern (**230**; M1, ..., Mm) durch einen Hauptrechner (**210**) basierend auf den empfangenen Temperaturinformationen.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1
(STAND DER TECHNIK)

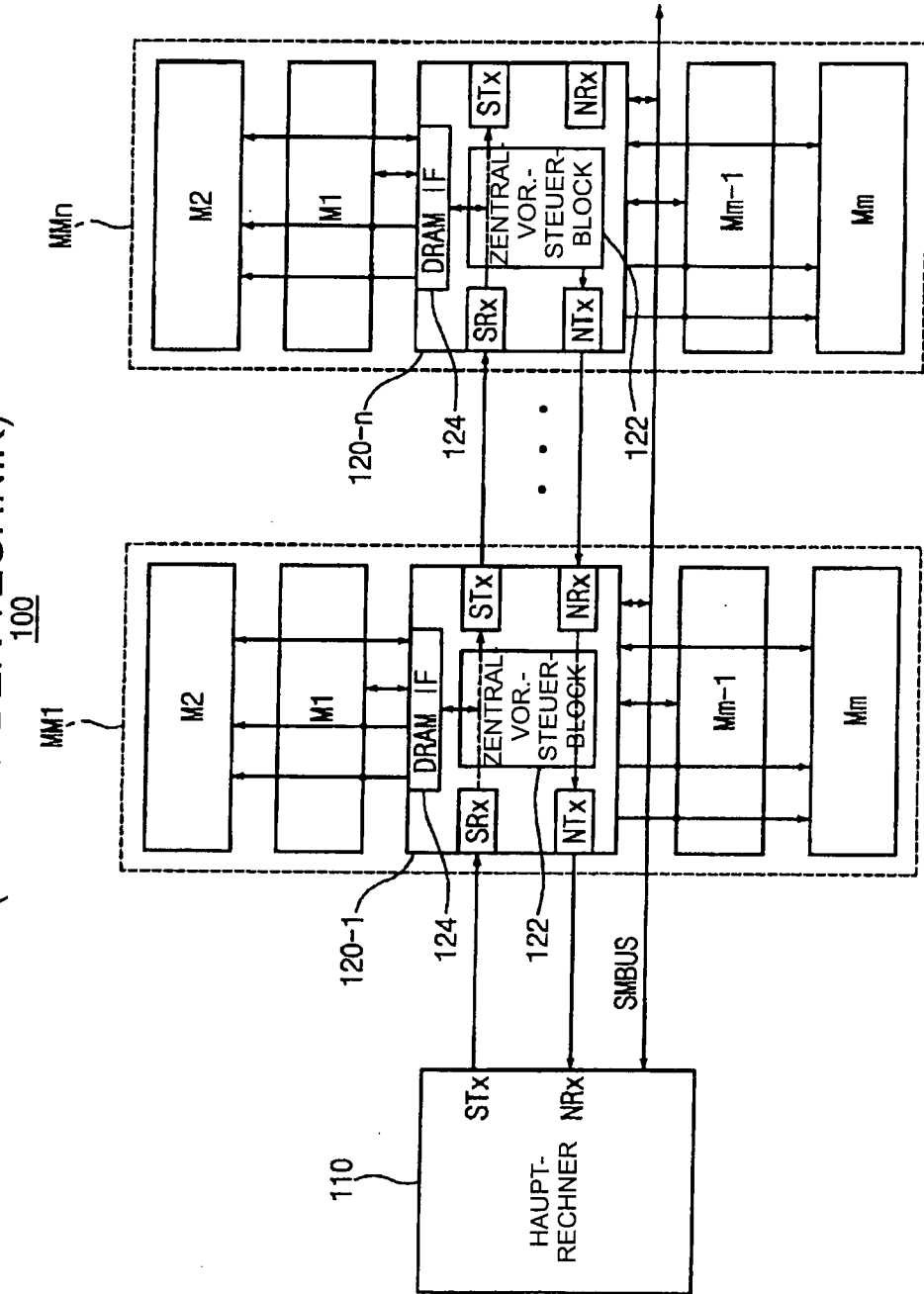


FIG. 2

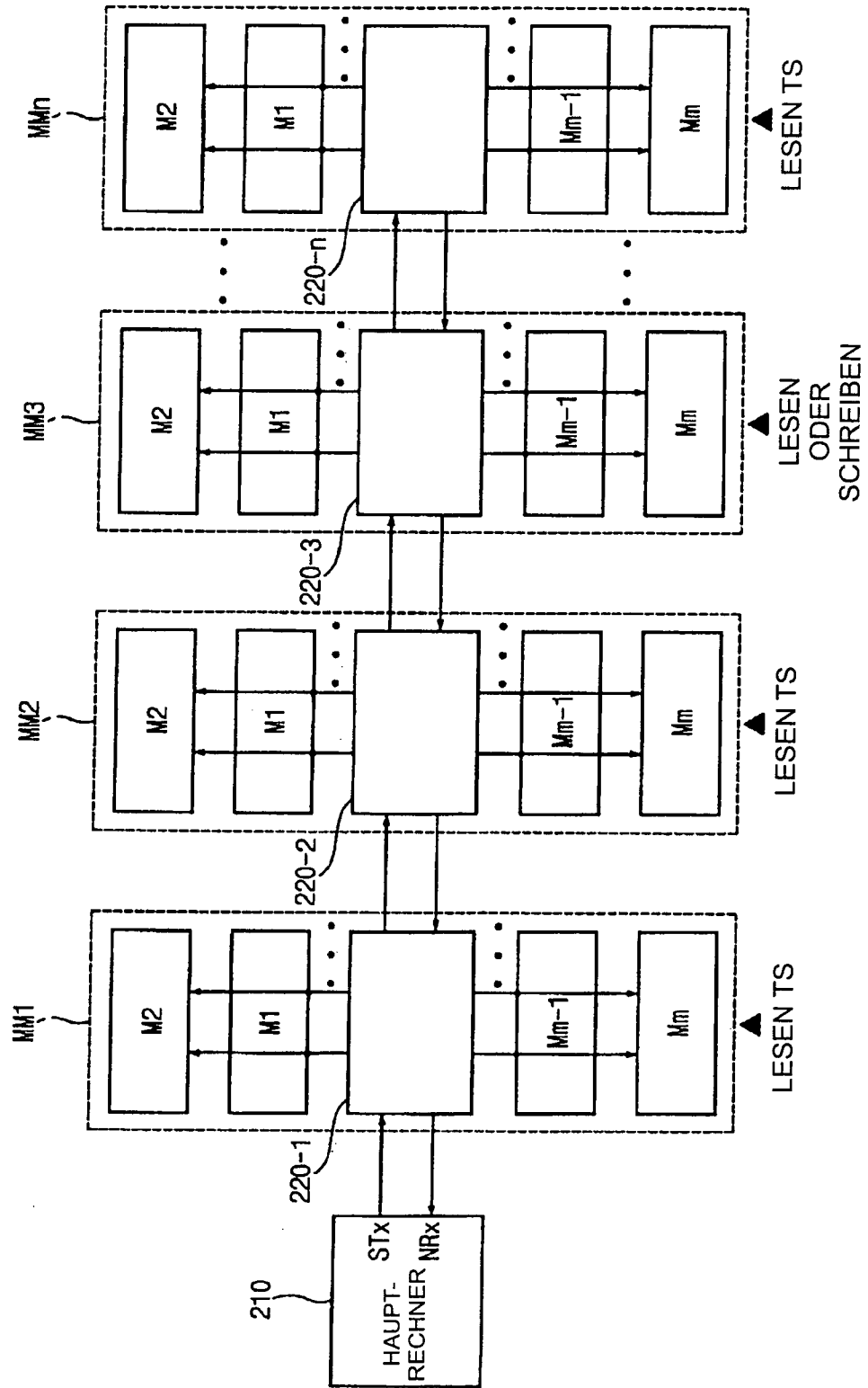


FIG. 3

DRAM-BEFEHLE (CMD)	DST			CMD				RS				ADDR													
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
AKTIVIEREN	DS2	DS1	DS0	1	DRAM-ADR	RS																			
SCHREIBEN	DS2	DS1	DS0	0	1	RS																			
LESEN	DS2	DS1	DS0	0	1	0	RS																		
ALLE VORLADEN	DS2	DS1	DS0	0	0	1	RS	X	X	X	1	1	1	1	X	X	X	X	X	X	X	X	X	X	X
EINZELN VORLADEN	DS2	DS1	DS0	0	0	1	RS																		
AUTO-(CBBR-) NEU- AUFFRISCHEN	DS2	DS1	DS0	0	0	1	RS	X	X	X	1	0	1	0	X	X	X	X	X	X	X	X	X	X	X
BETREFFEN SELBST AUFFRISCHEN	DS2	DS1	DS0	0	0	1	RS	X	X	X	1	0	0	0	X	X	X	X	X	X	X	X	X	X	X
VERLASSEN SELBSTAUFR.	DS2	DS1	DS0	0	0	1	RS	X	X	X	0	1	1	1	X	X	X	X	X	X	X	X	X	X	X
RESERVIERT	X	X	X	0	0	1	RS	X	X	X	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X

FIG. 4

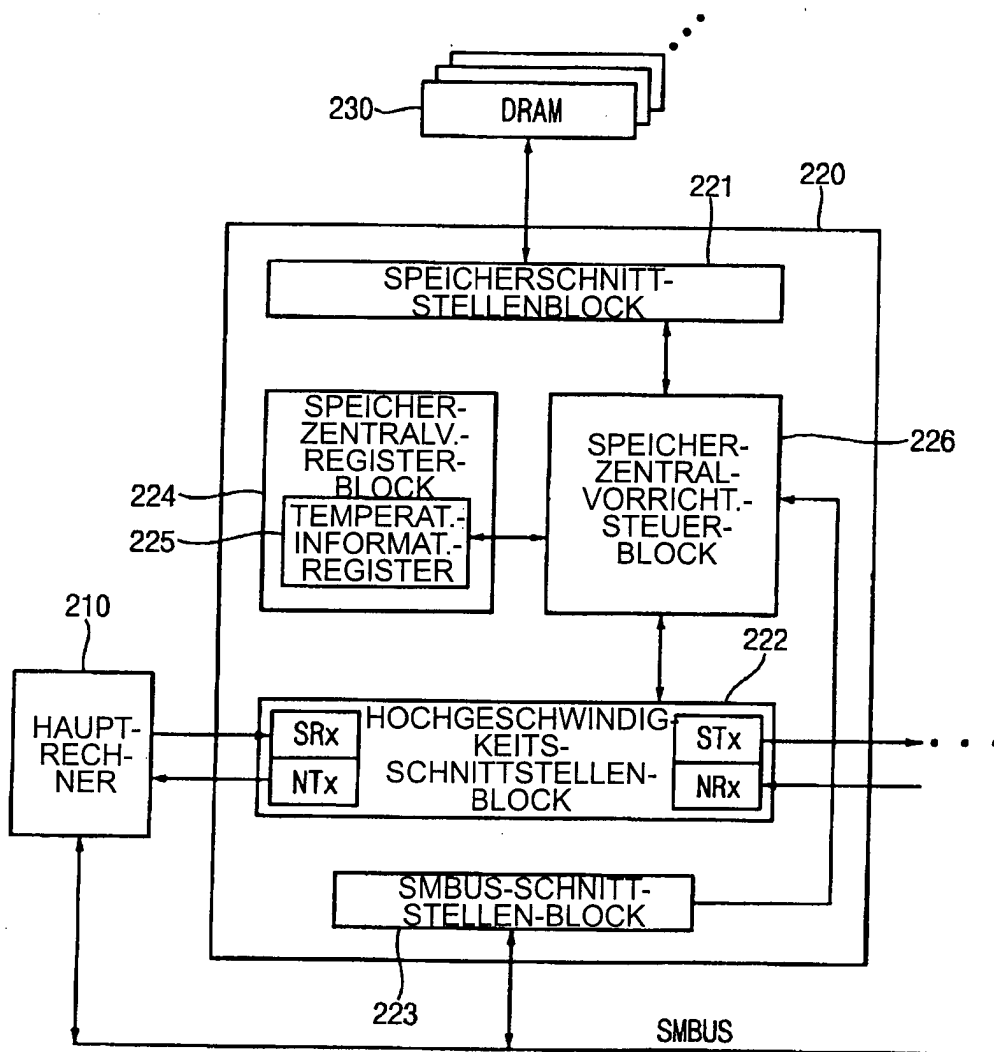


FIG. 5A
(STAND DER TECHNIK)

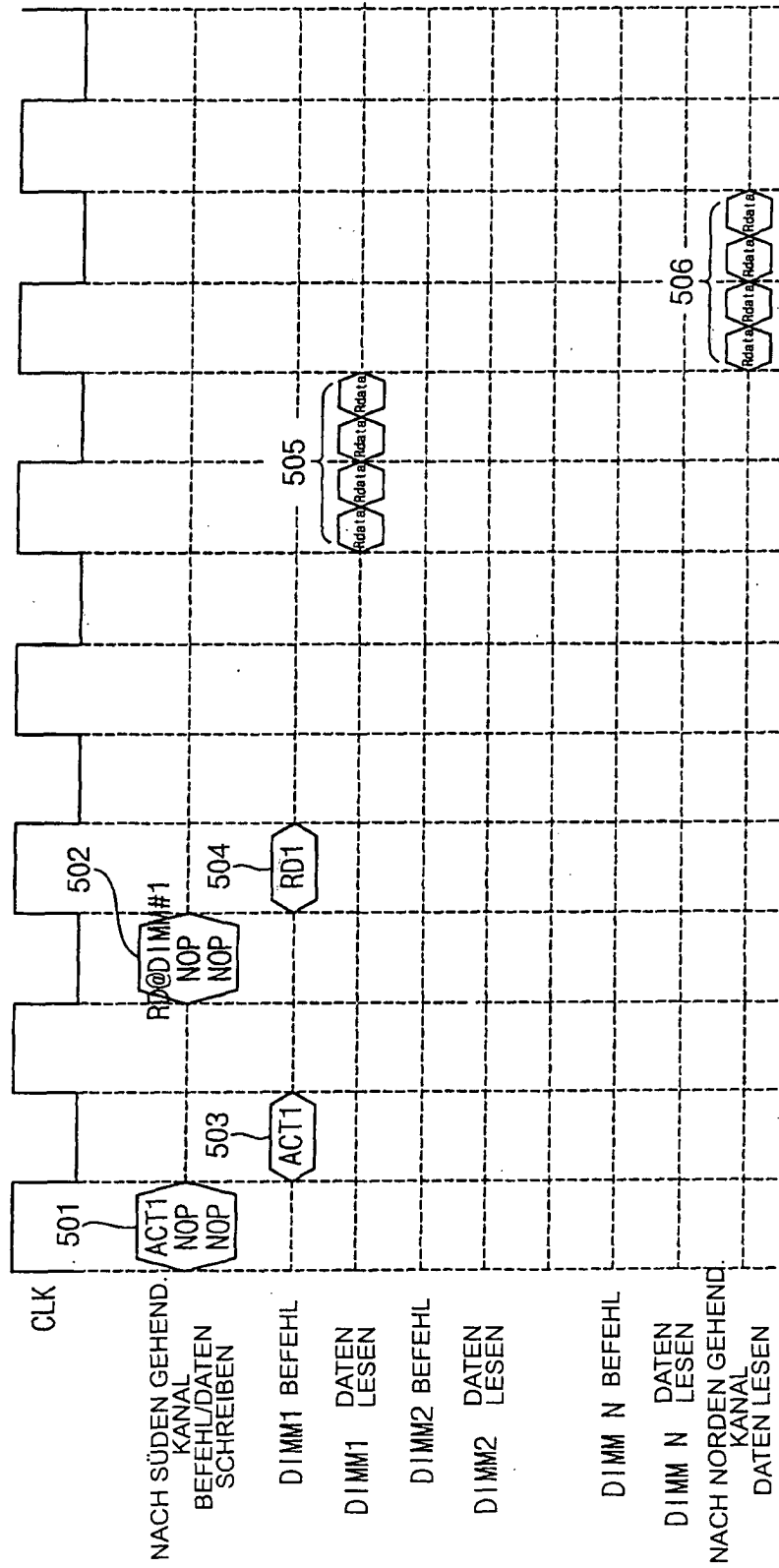


FIG. 5B

