

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5287624号
(P5287624)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int.Cl. F I
H04N 7/32 (2006.01) H04N 7/137 Z

請求項の数 3 (全 13 頁)

(21) 出願番号	特願2009-211979 (P2009-211979)	(73) 特許権者	000005223
(22) 出願日	平成21年9月14日 (2009.9.14)		富士通株式会社
(65) 公開番号	特開2011-61704 (P2011-61704A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成23年3月24日 (2011.3.24)	(74) 代理人	100108187
審査請求日	平成24年5月10日 (2012.5.10)		弁理士 横山 淳一
		(72) 発明者	宋 楊
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	長谷川 素直

最終頁に続く

(54) 【発明の名称】 画像処理回路および画像符号化装置

(57) 【特許請求の範囲】

【請求項1】

補間画素を囲む行列状に配置された複数の画素のうち行方向上の複数の該画素の画素値から演算される第一定数と、該補間画素を囲む列方向上の複数の該画素の画素値から演算される第二定数と、該補間画素を囲む該複数の画素の画素値から演算される第三定数とを求める第一演算部と、

行方向上の複数の該画素に対する該補間画素の位置から決定される第一重み付け係数と列方向上の複数の該画素に対する該補間画素の位置から決定される第二重み付け係数を演算し第三重み付け係数を求める第二演算部と、

該第一定数に応じて該第一重み付け係数当りの画素値変化量を演算する第三演算部と、
該第二定数に応じて該第二重み付け係数当りの画素値変化量を演算する第四演算部と、
該第三定数に応じて該第三重み付け係数当りの画素値変化量を演算する第五演算部と、
該第三、該第四、および該第五演算部の演算結果に基づいて該補間画素の画素値を演算する第六演算部と
を有する画像処理回路。

【請求項2】

該第二、該第三、または該第四演算部は、整数値である該第一重み付け係数、該第二重み付け係数、該第一定数、および該第二定数のうちいずれか2つを入力値とし、

一方の該入力値を2の乗数に分割し、該2の乗数各々の指数に応じて他方の該入力値をビットシフトする第一シフト回路および第二シフト回路と、

10

20

該指数に応じて該第一シフト回路および該第二シフト回路のシフト数を設定し、該第一シフト回路および該第二シフト回路のシフト演算結果を組み合わせる制御部とを有する、請求項 1 に記載の画像処理回路。

【請求項 3】

補間画素を囲む行列状に配置された複数の画素のうち行方向上の複数の該画素の画素値から演算される第一定数と、該補間画素を囲む列方向上の複数の該画素の画素値から演算される第二定数と、該補間画素を囲む該複数の画素の画素値から演算される第三定数とを求める第一演算部と、

行方向上の複数の該画素に対する該補間画素の位置から決定される第一重み付け係数と、列方向上の複数の該画素に対する該補間画素の位置から決定される第二重み付け係数を演算し第三重み付け係数を求める第二演算部と、

該第一定数に応じて該第一重み付け係数当りの画素値変化量を演算する第三演算部と、該第二定数に応じて該第二重み付け係数当りの画素値変化量を演算する第四演算部と、該第三定数に応じて該第三重み付け係数当りの画素値変化量を演算する第五演算部と、該第三、該第四、および該第五演算部の演算結果に基づいて該補間画素の画素値を演算する第六演算部と、

該補間画素と元の入力画素との差分値を計算する差分器と、

該差分値を離散コサイン変換する離散コサイン変換部と、

該離散コサイン変換された該差分値を可変長符号化する可変長符号化部と

を有する画像符号化装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、動画データの動き補償を行う画像処理回路および画像符号化装置に関する。

【背景技術】

【0002】

動画データのフレーム間およびフレーム内の差分値に基づいてデータを圧縮し符号化する画像符号化技術が様々な分野で利用されている。フレームとは動画データを構成する一枚の静止画である。1つのフレームは複数のマクロブロックに分割される。全ての処理はマクロブロック単位で実行される。

【0003】

画像の圧縮符号化によって動画データのデータサイズを小さくすることにより、限られた記憶容量を有する記憶媒体に対し、より長時間で高画質の動画データを記憶させることが出来る。動画圧縮の機能を有する画像符号化装置はハンディカメラなどの携帯機器にも実装されている。フレーム間およびフレーム内の差分値に基づいてデータサイズを圧縮し符号化する画像符号化技術として H.264 や MPEG (Moving Picture Experts Group) などがある。

【0004】

H.264 は高精度の圧縮符号化を実現するため、フレーム間の差分値に基づく圧縮処理であるフレーム間予測処理を行う。フレーム間予測処理において、フレーム間の個々のマクロブロックにおける輝度の比較により、マクロブロックの移動量である動きベクトルを検出する。動きベクトルの検出の際にフレーム間予測処理における精度を向上させるため、整数精度の輝度参照画像から補間処理によって仮想的に求めた分数精度の輝度参照画像を用い、符号化対象画像の動き検出が行われる。

【0005】

動き検出で検出した動きベクトルを基に、参照画像フレームから補間処理によって輝度と色差の補間画素を生成する。参照画像フレーム中の複数の輝度また色差の参照画素から輝度と色差の補間画素を生成することを動き補償処理という。以下、色差の補間演算について説明する。

【0006】

10

20

30

40

50

色差の補間画素は検出した動きベクトルの座標に近接する4つの参照画素から生成される。補間画素を求めるための参照画素をA、B、C、Dとすると、補間画素の色差データは、 $\{(8 - dx) \times (8 - dy) \times A + dx \times (8 - dy) \times B + (8 - dx) \times dy \times C + dx \times dy \times D + 32\} \gg 6$ として計算される。ここで ' \gg ' は右方向にビットシフトする演算を示す。また dx 、 dy は重み係数と呼ばれる係数である。補間画素の演算は多くの乗算を含む。乗算を実行するための乗算部の回路規模が大きいため、乗算回数が多いほど、補間画素を演算するための演算回路の回路規模は大きくなる。

【0007】

以下の特許文献および非特許文献には画像符号化装置に関する技術が開示されている。

【先行技術文献】

10

【特許文献】

【0008】

【特許文献1】特開平04 - 035385号公報

【特許文献2】特開平06 - 204888号公報

【非特許文献】

【0009】

【非特許文献1】角野真也ほか、H. 264 / AVC教科書、株式会社インプレス、2006

【発明の概要】

【発明が解決しようとする課題】

20

【0010】

本発明の一実施例では、補間演算の演算式を見直して回路規模の大きくなる演算を減らすことにより実装面積の小さい画像処理回路を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記課題を解決するため、画像処理回路は、補間画素を囲む行列状に配置された複数の画素のうち行方向上の複数の該画素の画素値から演算される第一定数と、該補間画素を囲む列方向上の複数の該画素の画素値から演算される第二定数と、該補間画素を囲む該複数の画素の画素値から演算される第三定数とを求める第一演算部と、行方向上の複数の該画素に対する該補間画素の位置から決定される第一重み付け係数と列方向上の複数の該画素に対する該補間画素の位置から決定される第二重み付け係数を演算し第三重み付け係数を求める第二演算部と、該第一定数に応じて該第一重み付け係数当りの画素値変化量を演算する第三演算部と、該第二定数に応じて該第二重み付け係数当りの画素値変化量を演算する第四演算部と、該第三定数に応じて該第三重み付け係数当りの画素値変化量を演算する第五演算部と、該第三、該第四、および該第五演算部の演算結果に基づいて該補間画素の画素値を演算する第六演算部を有する。

30

【発明の効果】

【0012】

実施形態によれば、回路規模の大きくなる演算を減らすことにより実装面積の小さい画像処理回路を提供することができる。

40

【図面の簡単な説明】

【0013】

【図1】画像符号化装置のブロック図である。

【図2】参照画素と補間画素とのイメージ図である。

【図3】動き補償部の詳細ブロック図である。

【図4】画素演算部における乗算部のブロック図である。

【図5】従来技術によるゲート数と本実施例によるゲート数との比較テーブルである。

【発明を実施するための形態】

【0014】

以下、本実施の形態について説明する。なお、各実施形態における構成の組み合わせも

50

本発明の実施形態に含まれる。

【 0 0 1 5 】

図 1 は本実施の形態に係る画像符号化装置 1 の構成の一例を示すブロック図である。画像符号化装置 1 は入力された動画データを圧縮し符号化する。画像符号化装置 1 は差分器 5、DCT 変換部 3、量子化部 10、逆量子化部 17、逆 DCT 変換部 7、加算器 18、フレーム内予測部 11、フレーム間予測部 12、可変長符号化部 13 を有する。ここで DCT とは離散コサイン変換 (Discrete Cosine Transform) であり、離散信号を周波数領域の信号に変換する処理である。

【 0 0 1 6 】

フレーム内予測部 11 は予測対象ブロックの予測計算に用いる符号化済みの隣接ブロックの画素 16 から予測画像を生成し、生成した予測画像と予測画像生成前のブロックの入力画像 2 との差分値が最も小さい予測モードを求めるフレーム内予測処理を行う。フレーム内予測部 11 は差分値が最も小さい予測モードを選択することにより、最も正確な画像予測が可能な予測モードを決定する。

10

【 0 0 1 7 】

フレーム間予測部 12 は予測対象ブロックに対し、前方、後方、あるいはその両方のフレームから予測画像を生成し、生成した予測画像と元の入力画像 2 との差分を求めるフレーム間予測処理を行う。フレーム間予測部 12 は入力画像 2 および参照画像 8 2 を入力とし、予測画像ブロックの生成を行う。

【 0 0 1 8 】

フレーム間予測部 12 は動き検出回路 20、画像処理回路 21 を有する。動き検出回路 20 は入力画像 2 および参照画像 8 2 の輝度データから動きベクトル 22 を算出する。動き検出回路 20 は算出した動きベクトル 22 に基づいて、重み付け係数 d_x 、 d_y を画像処理回路 21 へ出力する。重み付け係数 d_x 、 d_y についての詳細は後述する。

20

【 0 0 1 9 】

画像処理回路 21 は行列状に配置された複数の画素の画素値から補間演算により補間画素の画素値を求める。画像処理回路 21 は算出した動きベクトル 22 および参照画像 8 2 に基づいて、補間演算された補間画素である輝度データと色差データを有する予測画素を算出し判定部 6 へ出力する。画像処理回路 21 は動きベクトル 22 を重み付け係数 d_x 、 d_y として動き検出回路 20 から受信する。画像処理回路 21 は動きベクトル 22 から動き補償を実行する動き補償部として機能する。

30

【 0 0 2 0 】

判定部 6 はフレーム間予測部 12 およびフレーム内予測部 11 が出力する予測画素のうち、予測誤差の小さい画像を予測画像 8 として出力する。

【 0 0 2 1 】

差分器 5 は入力画像 2 とその予測結果である予測画像 8 との差分を計算し、その差分値を予測誤差 80 として出力する。ここで予測画像 8 はフレーム間予測処理またはフレーム内予測処理において隣接フレームのマクロブロックあるいは同一フレームの隣接マクロブロックに基づいて生成された画像である。画像符号化装置 1 は各予測処理により生成された予測画像 8 と予測処理前の入力画像 2 との差分を符号化し出力する。差分が小さくなるほど画像の圧縮率は高くなる。

40

【 0 0 2 2 】

DCT 変換部 3 は予測誤差 80 を離散コサイン変換により周波数領域に変換する。量子化部 10 は変換した DCT 係数値に対し、量子化ステップで除算した結果を整数値に丸める処理をする。

【 0 0 2 3 】

可変長符号化部 13 は整数値に丸め込まれた DCT 係数値のうち、出現頻度の高い情報を短い符号で表現し、出現頻度の低い情報を長い符号で表現することにより、全体として出力ビット数を減らす処理を行い、符号化データ 19 を出力する。

【 0 0 2 4 】

50

逆量子化部 17 は量子化部 10 により量子化された予測誤差を逆量子化する。逆量子化した予測誤差は逆 DCT 変換部 7 により逆変換され、DCT 係数値に変換される前の予測誤差 81 となる。

【0025】

加算部 18 はフレーム内予測部 11 又はフレーム間予測部 12 により生成された予測画像 8 と予測誤差 81 とを加算し画像 16 を出力する。画像 16 はフィルタ部 9 に入力される。フィルタ部 9 はデブロッキング・フィルタとも呼ばれ、画像 16 のブロックひずみを減少させる。フィルタ部 9 はブロックひずみ処理後の画像を復元画像 15 として出力する。復元画像 15 はフレーム間予測部 12 によるフレーム間予測処理の参照画像 82 として用いられる。

【0026】

入力画像 2 が入力されると、フレーム間予測部 12 によりフレーム間予測処理が実行され、フレーム内予測部 11 によりフレーム内予測処理が実行される。判定部 6 はフレーム間予測処理結果およびフレーム内予測処理結果のうち最も入力画像 2 との差分値が小さい予測画像 8 を出力する。

【0027】

差分器 5 は生成された予測画像 8 と入力画像 2 との差分を計算し予測誤差 80 を DCT 変換部 3 に出力する。予測誤差 80 は DCT 変換部 3 により変換され量子化部 10 で量子化される。量子化された予測画像 8 は可変長符号化部 13 により符号化され、符号化データ 19 として出力される。

量子化部 10 は量子化した予測誤差を可変長符号化部 13 に出力すると共に、逆量子化部 17 へ出力する。逆量子化部 17 により逆量子化された予測誤差は逆 DCT 変換部 7 により周波数領域から時間領域に変換される。加算器 18 は時間領域に変換された予測誤差と判定部 6 から出力された予測画像 8 とを加算し、予測処理前の画像 16 を復号生成する。

【0028】

以上の動作により画像符号化装置 1 は、フレーム間予測処理とフレーム内予測処理によって動画を圧縮することが出来る。

【0029】

図 2 は参照画素 A、B、C、D、E、F と補間画素 30、31 とのイメージ図である。参照画素 A、B、C、D、E、F は参照画像フレームの一部の色差画素である。本実施例において補間画素 30、31 は色差データである。補間画素 30 は近接する参照画素 A、B、C、D を 1/8 画素精度で線形補間して重み付けし生成する。補間画素 31 は近接する参照画素 B、D、E、F を 1/8 画素精度で線形補間して重み付けし生成する。H.264 規格において参照画素 A、B、C、D、E、F は整数色差画素信号である。1/8 画素精度とは、参照画素 A、B 間および参照画素 A、C 間を 8 分割した距離を最小単位として補間画素 30、31 を補間演算できることを示す。本実施例において参照画素間の分割数は 8 であるが、分割数が 2 の乗数であれば、画像処理回路は本発明と同等の実装面積縮小効果を奏することが出来る。補間画素 30 と補間画素 31 の計算方法は同じなので、以下補間画素 30 の計算方法についてのみ説明し、補間画素 31 についての説明を省略する。

【0030】

図 2 において補間画素 30 の座標は参照画素 A を基準として定義されている。補間画素 30 は参照画素 A に対し、参照画素 B の方向へ dx 、参照画素 C の方向へ dy の距離に位置する。ここで dx 、 dy はそれぞれ 0 から 7 の整数であり、重み付け係数と呼ばれる。重み付け係数 dx 、 dy は動き検出回路 20 で算出された動きベクトルに基づいて動き検出回路 20 から画像処理回路 21 へ出力される。

【0031】

dx 、 dy に基づく補間画素の位置は参照画素に対する重み付けのために仮想的に設定された位置であり、実際の画面上で補間画素が表示される位置とは異なる。行方向の重み付け係数 dx は行方向上の参照画素 A、B と補間画素 30 との位置関係から決定される。

10

20

30

40

50

列方向の重み付け係数 d_y は列方向上の参照画素 A、C と補間画素 30 との位置関係から決定される。

【0032】

図2の条件において、補間画素30の色差データは、補間画素30 = { (8 - d_x) × (8 - d_y) × A + d_x × (8 - d_y) × B + (8 - d_x) × d_y × C + d_x × d_y × D + 32 } >> 6 として計算される。ここで '>>' は右方向にビットシフトする演算を示し、 '>>6' は6ビット右シフト演算することを示す。

【0033】

より乗算回数が少なくなるように補間画素30の演算式を見直すと、補間画素30 = { 64 × A - 8 × d_x × (A - B) - 8 × d_y × (A - C) + d_x × d_y × (A + D - B - C) + 32 } >> 6 と変形することが出来る。これにより、 ' d_x × d_y ' と '(A + D - B - C)' との乗算部分以外の乗算は上記乗算部およびシフト演算部で演算することが出来る。また式の変形前は重み付け係数 d_x 、 d_y および参照画素 A、B、C、D との乗算の回数が8回で合ったのに対し、式の変形後は乗算回数が4回になっている。乗算を実行する乗算器は回路規模が大きい。式の変形により重み付け係数 d_x 、 d_y 間の乗算回数を減らし、より実装面積の小さい画像処理回路を実現することが出来る。

10

【0034】

なお、本実施例は参照画素 A を基準としているが、参照画素 B、C、D を基準としても同様の計算により補間画素30を求めることが出来る。

【0035】

図3は画像処理回路21の詳細ブロック図である。画像処理回路21は乗算部41、2つの画素演算部54、55を有する。本実施例において画素演算部は2つだが、同等の回路を複数用意し、複数の補間画素を同時に演算できるようにしても良い。

20

【0036】

乗算部41は動き検出回路20から受信した重み付け係数 d_x 、 d_y に基づいて新たな重み付け係数 ' d_x × d_y ' を生成する演算部として機能する。乗算部41は重み付け係数 d_x と重み付け係数 d_y を乗算し、重み付け係数 ' d_x × d_y ' を出力する。重み付け係数 d_x 、 d_y はそれぞれ整数である。

【0037】

画素演算部54は参照画素 A、B、C、D、重み付け係数 d_x 、 d_y 、' d_x × d_y ' を入力とし、補間画素30を出力する。画素演算部55は参照画素 B、D、E、F、重み付け係数 d_x 、 d_y 、' d_x × d_y ' を入力とし、補間画素31を出力する。それぞれの画素演算部54、55は演算部93、94、95を有する。画素演算部54、55は同一構成を有するので、以下には画素演算部54のみを詳細に説明し、画素演算部55についての説明を省略する。

30

【0038】

演算部93は重み付け係数 d_x に乗ずる数と、重み付け係数 d_y に乗ずる数と、重み付け係数 ' d_x × d_y ' に乗ずる数とを参照画素の画素値から減算により求める。演算部93は減算部42、43、44、45を有する。

【0039】

減算部42は参照画素 A から参照画素 A の行方向上の参照画素 B を減算し、定数 'A - B' を出力する。減算部43は参照画素 A から参照画素 A の列方向上の参照画素 C を減算し、定数 'A - C' を出力する。減算部44は参照画素 C から参照画素 C の行方向上の参照画素 D を減算し、定数 'C - D' を出力する。減算部45は定数 'A - B' から定数 'C - D' を減算することにより、補間画素30の補間演算に用いる参照画素 A、B、C、D から定数 'A + D - B - C' を演算する。参照画素 A、B、C、D はそれぞれ整数値であるため、その加減算結果も整数値となる。

40

【0040】

演算部94は重み付け係数 d_x と定数 'A - B' を乗算し、重み付け係数 d_y と定数 'A - C' を乗算し、重み付け係数 ' d_x × d_y ' と定数 'A + D - B - C' を乗算する。

50

演算部 9 4 は乗算部 4 1、4 6、4 7、4 8 を有する。

【0041】

乗算部 4 6 は定数 'A - B' に応じて重み付け係数 d_x 当りの画素変化量を演算する演算部として機能する。乗算部 4 6 は重み付け係数 d_x と定数 'A - B' とを乗算し ' $d_x \times (A - B)$ ' を出力する。乗算部 4 7 は定数 'A - C' に応じて重み付け係数 d_y 当りの画素変化量を演算する演算部として機能する。乗算部 4 7 は重み付け係数 d_y と定数 'A - C' とを乗算し ' $d_y \times (A - C)$ ' を出力する。乗算部 4 6 は定数 'A + D - B - C' に応じて重み付け係数 ' $d_x \times d_y$ ' 当りの画素変化量を演算する演算部として機能する。乗算部 4 8 は重み付け係数 ' $d_x \times d_y$ ' と定数 'A + D - B - C' とを乗算し ' $d_x \times d_y \times (A + D - B - C)$ ' を出力する。

10

【0042】

演算部 9 5 は演算部 9 4 の演算結果に基づいて補間画素 3 0 を計算する。演算部 9 5 はシフト演算部 4 9、5 0、5 1、5 3、加減算部 5 2 を有する。

【0043】

シフト演算部 4 9 は参照画素 A を左へ 6 ビットシフトさせ、シフト演算結果である ' $64 \times A$ ' を出力する。シフト演算部 5 0 は ' $d_x \times (A - B)$ ' を左に 3 ビットシフトさせ、シフト演算結果である ' $8 \times d_x \times (A - B)$ ' を出力する。シフト演算部 5 1 は ' $d_y \times (A - C)$ ' を左に 3 ビットシフトさせ、シフト演算結果である ' $8 \times d_y \times (A - C)$ ' を出力する。

【0044】

20

加減算部 5 2 はシフト演算部 4 9 の出力と乗算部 4 8 の出力と定数 '32' との加算結果から、シフト演算部 5 0 の出力とシフト演算部 5 1 の出力との加算結果を減算し、その加減算結果である ' $64 \times A - 8 \times d_x \times (A - B) - 8 \times d_y \times (A - C) + d_x \times d_y \times (A + D - B - C) + 32$ ' を出力する。

【0045】

シフト演算部 5 3 は加減算部 5 2 の出力を右へ 6 ビットシフトさせ、シフト演算結果である ' $\{64 \times A - 8 \times d_x \times (A - B) - 8 \times d_y \times (A - C) + d_x \times d_y \times (A + D - B - C) + 32\} \gg 6$ ' を補間画素 3 0 として出力する。

【0046】

以上の通り、変形後の演算式で回路を構成することにより、より少ない乗算部で補間画素 3 0 を計算することが出来る。さらに後述する乗算部を用いることにより、画像処理回路の実装面積をより小さくすることができる。

30

【0047】

重み付け係数 d_x 、 d_y は 0 から 7 までの整数である。よって重み付け係数 d_x 、 d_y との乗算を行う乗算部は回路規模の大きい乗算器を使うことなく、加算器とシフト演算器との組み合わせで実現することができる。また色差データの動き補償演算においては、参照画素間を 2 の乗数である '8' で割った長さを最小単位とし、参照画素に対して補間画素を位置決めする。よって補間画素の重み付け演算において重み付け係数は 2 の乗数となる。2 の乗数との乗算はビットシフト演算を実行するシフト演算部で実現することが出来る。

40

【0048】

図 4 は乗算部 4 6 の詳細ブロック図である。図 4 の A は乗算部 4 6 のブロック図を示し、図 4 の B は乗算部 4 6 の制御部 6 0 における制御テーブル 7 1 を示す。

【0049】

乗算部 4 6 は制御部 6 0、シフト回路 9 6、9 7、加減算部 6 7 を有する。シフト回路 9 6、9 7 は整数 ' d_x ' を 2 つの 2 の乗数に分割し、分割した 2 つの 2 の乗数の各々の指数に応じて他方の整数である 'A - B' をビットシフトする。

【0050】

制御部 6 0 は整数 ' d_x ' を 2 つの 2 の乗数に分割した後のそれぞれの指数に応じてシフト回路 9 6、9 7 のシフト数を設定し、シフト回路 9 6、9 7 シフト演算結果を組み合

50

わせるように加減算部 67 を制御する。制御部 60 は図 4 の B に示す制御テーブル 71 を記憶する。制御部 60 は入力信号 'dx' の整数値に応じてマルチプレクサ 64、66、加減算部 67 に対し制御信号 68、69、70 を出力する。

【0051】

シフト回路 96 はシフト演算部 61、62、63、マルチプレクサ 64 を有する。シフト回路 97 はシフト演算部 65、マルチプレクサ 66 を有する。

【0052】

乗算部 46 に入力された 'A - B' は、マルチプレクサ 64、66、シフト演算部 61、62、63、65 に入力される。シフト演算部 61、65 は入力された 'A - B' を 1 ビット左シフトさせて出力する。シフト演算部 62 は入力された 'A - B' を 2 ビット左シフトさせて出力する。シフト演算部 63 は入力された 'A - B' を 3 ビット左シフトさせて出力する。

10

【0053】

マルチプレクサ 64 は入力端子 0 から 4 に入力された信号のうち、制御信号 68 の値に応じて 1 つの入力信号を選択し出力する。制御信号 68 は 5 つの入力端子のうちいずれかを指定可能な、例えば 3 ビットの信号である。マルチプレクサ 66 は入力端子 0 から 2 に入力された信号のうち、制御信号 69 の値に応じて 1 つの入力信号を選択し出力する。制御信号 69 は 3 つの入力端子のうちいずれかを指定可能な、例えば 2 ビットの信号である。

【0054】

20

ビットシフト数を可変にするため、本実施例では複数のシフト演算部の出力をマルチプレクサで切り替えて選択しているが、制御信号によってビットシフト数を可変にするシフト演算部により実現することも出来る。

【0055】

加減算部 67 は複数のマルチプレクサ 64、66 から出力されるシフト後の複数の参照画素を重み付け係数 'dx' と参照画素との乗算値に対応させて加減算する。加減算部 67 は制御信号 70 の値に応じてマルチプレクサ 64、66 から出力された値を加算または減算し、その結果を出力する。

【0056】

図 4 の B は制御部 60 に記憶された制御テーブル 71 である。制御テーブル 71 において、列 72 は乗算部 46 に入力される 'dx' の値である。

30

【0057】

列 73 は 'dx' の値に応じて制御部 60 から出力される制御信号 68 の値である。マルチプレクサ 64 は制御信号 68 の値に対応した入力端子から入力される信号を選択し出力する。

【0058】

列 74 は 'dx' の値に応じて制御部 60 から出力される制御信号 69 の値である。マルチプレクサ 66 は制御信号 69 の値に対応した入力端子から入力される信号を選択し出力する。

【0059】

40

列 75 は 'dx' の値に応じて制御部 60 から出力される制御信号 70 の値である。加減算部 67 は制御信号が '0' の場合はマルチプレクサ 64 の出力値にマルチプレクサ 66 の出力値を加算し、制御信号が '1' の場合はマルチプレクサ 64 の出力値からマルチプレクサ 66 の出力値を減算する。

【0060】

列 76 は 'dx' の値に応じて加減算部 67 から出力される値である。加減算部 67 から出力される値は乗算部 46 に入力される 'dx' と 'A - B' との乗算値に対応する。

【0061】

例えば 'dx' が '0' の場合、制御部 60 は制御信号 68 として '0' を出力し、制御信号 69 として '0' を出力し、制御信号 70 として '0' を出力する。これによりマ

50

マルチプレクサ 64 は入力端子 0 の入力値 ' 0 ' を出力し、マルチプレクサ 66 は入力端子 0 の入力値 ' 0 ' を出力し、加減算部 67 はマルチプレクサ 64、66 からの出力値を加算した結果である ' 0 ' を出力する。

【 0 0 6 2 】

' dx ' が ' 1 ' の場合、制御部 60 は制御信号 68 として ' 1 ' を出力し、制御信号 69 として ' 0 ' を出力し、制御信号 70 として ' 0 ' を出力する。これによりマルチプレクサ 64 は入力端子 1 の入力値 ' A - B ' を出力し、マルチプレクサ 66 は入力端子 0 の入力値 ' 0 ' を出力し、加減算部 67 はマルチプレクサ 64、66 からの出力値を加算した結果である ' A - B ' を出力する。

【 0 0 6 3 】

' dx ' が ' 2 ' の場合、制御部 60 は制御信号 68 として ' 2 ' を出力し、制御信号 69 として ' 0 ' を出力し、制御信号 70 として ' 0 ' を出力する。これによりマルチプレクサ 64 は入力端子 2 の入力値 ' (A - B) < < 1 ' を出力し、マルチプレクサ 66 は入力端子 0 の入力値 ' 0 ' を出力し、加減算部 67 はマルチプレクサ 64、66 からの出力値を加算した結果である ' (A - B) < < 1 ' を出力する。

【 0 0 6 4 】

' dx ' が ' 3 ' の場合、制御部 60 は制御信号 68 として ' 2 ' を出力し、制御信号 69 として ' 1 ' を出力し、制御信号 70 として ' 0 ' を出力する。これによりマルチプレクサ 64 は入力端子 2 の入力値 ' (A - B) < < 1 ' を出力し、マルチプレクサ 66 は入力端子 1 の入力値 ' A - B ' を出力し、加減算部 67 はマルチプレクサ 64、66 からの出力値を加算した結果である ' ((A - B) < < 1) + (A - B) ' を出力する。

【 0 0 6 5 】

' dx ' が ' 4 ' の場合、制御部 60 は制御信号 68 として ' 3 ' を出力し、制御信号 69 として ' 0 ' を出力し、制御信号 70 として ' 0 ' を出力する。これによりマルチプレクサ 64 は入力端子 3 の入力値 ' (A - B) < < 2 ' を出力し、マルチプレクサ 66 は入力端子 0 の入力値 ' 0 ' を出力し、加減算部 67 はマルチプレクサ 64、66 からの出力値を加算した結果である ' (A - B) < < 2 ' を出力する。

【 0 0 6 6 】

' dx ' が ' 5 ' の場合、制御部 60 は制御信号 68 として ' 3 ' を出力し、制御信号 69 として ' 1 ' を出力し、制御信号 70 として ' 0 ' を出力する。これによりマルチプレクサ 64 は入力端子 3 の入力値 ' (A - B) < < 2 ' を出力し、マルチプレクサ 66 は入力端子 1 の入力値 ' A - B ' を出力し、加減算部 67 はマルチプレクサ 64、66 からの出力値を加算した結果である ' ((A - B) < < 2) + (A - B) ' を出力する。

【 0 0 6 7 】

' dx ' が ' 6 ' の場合、制御部 60 は制御信号 68 として ' 3 ' を出力し、制御信号 69 として ' 2 ' を出力し、制御信号 70 として ' 0 ' を出力する。これによりマルチプレクサ 64 は入力端子 3 の入力値 ' (A - B) < < 2 ' を出力し、マルチプレクサ 66 は入力端子 2 の入力値 ' (A - B) < < 1 ' を出力し、加減算部 67 はマルチプレクサ 64、66 からの出力値を加算した結果である ' ((A - B) < < 2) + ((A - B) < < 1) ' を出力する。

【 0 0 6 8 】

' dx ' が ' 7 ' の場合、制御部 60 は制御信号 68 として ' 4 ' を出力し、制御信号 69 として ' 1 ' を出力し、制御信号 70 として ' 1 ' を出力する。これによりマルチプレクサ 64 は入力端子 4 の入力値 ' (A - B) < < 3 ' を出力し、マルチプレクサ 66 は入力端子 1 の入力値 ' A - B ' を出力し、加減算部 67 はマルチプレクサ 64 の出力からマルチプレクサ 66 の出力値を減算した結果である ' ((A - B) < < 3) - (A - B) ' を出力する。

【 0 0 6 9 】

以上の通り乗算部 46 はシフト演算部と加減算部との組み合わせにより実装することができる。

10

20

30

40

50

【 0 0 7 0 】

乗算部 4 1 も乗算部 4 6 と同様に図 4 の通り加減算とシフト演算との組み合わせに置換することが出来る。より具体的には図 4 の ' A - B ' を ' d y ' に置換することにより、 $d \times d y$ の演算を行うことが出来る。

【 0 0 7 1 】

図 5 は従来技術によるゲート数と本実施例によるゲート数との比較テーブルである。1 つ当りのゲートの実装面積が同じ場合、ゲート数が大きいほど実装面積は大きくなる。図 5 において、行 9 0 は乗算部 1 つ当りのゲート数の比較であり、行 9 1 は画像処理回路におけるゲート数の比較である。

【 0 0 7 2 】

図 5 より、乗算器を 8 ビットの画素の乗算を本実施例に係る乗算部で実現することにより、従来の 8 ビット乗算器を用いる場合に比べてゲート数を 6 4 % 削減することが出来る。また、画像処理回路全体で実装面積を 3 5 % 削減することが出来る。

【 符号の説明 】

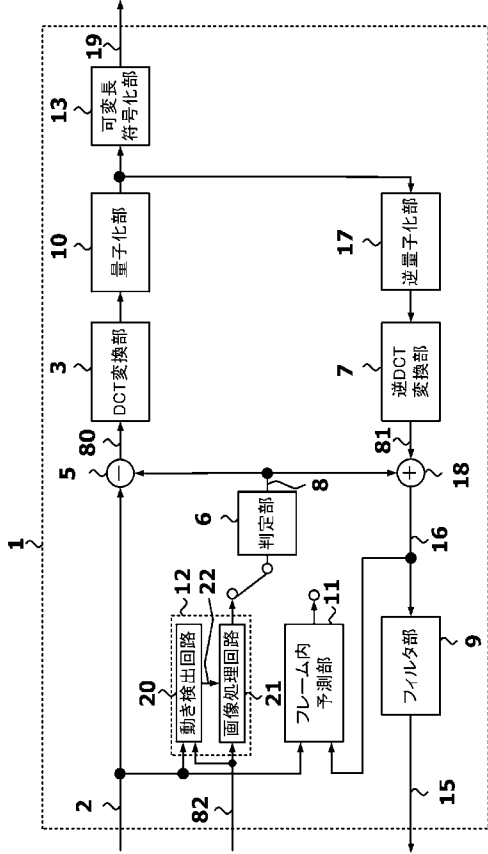
【 0 0 7 3 】

- 1 画像符号化装置
- 2 入力画像
 - 1 1 フレーム内予測部
 - 1 2 フレーム間予測部
- 2 0 動き検出回路
- 2 1 画像処理回路
- 2 2 動きベクトル
- 3 0 補間画素
- 4 1、4 6、4 7、4 8 乗算部
- 4 9、5 0、5 1、5 3 シフト演算部
- 6 1、6 2、6 3、6 5 シフト演算部
- 6 0 制御部
- 6 4、6 6 マルチプレクサ
- 6 7 加減算部

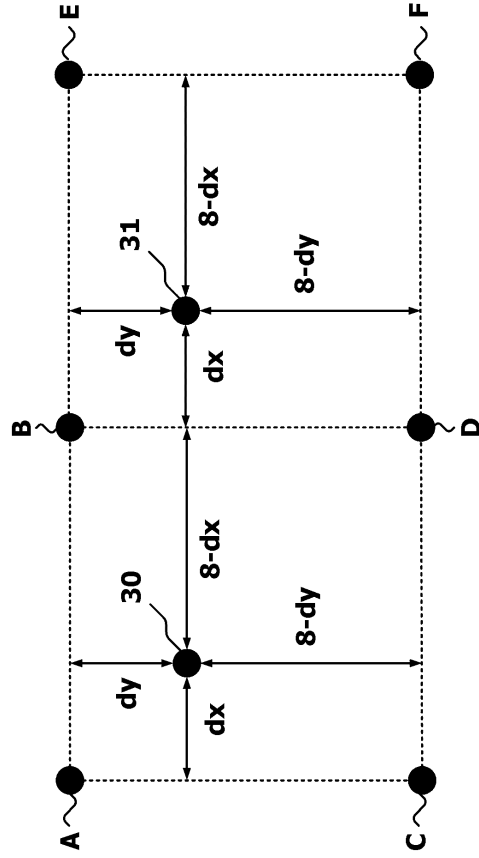
10

20

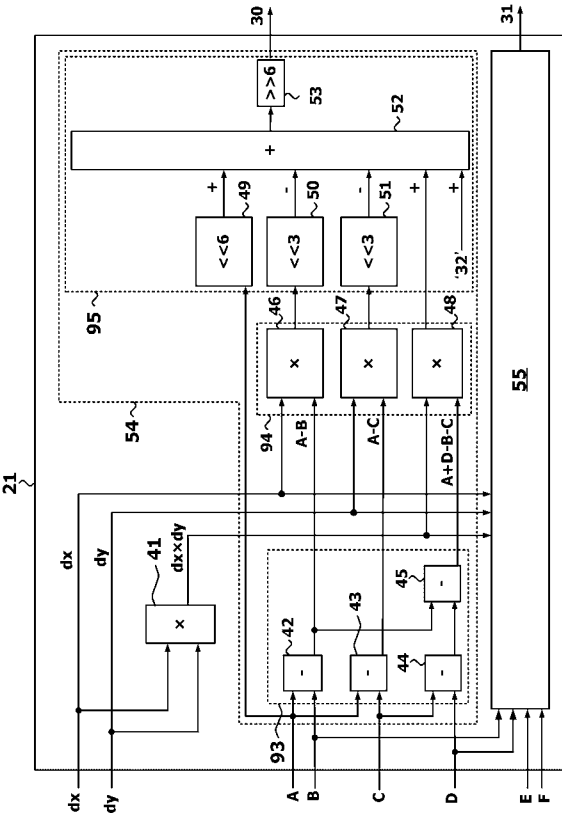
【図1】



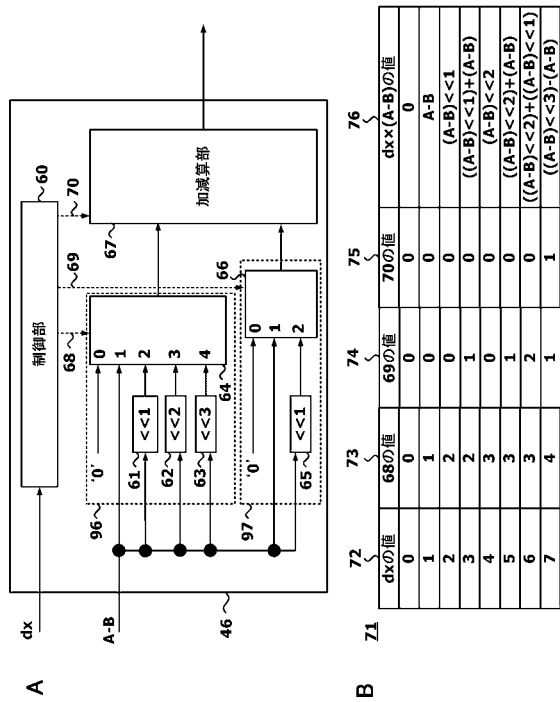
【図2】



【図3】



【図4】



【 図 5 】

	従来技術	本実施例
90	乗算部 330	120
91	画像処理回路 1,000	650

フロントページの続き

- (56)参考文献 特開2006-180509(JP,A)
特開2008-125078(JP,A)
特表2008-532335(JP,A)
特開平10-049348(JP,A)
特開2007-060704(JP,A)
特開平04-266281(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 7/26 - 7/68 ,
H04N 7/01 ,
G06E 1/00 - 1/06 ,
G06F 7/38 - 7/537