

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-201445
(P2007-201445A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 1 O 1 P	5 F O O 3
HO 1 L 21/8222 (2006.01)	HO 1 L 27/06 1 O 1 D	5 F O 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	5 F O 8 2
HO 1 L 27/04 (2006.01)	HO 1 L 29/72 H	
HO 1 L 21/331 (2006.01)		

審査請求 有 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2006-346407 (P2006-346407)	(71) 出願人 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日 平成18年12月22日 (2006.12.22)	
(31) 優先権主張番号 特願2005-371513 (P2005-371513)	(74) 代理人 100108062 弁理士 日向寺 雅彦
(32) 優先日 平成17年12月26日 (2005.12.26)	(72) 発明者 杉浦 政幸 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
(33) 優先権主張国 日本国 (JP)	(72) 発明者 栗山 保彦 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

最終頁に続く

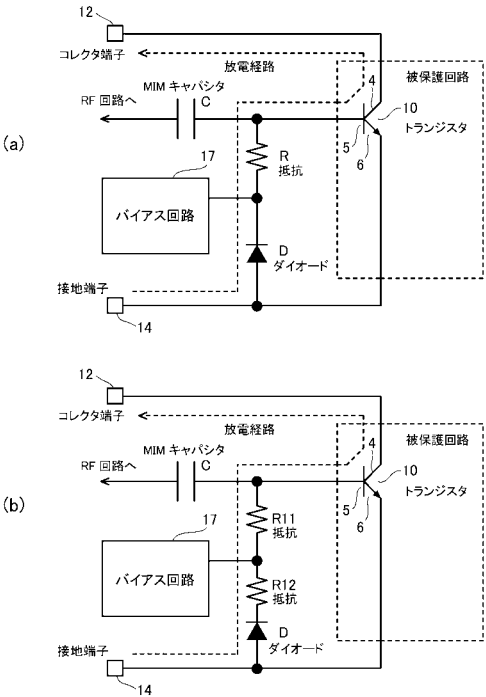
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】従来の回路では生じるコストや面積の増大を低く抑えながら高いESD耐性を実現できる保護回路を備えた電力増幅器を提供する。

【解決手段】半導体基板には、少なくとも1つのバイポーラトランジスタ10を有する能動素子と、バイポーラトランジスタ10のベース5とエミッタ6間をベース・エミッタ間ダイオードとは逆方向となるように接続されたダイオードDと、ダイオードDとバイポーラトランジスタ10のベース5との間に直列に接続された抵抗Rと、バイポーラトランジスタ10のベース5にバラスト抵抗Rを介して接続されたバイアス回路17が形成されている。抵抗Rは、バイアス回路17のバラスト抵抗Rを兼ねている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

少なくとも 1 つの化合物半導体を用いたヘテロ接合バイポーラトランジスタを有する能動素子と、

前記バイポーラトランジスタのベースとエミッタ間をベース・エミッタ間ダイオードとは逆方向となるように接続されたダイオードと、

前記ダイオードの一方の電極と前記バイポーラトランジスタのベースとの間に直列に接続された抵抗と、

前記ダイオードと前記抵抗との間に接続されたバイアス回路と、

を備えたことを特徴とする電力増幅器。

10

【請求項 2】

少なくとも 1 つの化合物半導体を用いたヘテロ接合バイポーラトランジスタを有する能動素子と、

前記バイポーラトランジスタのベースとエミッタ間をベース・エミッタ間ダイオードとは逆方向となるように接続されたダイオードと、

前記ダイオードの一方の電極と前記バイポーラトランジスタのベースとの間に直列に接続された 2 つの抵抗と、

前記 2 つの抵抗の間に接続されたバイアス回路と、

を備えたことを特徴とする電力増幅器。

【請求項 3】

前記バイアス回路は、バイポーラトランジスタを有するエミッタフォロア回路から構成されていることを特徴とする請求項 1 または 2 に記載の電力増幅器。

20

【請求項 4】

基板と、

前記基板上に設けられ、少なくとも 1 つの化合物半導体を用いたヘテロ接合バイポーラトランジスタを有する能動素子領域と、

前記基板の上に設けられ、前記バイポーラトランジスタのベースとエミッタ間をベース・エミッタ間ダイオードとは逆方向となるように接続されたダイオードを含むダイオード領域と、

前記基板の上に設けられ、前記ダイオードの一方の電極と、前記バイポーラトランジスタのベースとの間に直列に接続された抵抗を含む抵抗領域と、

30

前記基板の上に設けられ、前記能動素子領域と、前記ダイオード領域と、前記抵抗領域と、を分離する素子分離領域と、

前記基板上に設けられ、前記ダイオードと前記抵抗との間に接続された電源端子と、

を備えたことを特徴とする電力増幅器。

【請求項 5】

前記バイポーラトランジスタは、複数のトランジスタからなり、各トランジスタは、それぞれ各ベースに接続された各抵抗を介して前記バイアス回路に接続されていることを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の電力増幅器。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ESD 保護回路を備え、バイポーラトランジスタを使用した半導体チップに形成された電力増幅器に関するものである。

【背景技術】

【0002】

携帯電話を代表とする小型情報機器は近年、小型化の要求が強く、基幹となる部品に付帯する周辺小型部品（チップ容量やインダクタなど）が取り込まれ、モジュール化されるとともに、周辺部品点数の削減が進められている。そのため、これらモジュールは、外部

50

環境に直接さらされる状況となり、この際、特に問題となるのが ESD (静電放電: Electrostatic Discharge) に対する耐性である。ESD は、回路の外部に存在している機器や人体に蓄積した電荷が回路に対して瞬間的に放電する現象である。回路を装置に組み込む際や利用する際には機器や人体が動くことによる電荷の発生が避けられないだけに、外界にさらされる機器においては回路側で ESD 耐性を確保しておくことが必要である。

ESD による破壊の主な原因は、高エネルギー (高電位) を蓄積した電荷が瞬間的に回路に流入することによる熱的破壊と考えられている。そのため、ESD 保護回路は、この高エネルギーの電荷が熱的に弱い半導体素子に流入することを防ぐ働きを持っている。

【0003】

従来、このような機能を持つ回路としては、保護すべき端子と接地端子間に所定電圧以上になると通電するようにダイオードを直列に接続した回路が用いられる。ダイオードのオン電圧以上の電圧が端子に印加された場合には、ダイオードが導通し、電荷が被保護回路に流入しないようにするものである。この時、所定の電圧は電源電圧や動作電圧など回路の動作に必要な電圧よりも高い値に設定しておく必要がある。そのため、特許文献 1 に示されているように複数段のダイオードが用いられることになる。

【0004】

しかし、このような回路において問題となるのは保護回路を形成しているダイオードそのものが大きなエネルギーの注入により破壊してしまうことである。これを防ぐには、特許文献 2 にあるように保護素子 (ダイオードなど) に対して直列に抵抗を挿入し、電圧降下を引き起こさせ、保護素子に流入する電流を抑制する方法が考えられる。この場合、抵抗値を大きな値にするほど大きな電圧降下が得られるため、耐性が向上するが、保護回路側へのエネルギー流入が阻害されるため、保護回路としての動作が期待できなくなる。そのため、数 Ω から十数 Ω 程度の抵抗が必要となる。また、抵抗そのものも大きなエネルギー損失に耐えなければならないため、金属薄膜抵抗で実現される電流容量の小さな抵抗ではなく、半導体で実現される高電流容量の抵抗を使用する必要がある。

【0005】

しかし、半導体抵抗の抵抗値は高濃度ドーピングにおいてもシート抵抗は十数 $\Omega / \square$ 程度であり、数 Ω を実現するには大きな縦横比が必要となり、チップ上の大きな面積を使用してしまう。そのため、チップ面積が増大し実装面積の増大による小型化への弊害が生じてしまう。また、化合物半導体のようにウェハ単価が高い場合には、コスト面でも問題となる。

以上述べてきたように、従来のダイオード接続回路では高い ESD 耐性を実現するためには大きな面積が必要となり、ベレットサイズ、コストの面で問題があった。

また、特許文献 3 には、バラスト抵抗値が小さくても電流分布の均一性に優れ、ディジタル変調波を入力しても歪みの劣化が小さい高効率で歪みの低い増幅器が記載されている。これは、バイポーラトランジスタを用いた高周波電力増幅器であって、少なくとも 2 個以上のブロックを備え、これらの前記ブロックの各々がベースバイアス電位を発生させるバイアス発生回路と高周波入力用容量素子とを備える。各々のバイアス発生回路は、インピーダンス変換用の第 2 のバイポーラトランジスタと、カレントミラートランジスタよりなる温度検出用に定電流バイアスされたダイオード回路とを備えている。

【特許文献 1】特開 2003 - 23084 号公報

【特許文献 2】特開平 8 - 236637 号公報

【特許文献 3】特開 2001 - 274636 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、従来の回路で生じるコストや面積の増大を低く抑えながら高い ESD 耐圧が実現できる保護回路を備えた電力増幅器を提供する。

【課題を解決するための手段】

【0007】

10

20

30

40

50

本発明の一態様によれば、少なくとも1つの化合物半導体を用いたヘテロ接合バイポーラトランジスタを有する能動素子と、前記バイポーラトランジスタのベースとエミッタ間をベース・エミッタ間ダイオードとは逆方向となるように接続されたダイオードと、前記ダイオードの一方の電極と前記バイポーラトランジスタのベースとの間に直列に接続された抵抗と、前記ダイオードと前記抵抗との間に接続されたバイアス回路と、を備えたことを特徴とする電力増幅器が提供される。

【0008】

また、本発明の他の一態様によれば、少なくとも1つの化合物半導体を用いたヘテロ接合バイポーラトランジスタを有する能動素子と、前記バイポーラトランジスタのベースとエミッタ間をベース・エミッタ間ダイオードとは逆方向となるように接続されたダイオードと、前記ダイオードの一方の電極と前記バイポーラトランジスタのベースとの間に直列に接続された2つの抵抗と、前記2つの抵抗の間に接続されたバイアス回路と、を備えたことを特徴とする電力増幅器が提供される。

10

【0009】

また、本発明の他の一態様によれば、基板と、前記基板上に設けられ、少なくとも1つの化合物半導体を用いたヘテロ接合バイポーラトランジスタを有する能動素子領域と、前記基板の上に設けられ、前記バイポーラトランジスタのベースとエミッタ間をベース・エミッタ間ダイオードとは逆方向となるように接続されたダイオードを含むダイオード領域と、前記基板の上に設けられ、前記ダイオードの一方の電極と、前記バイポーラトランジスタのベースとの間に直列に接続された抵抗を含む抵抗領域と、前記基板の上に設けられ、前記能動素子領域と、前記ダイオード領域と、前記抵抗領域と、を分離する素子分離領域と、前記基板上に設けられ、前記ダイオードと前記抵抗との間に接続された電源端子と、を備えたことを特徴とする電力増幅器が提供される。

20

【発明の効果】

【0010】

本発明は、以上の構成により、従来の回路で生じるコストや面積の増大を低く抑えながら高いESD耐圧が実現できる保護回路を備えた電力増幅器を提供することができる。

【発明を実施するための最良の形態】

【0011】

以下、実施例を参照して発明の実施の形態を説明する。

30

【実施例1】

【0012】

まず、図1乃至図5、図8を参照して実施例1を説明する。

【0013】

図1は、この実施例の半導体基板に形成された電力増幅器の回路図、図2は、この実施例におけるESD耐性試験結果（負側）を示す特性図、図3は、ESD耐性試験結果（正側）を示す特性図、図4は、図1に記載された電力増幅器のバイポーラトランジスタ及びダイオードが形成された半導体チップの断面図、図5は、図4に記載された半導体チップの平面図、図8は、リングングによる負電圧の発生を説明する特性図である。図5のA-A'線に沿う部分の断面図が図4である。図5では、説明を容易にするために図4に示す絶縁膜18及び配線層(2nd-metal)13aの表示はしない。

40

【0014】

図4及び図5に示されているように、半導体チップが形成された半導体基板は、GaAs半絶縁性基板からなり、その上にエピタキシャル成長層が積層され、この積層構造にヘテロ接合バイポーラトランジスタ（以下、HBTという）が設けられている。GaAs半絶縁性基板1上に直接高濃度コレクタ領域が形成された n^+ GaAsエピタキシャル層3及び低濃度コレクタ領域が形成された n^- GaAsエピタキシャル層4が順次形成されている。このエピタキシャル層4の低濃度コレクタ領域上にベース領域(p-GaAsエピタキシャル層)5及びエミッタ領域(n -InGaPエピタキシャル層)6が順次積層されている。これらエミッタ領域6、コレクタ領域4及びベース領域5を合わせてnpnバ

50

イポーラトランジスタ 10 が構成されている。この HBT 10 には、エピタキシャル層 3 を構成するコレクタ領域にコレクタ電極 7 が形成され、ベース領域 5 にベース電極 8 及びエミッタ領域 6 にエミッタ電極 9 が形成されている。

【0015】

また、半導体基板 1 上には、ベース領域 5 とエミッタ領域 6 間をベース・エミッタ間ダイオードとは逆方向となるように接続されたダイオード D が形成されている。ダイオード D は、ベース領域 5 を構成するエピタキシャル層及びエピタキシャル層 4 から構成され、エピタキシャル層 3 上及びベース領域 5 上にそれぞれ電極 11、11a が形成されている（図 4 参照）。そして、電極 16、16a 間のエピタキシャル層 3 が抵抗 R を構成している（図 5 参照）。また、半導体基板上には MIM キャパシタ C が設けられている。MIM

10

【0016】

図 4 及び図 5 に示されているように、HBT 10、ダイオード D 及び抵抗 R は素子分離領域により区画された素子領域に形成されている。HBT 10 及びダイオード D は、ポリイミドなどの層間絶縁膜 18 により被覆されており、層間絶縁膜 18 上に形成された金属配線層 (2nd-metal) 13a に HBT 10 のエミッタ電極 9 及びダイオード D の電極 11a が電氣的に接続されている。また図 5 に示すように、層間絶縁膜 (図示しない) 上に形成された金属配線層 (1st-metal) 13 に抵抗 R の電極 16、16a が電氣的に接続されている。また、HBT 10 は、半導体基板上に複数個形成されている。

20

図 1 は、被保護回路の HBT が 1 つの場合の回路図であるが、この実施例では複数個が用いられている場合もある（図 5 の増幅器はこの回路図に対応している）。

【0017】

次に、図 1 (a) を参照してこの実施例の電力用増幅器の回路構成を説明する。被保護回路には HBT 10 が 1 個示され、被保護回路の他の構成は省略する。被保護回路の HBT 10 は、コレクタ 4 に繋がるコレクタ端子 12 及びエミッタ 6 に繋がる接地端子 14 を有し、ベース 5 にはバイアス回路 17 が繋がっている。バイアス回路 17 とベース 5 の間には、例えば、4 Ω 前後のバイアス回路 17 のバラスト抵抗 R が挿入されている。ベース 5 は、MIM キャパシタ C を介して外部の RF 回路の入力回路に接続されている。バイアス回路 17 は、エミッタ 6 にも接続されている。そして、バイアス回路 17 とエミッタ 6

30

間あるいはバイアス回路 17 と接地端子 14 間には、ベース・エミッタ接合とは逆方向のダイオード D を挿入している。このような構成により、抵抗 R は、ダイオード D を ESD による破壊から防ぐことができる。

図 1 の保護回路（抵抗とダイオードとの直列回路）を有する電力増幅器と比較して、保護回路がない場合の ESD 耐性は、被保護回路となるトランジスタのコレクタ端子に負の電圧が印加された場合で決まる。そして、その大きさは -30 V 程度である。この場合、ベース・エミッタ間の pn 接合が ESD によって損傷を受けることによりトランジスタとしての機能を失ってしまう。

【0018】

この実施例では、ESD 保護素子としての $10\mu\text{m} \times 30\mu\text{m}$ の大きさのダイオードを HBT のベース・エミッタ間に配置してある。ダイオードは、HBT のベース領域とコレクタ領域で形成されており、ダイオードを形成するために新たにウェハ構造や工程を必要とはしない。また、ダイオードの保護抵抗として直列に抵抗が接続されている。これにより、負側の ESD に対して図中に示した電流経路により放電し、素子に対する損傷を防ぐことができる。

40

【0019】

さらに、回路を構成する場合、トランジスタのベース端子に適当なバイアス電圧を供給する必要がある。特に、電力増幅器のような大きな電力を扱う場合には、熱的な安定性を確保するために、バイアス回路とベース端子の間にはバラスト抵抗と呼ばれる抵抗を挿入する方法がある。バラスト抵抗は HBT が熱暴走状態に陥り、大きな電流がトランジスタ

50

のベース端子に流れ込もうとした場合に、電圧降下を引き起こし、トランジスタのバイアス点を低下させ、熱暴走状態に陥ることを抑制する動作をする。この実施例では、このバラスト抵抗はダイオード保護抵抗を兼ねた回路構成となっている。これにより、ESD保護回路を新たに付加した場合でも、ダイオード以外に付け加える素子は必要なく、チップ面積の増大を抑制することができる。また、保護抵抗が挿入されていることにより、ダイオード自身がESDにより破壊することも無く、必要なESD耐性を確保することができる。

【0020】

図1(a)に示す保護回路を用いてESD試験を行った結果を図2に示す。ESDの放電経路にトランジスタを使用しているため、耐量はトランジスタの大きさに依存するが、保護回路を搭載していなかった場合よりも耐量が大きくなっていることがわかる。また、バラスト抵抗を保護抵抗として用いているため、新たに保護抵抗を配することなく、ESD保護ダイオード単体の耐量である-400V以上の耐量が回路として実現されていることもわかる。

またHBTトランジスタの特性向上のため、ベース・エミッタ間ダイオードがヘテロ接合で構成されているので、ホモ接合で形成されたベース・エミッタ間接合よりも急峻なpn接合の切り替えが実現されている。この場合、ベース・エミッタ間ダイオードは比較的低い逆方向電圧のESDに対し急峻な破壊(ハードブレイクダウン)が生じる傾向を持っている。

一方、ベース・コレクタ接合においては、ベース・コレクタ間の寄生容量を低減させる目的で低濃度にドーピングされたコレクタ層が形成されている。したがって、ベース・コレクタ接合はpinダイオード型の形態を有することになる。その結果、ベース・コレクタ接合がホモ接合であれ、ヘテロ接合であれ、高いESD耐性を有している。

【0021】

このようなHBTの特性により、この実施例ではベース・エミッタ間を保護する保護回路のみを挿入している。この保護回路は、図1(a)に示すように、負側のESDに対する保護経路しか用意していない構成となっているが、ベース・コレクタ接合が高いESD耐性を有しているので実質的には正側のESDについても耐量も向上させることができる。これは、保護回路を有していない場合においても、先述のようにHBTのベース・コレクタ間のダイオードは、逆方向の印加電圧に対しても高いESD耐性を有しているため破壊には至らないのに対し、印加されたESD波形が、外部回路(インダクタンス成分)により、リングングを生じ、正側に印加された場合においても電圧波形は負側にも振り込まれるため(図8参照)、ベース・エミッタ間のダイオードが耐量不足により破壊されてしまうからである。結果的に、正側のESD耐量試験であるにもかかわらず、負側のESD耐量の小さいベース・エミッタ接合が破壊されることで正側のESD耐量が決まってしまうのである。この実施例では、ベース・エミッタ間に保護抵抗付のESD保護回路が形成されているためリングングの影響下においてもベース・エミッタ間接合が保護されることになり結果的に正側においても高い耐量を実現することができる。

【0022】

負側のESDに対する電流経路しか用意されていないにもかかわらず、正側のESDについても耐量が向上することを実験的に確かめた結果を図3に示す。また、破壊箇所についてもベース・エミッタ間ダイオードが破壊していることがわかっており、先述した原理によりESD耐量が決められていると考えられる。この場合においても、保護抵抗の効果は変わりなく、この実施例の保護回路は正負両方向のESDに対して高い耐量を実現できている。

以上述べてきたように、HBTではベース・エミッタ間の保護を行うだけでHBTを用いた回路のESD耐性を正負共に大きく向上させることができ、従来の回路で生じるコストや面積の増大の問題を解決しながら、高いESD耐性を実現できる保護回路を提供できる。

【0023】

10

20

30

40

50

なお、図 1 (a) に示された被保護回路の H B T は、1 つであるが、図 5 に示す被保護回路には複数の H B T が用いられている。これらの H B T は、共通の端子 (コレクタ端子及び接地端子) 及び共通のバイアス回路を有し、このバイアス回路は、バラスト抵抗を介して各 H B T のベースに接続されている。したがって、この実施例の被保護回路の H B T には 1 つ以上任意の数のものが用いられている。

【 0 0 2 4 】

ここで、バラスト抵抗とダイオード保護抵抗とを別に設けた回路構成につき説明する。図 1 (b) は、その回路図である。バラスト抵抗 R_{11} は、バイポーラトランジスタの熱暴走を抑制するようにその抵抗値が決定される。熱暴走を抑制するには、 R_{11} は 1Ω 以上が好ましい。また、大きなエネルギーに対する保護回路の動作を維持しつつ、破壊耐性を改善するために、ダイオード付加抵抗 R_{12} とバラスト抵抗 R_{11} との和である ($R_{11} + R_{12}$) は、 3Ω 以上 7Ω 以下が好ましい。このようにすると、バラスト抵抗 R_{11} と、ダイオード付加抵抗 R_{12} とをそれぞれ適正に決定できる。例えば、 R_{11} を 4Ω とし、 R_{12} を 2Ω とすることにより、熱暴走を抑制しつつ、大きなエネルギーに対して回路を保護し、ダイオードの破壊耐性が改善できる。

10

【 実施例 2 】

【 0 0 2 5 】

次に、図 6 を参照して実施例 2 を説明する。

図 6 は、この実施例の半導体基板に形成された電力増幅器の回路図である。この実施例 1 の保護回路は、実施例 1 と同様な回路構成を有しているが、バイアス回路としてエミッタフォロア回路を用いることに特徴がある。

20

【 0 0 2 6 】

次に、図 6 を参照してこの実施例の電力用増幅器の回路構成を説明する。被保護回路には H B T 2 0 が 1 個示され、他の構成は省略する。被保護回路の H B T 2 0 は、コレクタに繋がるコレクタ端子 2 2 及びエミッタに繋がる接地端子 2 3 を有し、ベースにはバイアス回路 2 7 が繋がっている。バイアス回路 2 7 とベースの間には、例えば、 4Ω 前後のバイアス回路のバラスト抵抗 R が挿入されている。また、バイアス回路 2 7 とエミッタ間あるいはバイアス回路 2 7 と接地端子 2 3 間には、ベース・エミッタ接合とは逆方向のダイオード D を挿入している。このような構成により抵抗 R はダイオード D を E S D による破壊から防ぐことができる。トランジスタ 2 0 のベースは、M I M キャパシタ C を介して外部の R F 回路の入力回路に接続されている。抵抗 R の一端が M I M キャパシタ C ・ベース 5 間に接続され、他端がバイアス回路 2 7 に接続されている。

30

【 0 0 2 7 】

図 6 の保護回路 (抵抗とダイオードとの直列回路) を有する電力増幅器と比較して、保護回路がない場合、被保護回路となるトランジスタの E S D 耐性は、コレクタ端子に負の電圧が印加された場合で決まる。そして、その大きさは - 30 V 程度である。この場合、ベース・エミッタ間の p n 接合が E S D によって損傷を受けることによりトランジスタとしての機能を失ってしまう。

【 0 0 2 8 】

この実施例では、E S D 保護素子としての $10 \mu\text{m} \times 30 \mu\text{m}$ の大きさのダイオード D を H B T のベース・エミッタ間に配置してある。ダイオード D は、半導体基板に形成された H B T のベース領域とコレクタ領域で形成されており、ダイオードを形成するために新たにウェハ構造や工程を必要とはしない。また、ダイオード D の保護抵抗として直列に抵抗 R が接続されている。これにより、負側の E S D に対してコレクタ端子を通して放電させて、素子に対する損傷を防ぐことができる。

40

【 0 0 2 9 】

電力増幅器のような大きな電力を扱う場合には、熱的な安定性を確保するために、バイアス回路とベース端子の間にバラスト抵抗を挿入するが、この実施例では、このバラスト抵抗はダイオード保護抵抗を兼ねている。これにより、E S D 保護回路を新たに付加した場合でも、ダイオード以外に付け加える素子は必要なく、チップ面積の増大を抑制するこ

50

とができる。また、保護抵抗が挿入されていることにより、ダイオード自身がESDにより破壊することも無く、必要なESD耐性を確保することができる。

【0030】

さらに、図6を参照してバイアス回路を説明する。

図6のバイアス回路27は、バイポーラトランジスタ21を備えている。バイポーラトランジスタ21は、コレクタに繋がるコレクタ端子24、エミッタに繋がる接地端子25及びベースに繋がる制御端子26を有している。バイポーラトランジスタ21のベース・エミッタ間には、ベース・エミッタ接合とは逆方向のダイオードD1が挿入されている。また、バイポーラトランジスタ21のエミッタ、接地端子25間にはダイオードD4が挿入されている。バイポーラトランジスタ21のベース、接地端子25間にはダイオードD2、D3が挿入され、ダイオードD1は、ダイオードD2、バイポーラトランジスタ21のベース間に接続されている。 10

【0031】

制御端子26は、ダイオードD1、D2間に抵抗R1を介して接続されている。また、バイポーラトランジスタ21のエミッタ、ダイオードD4間に接続されたコイルLがバイポーラトランジスタ20のベース・エミッタ間に接続された抵抗R、ダイオードD間に接続されている。

【0032】

このバイアス回路27を構成するエミッタフォロア回路ではコレクタ端子24に対するESD耐量が最も弱くなるため、このコレクタ端子24に対する保護回路が必要になる。この実施例では保護回路としてはエミッタフォロア回路のベース・エミッタ間にダイオードD1を接続してあり、同時に、エミッタフォロア回路のコレクタ端子24に負側のESDが印加された場合の放電経路を点線の矢印で示している。 20

【0033】

この放電経路には複数のダイオード(ダイオードD、D1)が含まれているため、寄生抵抗成分が存在している。この成分は保護抵抗の役割を果たすことができるので、改めて保護抵抗を挿入する必要はない。逆に保護ダイオードが回路に対して直接接続されていることによる耐量の改善効果が得られる。同様に制御端子26への負側のESD保護も実現されている。

以上のように、この実施例では、実施例1において説明した作用効果に加えて、バイアス回路に対する保護効果も得られるので、回路全体として更に高いESD耐性を実現することが可能となっている。 30

【実施例3】

【0034】

次に、図7を参照して実施例3を説明する。図7は、この実施例の半導体基板に形成された電力増幅器の回路図である。被保護回路にはHBT30が示されており、他の構成は省略する。HBT30は、複数のHBTQ1、Q2、Q3、...から構成されている。HBT30は、各HBTQ1、Q2、Q3、...のコレクタに接続された共通のコレクタ端子32及び各HBTQ1、Q2、Q3、...のエミッタに接続された共通の接地端子33を有し、各HBTQ1、Q2、Q3、...のベースは、バイアス回路31に接続されている。 40

【0035】

この実施例では、バイアス回路31のバラスト抵抗R1、R2、R3、...は、バイアス回路31と各HBTQ1、Q2、Q3、...のベースとの間に挿入されている。そして、バラスト抵抗R1、R2、R3、...が保護抵抗として用いられる。バラスト抵抗R1、R2、R3、...の一端は各HBTQ1、Q2、Q3...のベースに接続されているが、他端にはベース・エミッタ接合とは逆方向のダイオードDが接続されている。このような構成により、バラスト抵抗R1、R2、R3、...は、ダイオードDをESDによる破壊から防ぐことができる。実施例1で説明した図5の半導体基板の平面図では、バラスト抵抗Rは、複数のHBTに対して1つ形成されているが、この実施例では、図 50

示はしないが、半導体基板上の各HBTの各ベースにそれぞれ接続するように形成されている。

【0036】

この実施例では、実施例1、2と同様に、ダイオードは、HBTのベース領域とコレクタ領域で形成されており、ダイオードを形成するために新たにウェハ構造や工程を必要としない。また、ダイオードの保護抵抗として直列に抵抗が接続されている。これにより、負側のESDに対して放電し、素子に対する損傷を防ぐことができる。

【0037】

さらに、回路を構成する場合、トランジスタのベース端子に適当なバイアス電圧を供給する必要がある。特に、電力増幅器のような大きな電力を扱う場合には、熱的な安定性を確保するために、バイアス回路とベース端子の間にはバラスト抵抗と呼ばれる抵抗を挿入する方法がある。バラスト抵抗はHBTが熱暴走状態に陥り、大きな電流がトランジスタのベース端子に流れ込もうとした場合に、電圧降下を引き起こし、トランジスタのバイアス点を低下させ、熱暴走状態に陥ることを抑制する動作をする。この実施例では、このバラスト抵抗はダイオード保護抵抗を兼ねた回路構成となっている。

【図面の簡単な説明】

【0038】

【図1】本発明の一実施例である実施例1の半導体基板に形成された電力増幅器の回路図。

【図2】図1の電力増幅器におけるESD耐性試験結果（負側）を示す特性図。

【図3】図1の電力増幅器におけるESD耐性試験結果（正側）を示す特性図。

【図4】図1に記載された電力増幅器のバイポーラトランジスタ及びダイオードが形成された半導体チップの断面図。

【図5】図4に示された半導体チップの平面図。

【図6】本発明の一実施例である実施例2の半導体基板に形成された電力増幅器の回路図。

【図7】本発明の一実施例である実施例3の半導体基板に形成された電力増幅器の回路図。

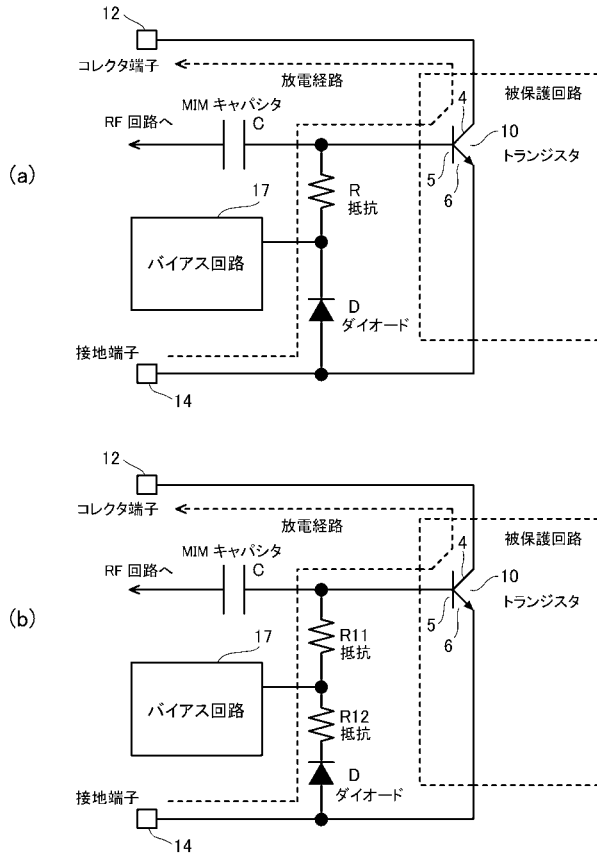
【図8】リングングによる負電圧の発生を説明する特性図。

【符号の説明】

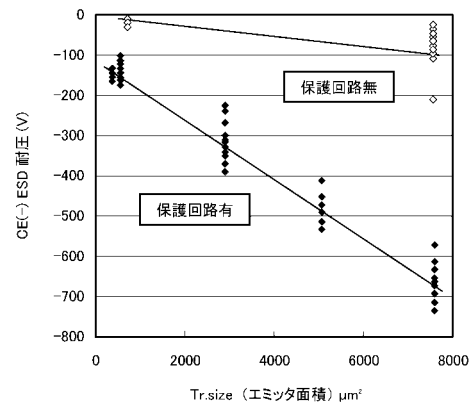
【0039】

- 1・・・GaAs半絶縁性基板
- 2・・・素子分離領域
- 3・・・ n^+ GaAsエピタキシャル層
- 4・・・ n^- GaAsエピタキシャル層
- 5・・・ベース領域（p-GaAsエピタキシャル層）
- 6・・・エミッタ領域（n-InGaPエピタキシャル層）
- 7・・・コレクタ電極
- 8・・・ベース電極
- 9・・・エミッタ電極
- 10、20、21、30・・・npnバイポーラトランジスタ
- 11、11a、16、16a・・・電極
- 12、22、24、32・・・コレクタ端子
- 13・・・金属配線層（1st-metal）
- 13a・・・金属配線層（2nd-metal）
- 14、23、25、33・・・接地端子
- 17、27、31・・・バイアス回路
- 18・・・層間絶縁膜
- 26・・・制御端子

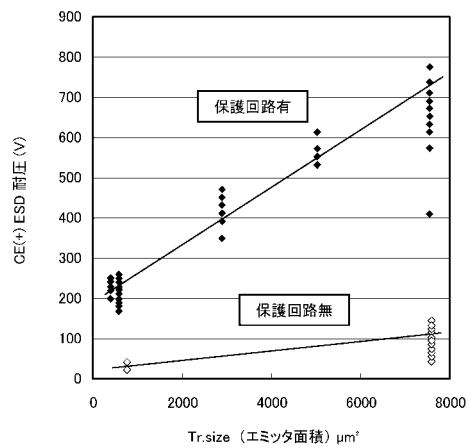
【図 1】



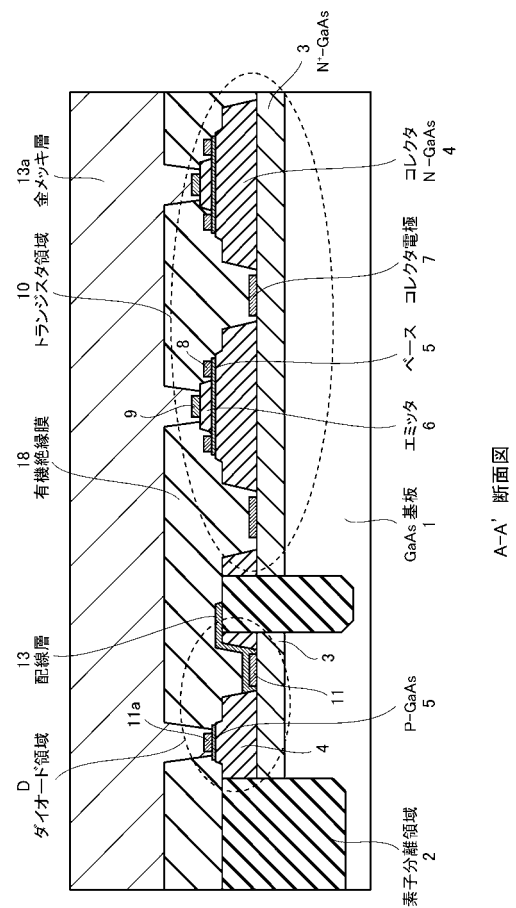
【図 2】



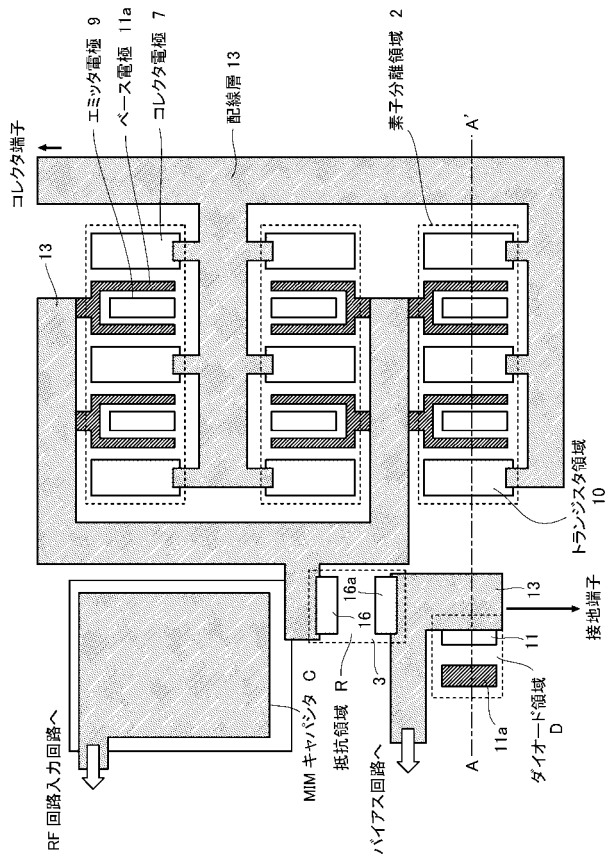
【図 3】



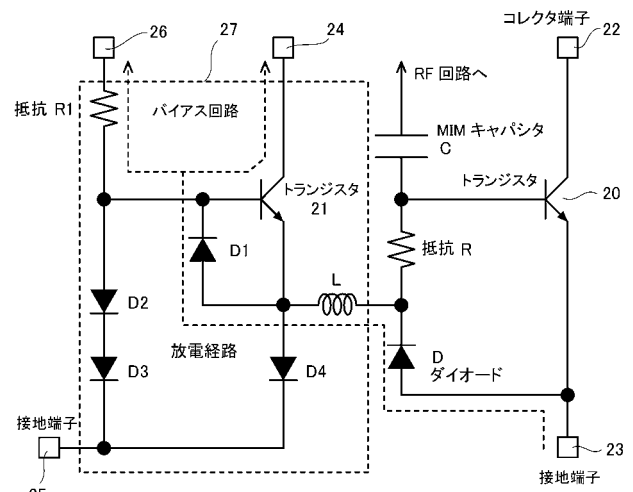
【図 4】



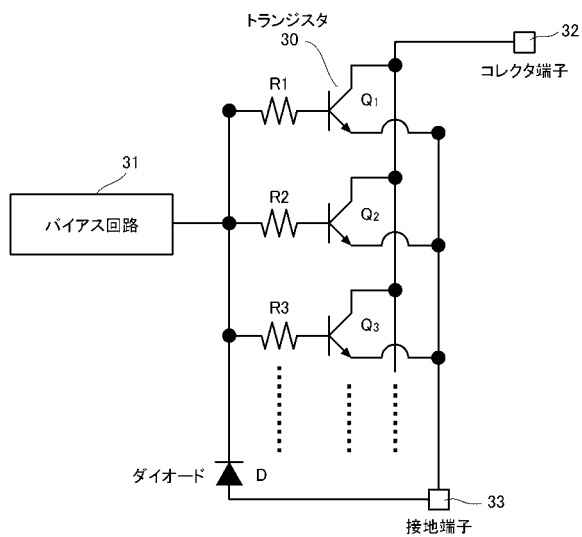
【 図 5 】



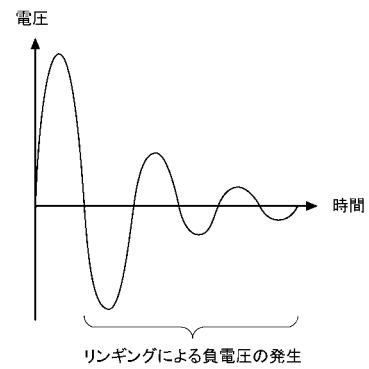
【 図 6 】



【圖 7】



【 図 8 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/737 (2006.01)

F ターム(参考) 5F003 BA11 BA25 BA27 BA92 BB05 BE05 BE90 BF06 BJ06 BJ12
BJ18 BJ20 BJ90 BM02 BP32
5F038 AC05 AC15 AR06 BH02 BH05 BH13 BH16 DF01 EZ01 EZ02
EZ20
5F082 AA04 AA33 BA05 BA28 BA35 BA47 BC01 BC03 BC11 BC13
BC15 CA02 EA23 FA16 FA20 GA02 GA04