



(21)申請案號：105126346

(22)申請日：中華民國 105 (2016) 年 08 月 18 日

(51)Int. Cl. : G11C13/00 (2006.01)

G11C16/02 (2006.01)

(30)優先權：2015/09/11 美國

62/217,280

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.

(TW)

新竹縣科學工業園區力行路 16 號

國際商業機器股份有限公司 (美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：龍翔瀾 LUNG, HSIANG-LAN (TW)；何信義 HO, HSIN-YI (TW)；劉易士 史考

特 LEWIS, SCOTT C. (US)；喬登 李察 JORDAN, RICHARD C. (US)

(74)代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：10 項 圖式數：12 共 66 頁

(54)名稱

可達成高讀取/寫入速度的相變化記憶體及其資料讀取及寫入方法

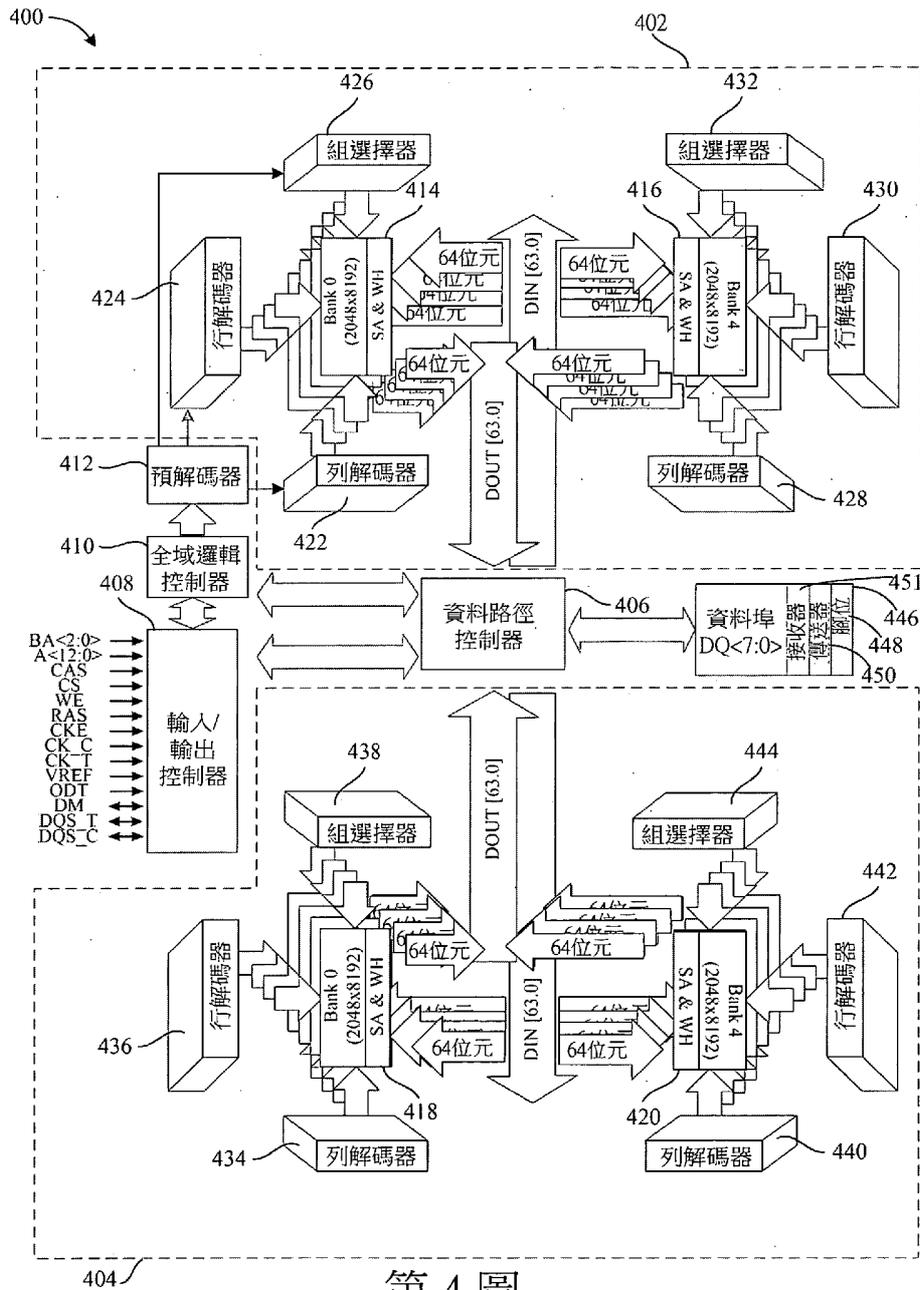
PHASE CHANGE MEMORY ACHIEVING HIGH READ/WRITE SPEED AND DATING READING AND WRITING METHOD THEREOF

(57)摘要

提供一種讀取資料的記憶體，包含資料埠、第一記憶體及第二記憶體。資料埠包含並聯設置的 B 個傳輸器，在一時脈的上升緣及下降緣傳送資料。第一記憶體包含第一資料匯流排，第一資料匯流排包含 N 條線以並聯的傳送 N 個位元。第二記憶體包含第二資料匯流排，第二資料匯流排包含 N 條線以並聯的傳送 N 個位元。記憶體包含一資料路徑控制器，設置於第一記憶體以及第二記憶體之間並連接到資料埠。其中，在上升緣，資料分配器將包含 B 個位元的第一資料區段從第一資料匯流排分配到資料埠，並在下降緣，資料分配器將包含 B 個位元的第二資料區段從第二資料匯流排分配到資料埠。

A memory configured to have data read therefrom is provided. The memory includes a data port including B transmitters disposed in parallel and for transferring data on both rising and falling edges of a clock, a first memory including a first data bus including N lines on which N bits can be transferred, and a second memory including a second data bus including N lines on which N bits can be transferred. The memory includes a data path controller including a data distributor disposed between the first and second memories and being connected to the data port, wherein, on the rising edge, the data distributor distributes a first data segment comprised of B bits from the first data bus to the data port and, on the falling edge, the data distributor distributes a second data segment comprised of B bits from the second data bus to the data port.

指定代表圖：



第 4 圖

符號簡單說明：

- 400 . . . 相變化記憶體
- 402 . . . 上半陣列
- 404 . . . 下半陣列
- 406 . . . 資料路徑控制器
- 408 . . . 輸入/輸出控制器
- 410 . . . 全域邏輯控制器
- 412 . . . 預解碼器
- 414、416、418、
- 420 . . . 一組半記憶體組
- Bank 0、Bank
- 4 . . . 記憶體組
- 422、428、434、
- 440 . . . 列解碼器
- 424、430、436、
- 442 . . . 行解碼器
- 426、432、438、
- 444 . . . 組選擇器
- 446 . . . 資料埠
- 448 . . . 腳位
- 450 . . . 傳送器
- 451 . . . 接收器
- SA & WH . . . 感應放大器及寫入頭
- DIN[63 : 0] . . . 輸入資料線
- DOUT[63 : 0] . . . 輸出資料線
- DQ<7 : 0>、BA<2 : 0>、A<12 : 0>、CAS、CS、WE、RAS、CKE、CK_C、CK_T、VREF、ODT、DM、

201719657

TW 201719657 A

DQS_T、

DQS_C . . . 訊號

【發明說明書】

【中文發明名稱】可達成高讀取/寫入速度的相變化記憶體及其資料讀取及寫入方法

【英文發明名稱】PHASE CHANGE MEMORY ACHIEVING HIGH READ/WRITE SPEED AND DATING READING AND WRITING METHOD THEREOF

【技術領域】

【0001】 本揭露是關於一種可達到高讀取/寫入速率的記憶體陣列架構。本揭露可應用於相變化記憶體 (Phase change memory, PCM) 架構，並可使用一雙倍資料率介面達成高讀取/寫入速率。

【先前技術】

【0002】 儲存級記憶體 (Storage class memory, SCM) 最近受到愈來愈多的關注，因為儲存級記憶體可改善效能並降低電腦系統的功率消耗 (參考文獻 Rich Freitas, et. al., “Storage Class Memory, the next storage system technology”, IBM J. RES. & DEV. VOL. 52 NO. 4/5, pp. 439-447, 2008)。通常 SCM 基於隨機存取速率被分為多個不同種記憶體類型。舉例來說，SCM 被分為 M 型記憶體和 S 型記憶體。M 型 SCM 記憶體的效能接近 DRAM。相對的，S 型 SCM 記憶體的效能接近一硬碟。

【0003】 NAND 型快閃記憶體和三維(3D) NAND 型快閃記憶體被廣泛地使用，或被考慮使用作為 S 型 SCM，但 NAND 型快閃記憶體和三維(3D) NAND 型快閃記憶體技術可能無法達到最近的 M 型 SCM (例如 DRAM) 的效能和持久性需求。然而，DRAM 是一揮發性記憶體技術，因此有需要

提供一種非發性記憶體技術能操作在 M 型 SCM 的需求的效能規格。考慮上述情況，已經出現下面幾種可作為 M 型 SCM 的應用的候選：(1) 相變化記憶體(PCM)，(2) 包含過渡金屬氧化層的電阻式隨機存取記憶體(resistive random-access memory, ReRAM)，(3) 自旋轉移力矩磁力隨機存取記憶體(spin transfer torque magnetic RAM, STTMRAM)。在這些記憶體中，相變化記憶體是最成熟的且最有希望作為 M 型 SCM 的應用的非揮發性記憶體技術。

【0004】 在相變化記憶體中，每一記憶體單元包含一相變化材料。相變化材料可在一結晶的相位和一非結晶的相位之間改變。非結晶的相位特徵在於相較於結晶的相位具有較高的電阻抗。在相變化記憶體的操作期間，通過相變化記憶體的一記憶體單元的一電流脈衝可設定和重設相變化材料的一主動區域之中的固態相位（即電流脈衝可被用來使相變化材料在高電阻抗的一結晶的相位和低電阻抗的一非結晶的相位之間改變）。

【0005】 在此文中，從非結晶的相位改變到結晶的相位被稱為一設定操作，設定操作可藉由施加一電脈衝到相變化材料而被執行。電脈衝可包含一初始尖峰電流，接著在此脈衝期間降低電流以使相變化材料慢慢冷卻到結晶的相位。

【0006】 在此文中，從結晶的相位改變到非結晶的相位被稱為一重設操作，重設操作可藉由施加一短且高電流的電脈衝到相變化材料而被執行。電脈衝可包含一初始尖峰電流，接著在此脈衝期間降低電流以使相變化材料的結晶的相位結構融化或崩潰。之後，相變化材料快速冷卻（相變化材料被抑制(quenched)）。這種相變化材料的抑制使至少一部份的相變化

材料穩定在非結晶的相位。

【0007】 如之前解釋過的，為了達到例如一計算裝置的工作記憶體的相似效能，M型SCM的一讀取/寫入頻寬和延遲需要盡可能的接近DRAM。然而，因為相變化記憶體改變相對比較慢且相變化記憶體通常使用一較低效能的非揮發性記憶體介面和陣列架構，直到最近相變化記憶體都不是M型SCM的一個好的候選。舉例來說，在2012年左右，相變化記憶體具有約為400MB/s的一讀取速度和約為40MB/s的一寫入速度（參考文獻 Youngdon Choi, et. al., “A 20nm 1.8V 8Gb PRAM with 40MB/s Program Bandwidth”, ISSCC Dig. Tech. Papers, pp.46-48, 2012，以及參考文獻 Hoeju Chung, et al., “A 58nm 1.8V 1Gb PRAM with 6.4MB/s Program BW”, ISSCC Dig. Tech. Papers, pp.500-502, 2011），並不足夠作為M-type型SCM。

【0008】 如上所述，DRAM通常被實施在此情形下（作為M-type型SCM的應用）。然而，DRAM是一揮發性記憶體技術。因此，有需要提供一種可支持較高的速率（例如雙倍資料率）的相變化記憶體和其他非揮發性記憶體技術的記憶體架構。

【發明內容】

【0009】 一記憶體陣列架構被描述以支持一高生產量讀取/寫入機制。在此文中，此架構的實施例可降低資料暫態雜訊，簡化佈線佈局，滿足雙倍資料率存取特性，並降低資料線偶接造成的干擾，並降低最短資料路徑和最長資料路徑之間的時間差。可使用一相變化記憶體（PCM）和其他種類的可編程電阻式記憶體（例如ReRAM等）執行描述如下的此技術。

並且，此技術更可延伸到其他類型的記憶體。

【0010】 在此文中描述從記憶體中讀取資料的一記憶體和一方法，以及寫入資料到記憶體的一記憶體和一方法。

【0011】 在一實施例中，記憶體包含具有一雙倍資料率資料通道的一資料埠。雙倍資料率資料通道包含並聯設置的 B 個傳輸器，其中 B 為正整數， B 個傳輸器在一傳送時脈的一上升緣及一下降緣傳送資料。進一步的，記憶體包含一第一記憶體陣列，第一記憶體陣列包含一第一陣列資料匯流排，第一陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元，其中 N 為正整數。記憶體包含一第二記憶體陣列，第二記憶體陣列包含一第二陣列資料匯流排，第二陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元。此外，記憶體包含一資料路徑控制器，資料路徑控制器包含一時序電路及一資料分配器。資料分配器由時序電路的一輸出所控制，資料分配器設置於第一記憶體陣列以及第二記憶體陣列之間，並連接到資料埠。在此文中，資料分配器可在傳送時脈的上升緣將包含 B 個位元的一第一資料區段從第一陣列資料匯流排分配到用於傳送的資料埠，並在傳送時脈的下降緣將包含 B 個位元的一第二資料區段從第二陣列資料匯流排分配到用於傳送的資料埠。

【0012】 在另一實施例中，提供從一記憶體讀取資料之方法。記憶體包含具有一雙倍資料率資料通道的一資料埠。記憶體包含具有一雙倍資料率資料通道的一資料埠。雙倍資料率資料通道包含並聯設置的 B 個傳輸器，其中 B 為正整數， B 個傳輸器在一傳送時脈的一上升緣及一下降緣傳送資料。記憶體更包含一第一記憶體陣列，第一記憶體陣列包含一第一陣

列資料匯流排，第一陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元，其中 N 為正整數。記憶體更包含一第二記憶體陣列，第二記憶體陣列包含一第二陣列資料匯流排，第二陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元。記憶體更包含一資料路徑控制器，資料路徑控制器包含一時序電路及一資料分配器。資料分配器由時序電路的一輸出所控制，資料分配器設置於第一記憶體陣列以及第二記憶體陣列之間，並連接到資料埠。進一步的，此方法包含在傳送時脈的上升緣使用資料分配器將包含 B 個位元的一第一資料區段從第一陣列資料匯流排分配到用於傳送的資料埠，並在傳送時脈的下降緣使用資料分配器將包含 B 個位元的一第二資料區段從第二陣列資料匯流排分配到用於傳送的資料埠。

【0013】 在另一實施例中，記憶體包含具有一雙倍資料率資料通道的一資料埠。雙倍資料率資料通道包含並聯設置的 B 個接收器，其中 B 為正整數， B 個接收器在一接收時脈的一上升緣及一下降緣傳送資料。進一步的，記憶體包含一第一記憶體陣列，第一記憶體陣列包含一第一陣列資料匯流排，第一陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元，其中 N 為正整數。記憶體包含一第二記憶體陣列，第二記憶體陣列包含一第二陣列資料匯流排，第二陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元。此外，記憶體包含一資料路徑控制器，資料路徑控制器包含一時序電路及一資料分配器。資料分配器由時序電路的一輸出所控制，資料分配器設置於第一記憶體陣列以及第二記憶體陣列之間，並連接到資料埠。其中，在接收時脈的上升緣，資料分配器將包含 B 個位元的一第一資料區段從資料埠分配到用於一資料寫入的第一陣列資料匯流排，並在傳送時脈的下降緣

資料分配器將包含 B 個位元的一第一資料區段從資料埠分配到用於一資料寫入的第二陣列資料匯流排。

【0014】 在另一實施例中，提供從一記憶體寫入資料之方法。記憶體包含具有一雙倍資料率資料通道的一資料埠。記憶體包含具有一雙倍資料率資料通道的一資料埠。雙倍資料率資料通道包含並聯設置的 B 個接收器，其中 B 為正整數，B 個接收器在一接收時脈的一上升緣及一下降緣傳送資料。記憶體更包含一第一記憶體陣列，第一記憶體陣列包含一第一陣列資料匯流排，第一陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元，其中 N 為正整數。記憶體更包含一第二記憶體陣列，第二記憶體陣列包含一第二陣列資料匯流排，第二陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元。記憶體更包含一資料路徑控制器，資料路徑控制器包含一時序電路及一資料分配器。資料分配器由時序電路的一輸出所控制，資料分配器設置於第一記憶體陣列以及第二記憶體陣列之間，並連接到資料埠。進一步的，此方法包含在接收時脈的上升緣使用資料分配器將包含 B 個位元的一第一資料區段從資料埠分配到用於一資料寫入的第一陣列資料匯流排，並在傳送時脈的下降緣使用資料分配器將包含 B 個位元的一第二資料區段從資料埠分配到用於一資料寫入的第二陣列資料匯流排。

【0015】 在此文中描述的技術的其他特徵和特徵的組合、方面和優點可參照下面的詳細描述、圖式及申請專利範圍。

【圖式簡單說明】

【0016】

第 1A 圖繪示了一種相變化記憶體在一設定相位的一部分的示意圖。

第 1B 圖繪示了一種相變化記憶體在一重設相位的一部分的示意圖。

第 1C 圖繪示了依據本揭露一實施例的一種相變化記憶體單元包含第 1A 圖的部分的示意圖。

第 2 圖繪示一相變化記憶體單元在重設相位和設定相位的溫度與時間之間的關係的示意圖。

第 3 圖繪示依據本揭露一實施例的可編程電阻式記憶體，例如相變化記憶體的一部份、一寫入頭（例如一可調寫入電路）以及一感應放大器電路的示意圖。

第 4 圖繪示依據本揭露一實施例實施的一雙倍資料率相變化記憶體的一架構和資料路徑的示意圖。

第 5 圖繪示依據本揭露一實施例的一雙倍資料率相變化記憶體晶片的一陣列分區的示意圖。

第 6A 圖及第 6B 圖繪示依據本揭露一實施例的一雙倍資料率相變化記憶體的一無縫爆發寫入 (seamless burst write) 操作和一無縫爆發讀取 (seamless burst read) 操作的時序圖。

第 6C 圖繪示依據本揭露的一實施例的關於一寫入操作的時序圖。

第 7 圖繪示提供傳統的雙倍資料率-533 DRAM 和本揭露的雙倍資料率相變化記憶體的一效能比較的一表格。

第 8 圖繪示依據本揭露一實施例的一相變化記憶體陣列分區的一架構的示意圖。

第 9 圖繪示依據本揭露一實施例的如第 5 圖和第 8 圖所示的雙倍資料率相變化記憶體晶片的陣列分區相較於傳統的相變化記憶體陣列分區的多

個優點的示意圖。

第 10 圖繪示依據本揭露一實施例的一上半記憶體組、一下半記憶體組、一上半部緩衝器、一下半部緩衝器及如第 4 圖所示的資料路徑控制器的示意圖，並包含控制訊號的描述。

第 11 圖依據本揭露的一實施例提供如第 10 圖所示的資料路徑控制器 1006 的一說明，並提供一表格描述從資料路徑控制器 1006 的分配器 1010 輸出的多種訊號。

第 12 圖繪示依據本揭露一實施例從一雙倍資料率相變化記憶體讀取資料的一時序圖。

【實施方式】

【0017】 請參照第 1A 圖~第 12 圖提供本揭露的實施例的詳細描述。

【0018】 第 1A 圖及第 1B 圖繪示了依據本揭露一實施例的一種相變化記憶體（相位 change memory，相變化記憶體）的一部分分別在一設定相位及重設相位的示意圖。

【0019】 請參照第 1A 圖及第 1B 圖，一記憶體單元部分 100 包含一記憶體元件 102，位於一上電極 104 以及一下電極 106 之間。記憶體元件 102 包含一相變化材料層。在記憶體元件 102 中的主動區域的相變化材料會隨著非結晶的（amorphous）和結晶的（crystalline）相位而改變。

【0020】 記憶體單元的例子包含相變化記憶材料，包含硫族化合物（chalcogenide）材料（例如氧族元素(chalcogens)）和其他材料。氧族元素包含四種元素氧(O)、硫(S)、硒(Se)、碲(Te)的任一個，形成週期表第 5 族的一部份。硫族化合物包含氧族元素的化合物，具有較正電性的元素或自

由基。硫族化合物合金包含硫族化合物的組合物，具有其他材料例如過渡金屬。硫族化合物合金通常包含一或多個週期表第 6 欄的元素，例如鍺(Ge)和錫(Sn)。通常來說，硫族化合物合金包含例如一或多個銻(Sb)、銦(In)和銀(Ag)的組合物。很多相變化記憶材料被描述在科學文獻中，例如鎵銻合金、銦銻合金、銦硒合金、銻碲合金、鍺碲合金、鍺銻碲合金、鍺銻碲合金、銦銻碲合金、鎵碲合金、錫銻碲合金、銦銻鍺合金、銀銦銻碲合金、鍺錫銻碲合金、鍺銻碲合金及碲鍺銻硫合金。在鍺銻碲合金的家族中，大範圍的合金成分是可實施的。另外，可使用添加劑以調整相變化記憶體的記憶體單元的特性，包含電介質的摻雜、電介質的摻雜、氮的摻雜、碳的摻雜等等。

【0021】 如第 1A 圖所示的記憶體單元部分 100 是在設定相位，其中記憶體元件 102 的相變化材料的一主動區域是在結晶的相位 108 之中。

【0022】 如第 1B 圖所示的記憶體單元部分 100 是在重設相位，其中記憶體元件 102 的相變化材料的主動區域是在非結晶的相位 110 之中。由於主動區域是在上電極 104 和下電極 106 之間的電流路徑之中，記憶體單元的阻抗在設定狀態和重設狀態之間會有顯著的改變。經由記憶體單元部分 100 的上電極 104 和下電極 106 施加的一電流會導致記憶體元件 102 的加熱以出現設定狀態和重設狀態的改變。

【0023】 第 1C 圖繪示了依據本揭露一實施例的一種相變化記憶體單元包含第 1A 圖的部分的示意圖。

【0024】 請參照第 1C 圖，一相變化記憶體單元 150 包含記憶體元件 102，如第 1A 圖所示位於一上電極 104 以及一下電極 106 之間。如上參照

第 1A 圖所描述的，記憶體元件 102 包含一相變化材料層。相變化材料會隨著非結晶的 (amorphous) 和結晶的 (crystalline) 相位而改變。

【0025】 相變化記憶體單元 150 也包含一存取裝置，在此例中包含一電晶體，在一 n+源極/汲極接點 154、156 的 P 型基底 158 中具有一通道，其中 n+接點 154 連接到下電極 106，且上電極 104 連接到相變化記憶體單元 150 的一位元線 152。進一步的，n+接點 156 連接到中間層連接器 160，中間層連接器 160 連接到一源極線 162，源極線 162 可連接到接地。n+接點 156 更連接到相變化記憶體單元 150 的一字元線 164，字元線 164 躺在存取電晶體的通道之上。也可使用其他種類的存取裝置，例如二極體、雙向定限開關 (ovonic threshold switch) 或者其他切換裝置。

【0026】 第 2 圖繪示一相變化記憶體單元在重設相位和設定相位的溫度與時間之間的關係的示意圖。

【0027】 請參照第 2 圖，200 說明了為了將相變化記憶體單元設置在重設狀態，溫度必須在一特定量的時間內，通常是幾奈秒(ns)內超過一特定臨界值 T_{melt} 。為了將相變化記憶體單元設置在重設狀態，溫度必須夠高以將相變化記憶體單元設置在非結晶的相位，例如，將相變化記憶體單元從結晶的相位改變為非結晶的相位。這可以藉由施加一短高電流脈衝通過相變化材料而使相變化材料的結晶的相位結構融化或崩潰而達成。之後，相變化材料快速冷卻，抑制相變化流程並使至少一部份的相變化材料穩定在非結晶的相位。

【0028】 進一步的，200 說明了為了將相變化記憶體單元設置在設定狀態，相變化記憶體單元的溫度必須在一特定量的時間內超過一特定臨

界值 T_{crystal} ，但低於溫度臨界值 T_{melt} 。這種溫度改變可以藉由施加一電脈衝流通過相變化材料而達成。在一例中，用於一設定操作的電脈衝使用一初始尖峰電流接著在此脈衝期間降低電流以使相變化材料慢慢冷卻到結晶的相位。

【0029】 第 3 圖繪示可編程電阻式記憶體，例如相變化記憶體的一部份、一寫入頭（例如一可調寫入電路）以及一感應放大器電路的示意圖。

【0030】 請參照第 3 圖說明一可調寫入電路 302。可調寫入電路 302 提供可調整的脈衝及電流鏡功能以使脈衝形狀可依據選擇的記憶體材料和記憶體單元的架構的用途而設置。舉例來說，當開啟一脈衝功能，提供一高電流的脈衝到相變化記憶體的一選定的記憶體單元以開始融化相變化記憶體的流程。此融化流程可被執行以增加高資料保存相變化記憶體材料的一設定速度。

【0031】 如圖所示，可調寫入電路包含一初始控制部分 312、一脈衝控制部分 314 用以控制脈衝功能、一抑制控制部分 316、一寫入控制部分 318、一可變電流源(VC)部分 320、一驅動節點 322 及一輸出線 324 連接到位元線解碼器(BLDEC)336。

【0032】 如圖所示，一可編程電壓(VPP)被施加到可調寫入電路。使用此可編程電壓(VPP)，每一部分 312、314、316、318 及 320 可控制可調寫入電路的輸出線 324 的波形輸出。

【0033】 關於可調寫入電路，初始控制部分 312 接收用於控制驅動節點 322 上的初始偏壓的時序的一 CNT0 訊號。

【0034】 在一設定操作期間，在一輸出線 324 上輸出一設定波形。在

一重設操作期間，在一輸出線 324 上輸出一重設波形 306。設定波形 304 說明繪示了在設定操作的電流對時間的關係，其中設定波形 304 包含一脈衝部分、一平坦頂部(FTOP)部份以及一斜坡部分。

【0035】 重設波形 306 繪示了重設操作的電流對時間的關係，其中重設波形 306 包含一脈衝部分以及一平坦(重設)部分。

【0036】 下文中將更詳細的描述可調寫入電路可控制一或多個設定波形 304 和重設波形 306 的脈衝部分、平坦頂部部份、斜坡部分及脈衝部分、一平坦頂部(FTOP)部份以及一斜坡部分的至少一振幅、一期間及一斜率。

【0037】 脈衝控制部分 314 接收用於控制設定波形 304 和重設波形 306 的脈衝部分的時序的一 spike 訊號，設定波形 304 和重設波形 306 分別在設定操作和重設操作期間從可調寫入電路的輸出線 324 上輸出到相變化記憶體陣列 310。藉由控制設定波形 304 的脈衝部分的時序，使在設定波形 304 的平坦頂部部分之前有可能有彈性以融化相變化記憶體的相變化材料。此特徵和彈性使得相變化記憶體有較佳的效能或/和可靠度。

【0038】 在設定波形 304 的脈衝部分期間，電流可短時間的上升高於一重設最小臨界值（未繪示），然後下降回低於重設最小臨界值使相變化記憶體的溫度充分地上升以使相變化記憶體設置於結晶的相位。

【0039】 在重設波形 306 的脈衝部分期間，電流可上升並維持高於重設最小臨界值。不同於設定波形 304 的脈衝部分期間，在重設波形 306 的脈衝部分期間的電流不會下降回低於重設最小臨界值。此電流維持高於重設最小臨界值的超過期間是必須的以使相變化記憶體設置於非結晶的相

位。

【0040】 進一步的，寫入控制部分 318 接收一 CNT1 訊號且可變電流源部分 320 提供一可變電流(VC)以調整設定波形 304 的平坦頂部部分的電流及期間的量。在平坦頂部部分期間，設定波形 304 應維持在低於重設最小臨界值且高於一設定最小臨界值（未繪示）的一電流。

【0041】 並且，寫入控制部分 318 和可變電流源部分 320 用以調整在設定波形 304 的斜坡部分期間的一斜坡下降的期間/斜率。在設定波形 304 的斜坡部分期間，電流會斜坡下降低於設定最小臨界值。詳細地說，可變電流源(VC)控制電流鏡的電流以定義斜坡部分的長度。斜坡部分的長度可被調整以符合不同相變化記憶體材料的設定脈衝需求。舉例來說，使用一較長的斜坡以較慢地改變相變化記憶體材料，而通常有較佳的資料保存。

【0042】 進一步的，寫入控制部分 318 和可變電流源部分 320 用以調整在重設操作期間中重設波形 306 的平坦部分期間的電流/期間。

【0043】 藉由使用一 QUNCH 訊號，抑制控制部分 306 用以調整可調寫入電路輸出的設定波形 304 和重設波形 306 的電流的下降的一時序。詳細地說，QUNCH 訊號控制設定波形 304 和重設波形 306 的時序以使在一端電流會快速地下降。

【0044】 下文中將更詳細的描述可調寫入電路在輸出線 324 上輸出的設定波形 304 和重設波形 306 被相變化記憶體陣列 310 的位元線解碼器 336 接收。

【0045】 並且，如第 3 圖所示，提供一讀取電路 308。讀取電路 308 讀取儲存在相變化記憶體上的資料，且讀取電路 308 一乾淨部分 330、一預

充電部分 332 及一感應放大器 334。感應放大器 334 從位元線解碼器 336 接收資料線 333 上的資料，並基於從位元線解碼器 336 接收的資料提供一輸出(SOUT)。感應放大器 334 也用以連接到例如，接地、一參考電壓(VREF)以及一感應放大器電壓(VSA)。

【0046】 感應放大器 334 的資料線 333 也連接到乾淨部分 330，乾淨部分 330 用以將感應放大器 334 的資料線 333 接地。一乾淨控制訊號(CLR)被乾淨部分 330 接收以控制資料線 333 是否接地。感應放大器 334 的資料線 333 也連接到預充電部分 332，預充電部分 332 由一預充電控訊號(PRE)控制而提供一預充電電壓訊號(VPRE)到感應放大器 334。預充電電壓訊號用來預充電資料線 333。

【0047】 請參照第 3 圖，如上所述，相變化記憶體陣列 310 包含一位元線解碼器 336、多個不同的位元線 338、字元線 340 以及代表可編程電阻式記憶體元件（例如相變化記憶體元件）的電阻 342。為了方便表示，並非所有的相變化記憶體陣列 310 的記憶體元件都被標示，然而繪示在相變化記憶體陣列 310 的每一電阻元件都代表一相變化記憶體元件。如上所述，記憶體元件（即電阻 342）的阻抗值基於從可調寫入電路輸出的設定波形 304 和重設波形 306 而改變。詳細地說，相變化材料在較高阻抗的非結晶的相位（例如重設操作）與較低阻抗的結晶的相位（例如設定操作）之間改變。

【0048】 位元線解碼器 336 藉由將設定波形 304 和重設波形 306 到傳送到適當的位元線 338 而將資料連接到相變化記憶體以改變適當的相變化記憶體元件（電阻 342）的阻抗值。進一步的，讀取電路基於相變化記憶體

元件的阻抗值讀取從位元線解碼器 336 取得的資料。

【0049】 開關 326 和 328 可被切換以選擇性地將寫入電路和讀取電路連接到位元線解碼器 336。

【0050】 第 4 圖繪示依據本揭露一實施例實施在單一積體電路上的一雙倍資料率相變化記憶體的一架構和資料路徑的示意圖。在其他實施例中，此架構可使用多晶片封裝或其他超過一電路元件的組合實施。

【0051】 請參照第 4 圖，提供 400 繪示在例如資料埠 446 的資料腳位（用於傳送/接收 $DQ<7:0>$ ）上具有雙倍資料率通道的相變化記憶體的架構和資料路徑。資料埠 446 包含複數個傳送器 450 以及複數個接收器 451，資料由晶片的複數個傳送器 450 傳送到以及晶片的複數個接收器 451 接收。傳送器 450 可在一傳送時脈的上升緣及下降緣傳送資料，傳送時脈可由一外部時脈或內部時脈得到，包含在一輸入/輸出控制器 408 上接收或產生的時脈訊號。接收器 451 可在一接收時脈的上升緣及下降緣傳送資料，接收時脈可由一外部時脈或內部時脈得到，包含在一輸入/輸出控制器 408 上接收或產生的時脈訊號。一雙倍資料率通道例如藉由在一時脈訊號的上升緣及下降緣在每一時脈週期攜帶兩位元的資料。雙倍資料率通道可藉由在時脈中的每 90 度相位偏移時傳送而被增加到每時脈超過兩位元，例如每時脈 4 位元。習知的一些介面標準使用雙倍資料率通道，例如 DDR、DDR2 或 DDR3。

【0052】 400 更繪示了雙倍資料率相變化記憶體的一上半陣列 402 及一下半陣列 404。上半陣列 402 和下半陣列 404 在此文中使用「半」描述是因為定址機制為一區塊位址被定址到一半位於上半陣列 402 的記憶體單

元，另一半位於下半陣列 404 的記憶體單元。相變化記憶體也包含一資料路徑控制器 406、一輸入/輸出控制器 408、一全域邏輯控制器 410、一預解碼器 412 及一資料埠 446。資料埠 446 包含並聯設置的多個傳送器 450 及多個接收器 451 並連接到輸入/輸出墊（腳位）448，輸入/輸出墊（腳位）448 在一時脈（例如傳送時脈或接收時脈）的上升緣及下降緣傳送/接收資料。一些或所有的輸入/輸出墊（腳位）448 位在相變化記憶體的上半陣列 402 和下半陣列 404 之間的一層上。在一實施例中，可能有傳送到資料路徑控制器 446 或從資料路徑控制器 446 接收的多個資料埠 446。資料埠 446 可被視為輸入/輸出控制器 408 的一部份，但在此途中被繪示為分開的元件。

【0053】 400 繪示了由 16 個半記憶體組組成的總共 8 個記憶體組（bank）。8 個半記憶體組位於上半陣列 402 而 8 個半記憶體組位於下半陣列 404。詳細地說，上半陣列 402 包含一組半記憶體組 414（即 4 個半記憶體組 0-3）及一組半記憶體組 416（即 4 個半記憶體組 4-7），下半陣列 404 包含一組半記憶體組 418（即 4 個半記憶體組 0-3）及一組半記憶體組 420（即 4 個半記憶體組 4-7）。上半陣列 402 的半記憶體組 0 及下半陣列 404 的半記憶體組 0 形成一組互補的半記憶體組。這組互補的半記憶體組會在下文詳細描述，（例如以一記憶體位址的觀點）作為一單一記憶體組，此單一記憶體組使用資料路徑控制器 406 和資料埠 446 在一時脈（例如一傳送時脈）的上升緣和下降緣讀取或寫入資料。在相似的方法中，上半陣列 402 的半記憶體組 1 和下半陣列 404 的半記憶體組 1 形成另一組互補的半記憶體組作為一單一記憶體組。剩下的上半陣列 402 的半記憶體組 2-7 和下半陣列 404 的半記憶體組 2-7 也形成互補的半記憶體組。如上所述，這些互補

的半記憶體組包含 8 個記憶體組（由 16 個半記憶體組組成）。

【0054】 一組半記憶體組 414 連接到一系列解碼器 422、一行解碼器 424 及一組選擇器 426，一組半記憶體組 416 連接到一系列解碼器 428、一行解碼器 430 及一組選擇器 432，一組半記憶體組 418 連接到一系列解碼器 434、一行解碼器 436 及一組選擇器 438，一組半記憶體組 420 連接到一系列解碼器 440、一行解碼器 442 及一組選擇器 444。

【0055】 預解碼器 412 傳送資訊到每一列解碼器 442、428、434、440 及行解碼器 424、430、436、442，以及組選擇器 426、432、438、444。雖然第 4 圖僅繪示預解碼器 412 連接到組選擇器 426、行解碼器 424 及列解碼器 422，預解碼器 412 更連接到組選擇器 432、438、444 及行解碼器 430、436、442 及列解碼器 428、434、440。進一步的，每一列解碼器 422、428、434、440 及每一行解碼器 424、430、436、442 從預解碼器 412 接收（解碼）位址資料以適當的選擇/辨識對應記憶體組的對應行和列，或者辨識例如 128 位元的一頁的頁位址。每一組選擇器 426、432、438、444 從預解碼器接收解碼的位址資料以辨識適當的記憶體組。

【0056】 如圖所示，在一實施例中，一組半記憶體組 414 和 416 連接到一 64 位元的輸出資料線（DOUT [63:0]）及一對應的 64 位元的輸入資料線（DIN [63:0]），且一組半記憶體組 418 和 420 連接到一 64 位元的輸出資料線（DOUT [63:0]）及一對應的 64 位元的輸入資料線（DIN [63:0]）。

【0057】 如上所述，相變化記憶體的資料經由從資料埠 446 的輸入/輸出墊（腳位）448 輸入或輸出相變化記憶體，資料埠 446 包含例如 8 個傳送器 450 和 8 個接收器 451。傳送器 450 在一傳送時脈的上升緣和下降緣傳

送資料。資料路徑控制器 406 與上述的資料埠 446、上半陣列 402 和下半陣列 404 架構配合控制此資料流以使在傳送時脈或接收時脈的上升緣從在線 DQ<7:0>上傳送資料到上半陣列 402 或從上半陣列 402 接收資料，並在送時脈或接收時脈的下降緣從在線 DQ<7:0>上傳送資料到下半陣列 404 或從下半陣列 404 接收資料。因此，上半陣列 402 的資料和下半陣列 404 的資料在線 DQ<7:0>上的連續時脈邊緣被交錯。在一實施例中，以基於一或多個記憶體陣列時脈的一記憶體存取速率並聯的讀取或寫入上半陣列 402 和下半陣列 404 的資料，然後這些資料以一串列方式以基於一或多個傳送時脈的一傳送時脈頻率由資料路徑控制器 406 被傳送到資料埠 446 或以基於一或多個接收時脈的一接收時脈頻率由資料路徑控制器 406 從資料埠 446 接收。

【0058】 進一步的，如下文參照第 5 圖的詳細描述，以此方式交錯的從上半陣列 402 和下半陣列 404 輸出或輸入的資料，移動了相對相近的距離以到達資料路徑控制器 406。這種佈局方法減少了資料路徑的平均長度。這種方法可使一較大尺寸的頁的操作有較低的延遲時間。並且，這種佈局將主動資料線的位置分散到一特定頁的上半部分和下半部分。因此，可減少局部的資料線偶接，使輸出和輸入的資料更有高的效率和較低的雜訊。

【0059】 輸入/輸出控制器 408 傳送和接收支持記憶體操作的各種訊號。舉例來說，輸入/輸出控制器 408 傳送或接收的各種訊號可包含 BA<2:0>、A<12:0>、CAS、CS、WE、RAS、CKE、CK_C、CK_T、VREF、ODT、DM、DQS_T 及 DQS_C。並且訊號 DQ<7:0>（例如由腳位 DQ<7:0> 傳送或接收的訊號）可被視為或偶接到輸入/輸出控制器 408。訊號 BA<2:0>

為一記憶體組選擇訊號以定義施加命令到哪一記憶體組，訊號 A<12:0>為用來辨識一位址匯流排的一訊號，訊號 CAS 為一行位址選通 (strobe) 訊號，訊號 CS 為一晶片選擇訊號，訊號 WE 為一寫入致能選通訊號，訊號 RAS 為一系列位址選通訊號，訊號 CKE 為一時脈致能訊號，訊號 CK_C 和訊號 CK_T 為互補的時脈訊號，訊號 VREF 為一參考電壓，訊號 ODT 為一晶片上 DQ 終端訊號，訊號 DM 為一資料遮罩訊號，訊號 DQS_T 和訊號 DQS_C 為互補的資料選通訊號，訊號 DQ<7:0>為一資料訊號。

【0060】 回應於上述的訊號，輸入/輸出控制器 408 傳送資料到資料路徑控制器 406 或從資料路徑控制器接收資料，並提供記憶體組和位址資料到全域邏輯控制器 410 以送到預解碼器 412 以進行記憶體組、列、行的位址辨識。

【0061】 上述第 4 圖的架構可在單一晶片上實施也可在多晶片組態上實施，其中繪示於第 4 圖的多個不同的元件可分散在多個晶片上。

【0062】 第 5 圖繪示依據本揭露一實施例的一雙倍資料率相變化記憶體晶片的一陣列分區的示意圖。

【0063】 請參照第 5 圖，在一實施例中，一雙倍資料率相變化記憶體晶片 500 的一陣列分區可包含如第 4 圖所示的一組半記憶體組 414、416、418 和 420。如上所述，請參照第 4 圖，上半陣列 402 包含半記憶體組 414、416，下半陣列 404 包含半記憶體組 418、420。進一步的，一組半記憶體組 414 包含半記憶體組 0-3，一組半記憶體組 416 包含半記憶體組 4-7，一組半記憶體組 418 包含半記憶體組 0-3，一組半記憶體組 420 包含半記憶體組 4-7。並且，如上所述，不同的半記憶體組形成互補組，其中一記憶體組位

址（例如參照第 4 圖所描述的 $BA\langle 2:0 \rangle$ ）從下面組（例如 418 或 420）的 8 個半記憶體組選擇其中一個半記憶體組，並從上面組（例如 414 或 416）的 8 個半記憶體組選擇其中一個半記憶體組。進一步的，舉例來說，每一半記憶體組（例如一組半記憶體組 414 的半記憶體組 0）包含四個瓦片（tile），即 TILE 0、TILE 1、TILE 2 及 TILE 3，其中每一的瓦片總共為 4Mb 包含 1024 條字元線 WL 及 4096 條位元線 BL。

【0064】 在一實施例中，當在一半記憶體組（例如組 418 的半記憶體組 2）的一瓦片的一字元線被開啟時，互補半記憶體組（例如組 414 的半記憶體組 2）的一對應瓦片的一對應的字元線也被開啟。並且，每一半記憶體組中的 64 條位元線和 64 個感應放大器及/或 64 個寫入頭被啟動，組 414 和組 418 的總共 128 條位元線和 128 個感應放大器及/或 128 個寫入頭同時被啟動。這導致一 128 位元的頁被提供到一資料分配器，其中 64 位元來自上半陣列 402，64 位元來自下半陣列 404。如第 5 圖的組 414 所示，每一半記憶體組的感應放大器和寫入頭 415 位於每一半記憶體組中間的一層，在上面的一組瓦片 0、1 和下面的一組瓦片 2、3 之間。這佈局可改善 RC 延遲的均勻性，降低在一特定頁中的每一存取單元中的延遲的分散。在一實施例中，在雙倍資料率相變化記憶體晶片 500 上總共有 1024 個感應放大器和 1024 個寫入頭，其中每組半記憶體組 414、416、418、420 各包含 256(64 x 4)個感應放大器和 265 個寫入頭。每一瓦片上的一行解碼器用以將 32 組的每一組的 128 條位元線中的一位元線連接到在半記憶體組的輸入或輸出匯流排上的 64 條線中的一條線。每一瓦片的 32 組的每一組可設置如第 3 圖所示。

【0065】 進一步的，在一實施例中，在一讀取/寫入操作期間，128 個位元（例如一組半記憶體組 414 的半記憶體組 3 的 64 個位元和一組半記憶體組 418 的半記憶體組 3 的 64 個位元）經由 8 個資料墊（DQ<7:0>在 8 個時脈週期，即 16 個時脈邊緣）被讀取/寫入。

【0066】 第 6A 圖及第 6B 圖繪示一雙倍資料相變化記憶體的一無縫爆發寫入 (seamless burst write) 操作和一無縫爆發讀取 (seamless burst read) 操作的時序圖，第 6C 圖繪示依據本揭露的多個實施例的關於一寫入操作的時序圖。

【0067】 請參照第 6A 圖及第 6B 圖對應地說明一無縫爆發寫入操作和一無縫爆發讀取操作的時序圖。在一無縫爆發寫入操作中，如第 6A 圖所示，在一記憶體組上執行的一第一寫入可與在不同的記憶體組上執行的一第二寫入重疊，以使這兩個記憶體組的資料輸入可無縫的（沒有閒置的時脈週期）被傳送到資料輸入線上。在一無縫爆發讀取操作中，如第 6B 圖所示，在一記憶體組上執行的一第一讀取可與在不同的記憶體組上執行的一第二讀取重疊，以使到這兩個記憶體組的資料輸出可無縫的（沒有閒置的時脈週期）被傳送到資料輸出線上。這些重疊使得讀取和寫入操作可被執行而在資料從不同的記憶體組被讀取或寫入到不同的記憶體組時只發生一個讀取延遲 RL 或一個寫入延遲 WL。

【0068】 請參照第 6A 圖及第 6B 圖，時序訊號被標示為一時脈訊號 CK、另一（反相）時脈訊號 \overline{CK} 、一指令訊號 CMD、一資料選通訊號 DQS、另一（反相）資料選通訊號 \overline{DQS} 及一資料讀取/寫入訊號 DQ。進一步的，第 6 圖繪示一資料遮罩時脈訊號 DM，資料遮罩時脈訊號 DM 用於致能以

遮蔽對應的資料輸入。

【0069】 CMD 訊號用於控制一記憶體組 0 的啟動 (Bank0 ACT)、一記憶體組 1 的啟動 (Bank1 ACT)、一行位址選通 (CAS)、一讀取 (RD) 及/或一寫入 (WR)。在 ACT 和 CAS 之間，CMD 訊號提供一不操作訊號 (NOP)。DQ 訊號用以讀取/寫入資料，其中 128 個位元的資料在 8 個時脈週期期間被讀取/寫入，8 個位元在時脈的上升緣，8 個位元在時脈的下降緣。

【0070】 詳細地說，請參照第 6A 圖，當一寫入操作開始時，一第一記憶體組被啟動 (Bank0 ACT)，接著執行 CAS/WR 命令以開啟同一記憶體組的 128 條位元線和 128 個寫入頭 (半記憶體組的 64 個)。在一寫入延遲 WL 及訊號 DQS 的初始化之後，開始以每周期兩位元計時經由 8 個輸入/輸出腳位 (只繪示了一個 DQ 腳位) 寫入資料到相變化記憶體。藉由使用這 8 個輸入/輸出腳位，在時脈的每一上升緣和下降緣寫入 8 個位元到陣列。因此，在一週期之後 (例如 1 時脈)，16 個位元被寫入到雙倍資料率相變化記憶體，且在 8 個週期之後 (例如 16 個時脈邊緣 D0-D15)，總共 128 個位元被寫入到第一記憶體組 (例如每時脈 16 位元乘以 8 個時脈等於 128 位元)。

【0071】 在 4 個時脈的寫入資料到第一記憶體組之後 (即不等第一記憶體組完成寫入)，啟動一第二記憶體組 (Bank1 ACT))，接著執行 CAS/WR 命令以開啟同一記憶體組的 128 條位元線和 128 個寫入頭 (半記憶體組的 64 個)，以將另一組的 128 位元寫入到雙倍資料率相變化記憶體。藉由此方法，資料以一全速資料率沒有被中斷被無縫地寫入到剩餘的記憶體組。

【0072】 如果被傳送的資料組夠大，在第 8 個 (最後一個) 記憶體組被啟動的 4 個時脈之後，第一記憶體組可被再次啟動以形在這 8 個記憶體

成一無縫寫入迴圈直到 CPU 停止寫入。此結構的主要的好處在於藉由不需要等待第一記憶體組完成持續寫入資料到不同的記憶體組，使相變化記憶體具有超快的設定速度的需要有可能被放寬。舉例來說，對於一雙倍資料率相變化記憶體，一 150ns 的設定速度足夠使 8 個記憶體組以 533MB/s 的資料率無縫的寫入。

【0073】 並且，如第 6A 圖所示，WL 是 CAS/WR 和第一寫入之間的延遲，針對 Bank0 的 CAS/WR 命令與針對 Bank1 的 CAS/WR 命令之間的一些時脈是 tCCD（也被稱為 CAS 到 CAS 的延遲），也等於爆發長度（BL）除以 2。在此例中，由於 BL 為 16 個時脈，tCCD 為 8 個時脈。並且，如圖所示，在提供一訊號之前，DQS 和 DQ 訊號被設定至一高阻抗（Hi-Z）。

【0074】 請參照第 6B 圖，使用相似於上述的無法寫入操作的流程執行無縫的讀取操作，除了寫入頭被關閉而感應放大器被啟動到輸出資料之外，例如在啟動一記憶體組之後，一 CAS/RD 命令開啟 128 條位元線和 128 個感應放大器。此外，請參照第 6B 圖，一讀取週期時間 tRC 為完成一頁讀取指令需要的一最小時脈週期數，且一讀取延遲 RL 為 CAS/RD 命令和一第一資料讀取之間的延遲。

【0075】 第 6C 圖的方塊繪示了寫入資料到 4 個不同的記憶體組（即 Bank X、Bank Y、Bank Z 及 Bank W）的一寫入操作的時序圖。如圖所示，藉由一預充電開啟 Bank X 以將 Bank X 準備好被寫入，並接收一指令（CMD）以開啟記憶體組的位元線和寫入頭。需要寫入延遲 WL 以提供足夠的時間在資料（例如從 DQ 線被接收）被寫入之前完成啟動。在寫入延遲 WL 之後，用於在記憶體組 Bank X 上的寫入操作的資料輸入（DIN）被

接收。在一實施例中，DIN 被接收且被儲存在一緩衝器上。在記憶體組 Bank X 完成接收 DIN 之後，開始執行記憶體組 Bank X 的寫入操作。

【0076】 當記憶體組 Bank X 仍然在接收 DIN 且過了等於 $BL/2$ 的時脈週期之後，啟動記憶體組 Bank Y 且記憶體組 Bank Y 如同 Bank X 的方法接收指令 (CMD)。在記憶體組 Bank X 的寫入操作期間且在記憶體組 Bank Y 的 ACT、CMD 和 WL 之後，記憶體組 Bank Y 的 DIN 被接收用於記憶體組 Bank Y 上的寫入操作。接著，在記憶體組 Bank Y 的 DIN 的時序完成之後，在記憶體組 Bank Y 上執行寫入操作以在記憶體組 Bank X 的寫入操作完成之前開始記憶體組 Bank Y 上的寫入操作。此流程可使從寫入到 Bank X 到寫入到 Bank Y 的過渡可無縫地寫入。換句話說，因為記憶體組 Bank X 的 DIN 時序結束在記憶體組 Bank Y 的 DIN 時序開始時，記憶體組 Bank X 和記憶體組 Bank Y 的寫入操作是無縫的。持續地執行上述的流程到記憶體組 Bank Z 和記憶體組 Bank W，並在需要時回復到記憶體組 Bank X，直到資料寫入完成為止。

【0077】 第 7 圖繪示一表格以提供傳統的雙倍資料率-533 DRAM 和本揭露的雙倍資料率相變化記憶體的一效能比較。

【0078】 請參照第 7 圖提供一雙倍資料率 DRAM 和一雙倍資料率相變化記憶體的隨機讀取/寫入操作的一效能比較。

【0079】 在描述第 7 圖的表格之前，需要注意的是隨機讀取/寫入操作和參照第 6A 圖及第 6B 圖描述的無縫讀取/寫入操作的區別在於，隨機讀取/寫入操作在時脈週期之間有一延遲在一最後（隨機）寫入操作之後和一記憶體組使用 ACT 訊號被啟動之前。此延遲被描述在表中以 tWR 表示，也

被稱為一寫入恢復時間。此 t_{WR} 延遲在第 6A 圖及第 6B 圖的無縫讀取/寫入操作期間並不存在。

【0080】 請參照第 7 圖的表格，雙倍資料率-533 DRAM 和雙倍資料率相變化記憶體之間在效能上顯著的差異在於雙倍資料率-533 DRAM 的爆發長度(BL)是 4 或 8 個時脈，而雙倍資料率相變化記憶體的爆發長度(BL)是 16 個時脈。並且，雖然雙倍資料率相變化記憶體相較於雙倍資料率-533 DRAM 具有一較長的 CL(在一控制器告知一記憶體在目前列取得一特定行到此特定行的資料被讀取之間的時脈的數量)，雙倍資料率相變化記憶體為 10 個，雙倍資料率-533 DRAM 為 6 個，雙倍資料率相變化記憶體相較於雙倍資料率-533 DRAM 具有較短的 t_{RCD} (在 ACT 指令和一寫入/讀取指令之間的時脈的數量)，1 個比 4 個。且雙倍資料率相變化記憶體相較於雙倍資料率-533 DRAM 也具有較短的 t_{RP} (在一列預充電指令和一 ACT 指令之間的時脈的數量)，0 個比 4 個。因此，雙倍資料率相變化記憶體的 CL、 t_{RCD} 和 t_{RP} 需要的總時脈為 11 個時脈，而雙倍資料率-533 DRAM 的 CL、 t_{RCD} 和 t_{RP} 需要的總時脈為 12 個時脈。

【0081】 此外，請參照第 7 圖的表格，雙倍資料率-533 DRAM 具有 7 個時脈的一讀取延遲 R_L ，而雙倍資料率相變化記憶體具有 10 個時脈的一讀取延遲 R_L ，且雙倍資料率相變化記憶體的 t_{RC} 為 47 個時脈，而雙倍資料率-533 DRAM 的 t_{RC} 為 20 個時脈。然而，雙倍資料率-533 DRAM 和雙倍資料率相變化記憶體的讀取和寫入尖峰是相同的，雙倍資料率-533 DRAM 和雙倍資料率相變化記憶體的讀取和寫入尖峰的頻寬也是相同的。

【0082】 進一步的，雖然雙倍資料率相變化記憶體具有一非常短的

讀取延遲 WL (即 3 個時脈), 然而有一個問題是同一記憶體組的隨機寫入的效能被 tWR (35 個時脈) 所限制。當資料持續地被寫入到同一記憶體組時, 第一組的 128 位元需要在寫入另一組 128 位元的第一地址到之前完成寫入。舉例來說, 假設一相變化材料使用 120ns 的設定速率, tWR 需要至少 35 個時脈週期。增加一同一記憶體組寫入緩衝器會降低在隨機寫入效能上 tWR 的影響。因此, 一較佳的解法是使用可在 30ns 內切換並得到一良好分布的一材料。

【0083】 如同表格中所看到的資料, 比較雙倍資料率-533 DRAM 和雙倍資料率相變化記憶體, 兩者具有相同的 VDD (1.8V)、操作頻率 (266 MHz) 及寫入/讀取資料率 (533 MB/s)。有 8 個雙倍資料率相變化記憶體晶片的一雙行記憶體模組 (dual in-line memory module, DIMM) 可提供 4.3GB/s 的讀取和寫入頻寬。

【0084】 雙倍資料率相變化記憶體的讀取延遲 RL 只有 3 個時脈週期 (11.25ns) 是比雙倍資料率-533 DRAM 的讀取延遲 RL 慢。因為相較於雙倍資料率-533 DRAM 具有 4 或 8 個時脈爆發長度, 雙倍資料相變化記憶體具有一較長的爆發長度 (16 個時脈), 在雙倍資料率相變化記憶體上的讀取和寫入操作的第一頁的 tCCD (即 CAS 到 CAS 的延遲, 也等於 BL/2) 是比雙倍資料率-533 DRAM 的 tCCD 慢了 4~6 個時脈週期。對接下來的頁的無縫讀取和寫入操作, 雙倍資料率-533 DRAM 的 tCCD 和雙倍資料率相變化記憶體的 tCCD 是相同的。如上所述, 第 7 圖的表格繪示了在同一記憶體組上寫入效能中 tWR 的影響, 並繪示了因為一 120ns 的設定時間, 雙倍資料率相變化記憶體在第一頁寫入操作的 tRC (ACT 到 ACT 的延遲) 比雙倍

資料率-533 DRAM 的 tRC 長了 27 個時脈週期。對接下來的頁的讀取和寫入操作，雙倍資料率-533 DRAM 的 tRC 和雙倍資料率相變化記憶體 tRC 是相同的。

【0085】 第 8 圖繪示依據本揭露一實施例的一相變化記憶體陣列分區的一佈局架構的示意圖。

【0086】 在討論本揭露的相變化記憶體陣列分區的佈局架構之前，需要注意的是傳統的相變化記憶體陣列具有幾個缺點都可被本揭露所克服。詳細地說，傳統的相變化記憶體陣列分區包含位於上分區的位址墊和位於下分區的資料墊。如上所述，此架構會產生問題，即在上陣列和資料墊之間的資料路徑長度和在下陣列和資料墊之間的資料路徑長度會有顯著的差異，例如在下陣列和資料墊之間的資料路徑長度相較於在上陣列和資料墊之間的資料路徑長度是比較短的。此資料路徑長度的差異基於被存取的資料陣列的位置可能會劇烈的影響存取效能。舉例來說，使用傳統的相變化記憶體陣列架構，存取戲能必須要提供足夠資料墊和不同的資料陣列之間最長的資料路徑的時間。這種傳統架構也會導致其他問題，例如暫態雜訊和佈線的壅塞。

【0087】 請參照第 8 圖，繪示了一相變化記憶體陣列分區 800 的一架構的，其中相變化記憶體陣列分區 800 包含一上半部 802、一下半部 804 以及一區塊 806。區塊 806 位於上半部 802 和下半部 804 之間，區塊 806 包含例如位址墊、資料墊、一資料路徑控制器（例如第 4 圖的資料路徑控制器 406）及/或一資料分配器（例如第 10 圖的資料分配器 1010）。如圖所示，上半部 802 在資料線 DO_T<63:0>上提供 64 位元到資料墊 806，且下半部

804 在資料線 DO_B<63:0>上提供 64 位元到資料墊 806。

【0088】 相變化記憶體陣列分區 800 包含總共 8 個記憶體組（16 個半記憶體組）。詳細地說，相同於如 4 圖所述的方式，上半部 802 包含一組半記憶體組 808（即 4 個半記憶體組 0-3）及一組半記憶體組 810（即 4 個半記憶體組 4-7），下半部 804 包含一組半記憶體組 812（即 4 個半記憶體組 0-3）及一組半記憶體組 814（即 4 個半記憶體組 4-7）。並且，如第 4 圖所述的，上半部 802 的半記憶體組 0 和下半部 804 的半記憶體組 0 形成第一組互補的記憶體組，上半部 802 的半記憶體組 1 和下半部 804 的半記憶體組 1 形成第二組互補的記憶體組，以此類推。

【0089】 此架構使得資料在上半部 802 和下半部 804 之間被交錯（被分割）以使從上半部 802 的記憶體組（半記憶體組 0）讀取/寫入到資料墊 806 的距離與從下半部 804 的記憶體組（半記憶體組 0）讀取/寫入到資料墊 806 的距離是接近相等的。

【0090】 據此，此相變化記憶體陣列分區 800 可解決上述關於資料路徑長度的問題。詳細地說，因為資料墊 806 位於相變化記憶體陣列分區 800 的中間，且因為上半部 802 和下半部 804 互補的半記憶體組分別使用時脈的上升緣和下降緣，最長資料路徑（例如從上半部 802 或下半部 804 到資料墊 806 的最長資料路徑）和最短資料路徑（例如從上半部 802 或下半部 804 到資料墊 806 的最短資料路徑）之間的差異相較於傳統的架構的資料路徑長度的差異可被顯著的減少。換句話說，在一實施例中，最長資料路徑和最短資料路徑之間的差異是超小以使一最大長度資料路徑（例如最長資料路徑）和一最小長度資料路徑（例如最短資料路徑）在長度上是相對相

似的。

【0091】 並且，基於此架構，從上半部 802（例如第一記憶體陣列）的一記憶體組（例如半記憶體組 3 的位址記憶體單元）到資料墊 806（或資料分配器 1010）的一資料路徑的最大長度的佈線，與從下半部 804（例如第二記憶體陣列）的一記憶體組（例如半記憶體組 3 的位址記憶體單元）到資料墊 806（或資料分配器 1010）的一資料路徑的最大長度的佈線是實質上相同的。此外，基於此架構，從上半部 802（例如第一記憶體陣列）的一記憶體組（例如半記憶體組 3 的位址記憶體單元）到資料墊 806（或資料分配器 1010）的一資料路徑的最小長度的佈線，與從下半部 804（例如第二記憶體陣列）的一記憶體組（例如半記憶體組 3 的位址記憶體單元）到資料墊 806（或資料分配器 1010）的一資料路徑的最小長度的佈線是實質上相同的。「實質上相同」表示此佈線長度在長度上是非常接近的，以在交錯的方式存取上半部和下半部的記憶體單元時可節省雙倍資料率時序，而不需要因為長度差異而擴大取樣間隔以超過時脈頻率的可允許的最大值。

【0092】 上述第 8 圖所描述的架構也可藉由分享上升/下降緣從上半部 802 和下半部 804 取得的資料以降低暫態雜訊，並藉由分割資料訊號到上半部 802 的一半佈線和下半部 804 的另一半佈線以降低佈線的壅塞，以解決上述的問題。並且，如第 8 圖所示，相較於上述的傳統架構，藉由將資料墊 806 設置在相變化記憶體陣列分區 800 的中間，並在上半部 802 和下半部 804 之間，最長資料路徑和最短資料路徑的差異可被減到最小。

【0093】 如上所述，相變化記憶體陣列分區 800 是在一雙倍資料率相

變化記憶體晶片中被使用，以在每一時脈的上升緣或下降緣資料被輸入/輸出。據此，如上所述，上半部 802 的半記憶體組 0 和下半部 804 的半記憶體組 0 包含一互補的記憶體組作為一完整的記憶體組，其中上半部 802 的半記憶體組 0 在時脈的上升緣中被存取，而下半部 804 的半記憶體組 0 在時脈的下降緣中被存取。換句話說，本揭露的架構需要上升緣資料以從上半部 802 的半記憶體組 0 接收或傳送到上半部 802 的半記憶體組 0，以及需要下降緣資料以從下半部 804 的半記憶體組 0 接收或傳送到下半部 804 的半記憶體組 0。或者相反的，需要下降緣資料以從上半部 802 的半記憶體組 0 接收或傳送到上半部 802 的半記憶體組 0，以及需要上升緣資料以從下半部 804 的半記憶體組 0 接收或傳送到下半部 804 的半記憶體組 0。此方法降低了平均的資料路徑長度並分散主動資料線的位置分散以減少局部偶接到以使資料生產量有更高的效率和較低的雜訊。

【0094】 第 9 圖繪示依據本揭露一實施例的如第 5 圖和第 8 圖所示的雙倍資料率相變化記憶體晶片的陣列分區相較於傳統的相變化記憶體陣列分區的多個優點的示意圖。

【0095】 請參照第 9 圖描述在一傳統的雙倍資料率陣列分區中，128 位元的暫態資料在同一位置，而在依據本揭露的雙倍資料率相變化記憶體陣列分區中，在上半部只有 64 位元的暫態資料，在下半部只有 64 位元的暫態資料。藉由在一部份（上半部或下半部）中只有 64 位元的暫態資料，可在此新的陣列分區中降低暫態雜訊。

【0096】 進一步的，請參照第 9 圖，傳統的雙倍資料率陣列在同一分區內需要從上到下設置 128 位元的佈線以到達資料墊，然而本揭露的雙倍

資料率相變化記憶體之架構從上半分區到中間的資料墊僅需要 64 位元的佈線，並從下半分區到中間的資料墊僅需要 64 位元的佈線。此架構減輕並降低佈線的壅塞。

【0097】 並且，請參照第 9 圖，傳統的雙倍資料率陣列需要記憶體控制器以基於從陣列上部到位於陣列下部的資料墊的最長資料路徑，控制雙倍資料率陣列的存取。相較之下，雙倍資料率相變化記憶體之此架構的最長資料路徑僅需要從陣列分區上部到陣列分區中間（或者從陣列分區下部到陣列分區中間）。此架構可大大的降低需要被控制器補償的最長資料路徑。

【0098】 第 10 圖繪示依據本揭露一實施例之一上半記憶體組、一下半記憶體組、一上半部緩衝器、一下半部緩衝器及如第 4 圖所示的資料路徑控制器的示意圖，並包含控制訊號的描述。

【0099】 請參照第 10 圖繪示了一上半記憶體組 1002、一下半記憶體組 1004、一上半部緩衝器 1012（包含一或多個緩衝器）、一下半部緩衝器 1014（包含一或多個緩衝器）及一資料路徑控制器 1006。在一讀取操作期間，上半記憶體組 1002 經由上半部緩衝器 1012 提供 64 位元的資料 $DO_T<0>$ 至 $DO_T<63>$ 到資料路徑控制器 1006，且下半記憶體組 1004 經由下半部緩衝器 1014 提供 64 位元的資料 $DO_B<0>$ 至 $DO_B<63>$ 到資料路徑控制器 1006。資料路徑控制器 1006 包含一計數器 1008，計數器 1008 接收一時脈訊號。資料路徑控制器 1006 更包含一分配器 1010，分配器 1010 分別從上半記憶體組 1002 和下半記憶體組 1004 經由上半部緩衝器 1012（例如門鎖器）和下半部緩衝器 1014 接收資料 $DO_T<63:0>$ 和資料

DO_B<63:0>，並從計數器 1008 接收一輸出。

【0100】 詳細地說，分配器 1010 在如第 6B 圖所示的 CK 訊號的上升緣和下降緣提供一 DQ 訊號作為 1006 的一輸出。在一實施例中，分配器 1010 由計數器 1008 控制的多個開關組成。如圖所示，在 CK 訊號的上升緣和下降緣輸出一 8 位元的 DQ 訊號（例如 DQ<7:0>）。

【0101】 在 CK 訊號的第一個上升緣中，DQ<7:0>訊號輸出從 DO_T<63:0>選擇的 8 個位元（例如 DO_T<7:0>），在 CK 訊號的第一個下降緣中，DQ<7:0>訊號輸出從 DO_B<63:0>選擇的 8 個位元（例如 DO_B<7:0>）。

【0102】 在 CK 訊號的第二個上升緣中，DQ<7:0>訊號輸出從 DO_T<63:0>選擇的 8 個位元（例如 DO_T<15:8>），在 CK 訊號的第二個下降緣中，DQ<7:0>訊號輸出從 DO_B<63:0>選擇的 8 個位元（例如 DO_B<15:8>），以此類推，使在 CK 訊號的第八個上升緣中，DQ<7:0>訊號輸出從 DO_T<63:0>選擇的 8 個位元（例如 DO_T<63:56>），在 CK 訊號的第八個下降緣中，DQ<7:0>訊號輸出從 DO_B<63:0>選擇的 8 個位元（例如 DO_B<63:56>）。

【0103】 在一實施例中，從分配器 1010 輸出的資料被如第 4 圖所示的資料埠 446 接收，並被資料埠 446 的傳送器輸出。

【0104】 對於一寫入操作，除了資料流的方向相反，流程與上述解釋的相似。

【0105】 在一實施例中，計數器 1008 是控制分配器 1010 的多個開關的一時序電路。詳細地說，計數器 1008 提供用於計算 CK 訊號的上升源和

下降緣的一計數，此計數控制 $DQ<7:0>$ 訊號的輸出，並決定選擇 $DO_T<63:0>$ 和 $DO_B<63:0>$ 的哪 8 個位元作為輸出。

【0106】 進一步的，一 $gc_pd_read_stb<7:0>$ 訊號是一選通訊號， $gc_pd_read_stb<7:0>$ 訊號藉由使用一門鎖 $DO_T<63:0>$ 訊號及一門鎖 $DB_T<63:0>$ 訊號選通上半記憶體組 1002 的資料 ($DO_T<63:0>$) 和下半記憶體組 1004 的資料 ($DO_B<63:0>$) 到資料路徑控制器 1006。

【0107】 第 11 圖依據本揭露的一實施例提供如第 10 圖所示的資料路徑控制器 1006 的一說明，並提供一表格描述從資料路徑控制器 1006 的分配器 1010 輸出的多種訊號。

【0108】 請參照第 11 圖，並如上參照第 10 圖所述的，對於一讀取操作，分配器 1010 將 $DO_T<63:0>$ 資料和 $DO_B<63:0>$ 資料分配到 $DQ<7:0>$ 訊號。如圖所示，分配器 1010 接收控制分配器 1010 的輸出的一 $gc_dq_burst_sa<3:0>$ 訊號（例如 $gc_dq_burst_sa<3:0>$ 訊號控制 $DO_T<63:0>$ 資料和 $DO_B<63:0>$ 資料作為分配器 1010 的輸出）。詳細地說，基於 $gc_dq_burst_sa<3:0>$ 訊號，分配器 101 從上半記憶體組 1002 和下半記憶體組 1004 選擇特定資料以經由 $DQ<7:0>$ 訊號分配。如表格所示，當 $gc_dq_burst_sa<3:0>$ 訊號提供“0”、“0”、“0”和“0”的值的時， $DQ<7:0>$ 訊號在 CK 訊號的上升緣輸出 $DO_T<7:0>$ ，當 $gc_dq_burst_sa<3:0>$ 訊號提供“0”、“0”、“0”和“1”的值的時， $DQ<7:0>$ 訊號在 CK 訊號的下降緣輸出 $DO_B<7:0>$ 。表格中出示了 $gc_dq_burst_sa<3:0>$ 訊號和 $DO_B<7:0>$ 的輸出包含的多種資料的組合。在此不明確解釋這些組合，但可從表格內容中清楚得知。

【0109】 對於一寫入操作，除了資料流的方向相反，流程與上述解釋的相似。

【0110】 第 12 圖繪示依據本揭露一實施例從一雙倍資料率相變化記憶體讀取資料的一時序圖。

【0111】 請參照第 12 圖，提供一時序圖以說明如第 6A 圖和第 6B 圖討論過的 CK 訊號、CMD 訊號、DQS 訊號及 DQ 訊號。為了避免多餘的描述或解釋 CK 訊號、CMD 訊號、DQS 訊號及 DQ 訊號，在此就省略詳細描述。這些訊號的詳細描述已經在第 6A 圖和第 6B 圖的描述中被提供。

【0112】 請參照第 12 圖，更繪示了以下訊號的多個時序：用於啟動前處理器的 `gc_pd_act` 訊號、用於讀取和寫入的 `gc_pd_rd_wr` 訊號、用於辨識一記憶體組位址的 `gc_pd_ba<2:0>` 訊號、用於辨識一列位址的 `gc_pd_ra<11:0>` 訊號、用於辨識一行位址的 `gc_pd_ca<7:0>`、用於選通（第 10 圖的）上半記憶體組 1002 的資料和（第 10 圖的）下半記憶體組 1004 的資料到（第 10 圖的）資料路徑控制器 1006 的選通訊號 `gc_pd_read<7:0>`、用於辨識資料輸出的 `gc_dq_out_id` 訊號、用於控制 `DO_T<63:0>` 資料和 `DO_B<63:0>` 資料作為（第 10 圖的）分配器 1010 的輸出的 `gc_dq_burst_sa<3:0>` 訊號、重設訊號 `gc_dq_reset`、用於致能輸入/輸出驅動器的 `gc_io_drv_en` 訊號、及用於控制（gate）DQS 訊號的 `gc_dq_gate_dqs` 訊號。

【0113】 如圖所示，當 RAS 和 CAS 在進行中（active）且同位檢查（parity check, PL）為 0 時，`gc_pd_act` 訊號由低位準過渡到高位準。當 `tm_pd_latency` 等於 2 個時脈週期時，`gc_pd_act` 訊號保持在高位準 2 個時脈

週期的時間。

【0114】 `gc_pd_rd_wr` 訊號隨著 `gc_pd_act` 訊號同時由低位準過渡到高位準，並保持在高位準 8 個時脈週期的時間（當 `tCCD` 等於 8 個時脈週期時）。

【0115】 `gc_pd_ba<2:0>` 訊號隨著 `gc_pd_act` 訊號同時被觸發並提供用於讀取資料的一記憶體組位址。

【0116】 `gc_pd_ra<11:0>` 訊號隨著 `gc_pd_act` 訊號同時被觸發並提供用於讀取資料的一列位址。

【0117】 `gc_pd_ca<7:0>` 訊號隨著 `gc_pd_act` 訊號同時被觸發並提供用於讀取資料的一行位址。

【0118】 在此實施例中，在 CK 週期 35 的時候 `gc_pd_read_stb<7:0>` 訊號由低位準過渡到高位準，並保持在高位準 2 個時脈週期的時間（當 `tm_sa_latency` 等於 8 個時脈週期時）。如參照第 10 圖所述，`c_pd_read_stb<7:0>` 訊號是一選通訊號，`gc_pd_read_stb<7:0>` 訊號藉由使用一門鎖 `DO_T<63:0>` 訊號及一門鎖 `DB_T<63:0>` 訊號選通上半記憶體組 1002 的資料（`DO_T<63:0>`）和下半記憶體組 1004 的資料（`DO_B<63:0>`）到資料路徑控制器 1006。

【0119】 `gc_dq_out_id` 訊號在 `gc_pd_read_stb<7:0>` 由低位準過渡到高位準的 3 個時脈週期（當 `tm_red_latency` 等於 3 個時脈週期時）之後由低位準過渡到高位準，並保持在高位準 8 個時脈週期的時間（當 `tCCD` 等於 8 個時脈週期時）。此訊號保持在高位準 1 個時脈週期，之後 DQ 訊號開始寫入資料 D0~D15。

【0120】 $gc_dq_burst_sa<3:0>$ 訊號如參照第 11 圖所述的，控制分配器 1010 以從上半記憶體組 1002 和下半記憶體組 1004 選擇特定的資料以經由 $DQ<7:0>$ 訊號分配。

【0121】 在 CK 週期 39 的時候，也就是在 $gc_dq_burst_sa<3:0>$ 訊號初始化（在 CK 週期 38）的一個時脈週期之後， gc_dq_reset 訊號由低位準過渡到高位準，並保持一時脈週期在高位準。

【0122】 $gc_io_drv_en$ 訊號隨著 $gc_dq_out_id$ 訊號並在 gc_dq_reset 訊號由低位準過渡到高位準的 1 個時脈週期之後由低位準過渡到高位準。 $gc_io_drv_en$ 訊號在資料依據 DQ 訊號被讀取之後又回到低位準。

【0123】 $gc_dq_gate_dqs$ 訊號隨著 $gc_dq_out_id$ 訊號同時由低位準過渡到高位準，並在 $gc_io_drv_en$ 訊號回到低位準之前的 1 個時脈週期回到低位準。

本揭露的示範實施例

【0124】 下文中參照第 1A 圖~第 12 圖提供本揭露的多種實施例的描述。

【0125】 在一實施例中，提供一記憶體。記憶體例如可以是或者至少一不分是作為第 4 圖的 400 以及第 8 圖的相變化記憶體陣列分區 800 實施。記憶體包含一資料埠，例如第 4 圖的資料埠 446，資料埠 446 具有一雙倍資料率資料通道。雙倍資料率資料通道 1 包含並聯設置的 B 個傳送器，例如第 4 圖的傳送器 450，其中 B 為正整數。B 個傳送器在一傳送時脈的的上升緣及下降緣上傳送資料，傳送時脈例如為第 10 圖所示的 CK 訊號和第 10 圖和第 11 圖所示的輸出訊號。記憶體也可包含一第一記憶體陣列，例如第

4 圖的上半陣列 402。第一記憶體陣列包含一第一陣列資料匯流排，例如第 4 圖所示的 DOUT 及/或 DIN。第一陣列資料匯流排包含 N 條線，其中 N 個位元在 N 條線上並聯的被傳送，N 為正整數。記憶體也包含一第二記憶體陣列，例如第 4 圖的下半陣列 404。第二記憶體陣列包含一第二陣列資料匯流排，例如第 4 圖所示的 DOUT 及/或 DIN。第二陣列資料匯流排包含 N 條線，其中 N 個位元在 N 條線上並聯的被傳送。進一步的，記憶體也可包含一資料路徑控制器，例如第 4 圖所示的資料路徑控制器 406 及第 10 圖和第 11 圖所示的資料路徑控制器 1006。資料路徑控制器包含一時序電路，例如第 10 圖和第 11 圖所示的計數器 1008。資料路徑控制器更包含一資料分配器，例如第 10 圖和第 11 圖所示的分配器 1010，由時序電路的一輸出控制。資料分配器設置在第一記憶體陣列和第二記憶體陣列之間，例如第 4 圖的上半陣列 402 和下半陣列 404 之間，又例如上半記憶體組 1002 和下半記憶體組 1004 之間，且被連接到資料埠。在傳送時脈的上升緣，資料分配器將一第一資料區段從第一陣列資料匯流排分配到用於傳送的資料埠，第一資料區段例如為 DO_T<7:0>訊號，包含 B 個位元。在傳送時脈的下降緣，資料分配器從第二陣列資料匯流排將一第二資料區段分配到用於傳送的資料埠，第二資料區段例如為 DO_B<7:0>訊號，包含 B 個位元。

【0126】 資料埠可包含輸出墊，例如如第 4 圖所示的輸入/輸出墊(腳位) 448，連接到傳送器並設置在第一記憶體陣列和第二記憶體陣列之間。

【0127】 在一實施例中，如第 8 圖所示且對應段落所描述的，資料路徑控制器、第一陣列資料匯流排、第二陣列資料匯流排被設置以使(1)從第一記憶體陣列的一位址記憶體單元到資料分配器的一資料路徑的一佈線的

最大長度與從第二記憶體陣列的一位址記憶體單元到資料分配器的一資料路徑的一佈線的最大長度是實質上相同的，並且(2) 從第一記憶體陣列的一位址記憶體單元到資料分配器的一資料路徑的一佈線的最小長度與從第二記憶體陣列的一位址記憶體單元到資料分配器的一資料路徑的一佈線的最小長度是實質上相同的。

【0128】 在一實施例中，第一記憶體陣列、第二記憶體陣列及資料路徑控制器被設置在一單一積體電路晶片上，在另一實施例中，第一記憶體陣列、第二記憶體陣列及資料路徑控制器被設置在一多晶片封裝上。

【0129】 在一實施例中，記憶體可包含一位址解碼器，例如第 4 圖的預解碼器 412，其中如參照第 4 圖所述的，位址解碼器回應於一頁位址從第一記憶體陣列取得 N 個位元並從第二記憶體陣列取得 N 個位元，頁位址包含用於選擇一 $2N$ 個位元的一頁的一頁讀取指令中辨識的位址位元。在一實施例中，如第 4 圖所示，位址解碼器被設置在第一記憶體陣列和第二記憶體陣列之間。

【0130】 在一實施例中，第一記憶體陣列和第二記憶體陣列包含一組互補的半記憶體組，例如上半陣列 402 的半記憶體組 0 和下半陣列 404 的半記憶體組 0，以使(1)第一記憶體陣列包含互補的半記憶體組的一第一半記憶體組（例如上半陣列 402 的半記憶體組 0），且第二記憶體陣列包含互補的半記憶體組的一第二半記憶體組（例如下半陣列 404 的半記憶體組 0），(2)互補的半記憶體組的第一半記憶體組偶接到 B 條線的一組，例如第一記憶體陣列的第一陣列資料匯流排的上半陣列 402 的 DOUT 及/或 DIN，(3) 互補的半記憶體組的第二半記憶體組偶接到 B 條線的一組，例如第二記

憶體陣列的第二陣列資料匯流排的下半陣列 404 的 DOUT 及/或 DIN，(4) 記憶體更包含一位址解碼器，位址解碼器回應於一記憶體組位址從第一記憶體陣列的第一半記憶體組取得 B 個單元，並從第二記憶體陣列的第二半記憶體組取得 B 個單元，其中記憶體組位址包含用於選擇 2B 個位元的一記憶體組的位址位元。

【0131】 在一實施例中，時序電路接收一時脈訊號，例如第 10 圖和第 11 圖所示的時脈訊號，並如第 10 圖和第 11 圖所示的產生一控制訊號以控制資料分配器以在時序時脈的上升緣傳送第一資料區段，並控制資料分配器以在時序時脈的下降緣傳送第二資料區段。

【0132】 進一步的，如上所述，提供了多種不同實施例的一記憶體用以寫入資料。上述實施例用於讀取資料的記憶體也使用相同結構寫入資料。

【0133】 也可依據從一記憶體中讀取資料和寫入資料到一記憶體的方法執行如上所述所要求的結構和實施的記憶體。

【0134】 雖然本揭露描述了參照如上描述的實施例，然而應當理解的是這些例子僅是示範性的而非用以限定本發明。本領域具有通常知識者依據本說明書和本發明揭露的實施方式容易想到其他組合和變形，其他組合和變形也被包含在申請專利範圍的範圍內。本揭露真正的保護範圍和精神包含在以下申請專利範圍所表示。

【符號說明】

【0135】

100：記憶體單元部分

102：記憶體元件

- 104 : 上電極
- 106 : 下電極
- 108 : 結晶的相位
- 110 : 非結晶的相位
- 150 : 相變化記憶體單元
- 152、338 : 位元線
- 154、156 : n+接點
- 158 : P 型基底
- 160 : 中間層連接器
- 162 : 源極線
- 164、340 : 字元線
- T_{melt} 、 T_{crystal} : 溫度臨界值
- 302 : 可調寫入電路
- 304 : 設定波形
- 306 : 重設波形
- 308 : 讀取電路
- 310 : 相變化記憶體陣列
- 312 : 初始控制部分
- 314 : 脈衝控制部分
- 316 : 抑制控制部分
- 318 : 寫入控制部分
- 320 : 可變電流源部分

- 322 : 驅動節點
- 324 : 輸出線
- 326、328 : 開關
- 330 : 乾淨部分
- 332 : 充電部分
- 334 : 感應放大器
- 336、BLDEC : 位元線解碼器
- 342 : 電阻
- 400 : 相變化記憶體
- 402 : 上半陣列
- 404 : 下半陣列
- 406、1006 : 資料路徑控制器
- 408 : 輸入/輸出控制器
- 410 : 全域邏輯控制器
- 412 : 預解碼器
- 414、416、418、420 : 一組半記憶體組
- Bank 0、Bank 4、Bank X、Bank Y、Bank Z、Bank W : 記憶體組
- 422、428、434、440 : 列解碼器
- 424、430、436、442 : 行解碼器
- 426、432、438、444 : 組選擇器
- 446 : 資料埠
- 448 : 腳位

450：傳送器

451：接收器

SA & WH：感應放大器及寫入頭

DIN [63:0]：輸入資料線

DOUT [63:0]：輸出資料線

DQ<7:0>、BA<2:0>、A<12:0>、CAS、CS、WE、RAS、CKE、CK_C、

CK_T、VREF、ODT、DM、DQS_T、DQS_C、CK、 \overline{CK} 、CMD、DQS、

\overline{DQS} 、DQ、gc_dq_burst_ca<3:0>、gc_dq_burst_sa<3:0>、

gc_dq_burst_sa<3>、gc_dq_burst_sa<2>、gc_dq_burst_sa<1>、

gc_dq_burst_sa<0>、gc_pd_act、gc_pd_rd_wr、gc_pd_ba<2:0>、

gc_pd_ra<11:0>、gc_pd_ca<7:0>、gc_pd_read<7:0>、gc_dq_out_id、

gc_dq_reset、gc_io_drv_en、gc_dq_gate_dqs：訊號

500：雙倍資料率相變化記憶體晶片

Bank0 ACT、CAS、WR、RD、NOP、Bank1 ACT、ACT、CMD、WL、

DIN、BA、RA、CA、SA：指令

tCCD、tRC、tm_pd_latency、tm_sa_latency、tm_red_latency、RL、WL：

延遲

BL：爆發長度

D0~D15：寫入資料

Hi-Z：高阻抗

800：相變化記憶體陣列分區

802：上半部

804 : 下半部

806 : 區塊

808、810、812、814 : 一組半記憶體組

DO_T<63:0>、DO_B<63:0> : 資料線

1002 : 上半記憶體組

1004 : 下半記憶體組

1008 : 計數器

1010 : 分配器

1012 : 上半部緩衝器

1014 : 下半部緩衝器

DO_T<0>~DO_T<63>、DO_B<0>~DO_B<63>、DO_T<7:0>、

DO_T<15:8>、DO_T<23:16>、DO_T<31:24>、DO_T<39:32>、

DO_T<47:40>、DO_T<55:48>、DO_T<63:56>、DO_B<7:0>、

DO_B<15:8>、DO_B<23:16>、DO_B<31:24>、DO_B<39:32>、

DO_B<47:40>、DO_B<55:48>、DO_B<63:56> : 資料



【發明摘要】

申請日: 105. 8. 18

IPC分類: G11C 13(00 (2006.01))

G11C 16(02 (2006.01))

【中文發明名稱】可達成高讀取/寫入速度的相變化記憶體及其資料讀取及寫入方法

【英文發明名稱】PHASE CHANGE MEMORY ACHIEVING HIGH READ/WRITE SPEED AND DATING READING AND WRITING METHOD THEREOF

【中文】

提供一種讀取資料的記憶體，包含資料埠、第一記憶體及第二記憶體。資料埠包含並聯設置的 B 個傳輸器，在一時脈的上升緣及下降緣傳送資料。第一記憶體包含第一資料匯流排，第一資料匯流排包含 N 條線以並聯的傳送 N 個位元。第二記憶體包含第二資料匯流排，第二資料匯流排包含 N 條線以並聯的傳送 N 個位元。記憶體包含一資料路徑控制器，設置於第一記憶體以及第二記憶體之間並連接到資料埠。其中，在上升緣，資料分配器將包含 B 個位元的第一資料區段從第一資料匯流排分配到資料埠，並在下降緣，資料分配器將包含 B 個位元的第二資料區段從第二資料匯流排分配到資料埠。

【英文】

A memory configured to have data read therefrom is provided. The memory includes a data port including B transmitters disposed in parallel and for transferring data on both rising and falling edges of a clock, a first memory including a first data bus including N lines on which N bits can be transferred,

and a second memory including a second data bus including N lines on which N bits can be transferred. The memory includes a data path controller including a data distributor disposed between the first and second memories and being connected to the data port, wherein, on the rising edge, the data distributor distributes a first data segment comprised of B bits from the first data bus to the data port and, on the falling edge, the data distributor distributes a second data segment comprised of B bits from the second data bus to the data port.

【指定代表圖】：第(4)圖。

【代表圖之符號簡單說明】：

400：相變化記憶體

402：上半陣列

404：下半陣列

406：資料路徑控制器

408：輸入/輸出控制器

410：全域邏輯控制器

412：預解碼器

414、416、418、420：一組半記憶體組

Bank 0、Bank 4：記憶體組

422、428、434、440：列解碼器

424、430、436、442：行解碼器

426、432、438、444：組選擇器

446：資料埠

448 : 腳位

450 : 傳送器

451 : 接收器

SA & WH : 感應放大器及寫入頭

DIN [63:0] : 輸入資料線

DOUT [63:0] : 輸出資料線

DQ<7:0>、BA<2:0>、A<12:0>、CAS、CS、WE、RAS、CKE、CK_C、

CK_T、VREF、ODT、DM、DQS_T、DQS_C : 訊號

【特徵化學式】 : 無

【發明申請專利範圍】

【第 1 項】一種記憶體，包含：

一資料埠，具有一雙倍資料率資料通道，該雙倍資料率資料通道包含並聯設置的 B 個傳輸器，其中 B 為正整數，該 B 個傳輸器在一傳送時脈的一上升緣及一下降緣傳送資料；

一第一記憶體陣列，包含一第一陣列資料匯流排，該第一陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元，其中 N 為正整數；

一第二記憶體陣列，包含一第二陣列資料匯流排，該第二陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元；

一資料路徑控制器，包含一時序電路及一資料分配器，該資料分配器由該時序電路的一輸出所控制，該資料分配器設置於該第一記憶體陣列以及該第二記憶體陣列之間，並連接到該資料埠；

其中在該傳送時脈的該上升緣，該資料分配器將包含 B 個位元的一第一資料區段從該第一陣列資料匯流排分配到用於傳送的該資料埠；

其中在該傳送時脈的該下降緣，該資料分配器將包含 B 個位元的一第二資料區段從該第二陣列資料匯流排分配到用於傳送的該資料埠。

【第 2 項】如申請專利範圍第 1 項所述之記憶體，其中設置該資料路徑控制器、該第一陣列資料匯流排及該第二陣列資料匯流排以使：

從該第一記憶體陣列的一位址記憶體單元到該資料分配器的一資料路徑的一佈線的最大長度與從該第二記憶體陣列的一位址記憶體單元到該資

料分配器的一資料路徑的一佈線的最大長度是實質上相同的：且

從該第一記憶體陣列的一位址記憶體單元到該資料分配器的一資料路徑的一佈線的最小長度與從該第二記憶體陣列的一位址記憶體單元到該資料分配器的一資料路徑的一佈線的最小長度是實質上相同的。

【第 3 項】如申請專利範圍第 1 項所述之記憶體，其中該記憶體更包含：

一位址解碼器，其中該位址解碼器回應於一頁位址從該第一記憶體陣列取得 N 個位元並從該第二記憶體陣列取得 N 個位元，該頁位址包含用於選擇 $2N$ 個位元的一頁的一頁讀取指令中辨識的複數個位址位元；

其中該位址解碼器的至少一部分被設置在該第一記憶體陣列和該第二記憶體陣列之間。

【第 4 項】如申請專利範圍第 1 項所述之記憶體，其中該第一記憶體陣列和該第二記憶體陣列包含一組互補的半記憶體組，以使該第一記憶體陣列包含該組互補的半記憶體組的第一半記憶體組，且該第二記憶體陣列包含該組互補的半記憶體組的第二半記憶體組，該組互補的半記憶體組的該第一半記憶體組偶接到該第一記憶體陣列的該第一陣列資料匯流排的 B 條線的一組，該組互補的半記憶體組的該第二半記憶體組偶接到該第二記憶體陣列的該第二陣列資料匯流排的 B 條線的一組；且該記憶體更包含：

一位址解碼器，其中該位址解碼器回應於一記憶體組位址從該第一記憶體陣列的該第一半記憶體組取得 B 個單元並從該第二記憶體陣列的該第二半記憶體組取得 B 個單元，該記憶體組位址包含用於選擇 $2B$ 個位元的一記憶體組的複數個位址位元。

【第 5 項】一種從一記憶體讀取資料之方法，其中該記憶體包含：

一資料埠，具有一雙倍資料率資料通道，該雙倍資料率資料通道包含並聯設置的 B 個傳輸器，其中 B 為正整數，該 B 個傳輸器在一傳送時脈的一上升緣及一下降緣傳送資料；

一第一記憶體陣列，包含一第一陣列資料匯流排，該第一陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元，其中 N 為正整數；

一第二記憶體陣列，包含一第二陣列資料匯流排，該第二陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元；

一資料路徑控制器，包含一時序電路及一資料分配器，該資料分配器由該時序電路的一輸出所控制，該資料分配器設置於該第一記憶體陣列以及該第二記憶體陣列之間，並連接到該資料埠；

其中該方法包含：

在該傳送時脈的該上升緣，使用該資料分配器將包含 B 個位元的一第一資料區段從該第一陣列資料匯流排分配到用於傳送的該資料埠；以及

在該傳送時脈的該下降緣，使用該資料分配器將包含 B 個位元的一第二資料區段從該第二陣列資料匯流排分配到用於傳送的該資料埠。

【第 6 項】一種記憶體，包含：

一資料埠，具有一雙倍資料率資料通道，該雙倍資料率資料通道包含並聯設置的 B 個接收器，其中 B 為正整數，該 B 個接收器在一接收時脈的

一上升緣及一下降緣傳送資料；

一第一記憶體陣列，包含一第一陣列資料匯流排，該第一陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元，其中 N 為正整數；

一第二記憶體陣列，包含一第二陣列資料匯流排，該第二陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元；

一資料路徑控制器，包含一時序電路及一資料分配器，該資料分配器由該時序電路的一輸出所控制，該資料分配器設置於該第一記憶體陣列以及該第二記憶體陣列之間，並連接到該資料埠；

其中在該接收時脈的該上升緣，該資料分配器將包含 B 個位元的一第一資料區段從該資料埠分配到用於一資料寫入的該第一陣列資料匯流排；

其中在該接收時脈的該下降緣，該資料分配器將包含 B 個位元的一第二資料區段從該資料埠分配到用於一資料寫入的該第二陣列資料匯流排。

【第 7 項】如申請專利範圍第 6 項所述之記憶體，其中設置該資料路徑控制器、該第一陣列資料匯流排及該第二陣列資料匯流排以使：

從該第一記憶體陣列的一位址記憶體單元到該資料分配器的一資料路徑的一佈線的最大長度與從該第二記憶體陣列的一位址記憶體單元到該資料分配器的一資料路徑的一佈線的最大長度是實質上相同的；且

從該第一記憶體陣列的一位址記憶體單元到該資料分配器的一資料路徑的一佈線的最小長度與從該第二記憶體陣列的一位址記憶體單元到該資料分配器的一資料路徑的一佈線的最小長度是實質上相同的。

【第 8 項】如申請專利範圍第 6 項所述之記憶體，其中該記憶體更包含：

一位址解碼器，其中該位址解碼器回應於一頁位址從該第一記憶體陣列取得 N 個位元並從該第二記憶體陣列取得 N 個位元，該頁位址包含用於選擇 $2N$ 個位元的一頁的一頁讀取指令中辨識的複數個位址位元；

其中該位址解碼器的至少一部分被設置在該第一記憶體陣列和該第二記憶體陣列之間。

【第 9 項】如申請專利範圍第 6 項所述之記憶體，其中該第一記憶體陣列和該第二記憶體陣列包含一組互補的半記憶體組，以使該第一記憶體陣列包含該組互補的半記憶體組的一第一半記憶體組，且該第二記憶體陣列包含該組互補的半記憶體組的一第二半記憶體組，該組互補的半記憶體組的該第一半記憶體組偶接到該第一記憶體陣列的該第一陣列資料匯流排的 B 條線的一組，該組互補的半記憶體組的該第二半記憶體組偶接到該第二記憶體陣列的該第二陣列資料匯流排的 B 條線的一組；且該記憶體更包含：

一位址解碼器，其中該位址解碼器回應於一記憶體組位址從該第一記憶體陣列的該第一半記憶體組取得 B 個單元並從該第二記憶體陣列的該第二半記憶體組取得 B 個單元，該記憶體組位址包含用於選擇 $2B$ 個位元的一記憶體組的複數個位址位元。

【第 10 項】一種從一記憶體寫入資料之方法，其中該記憶體包含：

一資料埠，具有一雙倍資料率資料通道，該雙倍資料率資料通道包含並聯設置的 B 個接收器，其中 B 為正整數，該 B 個接收器在一接收時脈的一上升緣及一下降緣傳送資料；

一第一記憶體陣列，包含一第一陣列資料匯流排，該第一陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元，其中 N 為正整數；

一第二記憶體陣列，包含一第二陣列資料匯流排，該第二陣列資料匯流排包含 N 條線以並聯的傳送 N 個位元；

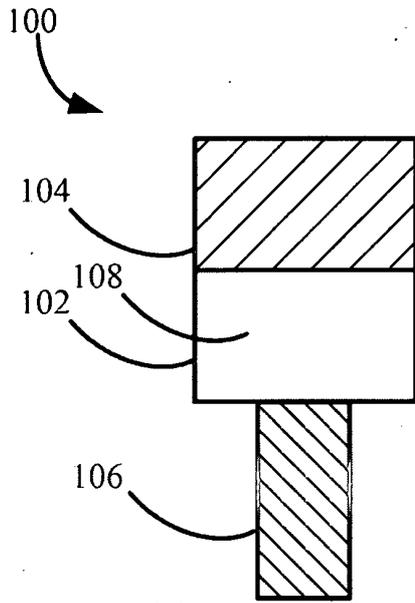
一資料路徑控制器，包含一時序電路及一資料分配器，該資料分配器由該時序電路的一輸出所控制，該資料分配器設置於該第一記憶體陣列以及該第二記憶體陣列之間，並連接到該資料埠；

其中該方法包含：

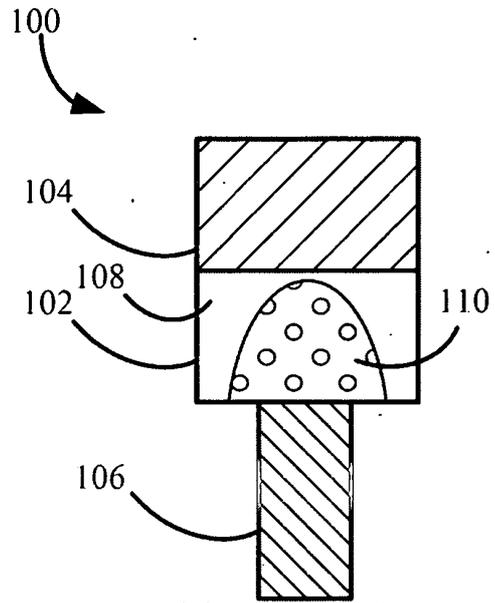
在該接收時脈的該上升緣，使用該資料分配器將包含 B 個位元的一第一資料區段從該資料埠分配到用於一資料寫入的該第一陣列資料匯流排；以及

在該接收時脈的該下降緣，使用該資料分配器將包含 B 個位元的一第二資料區段從該資料埠分配到用於一資料寫入的該第二陣列資料匯流排。

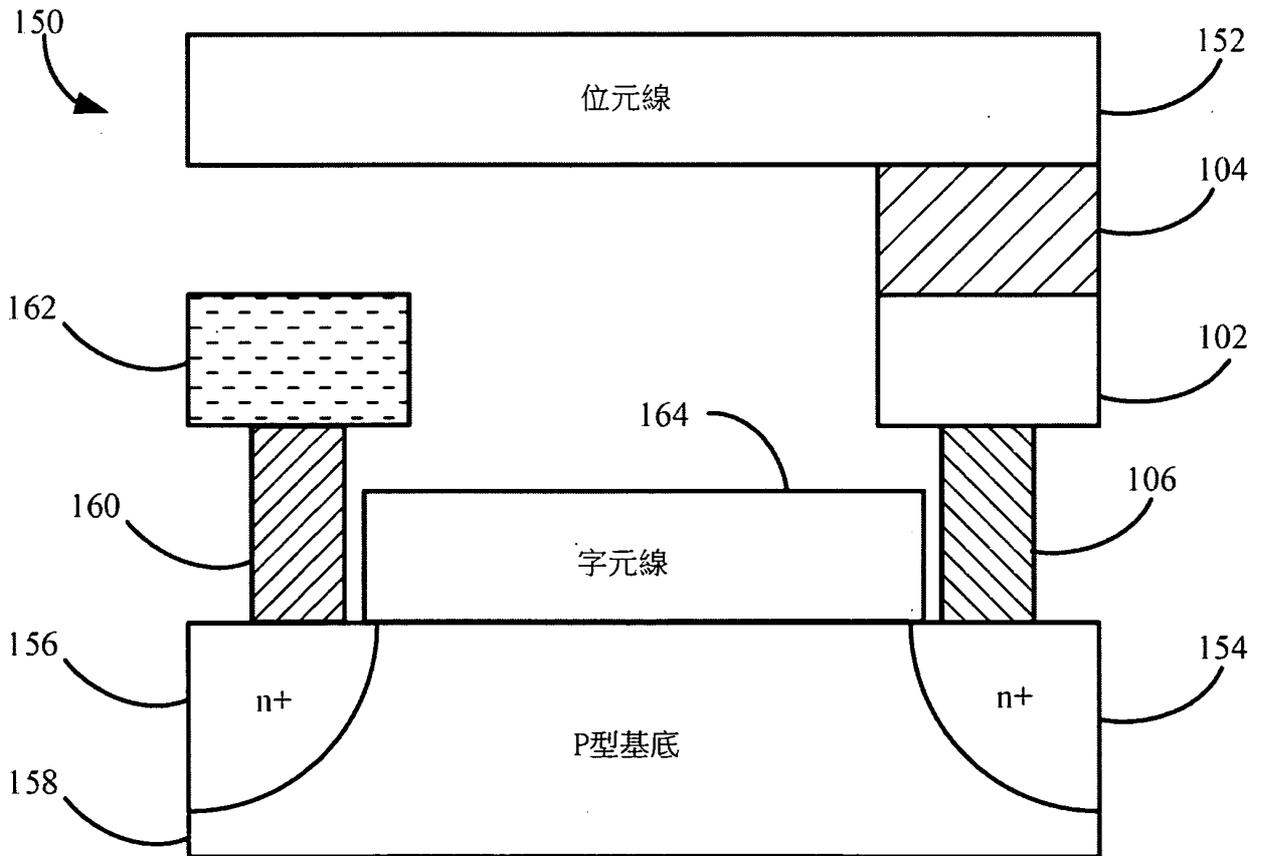
【發明圖式】



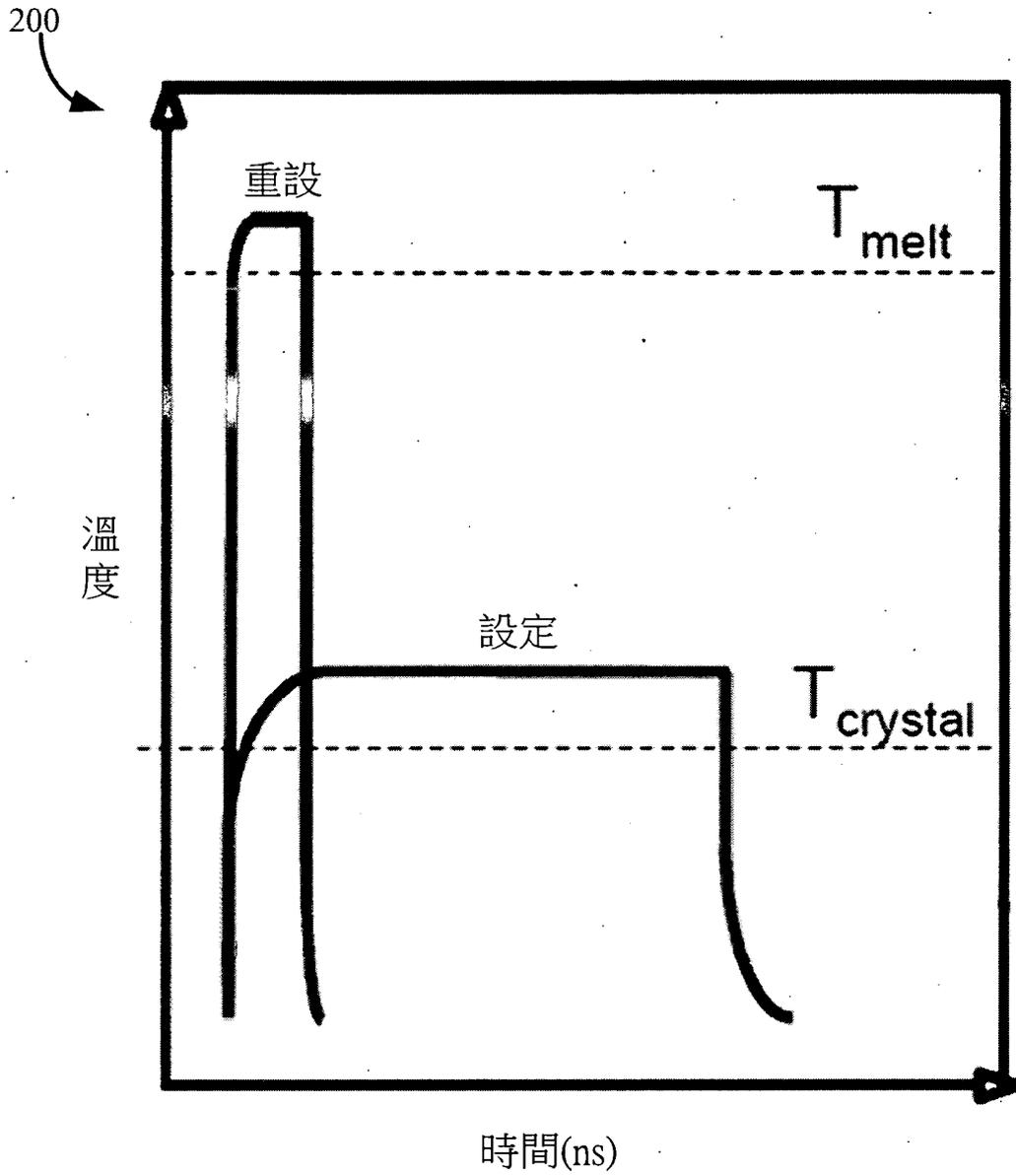
第 1A 圖



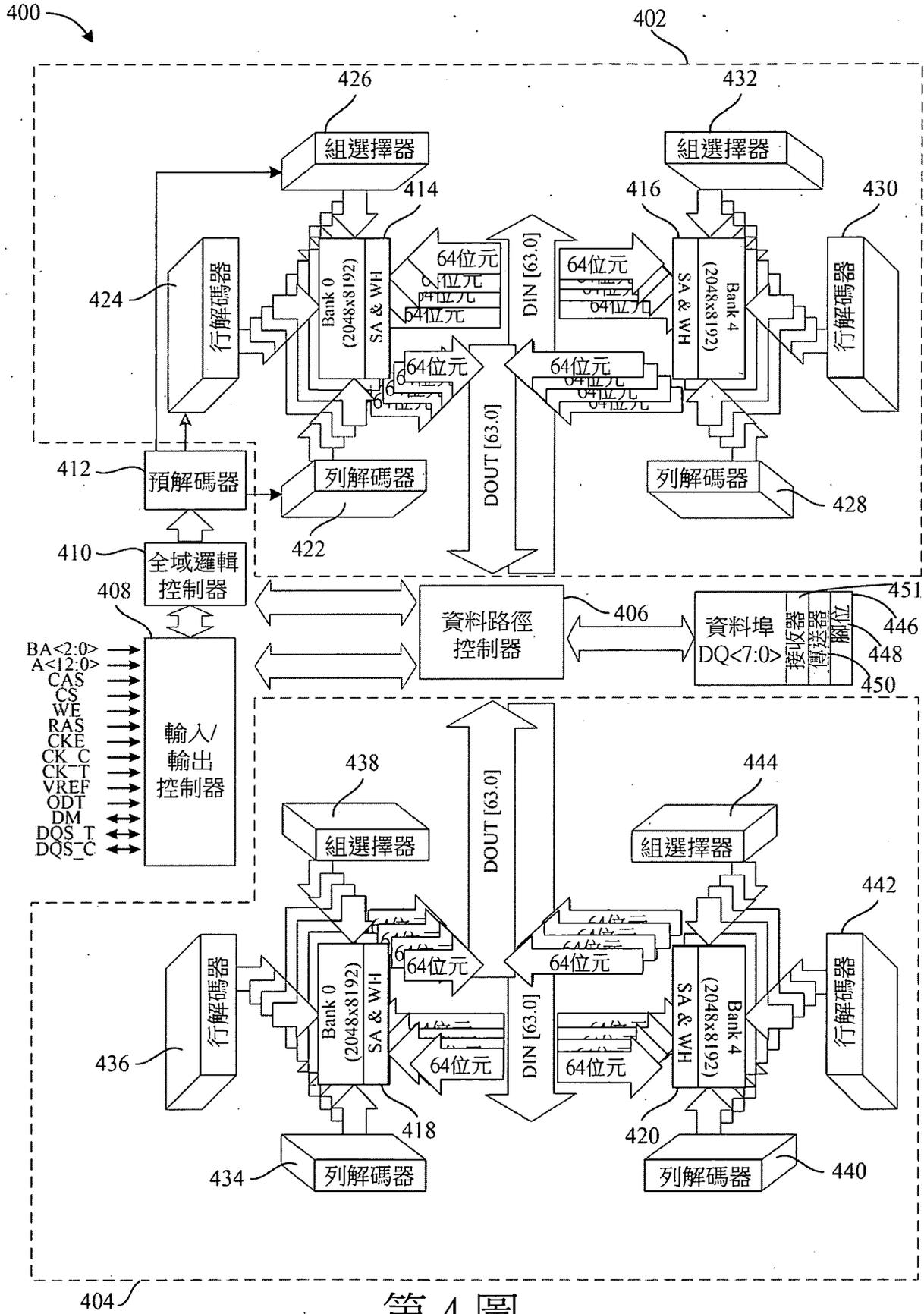
第 1B 圖



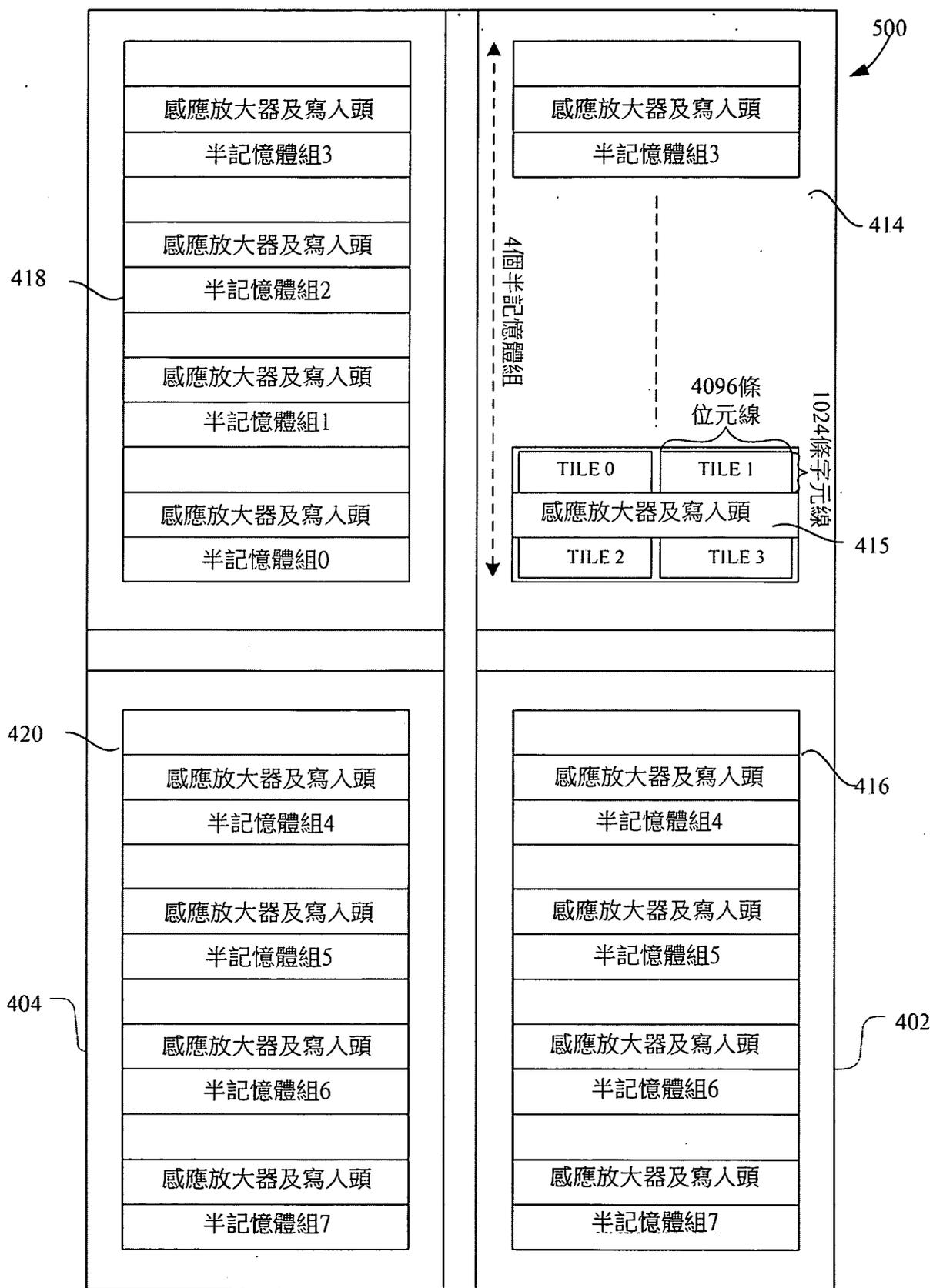
第 1C 圖



第 2 圖

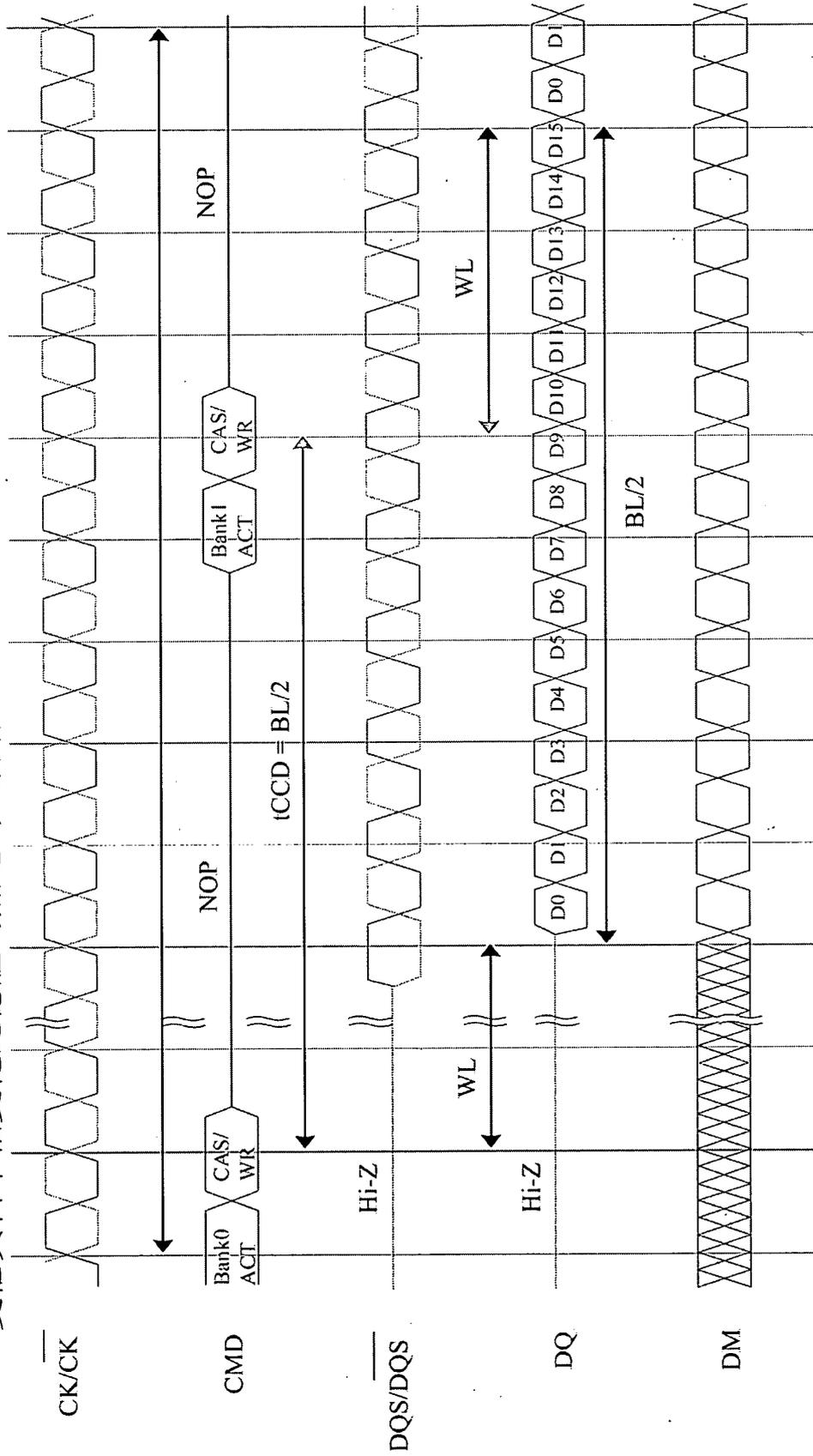


第4圖



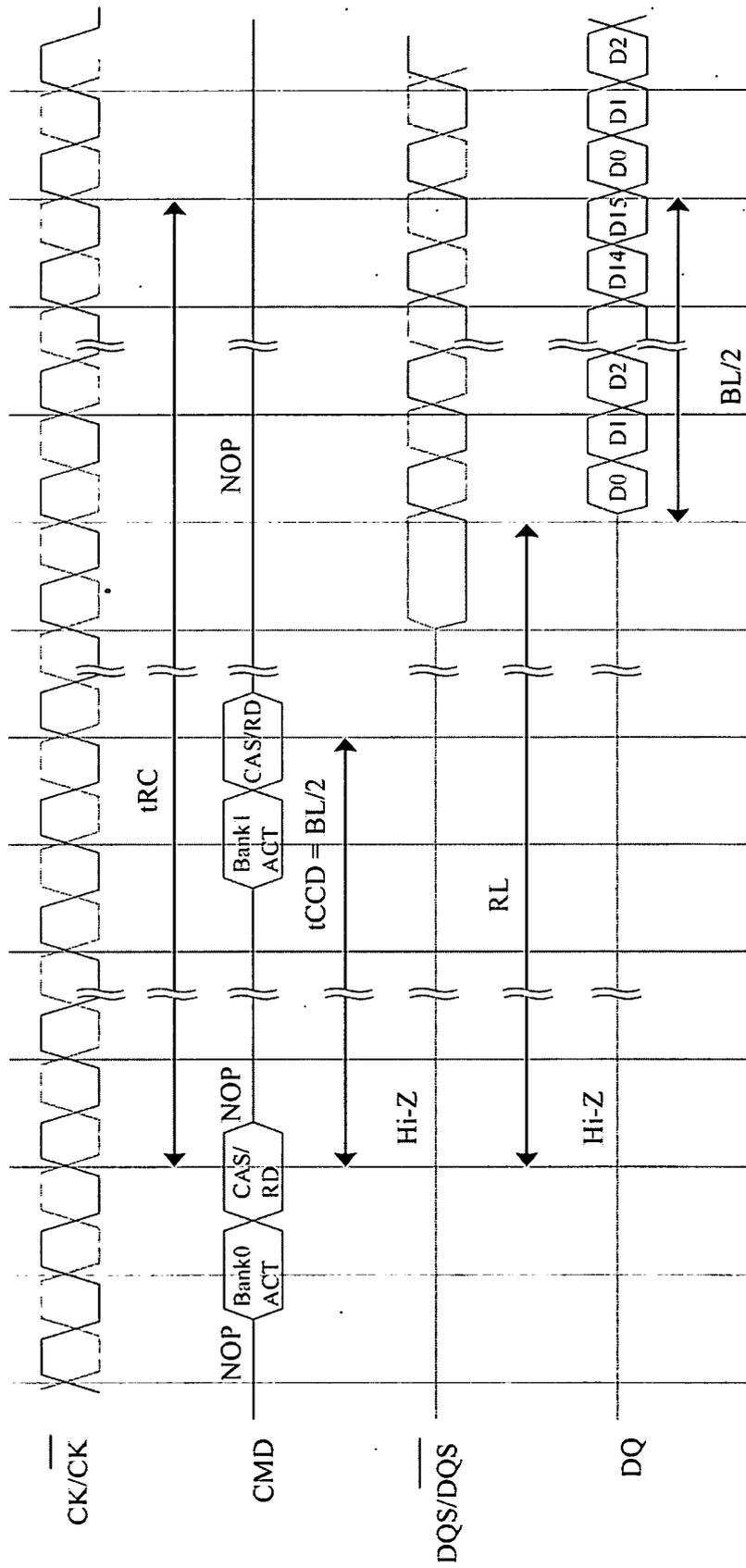
第5圖

雙倍資料率相變化記憶體的無縫寫入操作

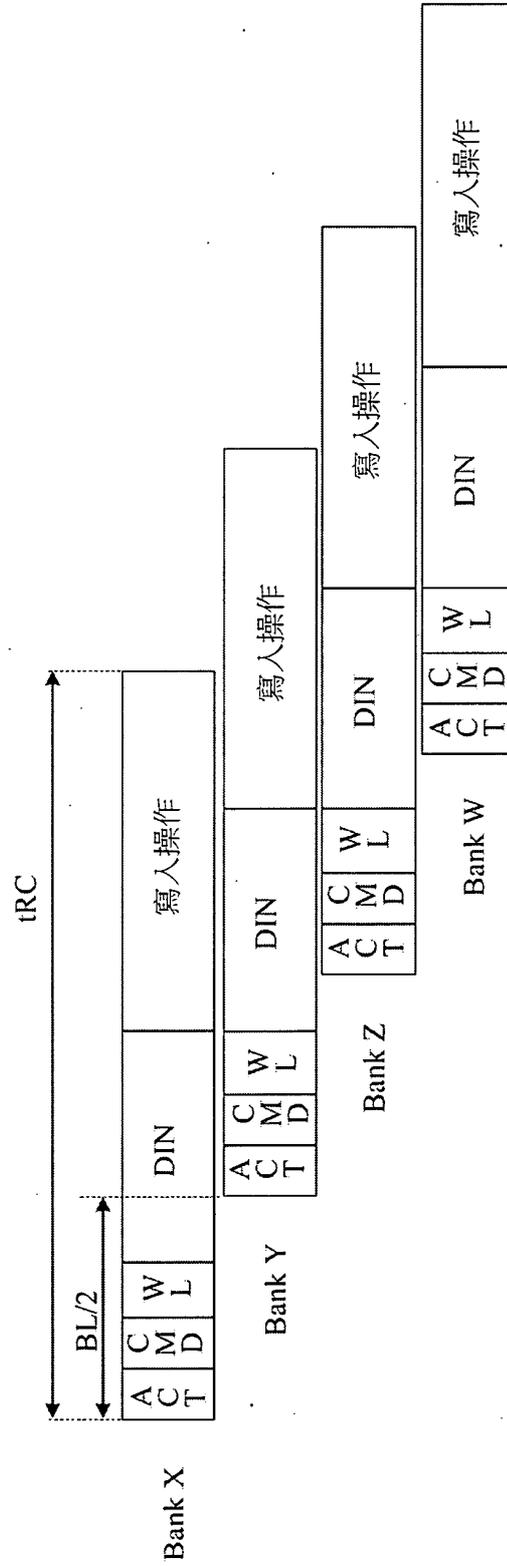


第6A圖

雙倍資料率相變化記憶體的無縫讀取操作



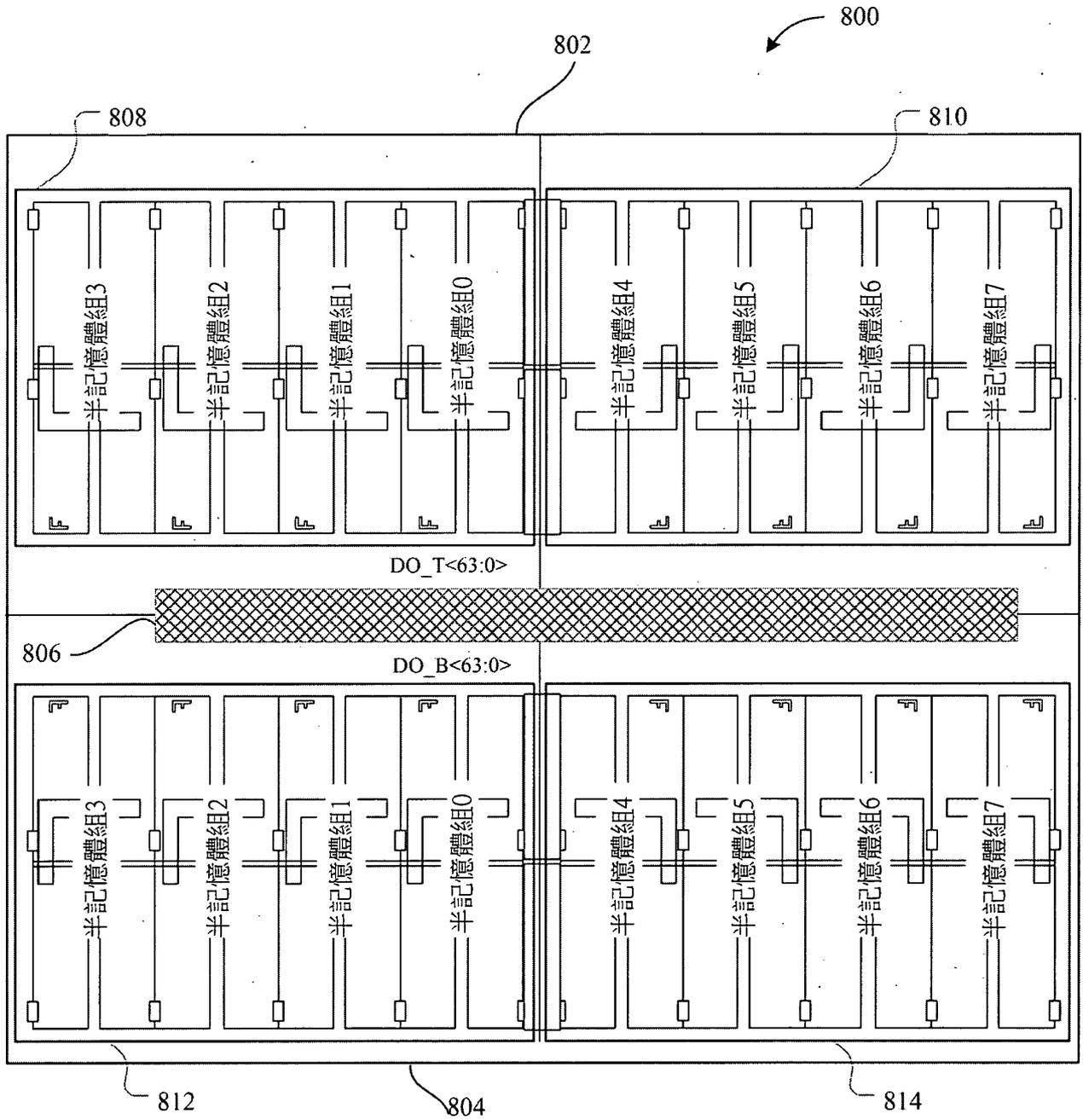
第6B圖



第 6C 圖

		雙倍資料率- 533 DRAM	雙倍資料率相 變化記憶體	單位
VDD		1.8 ± 0.1	1.8 ± 0.1	V
頻率		266	266	MHZ
資料率		533	533	MB/s
爆發長度		4 or 8	16	CLK
讀取效能	tRC (ACT到ACT的延遲)	16	17	CLK
	CL-tRCD-tRP	12(4-4-4)	11(10-1-0)	CLK
	RL	7(AL=3,CL=4)	10	CLK
	晶片讀取傳輸量 (尖峰)	533	533	MB/s
	讀取頻寬 (尖峰)	4.3	4.3	GB/s
寫入效能	tRC (ACT到ACT的延遲)	20	47	CLK
	tRCD-WL-tWR-tRP	18(4-6-4-4)	39(1-3-35-0)	CLK
	tWR	4	35	CLK
	晶片讀取傳輸量 (尖峰)	533	533	MB/s
	讀取頻寬 (尖峰)	4.3	4.3	GB/s

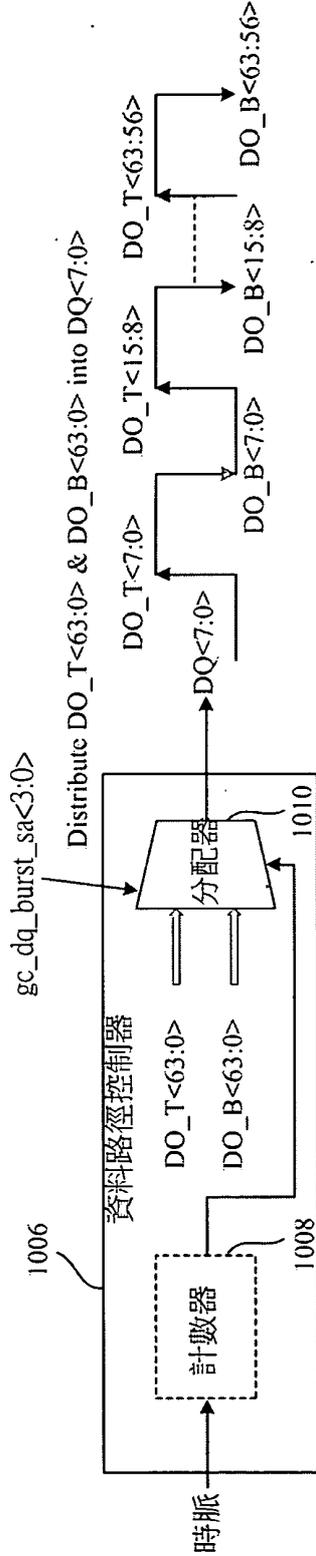
第 7 圖



第 8 圖

	傳統雙倍資料率陣列分區	雙倍資料率相變化記憶體陣列分區
暫態雜訊	在同一位置有128位元的暫態資料	在上半部只有64位元的暫態資料，在下半部只有64位元的暫態資料
佈線壅塞	從分區的上到下設置128位元的佈線	從上半分區到中間的資料墊設置64位元的佈線，並從下半分區到中間的資料墊設置64位元的佈線
最長資料路徑	從分區的上部到分區的下部	從分區的上部到分區的中間（與從分區的下部到分區的中間相同）

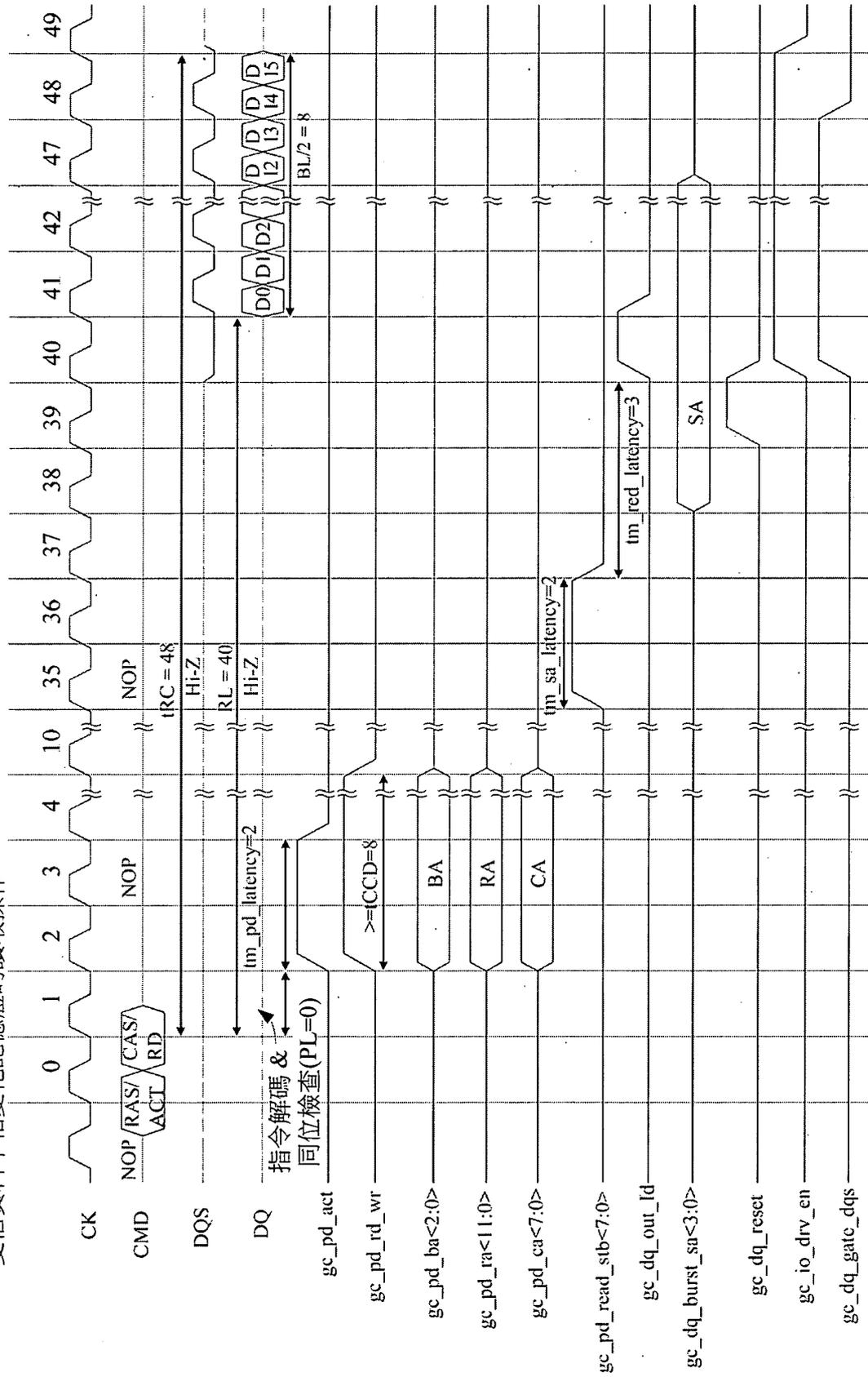
第9圖



分配器訊號			DQ<7:0>來源		
gc_dq_burst_sa<3>	gc_dq_burst_sa<2>	gc_dq_burst_sa<1>	gc_dq_burst_sa<0>	DQ<7:0>上升來源	DQ<7:0>下降來源
0	0	0	0	DO_T<7:0>	NA
0	0	0	1	NA	DO_B<7:0>
0	0	1	0	DO_T<15:8>	NA
0	0	1	1	NA	DO_B<15:8>
0	1	0	0	DO_T<23:16>	NA
0	1	0	1	NA	DO_B<23:16>
0	1	1	0	DO_T<31:24>	NA
0	1	1	1	NA	DO_B<31:24>
1	0	0	0	DO_T<39:32>	NA
1	0	0	1	NA	DO_B<39:32>
1	0	1	0	DO_T<47:40>	NA
1	0	1	1	NA	DO_B<47:40>
1	1	0	0	DO_T<55:48>	NA
1	1	0	1	NA	DO_B<55:48>
1	1	1	0	DO_T<63:56>	NA
1	1	1	1	NA	DO_B<63:56>

第11圖

雙倍資料率相變化記憶體讀取操作



第12圖