

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2013-157044
(P2013-157044A)

(43) 公開日 平成25年8月15日(2013.8.15)

(51) Int.Cl.
G 1 1 C 11/4097 (2006.01)

F I
G 1 1 C 11/34 3 6 2 B

テーマコード (参考)
5 M 0 2 4

審査請求 未請求 請求項の数 12 O L (全 17 頁)

(21) 出願番号	特願2012-14712 (P2012-14712)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成24年1月27日 (2012. 1. 27)	(74) 代理人	100115738 弁理士 鷲頭 光宏
		(74) 代理人	100121681 弁理士 緒方 和文
		(74) 代理人	100130982 弁理士 黒瀬 泰之
		(74) 代理人	100127199 弁理士 三谷 拓也
		(72) 発明者	官本 尚幸 東京都中央区八重洲二丁目2番1号 エル ピーダメモリ株式会社内
		Fターム(参考)	5M024 AA23 AA63 BB10 BB27 CC53 CC96 LL05 PP01 PP03 PP07

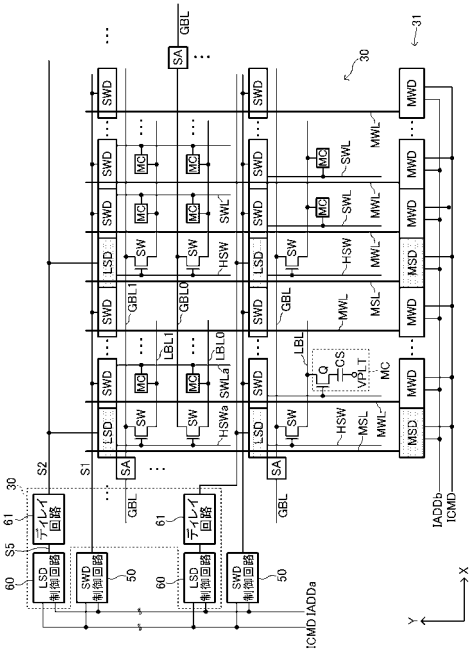
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】階層的に構築されたビット線を備える半導体装置においてカップリングノイズの影響を低減する。

【解決手段】第1の制御信号S1に応じて選択されるサブワード線SWLと、サブワード線SWLがゲート電極に接続されるメモリセルトランジスタQと、メモリセルトランジスタQの一端に接続されるメモリセルCSと、メモリセルトランジスタQの他端に接続され、サブワード線SWLが選択されるとメモリセルCSから読み出されるデータを受けるローカルビット線LBLと、グローバルビット線GBLと、第1の制御信号S1が活性化してから所定期間後に活性化される第2の制御信号S2に応じてローカルビット線LBL及びグローバルビット線GBLを接続するスイッチ回路SWとを備える。本発明によれば、ノイズの影響によってデータが反転する危険性が少なくなる。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

アクティブコマンドに応じて活性化される第 1 の制御信号に応じて選択されるワード線と、

前記ワード線が制御端子に接続されるメモリセルトランジスタと、

前記メモリセルトランジスタの一端に接続されるメモリセルと、

前記メモリセルトランジスタの他端に接続され、前記ワード線が選択されると前記メモリセルから読み出されるデータを受けるローカルビット線と、

グローバルビット線と、

前記第 1 の制御信号が活性化してから所定期間後に前記アクティブコマンドに応じて活性化される第 2 の制御信号に応じて前記ローカルビット線及び前記グローバルビット線を接続するスイッチ回路と、を備える半導体装置。

10

【請求項 2】

第 3 の制御信号に応答して前記グローバルビット線を所定の電位にプリチャージするイコライズ回路と、

前記グローバルビット線に現れた前記データを第 4 の制御信号に応答して増幅するセンスアンプと、をさらに備え、

前記第 3 の制御信号は、前記アクティブコマンドに応じて前記第 2 の制御信号が活性化するよりも前に非活性化し、

前記第 4 の制御信号は、前記アクティブコマンドに応じて前記第 2 の制御信号が活性化するよりも後に活性化する、請求項 1 に記載の半導体装置。

20

【請求項 3】

前記第 3 の制御信号は、前記アクティブコマンドに応じて前記第 1 の制御信号が活性化するよりも前に非活性化する、請求項 2 に記載の半導体装置。

【請求項 4】

前記アクティブコマンドに応じて前記第 1 の制御信号及び第 5 の制御信号を活性化させる制御回路と、

前記第 5 の制御信号を遅延させることによって前記第 2 の制御信号を生成するディレイ回路と、をさらに備える請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 5】

30

前記アクティブコマンドに応じて第 6 及び第 5 の制御信号を活性化させる制御回路と、

前記第 6 の制御信号を遅延させることによって前記第 1 の制御信号を生成する第 1 のディレイ回路と、

前記第 5 の制御信号を遅延させることによって前記第 2 の制御信号を生成する第 2 のディレイ回路と、をさらに備え、

前記第 2 のディレイ回路の遅延量は、前記第 1 のディレイ回路の遅延量よりも大きい、請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 6】

第 1 及び第 2 のグローバルビット線と、

前記第 1 及び第 2 のグローバルビット線に現れる電位差を増幅するセンスアンプと、

40

第 1 及び第 2 のローカルビット線と、

前記第 1 のローカルビット線と前記第 1 のグローバルビット線との間に接続された第 1 のスイッチ回路と、

前記第 2 のローカルビット線と前記第 2 のグローバルビット線との間に接続された第 2 のスイッチ回路と、

第 1 及び第 2 のメモリセルと、

前記第 1 のメモリセルと前記第 1 のローカルビット線との間に接続された第 1 のメモリセルトランジスタと、

前記第 2 のメモリセルと前記第 2 のローカルビット線との間に接続された第 2 のメモリセルトランジスタと、

50

所定のコマンドに応答して、前記第 1 及び第 2 のメモリセルトランジスタのいずれか一方をオンさせた後、前記第 1 及び第 2 のスイッチ回路をオンさせる制御回路と、備える半導体装置。

【請求項 7】

前記制御回路は、前記所定のコマンドに応答して前記第 1 及び第 2 のスイッチ回路をオンさせた後、前記センスアンプを活性化させる請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 及び第 2 のグローバルビット線の電位をイコライズするイコライズ回路をさらに備え、

前記制御回路は、前記所定のコマンドに応答して前記第 1 及び第 2 のスイッチ回路をオンさせる前に、イコライズ回路を非活性化させる請求項 7 に記載の半導体装置。

10

【請求項 9】

前記制御回路は、前記所定のコマンドに応答して前記第 1 及び第 2 のメモリセルトランジスタのいずれか一方をオンさせる前に、イコライズ回路を非活性化させる請求項 8 に記載の半導体装置。

【請求項 10】

前記第 1 及び第 2 のメモリセルはキャパシタからなる請求項 6 乃至 9 のいずれか一項に記載の半導体装置。

【請求項 11】

前記所定のコマンドは、外部から発行されるアクティブコマンド又はオートリフレッシュコマンドである、請求項 10 に記載の半導体装置。

20

【請求項 12】

前記所定のコマンドは、周期的に活性化されるセルフリフレッシュ信号である、請求項 10 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、階層的に構築されたビット線を備える半導体装置に関する。

【背景技術】

30

【0002】

D R A M (Dynamic Random Access Memory) に代表される半導体メモリデバイスの多くは、行方向に延在する複数のワード線と、列方向に延在する複数のビット線を備えており、これらの交点にメモリセルが配置された構成を有している。そして、いずれかのワード線を選択すると、当該ワード線に割り当てられたメモリセルが対応するビット線に接続され、メモリセルに保持されていたデータがビット線に読み出される。読み出されたデータは、ビット線にそれぞれ接続されたセンスアンプによって増幅される。

【0003】

しかしながら、上述した構成ではビット線又はビット線対ごとにセンスアンプを設ける必要があるため、高集積化すればするほど、必要となるセンスアンプの数が多くなるという問題がある。このような問題を解決する方法として、階層的に構築されたビット線を用いた半導体メモリデバイスが提案されている(特許文献 1 参照)。

40

【0004】

特許文献 1 に記載された半導体メモリデバイスは、メモリセルに接続された下位のローカルビット線と、センスアンプに接続された上位のグローバルビット線に階層化されており、1つのグローバルビット線に複数のローカルビット線を割り当てることによって、必要となるセンスアンプの数を削減している。

【先行技術文献】

【特許文献】

【0005】

50

【特許文献１】特開２００９－２７１９８５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

しかしながら、特許文献１に記載された半導体メモリデバイスでは、グローバルビット線とローカルビット線とを接続するスイッチ回路がワード線の活性化と同時にオンするよう構成されている。その結果、データがローカルビット線に十分に読み出される前に、ローカルビット線がグローバルビット線に接続されてしまうため、例えば隣接する他のグローバルビット線からのノイズを受けると、データが反転してしまうという問題があった。このような問題は、ＤＲＡＭのような半導体メモリデバイスに限らず、階層的に構築されたビット線を含む全ての半導体装置において生じる問題である。

10

【課題を解決するための手段】

【０００７】

本発明の一側面による半導体装置は、アクティブコマンドに応じて活性化される第１の制御信号に応じて選択されるワード線と、前記ワード線が制御端子に接続されるメモリセルトランジスタと、前記メモリセルトランジスタの一端に接続されるメモリセルと、前記メモリセルトランジスタの他端に接続され、前記ワード線が選択されると前記メモリセルから読み出されるデータを受けるローカルビット線と、グローバルビット線と、前記第１の制御信号が活性化してから所定期間後に前記アクティブコマンドに応じて活性化される第２の制御信号に応じて前記ローカルビット線及び前記グローバルビット線を接続するスイッチ回路と、を備えることを特徴とする。

20

【０００８】

本発明の他の側面による半導体装置は、第１及び第２のグローバルビット線と、前記第１及び第２のグローバルビット線に現れる電位差を増幅するセンスアンプと、第１及び第２のローカルビット線と、前記第１のローカルビット線と前記第１のグローバルビット線との間に接続された第１のスイッチ回路と、前記第２のローカルビット線と前記第２のグローバルビット線との間に接続された第２のスイッチ回路と、第１及び第２のメモリセルと、前記第１のメモリセルと前記第１のローカルビット線との間に接続された第１のメモリセルトランジスタと、前記第２のメモリセルと前記第２のローカルビット線との間に接続された第２のメモリセルトランジスタと、所定のコマンドにตอบสนองして、前記第１及び第２のメモリセルトランジスタのいずれか一方をオンさせた後、前記第１及び第２のスイッチ回路をオンさせる制御回路と、を備えることを特徴とする。

30

【発明の効果】

【０００９】

本発明によれば、ローカルビット線にある程度データが読み出された後に、ローカルビット線がグローバルビット線に接続されるため、ノイズの影響によってデータが反転する危険性が少なくなる。

【図面の簡単な説明】

【００１０】

【図１】本発明の好ましい実施形態による半導体装置１０の全体構成を示すブロック図である。

40

【図２】メモリセルアレイ領域３０の内部をより詳細に説明するための回路図である。

【図３】サブワードドライバＳＷＤの回路図である。

【図４】ローカルスイッチドライバＬＳＤの回路図である。

【図５】半導体装置１０の動作を説明するためのタイミング図である。

【図６】（ａ）～（ｃ）は、半導体装置１０の各動作タイミングにおける変化を説明するための回路図である。

【図７】カップリングノイズの影響が最も大きいケースを説明するための図である。

【図８】本発明者が発明に至る過程で考えたプロトタイプによる半導体装置の動作を説明するためのタイミング図である。

50

【図 9】(a), (b) は、プロトタイプによる半導体装置の各動作タイミングにおける変化を説明するための回路図である。

【図 10】本発明の第 2 の実施形態による半導体装置を説明するための回路図である。

【図 11】本発明の第 3 の実施形態による半導体装置を説明するための回路図である。

【図 12】第 3 の実施形態にて用いるローカルスイッチドライバ L S D の回路図である。

【発明を実施するための形態】

【0011】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0012】

10

図 1 は、本発明の好ましい実施形態による半導体装置 10 の全体構成を示すブロック図である。

【0013】

本実施形態による半導体装置 10 は D R A M であり、1 個の半導体チップに集積されている。但し、本発明の適用対象が D R A M に限定されるものではなく、階層的に構築されたビット線を含む全ての半導体装置に対して適用可能である。図 1 に示すように、本実施形態による半導体装置 10 は、外部端子としてバンクアドレス端子 11、アドレス端子 12、コマンド端子 13 及びデータ入出力端子 14 を備えている。その他にも、実際にはクロック端子や電源端子などが備えられているが、図 1 においては図示が省略されている。

【0014】

20

バンクアドレス端子 11 及びアドレス端子 12 は、外部からそれぞれバンクアドレス信号 B A 及びアドレス信号 A D D が入力される端子である。バンクアドレス信号 B A とは、アクセス対象となるメモリバンクを特定するための信号である。特に限定されるものではないが、本実施形態による半導体装置 10 は 8 つのメモリバンク B A N K 0 ~ B A N K 7 を備えており、これらメモリバンク B A N K 0 ~ B A N K 7 はバンクアドレス信号 B A に基づいて非排他的にアクセス可能である。各メモリバンク B A N K 0 ~ B A N K 7 には、メモリセルアレイ領域 30、X デコーダ 31、Y デコーダ 32、制御回路 33 及びデータアンプ 34 が含まれている。

【0015】

30

アドレス信号 A D D とは、選択されたメモリバンク内におけるロウアドレス又はカラムアドレスを示す。ロウアドレスとはワード線を選択するための信号であり、カラムアドレスとはビット線を選択するための信号である。これらバンクアドレス信号 B A 及びアドレス信号 A D D は、コマンドアドレスデコーダ 20 に供給される。コマンドアドレスデコーダ 20 は、入力されたバンクアドレス信号 B A 及びアドレス信号 A D D に基づいて、内部アドレス信号 I A D D を生成する。

【0016】

40

コマンド端子 13 は、外部からコマンド信号 C M D が入力される端子である。コマンド信号 C M D とは当該半導体装置 10 の動作を指定するための信号であり、アクティブコマンド、リードコマンド、ライトコマンドなどが含まれる。アクティブコマンドは、ロウアクセスを行う際に発行されるコマンドであり、アクティブコマンドとともに供給されたアドレス信号 A D D はロウアドレスとして取り扱われる。また、リードコマンド及びライトコマンドは、カラムアクセスを行う際に発行されるコマンドであり、リードコマンド又はライトコマンドとともに供給されたアドレス信号 A D D はカラムアドレスとして取り扱われる。

【0017】

50

コマンド信号 C M D は、コマンドアドレスデコーダ 20 に供給される。コマンドアドレスデコーダ 20 は、コマンド信号 C M D をデコードすることによって内部コマンド信号 I C M D を生成する。コマンド信号 C M D の種類としては、上述したアクティブコマンド、リードコマンド、ライトコマンドの他に、オートリフレッシュコマンドやセルフリフレッシュコマンドも含まれる。オートリフレッシュコマンドが発行されると、コマンドアドレ

ステコーダ 20 に含まれるリフレッシュカウンタ 21 が示すロウアドレスに対し、リフレッシュ動作が行われる。また、セルフリフレッシュコマンドが発行されると、オシレータ 22 によってセルフリフレッシュ信号 S R が周期的に活性化され、これに応答してリフレッシュカウンタ 21 が示すロウアドレスに対しリフレッシュ動作が行われる。セルフリフレッシュ信号 S R は、内部コマンド信号 I C M D の一部を構成する。

【0018】

図 1 に示すように、コマンドアドレスデコーダ 20 から出力される内部アドレス信号 I A D D 及び内部コマンド信号 I C M D は、各メモリバンク B A N K 0 ~ B A N K 7 に含まれる X デコーダ 31、Y デコーダ 32 及び制御回路 33 に供給される。

【0019】

X デコーダ 31 は、ロウアドレスに基づいてメモリセルアレイ領域 30 内のワード線を選択するための回路である。また、Y デコーダ 32 は、カラムアドレスに基づいてメモリセルアレイ領域 30 内のビット線を選択するための回路である。Y デコーダ 32 によって選択されたビット線は、データアンプ 34 を介してデータ入出力回路 40 に接続される。データ入出力回路 40 は、データアンプ 34 を介して読み出されたデータをデータ入出力端子 14 に供給するとともに、データ入出力端子 14 を介して入力されたデータをデータアンプ 34 に供給する。

【0020】

これにより、アクティブコマンドとともにロウアドレスを供給し、次に、リードコマンドとともにカラムアドレスを供給すれば、ロウアドレスによって特定されるワード線と、カラムアドレスによって特定されるビット線との交点に配置されたメモリセルのデータがデータ入出力端子 14 から読み出される。また、アクティブコマンドとともにロウアドレスを供給し、次に、ライトコマンドとともにカラムアドレスを供給し、さらにデータ入出力端子 14 を介してデータを入力すれば、ロウアドレスによって特定されるワード線と、カラムアドレスによって特定されるビット線との交点に配置されたメモリセルにデータが書き込まれる。

【0021】

制御回路 33 は、メモリセルアレイ領域 30 の内部に含まれるサブワードドライバ (S W D) 及びローカルスイッチドライバ (L S D) の動作タイミングを制御するための回路である。制御回路 33 の詳細については後述する。

【0022】

図 2 は、メモリセルアレイ領域 30 の内部をより詳細に説明するための回路図であり、本発明の第 1 の実施形態に相当する。

【0023】

図 2 に示すように、メモリセルアレイ領域 30 内には、X 方向に延在する複数のグローバルビット線 G B L 及び複数のローカルビット線 L B L が設けられている。グローバルビット線 G B L は上位の階層に位置付けられるビット線であり、センスアンプ S A に接続されている。一方、ローカルビット線 L B L は下位の階層に位置付けられるビット線であり、メモリセル M C に接続されている。グローバルビット線 G B L とローカルビット線 L B L との間にはスイッチ回路 S W が接続されている。

【0024】

センスアンプ S A は、一对のグローバルビット線 G B L に現れる電位差を増幅する回路であり、その動作タイミングは図 1 に示した制御回路 33 によって制御される。センスアンプ S A の動作は、後述するセンスアンプイネーブル信号 (S A E) によって制御される。また、図 2 には図示していないが、センスアンプ S A には、一对のグローバルビット線 G B L の電位をイコライズするイコライズ回路 (E Q) が含まれている。イコライズ回路の動作は、後述するイコライズ信号 (B L E Q) によって制御される。イコライズ信号 (B L E Q) も制御回路 33 によって生成される。

【0025】

図 2 に示すように、1 本のグローバルビット線 G B L には複数のローカルビット線 L B

10

20

30

40

50

Lが割り当てられる。これにより、1つのセンスアンプSAに多数のメモリセルを割り当てることが可能となることから、センスアンプSAの数を削減することができる。各ローカルビット線LBLは、それぞれ対応するスイッチ回路SWを介してグローバルビット線GBLに接続されている。本実施形態ではスイッチ回路SWがNチャンネル型MOSトランジスタからなり、そのゲート電極は階層スイッチ配線HSWに接続される。但し、本発明においてスイッチ回路SWをNチャンネル型MOSトランジスタによって構成することは必須でなく、他の素子を用いても構わないし、複数の素子からなる回路を用いても構わない。いずれの場合であっても、スイッチ回路SWの制御端子(MOSトランジスタの場合はゲート電極)が対応する階層スイッチ配線HSWに接続される。階層スイッチ配線HSWは、対応するローカルスイッチドライバLSDによって駆動される。

10

【0026】

上述の通り、本実施形態による半導体装置10はDRAMであり、したがって各メモリセルMCは、メモリセルトランジスタQとメモリセルキャパシタCSの直列回路からなる。メモリセルトランジスタQはNチャンネル型MOSトランジスタからなり、その一端は対応するローカルビット線LBLに接続され、他端はメモリセルキャパシタCSに接続されている。メモリセルキャパシタCSの他端にはプレート電位VPLTが供給される。また、メモリセルトランジスタQのゲート電極は対応するサブワード線SWLに接続されている。本発明においては、サブワード線SWLを単に「ワード線」と呼ぶことがある。サブワード線SWLは、対応するサブワードドライバSWDによって駆動される。かかる構成により、いずれかのサブワード線SWLが活性化されると、対応するメモリセルトランジスタQがオンすることによってメモリセルキャパシタCSがローカルビット線LBLに接続される。これにより、メモリセルキャパシタCSに記憶されていたデータがローカルビット線LBLに読み出される。本発明においては、メモリセルキャパシタCSを単に「メモリセル」と呼ぶことがある。但し、本発明においてメモリセルトランジスタQをNチャンネル型MOSトランジスタによって構成することは必須でなく、他の素子を用いても構わないし、複数の素子からなる回路を用いても構わない。いずれの場合であっても、メモリセルトランジスタQの制御端子(MOSトランジスタの場合はゲート電極)が対応するサブワード線SWLに接続される。

20

【0027】

サブワードドライバSWDは、メインワード信号M1及びサブワード制御信号S1に基づいてサブワード線SWLを駆動する。メインワード信号M1は、メインワード線MWLを介してメインワードドライバMWDから供給される信号である。また、サブワード制御信号S1は、サブワード制御回路50から供給される信号である。メインワードドライバMWD及びサブワード制御回路50は、いずれも図1に示したXデコーダ31に含まれる回路ブロックであり、それぞれロウアドレスの一部である内部アドレス信号IADDa, IADDbに基づいて動作する。本発明においては、サブワード制御回路50の出力であるサブワード制御信号S1を「第1の制御信号」と呼ぶことがある。

30

【0028】

ローカルスイッチドライバLSDは、メインスイッチ制御信号M2及びローカルスイッチ制御信号S2に基づいて階層スイッチ配線HSWを駆動する。メインスイッチ制御信号M2は、メインスイッチ配線MSLを介してメインスイッチドライバMSDから供給される信号である。メインスイッチドライバMSDは、図1に示したXデコーダ31に含まれる回路ブロックであり、ロウアドレスの一部である内部アドレス信号IADDbに基づいて動作する。ローカルスイッチ制御信号S2は、ローカルスイッチ制御回路60から出力されるローカルスイッチ制御信号S5を、ディレイ回路61によって遅延させた信号である。これにより、サブワード制御信号S1とローカルスイッチ制御信号S5の活性化タイミングは実質的に同時であるものの、ローカルスイッチ制御信号S2の活性化タイミングはサブワード制御信号S1の活性化タイミングよりも所定時間だけ遅れる。ローカルスイッチ制御回路60及びディレイ回路61は、図1に示した制御回路33に含まれる回路ブロックである。ローカルスイッチ制御回路60は、ロウアドレスの一部である内部アドレ

40

50

ス信号 I A D D a に基づき、サブワード制御回路 5 0 と同時に動作する。本発明においては、ローカルスイッチ制御回路 6 0 の出力であるローカルスイッチ制御信号 S 5 を「第 5 の制御信号」と呼び、ディレイ回路 6 1 の出力であるローカルスイッチ制御信号 S 2 を「第 2 の制御信号」と呼ぶことがある。また、ディレイ回路 6 1 を「第 1 のディレイ回路」と呼ぶことがある。

【 0 0 2 9 】

図 3 は、サブワードドライバ S W D の回路図である。

【 0 0 3 0 】

図 3 に示すように、サブワードドライバ S W D は、いずれもドレインがサブワード線 S W L に接続された P チャンネル型 M O S トランジスタ P 1 と、N チャンネル型 M O S トランジスタ N 1 , N 2 とを備えている。トランジスタ N 1 , N 2 のソースには負電位 V K K が供給される。図 3 に示すように、サブワード制御信号 S 1 は相補の信号 F X T , F X B からなり、トランジスタ P 1 のソースには信号 F X T が供給され、トランジスタ N 2 のゲート電極には信号 F X B が供給される。また、トランジスタ P 1 , N 1 のゲート電極にはメインワード線 M W L を介してメインワード信号 M 1 が供給される。かかる構成により、メインワード信号 M 1 がローレベルに活性化し、且つ、信号 F X T , F X B がそれぞれハイレベル及びローレベルに活性化すると、サブワード線 S W L は信号 F X T のレベル（昇圧電位 V P P ）に駆動される。これに対し、メインワード信号 M 1 がハイレベルに非活性化している場合、又は、信号 F X T , F X B がそれぞれローレベル及びハイレベルに非活性化している場合には、サブワード線 S W L は負電位 V K K にリセットされる。本実施形態では、メインワード信号 M 1 がローレベルに活性化した後に、信号 F X T , F X B がそれぞれハイレベル及びローレベルに活性化するため、サブワード線 S W L が活性化するタイミングは、サブワード制御信号 S 1 によって決まることになる。

【 0 0 3 1 】

図 4 は、ローカルスイッチドライバ L S D の回路図である。

【 0 0 3 2 】

図 4 に示すように、ローカルスイッチドライバ L S D は、昇圧電位 V P P と負電位 V K K との間に直列接続された P チャンネル型 M O S トランジスタ P 2 , P 3 及び N チャンネル型 M O S トランジスタ N 3 を備えている。トランジスタ P 2 のゲート電極にはローカルスイッチ制御信号 S 2 が供給され、トランジスタ P 3 , N 3 のゲート電極にはメインスイッチ配線 M S L を介してメインスイッチ制御信号 M 2 が供給される。トランジスタ P 3 , N 3 の共通ドレインは、階層スイッチ配線 H S W に接続される。かかる構成により、メインスイッチ制御信号 M 2 及びローカルスイッチ制御信号 S 2 がローレベルに活性化すると、階層スイッチ配線 H S W は昇圧電位 V P P に駆動される。これに対し、メインスイッチ制御信号 M 2 がハイレベルに非活性化している場合には、階層スイッチ配線 H S W は負電位 V K K にリセットされる。本実施形態では、メインスイッチ制御信号 M 2 がローレベルに活性化した後に、ローカルスイッチ制御信号 S 2 がローレベルに活性化するため、階層スイッチ配線 H S W が活性化するタイミングは、ローカルスイッチ制御信号 S 2 によって決まることになる。

【 0 0 3 3 】

次に、本実施形態による半導体装置 1 0 の動作について説明する。

【 0 0 3 4 】

図 5 は、本実施形態による半導体装置 1 0 の動作を説明するためのタイミング図である。図 5 に示すタイミング図は、ロウアクセス時における動作を示している。ロウアクセスは、外部からアクティブコマンド又はオートリフレッシュコマンドが発行された場合や、セルフリフレッシュ信号 S R が活性化した場合に実行されるが、図 5 では一例として、外部からアクティブコマンドが発行された場合を示している。

【 0 0 3 5 】

まず、アクティブコマンド A C T が発行される前（時刻 t 0 以前）の状態では、サブワード線 S W L 及び階層スイッチ配線 H S W はローレベルにリセットされている。したがっ

て、いずれのメモリセルMCもローカルビット線LBLに接続されておらず、且つ、いずれのローカルビット線LBLもグローバルビット線GBLに接続されていない。また、イコライズ信号BLEQはハイレベルに活性化しており、センスアンブイネーブル信号SAEはローレベルに非活性化している。これにより、各グローバルビット線GBL対は同電位にイコライズされ、プリチャージ状態にある。本発明においては、イコライズ信号BLEQを「第3の制御信号」と呼び、センスアンブイネーブル信号SAEを「第4の制御信号」と呼ぶことがある。

【0036】

次に、時刻t0においてアクティブコマンドACTが発行されるとともにアドレス信号ADDが入力されると、時刻t1においてイコライズ信号BLEQがローレベルに非活性化される。これにより、各グローバルビット線GBL対のイコライズが解除される。但し、この段階ではセンスアンブイネーブル信号SAEがローレベルに保たれていることから、センスアンプSAは非活性状態である。したがって、グローバルビット線GBLのプリチャージ状態は保たれている。時刻t1の前後における動作は、図6(a)に示すとおりである。図6(a)には、イコライズ信号BLEQがハイレベルからローレベルに変化した状態が示されている。図6(a)に示すグローバルビット線GBL0は、読み出し対象となるビット線である。グローバルビット線GBL0はグローバルビット線GBL0aと対を成しており、同じセンスアンプSAに接続されている。

【0037】

次に、時刻t2になると、サブワード制御信号S1が活性化する。これにより、ロウアドレスにより特定されるサブワード線SWLがハイレベルに変化する。図5に示す例では、時刻t0で入力されたアドレス信号ADDに基づき、サブワード線SWLaが選択された場合を示している。図2に示すように、サブワード線SWLaによって選択されるメモリセルMCは、ローカルビット線LBL0、LBL1に割り当てられている。サブワード線SWLaが活性化されると、対応するメモリセルMC0、MC1に含まれるメモリセルトランジスタQがオンするため、メモリセルキャパシタCSに記憶されていたデータがローカルビット線LBL0、LBL1に読み出される。

【0038】

図5に示す例では、メモリセルMC0のメモリセルキャパシタCSにハイレベルのデータが記憶され、メモリセルMC1のメモリセルキャパシタCSにローレベルのデータが記憶されていた場合を示している。このため、時刻t2になると、ローカルビット線LBL0の電位はプリチャージレベルから上昇し、ローカルビット線LBL1の電位はプリチャージレベルから低下している。時刻t2の前後における動作は、図6(b)に示すとおりであり、時刻t2においてはまだスイッチ回路SWはオフ状態である。このため、メモリセルMC0に接続される容量成分はローカルビット線LBL0の容量のみであり、グローバルビット線GBL0は切り離されていることから、ローカルビット線LBL0の電位変化は比較的大きくなる。図6(b)には示されていないが、ローカルビット線LBL1についても同様である。尚、図6(b)に示すように、一方のグローバルビット線GBL0に関連するサブワード線SWLaが選択される場合、他方のグローバルビット線GBL0aに関連するサブワード線SWLは全て非選択となる。また、1つのグローバルビット線GBL0に関連する複数のサブワード線SWLのうち、2本以上のサブワード線SWLが同時に選択されることはない。

【0039】

次に、時刻t3になると、ローカルスイッチ制御信号S2が活性化する。これにより、ロウアドレスにより特定される階層スイッチ配線HSWがハイレベルに変化する。図5に示す例では、時刻t0で入力されたアドレス信号ADDに基づき、階層スイッチ配線HSWaが選択された場合を示している。図2に示すように、階層スイッチ配線HSWaによって制御されるスイッチ回路SWは、ローカルビット線LBL0、LBL1に割り当てられている。階層スイッチ配線HSWaが活性化されると、ローカルビット線LBL0、LBL1に割り当てられたスイッチ回路SWがオンするため、ローカルビット線LBL0が

10

20

30

40

50

グローバルビット線 G B L 0 に接続され、ローカルビット線 L B L 1 がグローバルビット線 G B L 1 に接続される。時刻 t 3 の前後における動作は、図 6 (c) に示されている。図 6 (c) に示すように、一方のグローバルビット線 G B L 0 に関連するサブワード線 S W L a が選択される場合、一方のグローバルビット線 G B L 0 に関連する階層スイッチ配線 H S W a が活性化されるとともに、他方のグローバルビット線 G B L 0 a に関連する階層スイッチ配線 H S W b も活性化される。他方のグローバルビット線 G B L 0 a は参照側となるビット線であるが、データ読み出し側であるグローバルビット線 G B L 0 との容量バランスを図るため、階層スイッチ配線 H S W b も活性化される。

【 0 0 4 0 】

スイッチ回路 S W がオンすると、ローカルビット線 L B L に電位に応じてグローバルビット線 G B L の電位が変化する。但し、グローバルビット線 G B L の容量成分は、ローカルビット線 L B L の容量成分に比べて大きいので、グローバルビット線 G B L の電位変化はさほど大きくない。また、スイッチ回路 S W がオンするとローカルビット線 L B L にグローバルビット線 G B L の容量成分が付加されるため、ローカルビット線 L B L の電位はプリチャージレベルに向けて僅かに戻り、信号成分が減少する。

【 0 0 4 1 】

特に、隣接するグローバルビット線 G B L に読み出されたデータが逆の論理レベルである場合には、カップリングノイズの影響により、信号成分の減少量が大きくなる。図 7 は、カップリングノイズの影響が最も大きいケースを示している。図 7 に示す例では、グローバルビット線 G B L 1 , G B L 2 にローレベルのデータが読み出され、グローバルビット線 G B L 1 , G B L 2 に挟まれたグローバルビット線 G B L 0 にハイレベルのデータが読み出されている。このような場合、グローバルビット線 G B L 0 は、両側からローレベルのノイズを受けるため、信号成分の減少量が大きくなる。

【 0 0 4 2 】

図 5 に示す例においても、グローバルビット線 G B L 0 に読み出されたデータがハイレベルであり、これに隣接するグローバルビット線 G B L 1 に読み出されたデータがローレベルであることから、実線で示す波形のように、カップリングノイズの影響によってグローバルビット線 G B L 0 上の電位が低下する。尚、破線で示す波形は、カップリングノイズの影響を受けなかった場合の電位変化を示している。このように、カップリングノイズによってグローバルビット線 G B L 0 に読み出された信号成分は減少するものの、本実施形態では、スイッチ回路 S W がオンする前にローカルビット線 L B L 0 にデータが十分に読み出されていることから、スイッチ回路 S W がオンしてもデータが反転することはない。

【 0 0 4 3 】

そして、時刻 t 4 になるとセンスアンプライン信号 S A E がハイレベルに変化し、センスアンプ S A が活性化される。これにより、一対のグローバルビット線 G B L 対に生じている電位差が増幅される。図 5 には図示しないが、例えばその後リードコマンドが発行されると、カラムアドレスに基づいていずれかのセンスアンプ S A が選択され、図 1 に示したデータアンプ 3 4 及びデータ入出力回路 4 0 を介してデータが出力される。また、図 5 に示す動作がオートリフレッシュコマンドやセルフリフレッシュ信号 S R に応答した動作である場合には、メモリセル M C から読み出されたデータがセンスアンプ S A によってリストアされる。

【 0 0 4 4 】

このように、本実施形態による半導体装置 1 0 においては、サブワード線 S W L を活性化させてからスイッチ回路 S W をオンさせていることから、カップリングノイズの影響を低減することが可能となる。

【 0 0 4 5 】

図 8 は、本発明者が発明に至る過程で考えたプロトタイプによる半導体装置の動作を説明するためのタイミング図である。

【 0 0 4 6 】

10

20

30

40

50

図 8 に示す例では、時刻 t_{11} においてイコライズ信号 $BLEQ$ がローレベルに非活性化されるとともに、ローカルスイッチ制御信号 S_2 が活性化している。これにより、各グローバルビット線 GBL 対のイコライズが解除されるとともに、ロウアドレスにより特定される階層スイッチ配線 HSW がハイレベルに変化する。時刻 t_{11} の前後における動作は、図 9 (a) に示すとおりである。図 9 (a) には、イコライズ信号 $BLEQ$ がハイレベルからローレベルに変化するとともに、階層スイッチ配線 HSW_a , HSW_b により制御されるスイッチ回路 SW がオフからオンに変化した状態が示されている。

【0047】

次に、時刻 t_{12} になるとサブワード制御信号 S_1 が活性化し、ロウアドレスにより特定されるサブワード線 SWL_a がハイレベルに変化する。これにより、対応するメモリセル MC のデータがローカルビット線 LBL_0 , LBL_1 に読み出される。図 8 には、ローカルビット線 LBL_0 に接続されたメモリセル MC からはハイレベルのデータが読み出され、ローカルビット線 LBL_1 に接続されたメモリセル MC からはローレベルのデータが読み出された場合を例に示している。時刻 t_{12} の前後における動作は、図 9 (b) に示すとおりであり、時刻 t_{12} においては既にスイッチ回路 SW がオン状態である。

【0048】

このように、本例では時刻 t_{12} の時点ですでにスイッチ回路 SW がオンしていることから、メモリセル MC に接続される容量成分は、ローカルビット線 LBL の容量とグローバルビット線 GBL の容量の和となる。このため、上述した実施形態と比べ、ローカルビット線 LBL 及びグローバルビット線 GBL の電位変化は僅かとなる。しかも、時刻 t_{12} においてサブワード制御信号 S_1 が活性化すると、隣接するグローバルビット線 GBL 間におけるカップリングノイズが直ちに生じる。特に、センスアンプ SA を構成するトランジスタのしきい値電圧が低い場合、センスアンプイネーブル信号 SAE が非活性状態であっても僅かにセンス動作がなされることがある。このような減少はプリセンスと呼ばれ、プリセンスが発生すると、ノイズによって生じた電位差が増幅されてしまう。

【0049】

図 8 に示す例では、実線で示す波形のように、カップリングノイズの影響によってグローバルビット線 GBL_0 上の電位が低下し、プリチャージレベルを下回っている。尚、破線で示す波形は、カップリングノイズの影響を受けなかった場合の電位変化を示している。このように、信号成分が小さい状態でカップリングノイズを受けると、データが反転してしまうおそれが生じる。図 8 に示すように、反転したデータはプリセンスの影響によって徐々に増幅されている。そして、時刻 t_{13} にてセンスアンプイネーブル信号 SAE が活性化すると、反転したデータが完全に増幅されるため、リード動作においては誤ったデータが出力されることになる。また、図 8 に示す動作がオートリフレッシュコマンドやセルフリフレッシュ信号 SR に応答した動作である場合には、誤ったデータがリストアされることになる。

【0050】

これに対し、上述した本実施形態による半導体装置 10 においては、サブワード線 SWL を活性化させてからスイッチ回路 SW をオンさせていることから、カップリングノイズの影響によってデータが反転するリスクが低減されている。これにより、信頼性の高い半導体装置を提供することが可能となる。

【0051】

次に、本発明の第 2 の実施形態について説明する。

【0052】

図 10 は、本発明の第 2 の実施形態による半導体装置を説明するための回路図である。

【0053】

図 10 に示すように、本発明の第 2 の実施形態による半導体装置は、サブワード制御回路 50 の後段にディレイ回路 51 が追加されている点において、第 1 の実施形態と相違している。本発明においては、ディレイ回路 51 を「第 2 のディレイ回路」と呼ぶことができる。その他の点については図 2 に示した第 1 の実施形態と同一であることから、同一の要

10

20

30

40

50

素には同一の符号を付し、重複する説明は省略する。

【 0 0 5 4 】

本実施形態におけるサブワード制御信号 S 1 は、サブワード制御回路 5 0 から出力されるサブワード制御信号 S 6 をディレイ回路 5 1 によって遅延させた信号である。ディレイ回路 5 1 は、図 1 に示した X デコーダ 3 1 に含まれる要素であり、ディレイ回路 6 1 よりも少ない遅延量に設計されている。これにより、サブワード制御信号 S 6 とローカルスイッチ制御信号 S 5 の活性化タイミングは実質的に同時であるものの、ローカルスイッチ制御信号 S 2 の活性化タイミングはサブワード制御信号 S 1 の活性化タイミングよりも所定時間だけ遅れる。かかる所定時間は、ディレイ回路 5 1 の遅延量とディレイ回路 6 1 の遅延量の差によって定義される。本発明においては、サブワード制御回路 5 0 の出力であるサブワード制御信号 S 6 を「第 6 の制御信号」と呼ぶことがある。

10

【 0 0 5 5 】

かかる構成によっても、サブワード線 S W L を活性化させてからスイッチ回路 S W をオンさせることができるため、第 1 の実施形態と同じ効果を得ることが可能となる。

【 0 0 5 6 】

次に、本発明の第 3 の実施形態について説明する。

【 0 0 5 7 】

図 1 1 は、本発明の第 3 の実施形態による半導体装置を説明するための回路図である。

【 0 0 5 8 】

図 1 1 に示すように、本発明の第 3 の実施形態による半導体装置は、ローカルスイッチ制御回路 6 0 及びディレイ回路 6 1 が削除され、代わりに、メインスイッチ配線 M S L にディレイ回路 6 2 が接続されている点において、第 1 の実施形態と相違している。これに伴い、ローカルスイッチドライバ L S D の回路構成も図 4 に示した回路構成とは相違している。

20

【 0 0 5 9 】

図 1 2 は、第 3 の実施形態にて用いるローカルスイッチドライバ L S D の回路図である。図 1 2 に示すローカルスイッチドライバ L S D は、トランジスタ P 2 が削除されている点において、図 4 に示したローカルスイッチドライバ L S D と相違している。これにより、メインスイッチ制御信号 M 2 D がローレベルに活性化すると、階層スイッチ配線 H S W は昇圧電位 V P P に駆動される。ここで、メインスイッチ制御信号 M 2 D とは、メインスイッチドライバ M S D から出力されるメインスイッチ制御信号 M 2 を、ディレイ回路 6 2 によって遅延させた信号である。

30

【 0 0 6 0 】

これにより、メインワード信号 M 1 とメインスイッチ制御信号 M 2 の活性化タイミングは実質的に同時であるものの、メインスイッチ制御信号 M 2 D の活性化タイミングはメインワード信号 M 1 の活性化タイミングよりも所定時間だけ遅れる。これにより、本実施形態においても、サブワード線 S W L を活性化させてからスイッチ回路 S W をオンさせることができるため、第 1 の実施形態と同じ効果を得ることが可能となる。しかも、本実施形態によれば、回路構成をより簡素化することも可能となる。

【 0 0 6 1 】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

40

【 0 0 6 2 】

例えば、上記実施形態においては、一对のグローバルビット線 G B L に 1 個のセンスアンプ S A が接続されており、これら一对のグローバルビット線 G B L 間に生じている電位差をセンスアンプ S A によって増幅しているが、本発明においてこの点は必須でない。したがって、1 本のグローバルビット線 G B L の電位を所定の基準電位と比較することによってデータの増幅を行っても構わない。

【 0 0 6 3 】

50

また、上記実施形態においては、ビット線がグローバルビット線 G B L とローカルビット線 L B L に階層化されているが、本発明においてはビット線を 3 階層以上に階層化しても構わない。

【 0 0 6 4 】

さらに、上記実施形態においては、アクティブコマンドが発行されるとサブワード線 S W L が活性化する前にイコライズ信号 B L E Q が非活性化しているが、イコライズ信号 B L E Q を非活性化させるタイミングとしては、スイッチ回路 S W をオンさせるタイミングよりも前であればよい。したがって、サブワード線 S W L が活性化した後、スイッチ回路 S W がオンする前に、イコライズ信号 B L E Q を非活性化しても構わない。但し、上記実施形態のようにサブワード線 S W L が活性化する前にイコライズ信号 B L E Q を非活性化させた方が、動作マージンが大きくなるため好ましい。

10

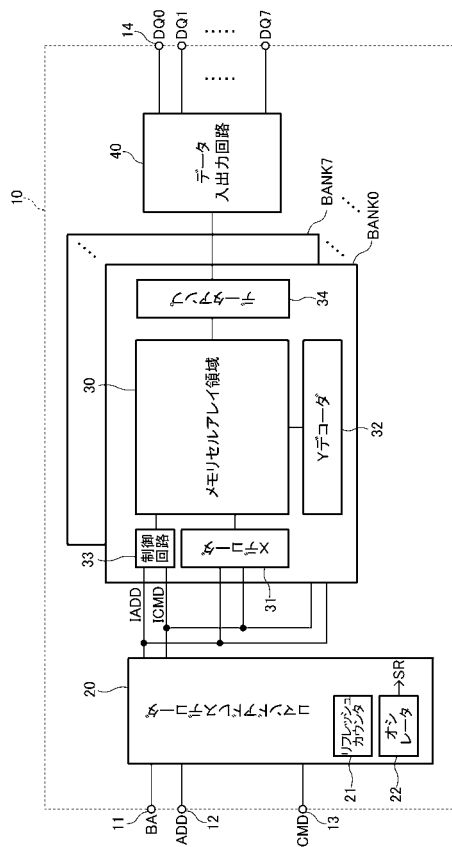
【 符号の説明 】

【 0 0 6 5 】

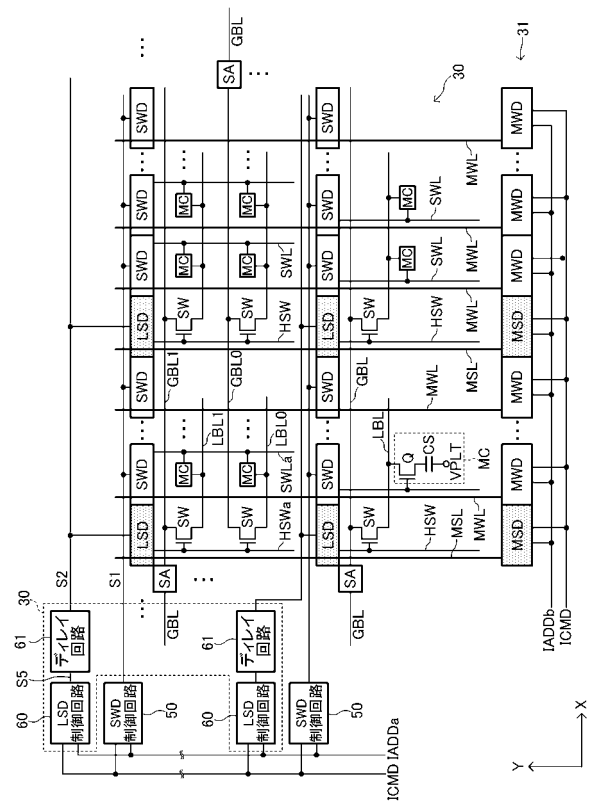
1 0	半 導 体 装 置	
1 1	バンクアドレス端子	
1 2	アドレス端子	
1 3	コマンド端子	
1 4	データ入出力端子	
2 0	コマンドアドレスデコーダ	
2 1	リフレッシュカウンタ	20
2 2	オシレータ	
3 0	メモリセルアレイ領域	
3 1	X デコーダ	
3 2	Y デコーダ	
3 3	制御回路	
3 4	データアンプ	
4 0	データ入出力回路	
5 0	サブワード制御回路	
5 1 , 6 1 , 6 2	ディレイ回路	
6 0	ローカルスイッチ制御回路	30
B L E Q	イコライズ信号 (第 3 の制御信号)	
C S	メモリセルキャパシタ (メモリセル)	
G B L	グローバルビット線	
H S W	階層スイッチ配線	
I A D D	内部アドレス信号	
I C M D	内部コマンド信号	
L B L	ローカルビット線	
L S D	ローカルスイッチドライバ	
M 1	メインワード信号	
M 2 , M 2 D	メインスイッチ制御信号	40
M C	メモリセル	
M S D	メインスイッチドライバ	
M S L	メインスイッチ配線	
M W D	メインワードドライバ	
M W L	メインワード線	
Q	メモリセルトランジスタ	
S 1	サブワード制御信号 (第 1 の制御信号)	
S 2	ローカルスイッチ制御信号 (第 2 の制御信号)	
S 5	ローカルスイッチ制御信号 (第 5 の制御信号)	
S 6	サブワード制御信号 (第 6 の制御信号)	50

S A	センスアンプ
S A E	センスアンプイネーブル信号 (第 4 の制御信号)
S R	セルフリフレッシュ信号
S W	スイッチ回路
S W D	サブワードドライバ
S W L	サブワード線

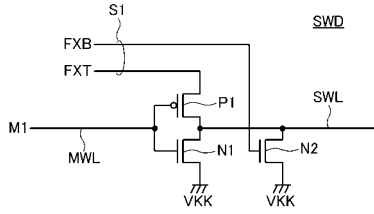
【図 1】



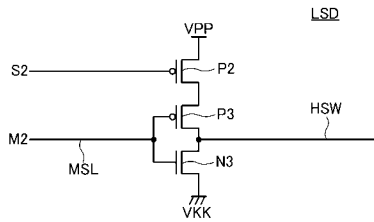
【図 2】



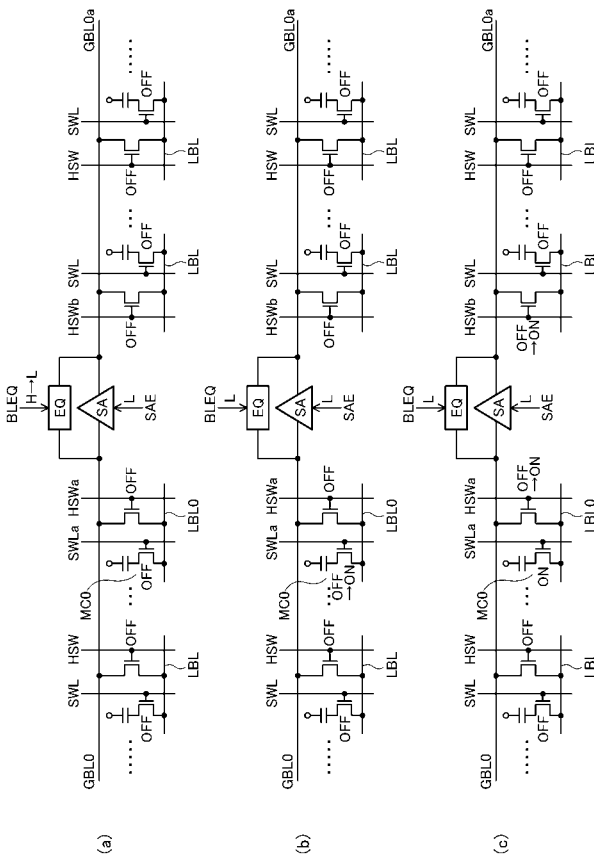
【図 3】



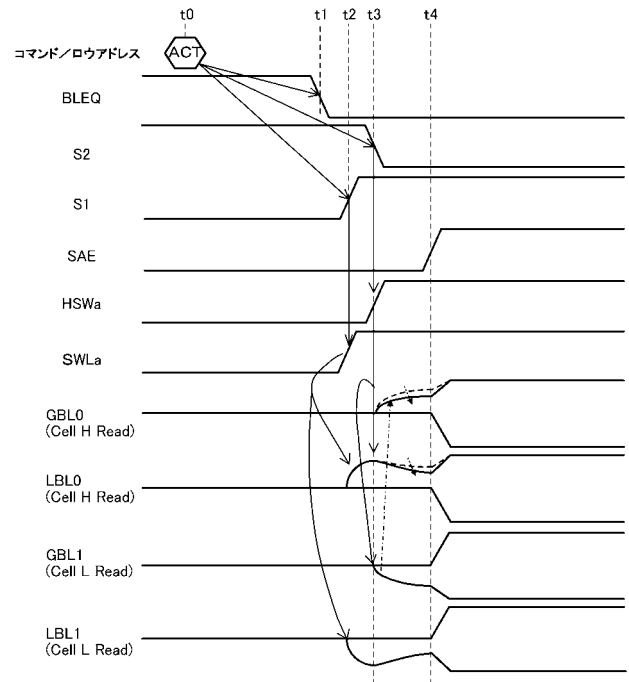
【図 4】



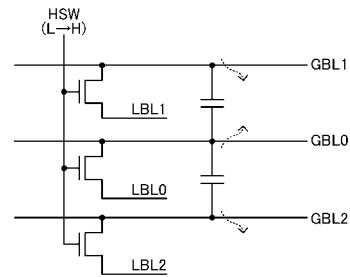
【図 6】



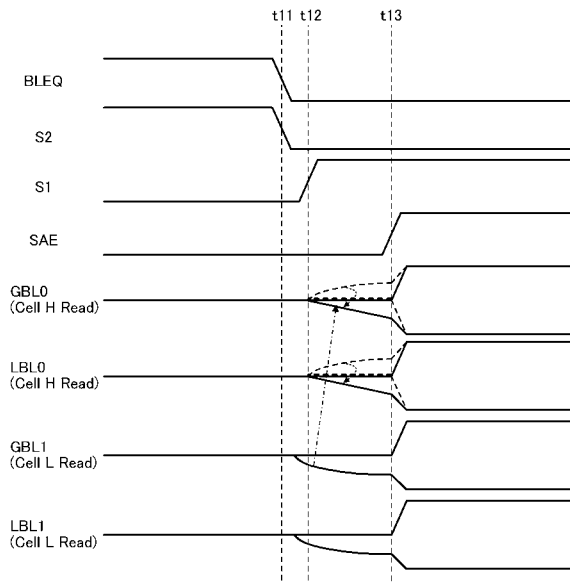
【図 5】



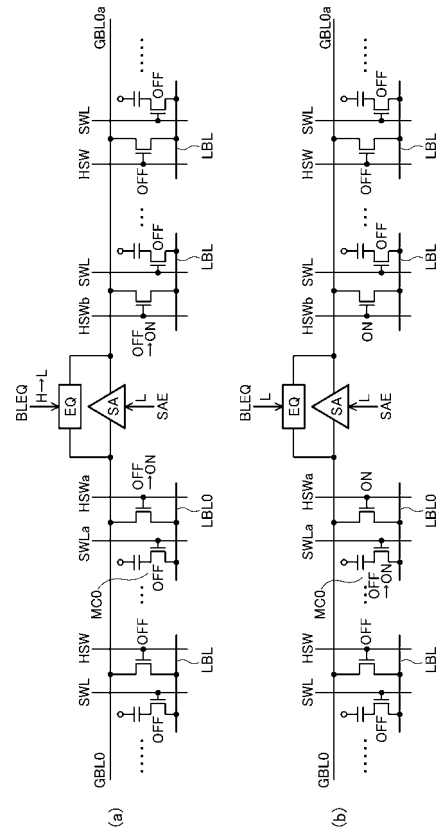
【図 7】



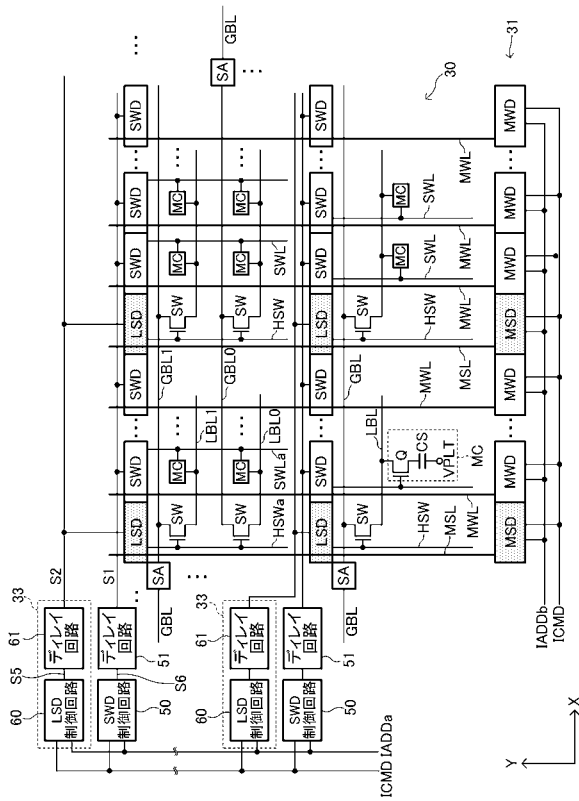
【図 8】



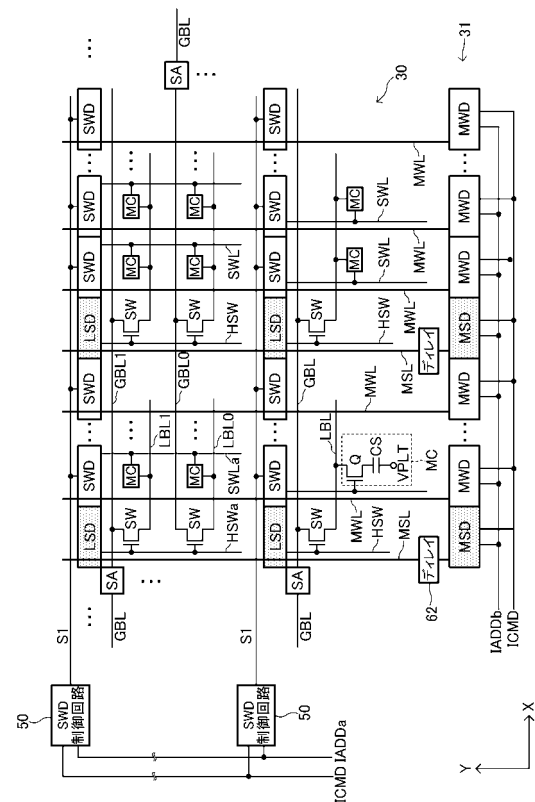
【図 9】



【図 10】



【図 11】



【図 12】

