

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6968553号
(P6968553)

(45) 発行日 令和3年11月17日 (2021. 11. 17)

(24) 登録日 令和3年10月29日 (2021. 10. 29)

(51) Int. Cl.	F I	
H O 1 L 23/04 (2006. 01)	H O 1 L 23/04	D
H O 1 L 23/08 (2006. 01)	H O 1 L 23/08	B
H O 1 L 23/14 (2006. 01)	H O 1 L 23/08	Z
H O 1 L 23/12 (2006. 01)	H O 1 L 23/14	S
H O 1 L 23/15 (2006. 01)	H O 1 L 23/12	Q
請求項の数 19 (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2017-44645 (P2017-44645)	(73) 特許権者	000001007
(22) 出願日	平成29年3月9日 (2017. 3. 9)		キヤノン株式会社
(65) 公開番号	特開2018-148155 (P2018-148155A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成30年9月20日 (2018. 9. 20)	(74) 代理人	100094112
審査請求日	令和2年3月3日 (2020. 3. 3)		弁理士 岡部 譲
		(74) 代理人	100101498
			弁理士 越智 隆夫
		(74) 代理人	100106183
			弁理士 吉澤 弘司
		(74) 代理人	100128668
			弁理士 齋藤 正巳
		(72) 発明者	大重 秀将
			東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		最終頁に続く	

(54) 【発明の名称】 電子部品及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

底面及び側面を有する凹部が設けられた支持部材と、

基板を有し、前記基板の主面が前記凹部に対向するように前記支持部材に固定されたデバイスユニットと、を備え、

前記凹部の開口幅は、前記主面に対して前記凹部の底の側において前記デバイスユニットの幅よりも狭く、前記主面に対して前記凹部の底とは反対側において前記デバイスユニットの前記幅よりも広く、

前記基板の前記主面に垂直な方向において、前記基板の端面が前記凹部の前記側面に重なっており、

前記基板の前記主面には光電変換素子が配置されている

ことを特徴とする電子部品。

【請求項 2】

前記側面は前記基板の前記主面に対して傾斜した傾斜面を有し、前記底面は前記主面に沿っており、前記傾斜面は前記底面に対して傾斜しており、前記基板の前記主面に垂直な方向において、前記基板の前記端面が前記凹部の前記傾斜面に重なっている

ことを特徴とする請求項 1 記載の電子部品。

【請求項 3】

前記デバイスユニットのうちの前記主面と前記端面の境界領域が、前記凹部の前記傾斜面に接している

ことを特徴とする請求項 2 記載の電子部品。

【請求項 4】

前記境界領域が前記主面及び前記端面に対して傾斜している

ことを特徴とする請求項 3 記載の電子部品。

【請求項 5】

前記支持部材は、前記凹部の前記側面に設けられた第 1 の配線層を有し、

前記デバイスユニットは、前記デバイスユニットのうちの前記主面と前記端面の境界領域に配された第 2 の配線層を有し、

前記側面の上において前記第 1 の配線層と前記第 2 の配線層とが電氣的に接続されている

10

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の電子部品。

【請求項 6】

前記第 1 の配線層は、前記支持部材の前記凹部の外の面に延在している

ことを特徴とする請求項 5 記載の電子部品。

【請求項 7】

前記デバイスユニットは、前記凹部とは反対側に、外部接続端子を有する

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の電子部品。

【請求項 8】

前記デバイスユニットは、半導体基板と、前記半導体基板を搭載した実装基板とを含み、前記実装基板が前記主面及び前記端面を有する

20

ことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の電子部品。

【請求項 9】

前記凹部は、前記デバイスユニットによって塞がれている

ことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の電子部品。

【請求項 10】

前記デバイスユニットは、前記主面とは反対側において前記支持部材よりも突出している

ことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の電子部品。

【請求項 11】

底面及び側面を有する凹部が設けられた支持部材と、
基板を有し、前記基板の主面が前記凹部の前記底面に沿うように前記支持部材に固定されたデバイスユニットと、

30

前記デバイスユニットの端面と前記凹部の前記側面との間に設けられた樹脂部材と、を備え、

前記凹部の開口幅は、前記主面に対して前記凹部の底の側において前記デバイスユニットの幅よりも狭く、前記主面に対して前記凹部の底とは反対側において前記デバイスユニットの前記幅よりも広く、

前記デバイスユニットと前記凹部の前記底面との間に空隙が設けられており、

前記樹脂部材は、前記デバイスユニットの前記主面と前記底面との間に延在していない

40

【請求項 12】

前記デバイスユニットのうちの前記主面と前記端面の境界領域が、前記凹部の前記側面に接している

ことを特徴とする請求項 11 記載の電子部品。

【請求項 13】

前記境界領域が前記主面及び前記端面に対して傾斜している

ことを特徴とする請求項 12 記載の電子部品。

【請求項 14】

前記支持部材は、前記凹部の前記側面に設けられた第 1 の配線層を有し、

前記デバイスユニットは、前記デバイスユニットのうちの前記主面と前記端面の境界領

50

域に配された第2の配線層を有し、

前記側面の上において前記第1の配線層と前記第2の配線層とが電氣的に接続されている

ことを特徴とする請求項11乃至13のいずれか1項に記載の電子部品。

【請求項15】

前記第1の配線層は、前記支持部材の前記凹部の外の面に延在している

ことを特徴とする請求項14記載の電子部品。

【請求項16】

前記デバイスユニットは、前記凹部とは反対側に、外部接続端子を有する

ことを特徴とする請求項11乃至15のいずれか1項に記載の電子部品。

10

【請求項17】

前記デバイスユニットは、半導体基板と、前記半導体基板を搭載した実装基板とを含み、前記実装基板が前記主面及び前記端面を有する

ことを特徴とする請求項11乃至16のいずれか1項に記載の電子部品。

【請求項18】

前記デバイスユニットは、前記主面とは反対側において前記支持部材よりも突出している

ことを特徴とする請求項11乃至17のいずれか1項に記載の電子部品。

【請求項19】

請求項1乃至18のいずれか1項に記載の電子部品と、

前記電子部品が実装された回路部品と

を備えることを特徴とする機器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子部品及びその製造方法に関する。

【背景技術】

【0002】

半導体基板にトランジスタやダイオード等の素子や配線部を設けたデバイスユニットを支持部材に固定することにより構成された電子部品が提案されている。特許文献1には、光学素子を、中央に窪みを有する収納部材の窪みの中に収納した光学デバイスが記載されている。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2012-182309号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1に記載の電子部品では、小型化を十分に達成できないという課題があった。

40

【0005】

本発明の目的は、電子部品の小型化に有利な技術を提供することにある。

【課題を解決するための手段】

【0006】

本発明の一観点によれば、底面及び側面を有する凹部が設けられた支持部材と、基板を有し、前記基板の主面が前記凹部に対向するように前記支持部材に固定されたデバイスユニットと、を備え、前記凹部の開口幅は、前記主面に対して前記凹部の底の側において前記デバイスユニットの幅よりも狭く、前記主面に対して前記凹部の底とは反対側において前記デバイスユニットの前記幅よりも広く、前記基板の前記主面に垂直な方向において、

50

前記基板の端面が前記凹部の前記側面に重なっており、前記基板の前記主面には光電変換素子が配置されている電子部品が提供される。

【 0 0 0 7 】

また、本発明の他の一観点によれば、底面及び側面を有する凹部が設けられた支持部材と、基板を有し、前記基板の主面が前記凹部の前記底面に沿うように前記支持部材に固定されたデバイスユニットと、前記デバイスユニットの端面と前記凹部の前記側面との間に設けられた樹脂部材と、を備え、前記凹部の開口幅は、前記主面に対して前記凹部の底の側において前記デバイスユニットの幅よりも狭く、前記主面に対して前記凹部の底とは反対側において前記デバイスユニットの前記幅よりも広く、前記デバイスユニットと前記凹部の前記底面との間に空隙が設けられており、前記樹脂部材は、前記デバイスユニットの前記主面と前記底面との間に延在していない電子部品が提供される。

10

【発明の効果】

【 0 0 0 9 】

本発明によれば、電子部品の小型化が可能となる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】本発明の第 1 実施形態による電子部品の概略構成を示す平面図及び断面図である。

【図 2】本発明の第 1 実施形態による電子部品の具体的な構造を示す断面図である。

【図 3】本発明の第 1 実施形態による電子部品におけるデバイスユニットの構成例を示す概略断面図である。

20

【図 4】本発明の第 1 実施形態による電子部品の製造方法を示す工程断面図（その 1）である。

【図 5】本発明の第 1 実施形態による電子部品の製造方法を示す工程断面図（その 2）である。

【図 6】本発明の第 2 実施形態による電子部品の構造を示す概略断面図である。

【図 7】本発明の第 2 実施形態による電子部品の製造方法を示す工程断面図である。

【図 8】本発明の第 3 実施形態による電子部品の構造を示す平面図及び断面図である。

【図 9】本発明の第 3 実施形態による電子部品の製造方法を示す工程断面図（その 1）である。

30

【図 10】本発明の第 3 実施形態による電子部品の製造方法を示す工程断面図（その 2）である。

【発明を実施するための形態】

【 0 0 1 1 】

〔第 1 実施形態〕

本発明の第 1 実施形態による電子部品及びその製造方法について、図 1 乃至図 5 を用いて説明する。

【 0 0 1 2 】

図 1 は、本実施形態による電子部品の概略構成を示す平面図及び断面図である。図 2 は、本実施形態による電子部品の具体的な構造を示す断面図である。図 3 は、本実施形態による電子部品におけるデバイスユニットの構成例を示す概略断面図である。図 4 及び図 5 は、本実施形態による電子部品の製造方法を示す工程断面図である。

40

【 0 0 1 3 】

はじめに、本実施形態による電子部品の概略構成について、図 1 を用いて説明する。図 1 (a) は、本実施形態による電子部品の構造を示す上面図である。図 1 (b) は、図 1 (a) の A - A ' 線に沿った概略断面図である。

【 0 0 1 4 】

本実施形態による電子部品 3 0 0 は、デバイスユニット 1 0 と、支持部材 2 0 とを備えている。デバイスユニット 1 0 は、対向する第 1 主面 1 0 A と第 2 主面 1 0 B とを有する略平板状の構造体であり、半導体ユニットと称することもできる。デバイスユニット 1 0

50

の第1主面10A側には、半導体素子11が設けられている。半導体素子11は、デバイスユニット10の第2主面10B側に設けられていてもよい。支持部材20は、略平板状の構造体であり、一方の主面(図1(b)において上側)に、上部平坦面21と、上部平坦面21に対して窪んだ凹部22とが設けられている。凹部22は、傾斜面SLを有する。凹部22は、一例では、その底を含む底面BTMと、底面BTMに対して傾斜した傾斜面とを含み、底面BTMに向かうほど開口幅が狭くなっている。

【0015】

デバイスユニット10は、図1(b)に示すように、第1主面10Aが支持部材20の凹部22に対向するように、支持部材20に固定されている。デバイスユニット10の第1主面10Aの周縁部は、支持部材20の凹部22の側面である傾斜面SLに接している。より具体的には、デバイスユニット10の第1主面10Aと端面との境界領域(角部(稜部)CR)は、支持部材20の凹部22の傾斜面SLに接している。換言すると、デバイスユニット10の端面は、デバイスユニット10の第1主面10Aに垂直な方向において、支持部材20の凹部22の傾斜面SLに重なっている。凹部22の底面BTMはデバイスユニット10の第1主面10Aに沿っており、凹部22の傾斜面SLは、デバイスユニット10の第1主面10Aに対して傾斜している。なお、デバイスユニット10の端面とは、第1主面10A及び第2主面10Bと交差するデバイスユニット10の側面である。

【0016】

凹部22の傾斜面SLは、必ずしも底面BTMに対する傾斜角が一定な平面である必要はなく、例えば底面BTMに渡って連続する曲面形状であってもよい。また、凹部22の側面は、必ずしも1つの平面や曲面で構成される傾斜面SLである必要はなく、複数の面で構成される形状、例えば階段状等であってもよい。ただし、傾斜面SLの形状が凹部22の各側面において異なっているとデバイスユニット10が凹部22に対して斜めに配置される虞があるため、傾斜面SLの形状は凹部22の全側面において同じであることが望ましい。

【0017】

デバイスユニット10の端面と凹部22の傾斜面SLとの間には、樹脂部材30が設けられている。樹脂部材30は、図1(b)に示すように、支持部材20の上部平坦面21に延在して設けられても構わない。デバイスユニット10の第1主面10Aと凹部22の底面BTMとの間には空隙が設けられている。この空隙はデバイスユニット10により塞がれており、デバイスユニット10の第1主面10Aと凹部22の底面BTMとの間に樹脂部材30は漏れ込んではいない。すなわち、樹脂部材30は、デバイスユニット10の第1主面10Aと凹部22の底面BTMとの間に延在していない。

【0018】

次に、デバイスユニット10と支持部材20の凹部22との関係について、図2を用いてより具体的に説明する。なお、図2は、例えば図1(a)のA-A'線に沿った断面図であるが、A-A'線に直行する方向の断面においても以下に説明する関係と同様の関係を有している。

【0019】

図2(a)は、幅がXであるデバイスユニット10を、支持部材20の上部平坦面21における開口幅がY1、底面BTMにおける開口幅がY2である凹部22に配置した場合の断面模式図である。この場合、デバイスユニット10の幅Xと、開口幅Y1と、開口幅Y2とは、 $Y2 < X < Y1$ の関係となる。すなわち、凹部22の開口幅は、底面BTMにおいてデバイスユニット10の幅よりも狭く、底面BTMから離れた部位においてデバイスユニット10の幅よりも広い。換言すると、凹部22の開口幅は、デバイスユニット10の第1主面10Aに対して凹部22の底の側において、デバイスユニット10の幅よりも狭い。また、デバイスユニット10の第1主面10Aに対して凹部22の底とは反対側において、デバイスユニット10の幅よりも広い。凹部22の両側の側面において傾斜面SLの形状が同じとき、デバイスユニット10と凹部22とが中心を揃えて配置されるた

10

20

30

40

50

め、デバイスユニット 10 の端面と凹部 22 の上端部との距離 Z は、 $Z = (Y1 - X) / 2$ となる。

【0020】

図 2 (b) は、図 2 (a) の点線で囲んだ部分を拡大した図である。上部平坦面 21 に対する凹部 22 の深さを H 、傾斜面 SL の傾斜角を $\theta 1$ とすると、デバイスユニット 10 の第 1 主面 10A と底面 BTM との間のギャップ G は、式 (1) のように表される。

$$G = H - Z \times \tan \theta 1 = H - (Y1 - X) \times \tan \theta 1 / 2 \quad \dots (1)$$

【0021】

つまり、デバイスユニット 10 の第 1 主面 10A と底面 BTM との間のギャップ G は、デバイスユニット 10 の幅 X と、凹部 22 の開口幅 $Y1$ と、傾斜角 $\theta 1$ とによって一律に決定される。したがって、例えば複数の凹部 22 が設けられた支持部材 20 の各凹部 22 にデバイスユニット 10 を 1 つずつ配置するような場合においても、デバイスユニット 10 と凹部 22 との間のギャップ G を均等にすることが可能となる。

10

【0022】

例えば、傾斜角 $\theta 1$ が 60° 、凹部 22 の深さ H が $100 \mu m$ 、デバイスユニット 10 の幅 X が $10 mm$ 、凹部 22 の開口幅 $Y1$ が $10.08 mm$ であるとする、式 (1) からギャップ G は $30.7 \mu m$ となる。この場合に、凹部 22 の加工時の寸法精度により凹部 22 の開口幅 $Y1$ が $\pm 1 \mu m$ 変動したとすると、ギャップ G は $\pm 0.87 \mu m$ 程度変動することとなる。また、傾斜角 $\theta 1$ が $+1^\circ$ 変動したとすると (つまり、 $\theta 1 = 61^\circ$)、ギャップ G は $27.84 \mu m$ となり、ギャップ G の変動量は $2.88 \mu m$ となる。

20

【0023】

デバイスユニット 10 が固体撮像装置の場合、支持部材 20 に付着した異物が撮像素子で結像しないように、固体撮像装置と支持部材との間に概ね数十 μm 程度のギャップ G を設けるのが一般的である。したがって、上述した程度のギャップ変動量であれば、固体撮像装置の特性に影響することはない。

【0024】

デバイスユニット 10 の第 1 主面 10A と端面との境界領域 (角部 CR) は、例えば図 2 (c) に示すように、デバイスユニット 10 の第 1 主面 10A 及び端面に対して傾斜した傾斜面 $SL2$ を設けた面取り構造としてもよい。デバイスユニット 10 の角部 CR を面取りしていない図 2 (b) に示すような構造の場合、角部 CR の頂部に応力が集中し、デバイスユニット 10 にチッピング等の損傷が生じる可能性がある。境界領域に傾斜面 $SL2$ を設けることで、支持部材 20 との間の接触面積が増加して境界領域に集中する応力を緩和することができ、デバイスユニット 10 に損傷が生じるのを抑制することができる。この場合、支持部材 20 の傾斜面 SL の傾斜角 $\theta 1$ とデバイスユニット 10 の傾斜面 $SL2$ の傾斜角 $\theta 2$ とは、等しくするのが好ましい。

30

【0025】

デバイスユニット 10 は、特に限定されるものではなく、例えば図 3 に示すような種々の構造を適用可能である。なお、以下の説明において、各基板の第 1 主面は、デバイスユニット 10 の第 1 主面 10A 側の面に対応するものとする。また、各基板の第 2 主面は、デバイスユニット 10 の第 2 主面 10B 側の面に対応するものとする。

40

【0026】

図 3 (a) に示すデバイスユニット 10 は、半導体基板 100 の第 1 主面 100A 側に配された半導体素子 11 と、半導体基板 100 の第 2 主面 100B 側に配された外部接続端子 50 とを含む。半導体素子 11 と外部接続端子 50 とは、半導体基板 100 を貫くように設けられた貫通電極 40 を介して電氣的に接続されている。

【0027】

図 3 (b) に示すデバイスユニット 10 は、半導体基板 100 と、半導体基板 100 を搭載した実装基板 101 とを含む。半導体基板 100 の第 1 主面 100A 側に半導体素子 11 が配され、実装基板 101 の第 2 主面 101B 側に外部接続端子 50 が配されている。半導体素子 11 と外部接続端子 50 とは、実装基板 101 を貫くように設けられた貫通

50

電極 40 と、ワイヤ W とを介して電氣的に接続されている。

【0028】

図 3 (c) に示すデバイスユニット 10 は、実装基板 101 と、実装基板 101 の上に配された半導体基板 100 とを含む。半導体基板 100 の第 1 主面 100A 側に半導体素子 11 が配され、実装基板 101 の第 2 主面 101B 側に外部接続端子 50 が配されている。半導体素子 11 と外部接続端子 50 とは、半導体基板 100 及び実装基板 101 を貫くように設けられた貫通電極 40 を介して電氣的に接続されている。

【0029】

図 3 (b) 及び図 3 (c) のように実装基板 101 を有する構成においては、支持部材 20 の凹部 22 の傾斜面 SL に設置されるデバイスユニット 10 の境界領域は、実装基板 101 の第 1 主面 101A と端部との間の境界領域であるのが望ましい。

10

【0030】

ここではデバイスユニット 10 が単一の基板で構成される場合と 2 つの基板を積層することにより構成される場合とを例示したが、デバイスユニット 10 が 3 つ以上の基板を積層することにより構成される場合にも同様の態様を適用することが可能である。

【0031】

次に、本実施形態による電子部品の製造方法について、図 4 及び図 5 を用いて説明する。なお、電子部品の製造には、公知の半導体製造プロセスを用いることができる。また、ここでは説明を省略するが、後述する各工程の間に、必要に応じてその他の工程、例えば熱処理工程や洗浄処理工程等を行ってもよい。

20

【0032】

まず、対向する第 1 主面 100A と第 2 主面 100B とを有する半導体基板 100 を用意する (図 4 (a))。半導体基板 100 は、形成しようとする半導体素子 11 に応じて適宜選択することができる。例えば、半導体基板 100 には、シリコン基板や GaAs 基板等が用いることができる。ここでは、半導体基板 100 として厚さ 725 μm のシリコン基板を用いるものとする。

【0033】

次いで、半導体基板 100 の第 1 主面 100A (図 4 において上側) 側に、半導体素子 11 を形成する (図 4 (b))。なお、ここでは図示は省略するが、半導体素子 11 は、トランジスタやダイオードのほか、素子分離膜、配線層、層間絶縁膜等、デバイスユニット 10 の所定の機能を実現するために必要な構成要素を含む。半導体基板 100 には複数の半導体素子 11 が形成され、完成後には各々の半導体素子 11 の電気特性等の検査が行われる。

30

【0034】

次いで、複数の半導体素子 11 が設けられた半導体基板 100 を、半導体素子 11 の形成領域毎に個片化し、複数のデバイスユニット 10 を形成する (図 4 (c))。半導体基板 100 の個片化には、ブレードダイシング、レーザーダイシング、プラズマダイシング等の方法を用いることができる。上述のように、ギャップ G の精度は寸法加工精度に依存するため、半導体基板 100 の個片化には寸法加工精度に優れた方法、例えばプラズマダイシングを用いるのが好ましい。

40

【0035】

また、半導体基板 100 とは別に、対向する第 1 主面 200A と第 2 主面 200B とを有する支持部材 200 を用意する。支持部材 200 は、特に限定されるものではないが、例えばガラス基板やシリコン基板等を適用することができる。ここでは、支持部材 200 として厚さ 500 μm の石英ガラス基板を用いるものとする。

【0036】

次いで、支持部材 200 の第 1 主面 200A (図 5 において上側) の上に、凹部 22 の形成予定領域に開口部 212 を有するマスク 210 を形成する (図 5 (a))。マスク 210 には、例えばノボラック系のポジ型フォトリソグロフを用いることができる。この場合、フォトリソグラフィによってフォトリソグロフ膜をパターニングすることにより、開口部

50

２１２を有するマスク２１０を形成することができる。マスク２１０は、フォトリジスト膜のパターンを転写したハードマスクでもよい。

【００３７】

次いで、マスク２１０をマスクとして支持部材２００をエッチングし、支持部材２００の第１主面２００Ａ側に、傾斜面ＳＬと底面ＢＴＭとを含む凹部２２を形成する（図５（ｂ））。凹部２２を形成するためのエッチングは、傾斜面ＳＬが形成できる方法であれば特に限定されるものではなく、ウェットエッチングでもドライエッチングでもよい。或いは、ウェットエッチングとドライエッチングとを併用してもよい。処理時間を短縮する観点からは、エッチング速度が速いウェットエッチングが好適である。なお、石英ガラス基板のウェットエッチングには、例えばフッ化水素酸を用いたウェットエッチングを適用可能である。一般的なウェットエッチングは等方的にエッチングが進行するため、マスク２１０の端部ではサイドエッチングが生じ、凹部２２は図５（ｂ）のような傾斜面ＳＬと底面ＢＴＭとを有する形状となる。ここでは、凹部２２の深さが１００μｍになるまでウェットエッチングを行うものとする。

10

【００３８】

次いで、凹部２２の形成に用いたマスク２１０を除去する（図５（ｃ））。マスク２１０をフォトリジストにより形成している場合、ＴＭＡＨ（テトラメチルアンモニウムヒドロキシド）等の有機剥離液を用いたウェット処理やプラズマアッシング処理等によってマスク２１０を除去することができる。

【００３９】

20

このようにして、支持部材２００に、複数の凹部２２を形成する。なお、支持部材２００の第１主面２００Ａのうち、凹部２２を形成していない部分が、前述の上部平坦面２１に相当する。

【００４０】

次いで、支持部材２００に設けられた複数の凹部２２に、図４（ｃ）の工程で形成したデバイスユニット１０をそれぞれ設置する（図５（ｄ））。デバイスユニット１０は、その第１主面１０Ａが支持部材２００の凹部２２に対向するように設置する。デバイスユニット１０の形成工程で電気特性等の検査を行っている場合、検査に合格したデバイスユニット１０のみを支持部材２００に設置するのが電子部品の収率を向上する点で好ましい。このとき、デバイスユニット１０は支持部材２００の凹部２２の４つの傾斜面ＳＬで支持された状態となるため、設置後の搬送時にデバイスユニット１０の位置ずれや凹部２２の外側への飛び出しは抑制される。

30

【００４１】

次いで、支持部材２００の第１主面２００Ａ側のデバイスユニット１０の間の領域にディスペンス法や印刷法などの方法により樹脂部材３０を塗布した後、加熱やＵＶ照射等の手段により樹脂部材３０を硬化する（図５（ｅ））。これにより、デバイスユニット１０を支持部材２００に接着・固定する。このとき、デバイスユニット１０は凹部２２の傾斜面ＳＬに当接しているため、デバイスユニット１０の第１主面１０Ａと支持部材２０の凹部２２とで囲まれた空間に樹脂部材３０が侵入するのを抑制することができる。

【００４２】

40

デバイスユニット１０を支持部材２００の凹部２２に設置した後、大気圧よりも圧力の高い環境に移し、その環境下で樹脂部材３０を塗布すると更によい。このようにすることで、デバイスユニット１０と支持部材２００との間の空間内の気圧よりもデバイスユニット１０の第２主面１０Ｂ側の気圧が高くなり、この気圧差によってデバイスユニット１０が支持部材２００に押し付けられた状態となる。これにより、デバイスユニット１０と凹部２２の傾斜面ＳＬとがより確実に当接した状態となる。この状態で樹脂部材３０を塗布し硬化することで、樹脂部材３０がデバイスユニット１０の第１主面１０Ａと支持部材２００の凹部２２とで囲まれた空間に侵入するのをさらに抑制することができる。

【００４３】

デバイスユニット１０と凹部２２の傾斜面ＳＬとが完全には接しておらず多少の隙間が

50

生じていた場合、毛細管現象によりその隙間から樹脂部材 30 が浸透することはある。しかしながら、上述した本実施形態の構成を適用することで、デバイスユニット 10 の第 1 主面 10 A や凹部 22 の底面 B T M にまで樹脂部材 30 が漏れ込むことは抑制することができる。

【 0 0 4 4 】

なお、ここではデバイスユニット 10 の間にのみ樹脂部材 30 を形成したが、デバイスユニット 10 の第 2 主面 10 B を埋めるように樹脂部材 30 を全面に形成しても構わない。

【 0 0 4 5 】

次いで、支持部材 200 及び樹脂部材 30 をブレードダイシング等の手段により切断して個片化し、本実施形態による電子部品 300 を完成する（図 5（f））。個片化した後の支持部材 200 が、図 1 等における支持部材 20 である。

10

【 0 0 4 6 】

本実施形態の製造方法を用いることで、デバイスユニット 10 の第 1 主面 10 A や支持部材 20 の凹部 22 の底面 B T M に樹脂部材 30 が漏れ込むのを抑制することができる。これにより、例えばデバイスユニット 10 が固体撮像装置であり第 1 主面 10 A 側に光電変換素子が配置される場合にあっては、光電変換素子の有効画素領域を広く配置することが可能となる。

【 0 0 4 7 】

このように、本実施形態によれば、デバイスユニット 10 の第 1 主面 10 A や支持部材 20 の凹部 22 の底面 B T M に樹脂部材 30 が漏れ込むのを抑制することができ、半導体素子 11 の有効素子領域を拡大することができる。同一の有効素子領域を維持する観点から見れば、樹脂部材 30 の漏れ込みを抑制できることは、電子部品の小型化が可能であることを意味する。

20

【 0 0 4 8 】

[第 2 実施形態]

本発明の第 2 実施形態による電子部品及びその製造方法について、図 6 及び図 7 を用いて説明する。図 6 は、本実施形態による電子部品の構造を示す概略断面図である。図 7 は、本実施形態による電子部品の製造方法を示す工程断面図である。第 1 実施形態による電子部品と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

30

【 0 0 4 9 】

本実施形態による電子部品 300 は、図 6 に示すように、デバイスユニット 10 として、図 3（a）に示した構造のデバイスユニット 10 を適用したものである。すなわち、デバイスユニット 10 の半導体基板 100 の中には、第 1 主面 10 A から第 2 主面 10 B に渡って貫通電極 40 が設けられている。そして、第 1 主面 10 A 側に設けられた半導体素子 11 と第 2 主面 10 B 側に設けられた外部接続端子 50 とが、貫通電極 40 を介して電氣的に接続されている。その他の点は、第 1 実施形態による電子部品と同様である。

【 0 0 5 0 】

なお、本実施形態による電子部品において、デバイスユニット 10 の第 2 主面 10 B が支持部材 20 の上部平坦面 21 よりも突出している場合、例えばフリップチップ接続等により、外部接続端子 50 を回路基板等に直に接続することも可能である。

40

【 0 0 5 1 】

次に、本実施形態による電子部品の製造方法について、図 7 を用いて説明する。

まず、図 4（a）乃至図 4（c）に示す第 1 実施形態による電子部品の製造方法と同様にして、デバイスユニット 10 を形成する。また、図 5（a）乃至図 5（c）に示す第 1 実施形態による電子部品の製造方法と同様にして、支持部材 200 に複数の凹部 22 を形成する。

【 0 0 5 2 】

次いで、支持部材 200 に設けられた複数の凹部 22 に、第 1 実施形態による電子部品の製造方法と同様にして、形成したデバイスユニット 10 をそれぞれ設置する（図 7（a

50

))。

【0053】

次いで、第1実施形態による電子部品の製造方法と同様にして、少なくともデバイスユニット10の間の領域に樹脂部材30を形成し、支持部材20とデバイスユニット10を接着する(図7(b))。

【0054】

次いで、必要に応じて、デバイスユニット10を第2主面10B側から研磨(バックグラインド)し、デバイスユニット10を薄化する。この際、樹脂部材30もデバイスユニット10とともに研磨されるため、デバイスユニット10の第2主面10Bと樹脂部材30の表面とが略平坦な状態となる(図7(c))。ここでは、デバイスユニット10の厚さが例えば150 μ mになるまで研磨を行うものとする。なお、デバイスユニット10を薄化することには、貫通電極40の形成が容易になる等の利点がある。

【0055】

次いで、デバイスユニット10に、第2主面10Bから第1主面10Aに設けられた配線に達し、半導体素子11に電氣的に接続された貫通電極40と、貫通電極40に電氣的に接続された外部接続端子50とを形成する(図7(d))。貫通電極40は、半導体基板100に、第1主面10A側に配された不図示の電極部に達する貫通ビア(TSV)を形成した後、この貫通ビアを導電部材で埋めることにより形成することができる。半導体基板100がシリコン基板の場合、貫通ビアの形成には、いわゆるボッシュ法を用いることができる。貫通ビアに埋め込む導電部材としては、銅(Cu)や金(Au)等を用いることができる。これら導電部材の貫通ビアへの埋め込みには、電解メッキ等の方法を適用可能である。外部接続端子50は、例えば、貫通電極40の上にフラックス(不図示)を介して半田ボールを搭載した後、250程度の温度で半田ボールをリフローすることにより、形成することができる。

【0056】

次いで、支持部材200及び樹脂部材30をブレードダイシング等の手段により切断して個片化し、本実施形態による電子部品300を完成する(図7(e))。

【0057】

以上のように、デバイスユニット10に貫通電極40を設ける場合でも、本発明の製造方法を用いることができ、デバイスユニット10の第1主面10A及び支持部材200の凹部22の底面BTMに樹脂部材30が延在するのを抑制することができる。これにより、例えばデバイスユニット10が固体撮像装置であり第1主面10A側に光電変換素子が配置される場合にあっては、光電変換素子の有効画素領域を広く配置することが可能となる。

【0058】

このように、本実施形態によれば、デバイスユニット10に貫通電極40を設ける場合にも、デバイスユニット10の第1主面10Aや支持部材20の凹部22の底面BTMに樹脂部材30が漏れ込むのを抑制することができる。これにより、半導体素子11の有効素子領域を拡大することができる。

【0059】

[第3実施形態]

本発明の第3実施形態による電子部品及びその製造方法について、図8乃至図10を用いて説明する。図8は、本実施形態による電子部品の構造を示す概略断面図である。図9及び図10は、本実施形態による電子部品の製造方法を示す工程断面図である。第1及び第2実施形態による電子部品と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。

【0060】

はじめに、本実施形態による電子部品の構造について、図8を用いて説明する。図8(a)は、本実施形態による電子部品の構造を示す上面図である。図8(b)は、図8(a)のA-A'線に沿った概略断面図である。図8(c)は、図8(b)の点線で囲んだ部分

10

20

30

40

50

を拡大した図である。

【0061】

本実施形態による電子部品300は、デバイスユニット10と支持部材20とを有する点で、第1及び第2実施形態と共通している。一方、本実施形態による電子部品300は、以下の点において第1及び第2実施形態による電子部品とは異なっている。第1の点は、図8(a)及び図8(b)に示すように、支持部材20に、凹部22の傾斜面SLから凹部の外の面(上部平坦面21)に延在し、外部接続端子50に電氣的に接続された配線層70(第1の配線層)が設けられていることである。第2の点は、図8(b)に示すように、デバイスユニット10の第1主面10A側の角部CRが面取りされて傾斜面SL2が設けられており、傾斜面SL2の上に半導体素子11に電氣的に接続された配線層60(第2の配線層)が配されていることである。配線層60と配線層70とは、傾斜面SLと傾斜面SL2とが対向する部分において、電氣的に接続されている。

10

【0062】

配線層70は、図8(a)に示すように、支持部材20の凹部22の傾斜面SLから支持部材20の上部平坦面21に渡って配置されている。外部接続端子50は、図8(b)に示すように、上部平坦面21上において、樹脂部材30に設けられた開口部を介して配線層70に電氣的に接続されている。

【0063】

図8(c)には半導体素子11の一例として、半導体基板100の第1主面100A側に設けられたトランジスタTR、複数層からなる配線層WR、トランジスタTRと配線層WRとの間及び配線層WRと配線層WRとの間に配された絶縁層INSを示している。デバイスユニット10の傾斜面SL2から延在して設けられた配線層60は、絶縁層INSに設けられたビアホールを介して、配線層WRに電氣的に接続されている。

20

【0064】

デバイスユニット10を支持部材20の凹部22に配置することで、配線層60と配線層70とが当接し電氣的に接続される。さらに、支持部材20に配された配線層70によって外部接続端子50と配線層60とが電氣的に接続され、その結果、外部接続端子50と半導体素子11とが電氣的に接続される。

【0065】

以上の構造とすることで、第2実施形態の場合のような貫通電極40を設けることなく、外部電源(不図示)を、外部接続端子50、配線層70及び配線層60を介して半導体素子11に電氣的に接続することが可能となる。また、第1及び第2実施形態の場合と同様、デバイスユニット10の第1主面10A及び支持部材200の凹部22の底面BTMに樹脂部材30が延在するのを抑制することができる。これにより、例えばデバイスユニット10が固体撮像装置であり第1主面10A側に光電変換素子が配置される場合にあっては、光電変換素子の有効画素領域を広く配置することが可能となる。

30

【0066】

次に、本実施形態による電子部品の製造方法について、図9及び図10を用いて説明する。

【0067】

まず、図4(a)及び図4(b)に示す第1実施形態による電子部品の製造方法と同様に、半導体基板100の第1主面100A側に、半導体素子11を形成する(図9(a))。なお、後工程で半導体基板100を個片化する際に切断する領域(ダイシング領域)に半導体素子11を構成する絶縁膜や配線層等が配置されている場合は、これらをエッチング等の手段により除去し、第1主面100A側に半導体基板100を露出させる。

40

【0068】

次いで、半導体基板100の第1主面100A側のダイシング領域に、傾斜面SL2と底面BTM2とからなる溝80を形成する(図9(b))。具体的には、半導体基板100の第1主面100Aにフォトリソグロフィにより、半導体素子11間のダイシング領域を露出するようにフォトリソグロフィをパターニン

50

グする。次いで、パターニングしたフォトリソ膜をマスクとして半導体基板 100 をエッチングし、溝 80 を形成する。ここでは、例えばプロセスガスとして SF_6 を用いたプラズマエッチングにより、例えば傾斜面 SL2 の傾斜角 θ_2 が 64° で深さが $30\mu m$ の溝 80 を形成するものとする。

【0069】

次いで、半導体素子 11 から溝 80 の傾斜面 SL2 に延在する配線層 60 を形成する（図 9（c））。この際、溝 80 の領域内のダイシング領域の配線層 60 を除去しておくことで、ダイシングブレードの目詰まりや、ダイシング時に配線層 60 に損傷が及ぶことを抑制することができる。なお、図示は省略するが、半導体基板 100 と配線層 60 との間には、酸化シリコン等の絶縁膜が形成される。配線層 60 の構成材料には、アルミニウムや銅のような金属材料や、ITO や IZO などの酸化物導電体のような導電性材料であれば、任意の材料を用いることができる。ここでは、アルミニウムを主体とする導電性材料により配線層 60 を形成するものとする。

【0070】

次いで、複数の半導体素子 11 が設けられた半導体基板 100 を、例えばプラズマダイシングにより半導体素子 11 の形成領域毎に個片化し、複数のデバイスユニット 10 を形成する（図 9（d））。プラズマダイシングは、配線層 60 に損傷が及ぶことなく半導体基板 100 を個片化できるため好適である。具体的には、半導体基板 100 の第 1 主面 100A にフォトリソ膜（不図示）を形成後、フォトリソグラフィにより、溝 80 の底面 BTM2 のみを露出するようにフォトリソ膜をパターニングする。次いで、パターニングしたフォトリソ膜をマスクとして半導体基板 100 をエッチングし、半導体基板 100 を個片化する。例えば、半導体基板 100 がシリコン基板の場合には、いわゆるボッシュ法を用いて半導体基板 100 を垂直方向に加工し、半導体基板 100 を個片化する。

【0071】

また、デバイスユニット 10 の製造とは別に、図 5（a）乃至図 5（c）に示す第 1 実施形態による電子部品の製造方法と同様にして、複数の凹部 22 が設けられた支持部材 200 を形成する（図 10（a））。

【0072】

次いで、支持部材 200 の第 1 主面 200A 側に、上部平坦面 21 から凹部 22 の傾斜面 SL に延在する配線層 70 を形成する（図 10（b））。配線層 70 の構成材料には、アルミニウムや銅などの金属材料や、ITO や IZO などの酸化物導電体など、導電性を有する材料を用いることができる。例えば、支持部材 200 の第 1 主面 200A 上の全面にアルミニウム膜を堆積後、このアルミニウム膜をフォトリソグラフィ及びドライエッチングを用いてパターニングすることにより、配線層 70 を形成する。

【0073】

次いで、支持部材 200 に設けられた複数の凹部 22 に、第 1 実施形態による電子部品の製造方法と同様にして、形成したデバイスユニット 10 をそれぞれ設置する（図 10（c））。これにより、デバイスユニット 10 に設けられた配線層 60 と支持部材 200 に設けられた配線層 70 とが当接した状態となる。

【0074】

次いで、第 1 実施形態による電子部品の製造方法と同様にして、少なくともデバイスユニット 10 の間の領域に樹脂部材 30 を形成し、支持部材 20 とデバイスユニット 10 を接着する。次いで、樹脂部材 30 に、上部平坦面 21 上の配線層 70 を露出する開口部 32 を形成する（図 10（d））。樹脂部材 30 は、第 1 実施形態と同様の方法で塗布することができる。樹脂部材 30 には、感光性樹脂材料を適用可能である。ここでは、樹脂部材 30 として感光性ポリイミドを用い、フォトリソグラフィにより樹脂部材 30 をパターニングし、開口部 32 を形成するものとする。

【0075】

なお、樹脂部材 30 の形成後、開口部 32 の形成前に、第 2 実施形態の場合と同様にし

10

20

30

40

50

て、デバイスユニット１０を第２主面１０Ｂ側からバックグラインドし、デバイスユニット１０を薄化してもよい。

【００７６】

次いで、樹脂部材３０の開口部３２に、配線層７０に電氣的に接続された外部接続端子５０を形成する（図１０（ｅ））。外部接続端子５０は、例えば、開口部３２にフラックス（不図示）を介して半田ボールを搭載した後、２５０程度の温度で半田ボールをリフローすることにより、形成することができる。

【００７７】

なお、本実施形態では、上部平坦面２１の配線層７０上に外部接続端子５０を設けたが、開口部３２とデバイスユニット１０の第２主面１０Ｂとを繋ぐ別の配線を設け、デバイスユニット１０の第２主面１０Ｂ上に外部接続端子５０を設けてもよい。

10

【００７８】

次いで、支持部材２００及び樹脂部材３０をブレードダイシング等の手段により切断して個片化し、本実施形態による電子部品３００を完成する（図１０（ｆ））。個片化した後の支持部材２００が、図８等における支持部材２０である。

【００７９】

以上のように、本実施形態の電子部品では、貫通電極を形成することなく外部電源と半導体素子１１とを電氣的に接続することが可能である。また、本実施形態の電子部品では、デバイスユニット１０の角部ＣＲに傾斜面ＳＬ２を設けているため、支持部材２０の凹部２２の傾斜面ＳＬとの接触部におけるチップング等の損傷を抑制することができる。また、デバイスユニット１０と支持部材２０との間の接触面における隙間も生じにくいため、樹脂部材３０の浸入をより抑制することができる。これにより、例えばデバイスユニット１０が固体撮像装置であり第１主面１０Ａ側に光電変換素子が配置される場合にあっては、光電変換素子の有効画素領域を広く配置することが可能となる。

20

【００８０】

このように、本実施形態によれば、デバイスユニット１０に貫通電極を設けることなく、デバイスユニット１０と支持部材２０とを容易に電氣的に接続することができる。また、デバイスユニット１０にチップング等の不良が生じるのを抑制することができる。また、第１及び第２実施形態と同様、半導体素子１１の有効素子領域を拡大することができる。

30

【００８１】

〔変形実施形態〕

本発明は、上記実施形態に限らず種々の変形が可能である。

【００８２】

例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態である。例えば、上記第３実施形態による電子部品において、第２実施形態と同様の貫通電極４０を更に設けるようにしてもよい。

【００８３】

また、上記実施形態では、半導体素子１１の一例として固体撮像素子を例示したが、デバイスユニット１０が有する半導体素子１１は、固体撮像素子に限定されるものではない。

40

【００８４】

また、上記実施形態で説明した電子部品を実装した回路部品は、種々の電子機器に適用可能である。電子機器は、特に限定されるものではなく、例えば、デジタルスチルカメラ、ビデオカメラ、スマートフォン、パーソナルコンピュータ、家電製品（ＩｏＴ）等を例示することができる。

【００８５】

また、上記実施形態で説明した電子部品は、移動装置を備えた輸送機器に適用することも可能である。例えば、輸送機器は、上記実施形態で説明した電子部品から出力された信

50

号に基づいて移動装置を制御する制御装置を備えることができる。移動装置は、特に限定されるものではなく、例えば、エンジン、モータ、車輪、プロペラ等の動力源や推進機構を例示することができる。輸送機器は、特に限定されるものではなく、例えば、飛行機、車両、船舶等を例示することができる。

【 0 0 8 6 】

また、本明細書中の各用語は、本発明を説明する目的で用いられたものに過ぎず、その均等物をも含み得、本発明は、その用語の厳密な意味に限定されるものでない。

【 0 0 8 7 】

上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

10

【符号の説明】

【 0 0 8 8 】

B T M ... 底面

C R ... 角部

S L , S L 2 ... 傾斜面

1 0 ... デバイスユニット

1 1 ... 半導体素子

1 0 0 ... 半導体基板

20

1 0 1 ... 実装基板

2 0 , 2 0 0 ... 支持部材

2 1 ... 支持部材における上部平坦面

2 2 ... 支持部材における凹部

3 0 ... 樹脂部材

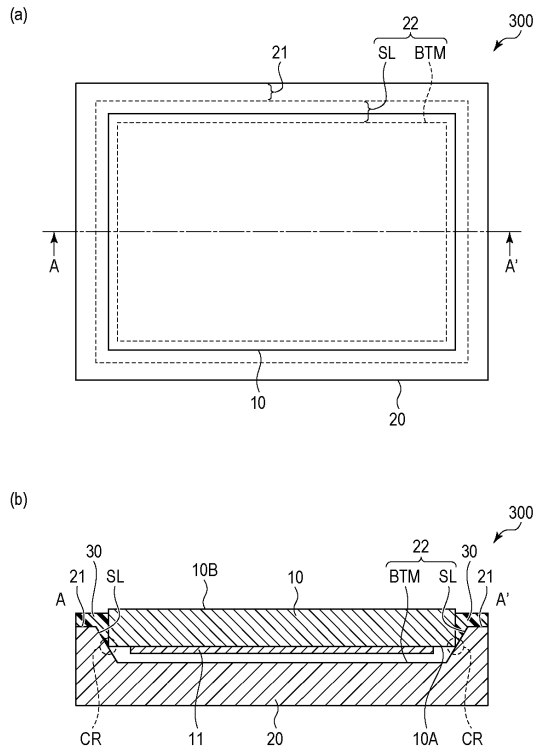
4 0 ... 貫通電極

5 0 ... 外部接続端子

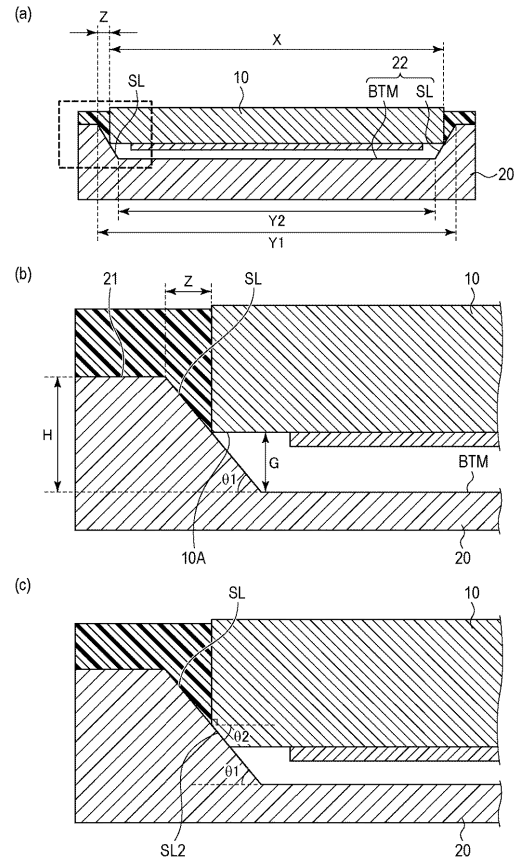
6 0 , 7 0 ... 配線層

3 0 0 ... 電子部品

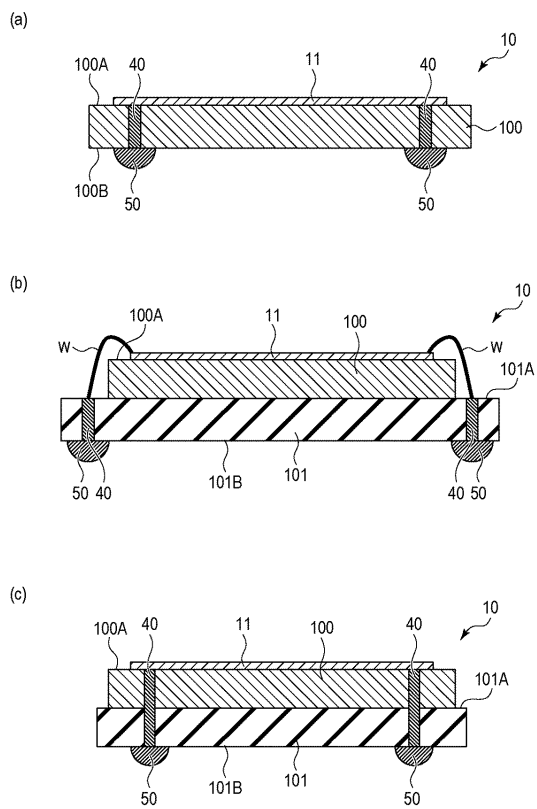
【図 1】



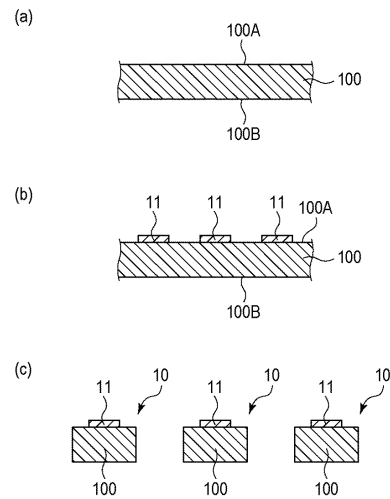
【図 2】



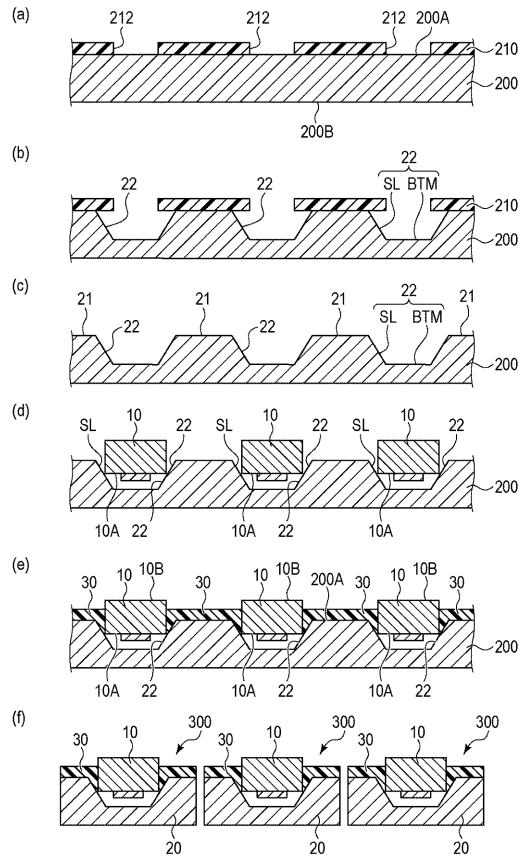
【図 3】



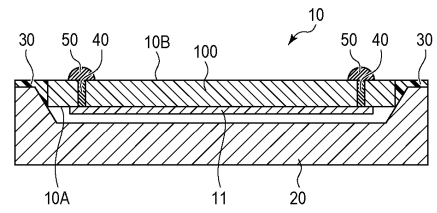
【図 4】



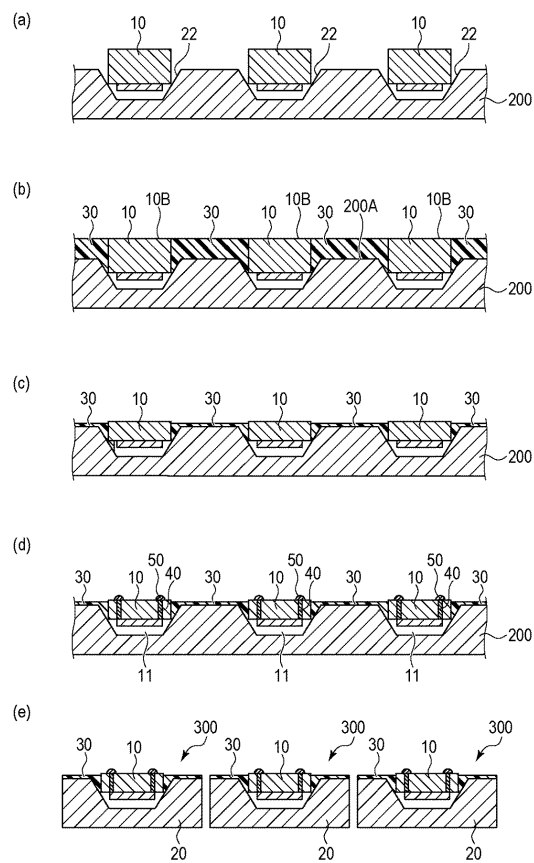
【図 5】



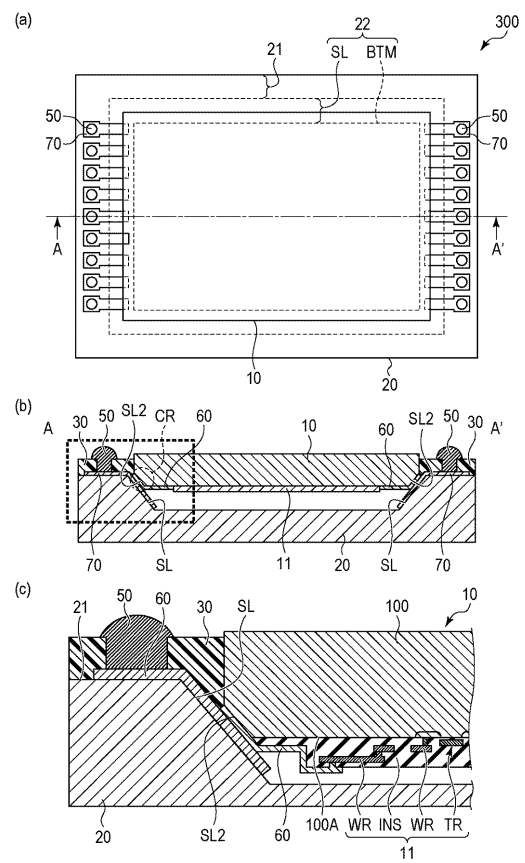
【図 6】



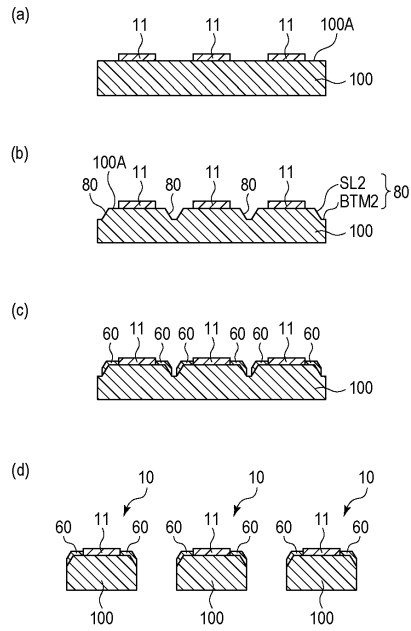
【図 7】



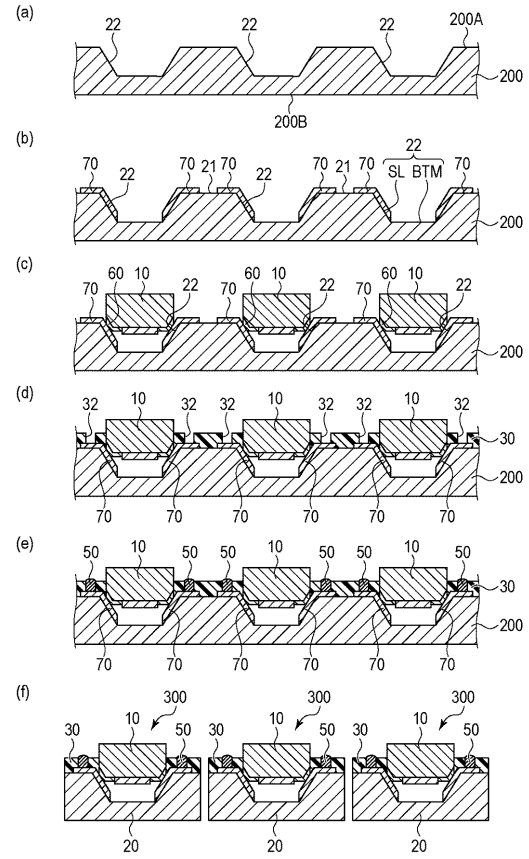
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 1 L</i>	<i>23/28</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>23/14</i>	<i>C</i>
<i>H 0 1 L</i>	<i>23/02</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>23/28</i>	<i>J</i>
<i>H 0 5 K</i>	<i>1/02</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>23/04</i>	<i>E</i>
<i>H 0 5 K</i>	<i>1/18</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>23/02</i>	<i>B</i>
			<i>H 0 5 K</i>	<i>1/02</i>	<i>C</i>
			<i>H 0 5 K</i>	<i>1/18</i>	<i>R</i>

審査官 綿引 隆

(56)参考文献 特開2012-182309(JP,A)
 特開2009-141092(JP,A)
 特開2016-031969(JP,A)
 米国特許第05093708(US,A)
 特開2005-116943(JP,A)
 米国特許出願公開第2008/0224192(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L *2 1 / 5 4*
H 0 1 L *2 3 / 0 0 - 2 3 / 0 4*
H 0 1 L *2 3 / 0 6 - 2 3 / 3 1*
H 0 5 K *1 / 0 0 - 1 / 0 2*
H 0 5 K *1 / 1 8*