



[12] 发明专利说明书

[21] ZL 专利号 97180095.2

[45] 授权公告日 2003 年 10 月 29 日

[11] 授权公告号 CN 1126255C

[22] 申请日 1997. 11. 4 [21] 申请号 97180095. 2
 [30] 优先权
 [32] 1996. 11. 26 [33] EP [31] 96118915. 6
 [86] 国际申请 PCT/EP97/06080 1997. 11. 4
 [87] 国际公布 WO98/24185 德 1998. 6. 4
 [85] 进入国家阶段日期 1999. 5. 26
 [71] 专利权人 西门子公司
 地址 联邦德国慕尼黑
 [72] 发明人 G·奎尔姆巴赫
 审查员 熊 婷

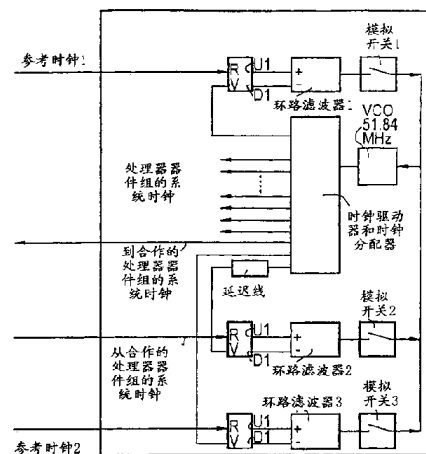
[74] 专利代理机构 中国专利代理(香港)有限公司
 代理人 马铁良 王忠忠

权利要求书 1 页 说明书 4 页 附图 4 页

[54] 发明名称 器件组的同步装置

[57] 摘要

以微同步工作的两个(处理器)器件组的时钟能够只含有非常小的相位差异。此要求通过按照本发明的同步装置实现。



ISSN 1008-4274

1. 器件组的同步装置，其产生器件组的系统时钟，其中该同步装置使系统时钟同步到一个存在多个时钟的参考时钟，该同步装置具有

5 a) 一个 VCO，其相应于一个在其控制输入端上的信号产生器件组的系统时钟，

b) 一个装置，含有一个其后串接有滤波器的相位检测器并且每一次存在一个参考时钟，其中在相位检测器的一个输入端上存在一个参考时钟，而在另一个输入端上存在系统时钟，

10 c) 工作控制器，其如此控制串接在滤波器后面的开关，滤波器的输出端信号之一用于接通 VCO 的控制输入端，

其特征在于，

所述的工作控制器在存在一个所述的装置时，其中该滤波器的输出信号没有接通到 VCO 的输入端，

- 15 - 相位检测器的输出端切换到三态上，
- 滤波器的输出信号反馈到一个滤波器输入端，
- 并且，VCO 的控制输入端的去耦合信号耦合至滤波器的另一个输入端。

2. 如权利要求 1 的同步装置，其特征在于，一个延迟装置，其为了在参考时钟和系统时钟之间的延迟时间差异在相位检测器的输入端之前延迟该系统时钟。

20

器件组的同步装置

在交换技术中为了满足较高的工作安全性，要求两个处理器器件组
5 （其中之一是主，另外一个是从）进行冗余的工作。这可以通过微同步的工作实现，其中的从设备同步到主设备。该主设备在其一侧同步到一个外部的参考时钟。在外部的参考时钟出错的情况下该（时钟）主设备必需继续工作（移交模式）并且对从设备继续进行同步。

对于微同步的主要要求是在两个处理器器件组之间的相位区别只
10 位于一个非常小的时间差别（例如 5ns）之内。

为了满足该要求提出了一同步方法，其中在两个处理器器件组之间的相位信息进行交换。在此方法中能够通过两个器件组之间的连接导线上的不同的门电路工作时间和反应而出现相位信息的错误。这尤其了工作的不稳定。

15 从 EP 0 175 888 A 中可知前面所述的同步装置。

以此本发明的任务给出一器件组的同步装置，其能够满足与合作的器件组的同步装置共同工作时的所述的要求。

此任务通过如下的同步装置解决，即：器件组的同步装置，其产生器件组的系统时钟，其中该同步装置使系统时钟同步到一个存在多个
20 时钟的参考时钟，该同步装置具有

a) 一个 VCO，其相应于一个在其控制输入端上的信号产生器件组的系统时钟，

b) 一个装置，含有一个其后串接有滤波器的相位检测器并且每一次存在一个参考时钟，其中在相位检测器的一个输入端上存在一个参考
25 时钟，而在另一个输入端上存在系统时钟，

c) 工作控制器，其如此控制串接在滤波器后面的开关，滤波器的输出端信号之一用于接通 VCO 的控制输入端，

其特征在于，

所述的工作控制器在存在一个所述的装置时，其中该滤波器的输出
30 信号没有接通到 VCO 的输入端，

- 相位检测器的输出端切换到三态上，

- 滤波器的输出信号反馈到一个滤波器输入端，

- 并且，VCO 的控制输入端的去耦合信号耦合至滤波器的另一个输入端。

5 一个延迟装置，其为了在参考时钟和系统时钟之间的延迟时间差异在相位检测器的输入端之前延迟该系统时钟，能够使处理器器件组的工作模式进行切换（例如时钟主设备到时钟从设备或者反向），而不是从微同步工作驱动（从/从是不可能的）。此切换在微同步工作期间也是可能的。

下面借助于附图详细解释本发明。

10 图 1 示出了相对时钟同步的基础结构。根据所述的结构在一个器件组中分别含有一个 PLL，在其输入端是一个开关，用于在一个器件组的工作模式“主”和“从”之间的切换。

15 只有一个处理器器件组，即主器件组是同步到外部的参考时钟上的。另一个处理器器件组（从器件组）通过一个 PLL（锁相环）同步到主处理器器件组。该从处理器器件组能够以主处理器器件组的精确相同的频率和相位进行工作。

图 2 示出了本发明的同步装置的基础结构。该同步装置含有：

- 一个 VCO，其依赖于在控制输入端（升降电压输入端）上的信号产生器件组的系统时钟，

20 - 一个装置，其含有一个相位检测器并且每次产生一个参考时钟，该相位检测器具有一个在其后串联的滤波器，其中在相位检测器的一个输入端上分别存在一个参考时钟并且在另一个输入端上分别存在一个系统时钟，

25 - 一个没有描述的工作控制器（能够通过器件组的处理器和/或一个相应的逻辑实现），其如此控制接在滤波器后面的开关，滤波器的一个输出信号导通到 VCO 的控制输入端，

- 延迟装置，其使在到相位检测器的输入端之前的系统时钟延迟参考时钟和系统时钟之间的持续时间差异。

30 参考时钟的选择通过在 VCO（见图 2）的升降电压输入端上的（模拟）开关具有如下的基础。在合作的处理器器件组的相位补偿器的输入端之前，因为主设备和从设备之间的最大 5ns 的相位差异的要求除了导线的延迟时间，不允许用于选择外部参考时钟的某个开关的另外的延迟时间（此开关的最小和最大延迟时间之间的时间差异减弱了

在主器件组和从器件组之间的最坏情况下的相位差异)。以此按照本发明对于每一个参考时钟只含有一个相位补偿器。

图 2 描述的结构相对于图 1 描述的装置具有优点, 其中该开关设置在 PLL 的输入端, 并且没有考虑用于选择相位差异的外部参考时钟的某个开关的另外的延迟时间。

该导线延迟时间, 在相位时间差异请求没有考虑的情况下, 通过 PLL 的预置进行补偿。以此一个延迟装置(延迟线)在合作的处理器器件组的相位检测器的补偿输入端 V 之前被切换, 其使系统时钟在到相位检测器的输入端之前根据主器件组的参考时钟和从器件组的系统时钟之间的延迟时间差异进行延迟。在应用了这样的延迟装置的情况下达到了参考时钟和系统时钟(在选择了相位检测器输入端上的相位差异调节到零的 PLL 的情况下)与延迟时间差异无关的实际上的相位相等。

所述的工作控制器除了在图 2 中描述的开关还如此控制其他的(在图 3-5 中描述的)开关, 在一个滤波器的情况下, 其输出信号没有传输到 VCO 的输入端, 该输出信号反馈到滤波器的输入端, 并且在另一个滤波器输入端施加 VCO 的控制输入端的去耦合的信号。以此该无源的共同工作的环路滤波器的输出信号被调节到如有源的装置相同的水平。以此在切换到一个另外的参考时钟(外部的参考时钟或者合作器件组的系统时钟)之后, PLL 的一个优选的振荡过程产生一个相位突变。模式转换和/或外部时钟源的选择以此能够不受微同步工作的影响。

按照本发明的时钟同步能够没有交换相位信息地工作。以此达到了在两个处理器器件组之间的导线延迟时间通过 PLL 的预置进行补偿。

此选择的 PLL 在本地的时钟和外部的参考时钟之间在相位检测器(PD)的输入端上具有零相位差异。

作为相位检测器的相位检测器 PD-型 4 出自于书“Roland 最好的锁相环的理论和应用, ISBN 3-85502-132-5”, 并且进行简单的修改, 以使其能够在正边沿进行同步, 并且两个输出端能够在三态之间进行切换。此型号的优点是:

- 调节到零相位差异,
- 相位和频率被敏感的保持,
- 与电源电压和温度无关,

- 在 PLD (可编程逻辑装置) 中的相位补偿器的易实现性,
- 较大的范围, 理论上的 $\pm 2\pi$ 。此不是必需的, 因为在切换到另一个参考时钟时此相位是不存在的, 也就是说, 在反向切换时以原来的边沿进行同步。这是在同步 TSI 接口时的对数据损失的预防所必需的。

5 环路滤波器:

三个环路滤波器通过下面的特性实现:

- 在切换到外部参考时钟时要求一个更加缓慢的振荡过程。VCO 的升降电压输入端的控制因此必需在输入端相位突变时是小的 (小的放大)。
- 10 - 在切换到合作处理器器件组时要求一个快速的振荡过程。VCO 的升降电压输入端的控制因此必需在输入端相位突变时是大的 (大的放大)。
- 在三相补偿器的输入端上的不同的频率同样要求环路滤波器的相应的不同的规格。

- 15 为了避免环路滤波器输出端能够离开工作电压范围和位于饱和状态 (输出电压的截止在 PLL 的振荡过程中是负的), 对于每一个环路滤波器存在三个工作状态, 其在图 3-5 中进行了描述并且由所述的工作控制器借助于所描述的开关进行控制。

图 3 示出了一个接通的工作方式:

- 20 在此工作方式中接入了一个 PLL 调节电路 (D1 和 U1 没有处于三态)。该处理器器件组在此能够处于主模式或者从模式。

图 4 示出了移交的工作方式:

在此工作方式中处理器器件组处于主模式并且没有外部参考时钟地工作。该环路滤波器的输出端在此工作方式中承受 1.5V。

- 25 图 5 示出了监视器 - VCO - 工作方式:

- 在此工作方式中环路滤波器的输出端的电压值相应于 VCO 升降电压输入端的电压值。因此在切换到接通的工作方式 (接入 PLL 调节电路) 的瞬间保证了 VCO 升降电压输入端上的正确的输出电平 (在运算放大器的正或者负截止上的输出电平具有一个频率突变以能够超过在
- 30 两个处理器器件组之间的 5ns 的最大相位差异要求)。

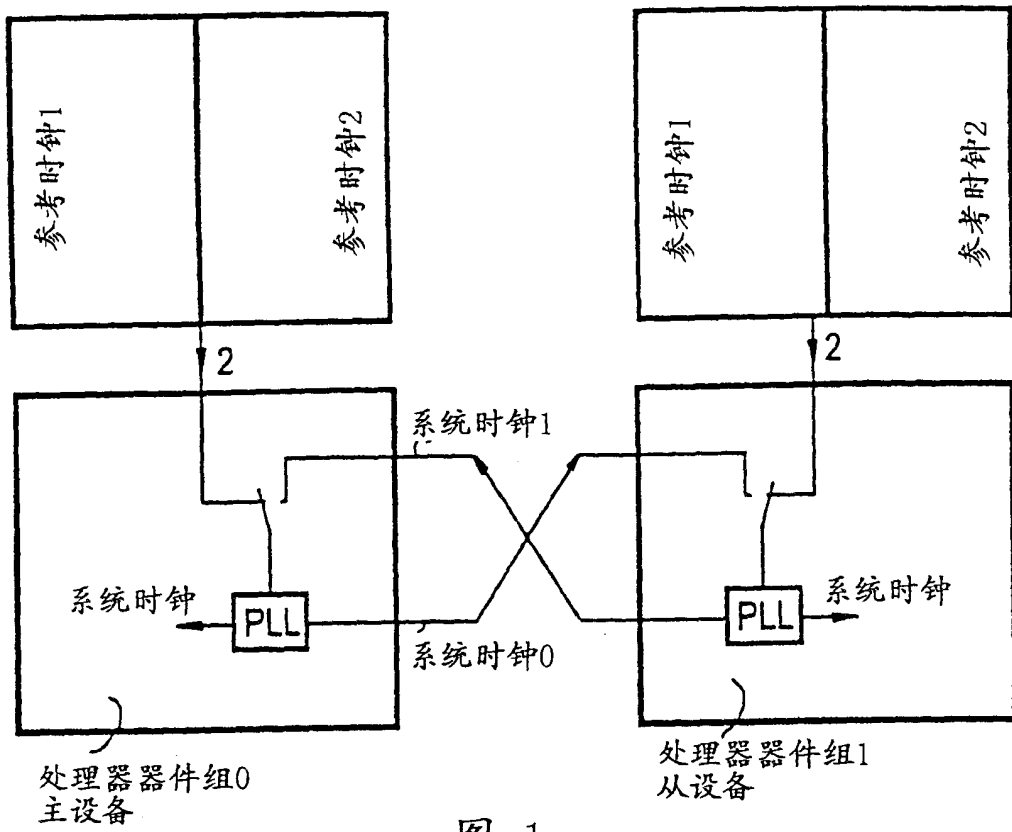


图 1

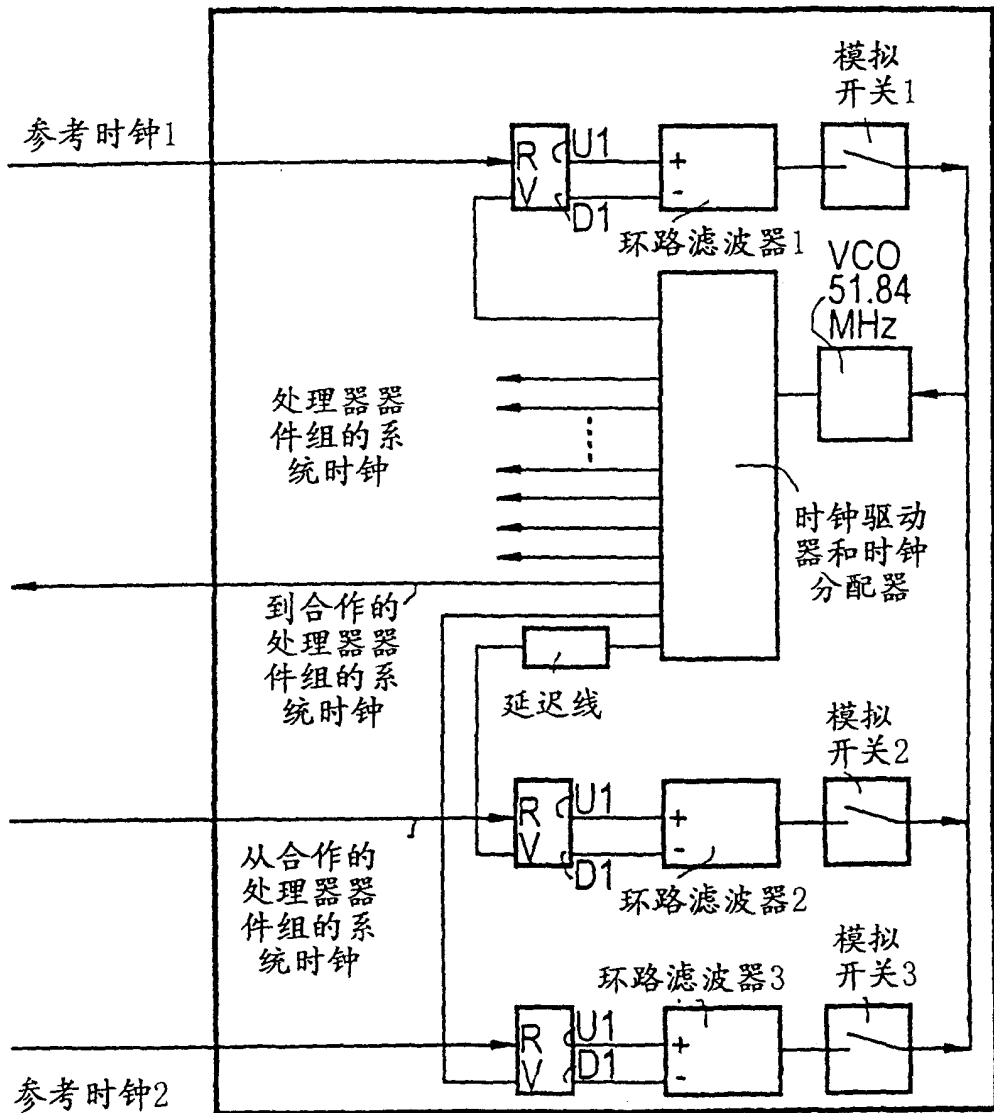
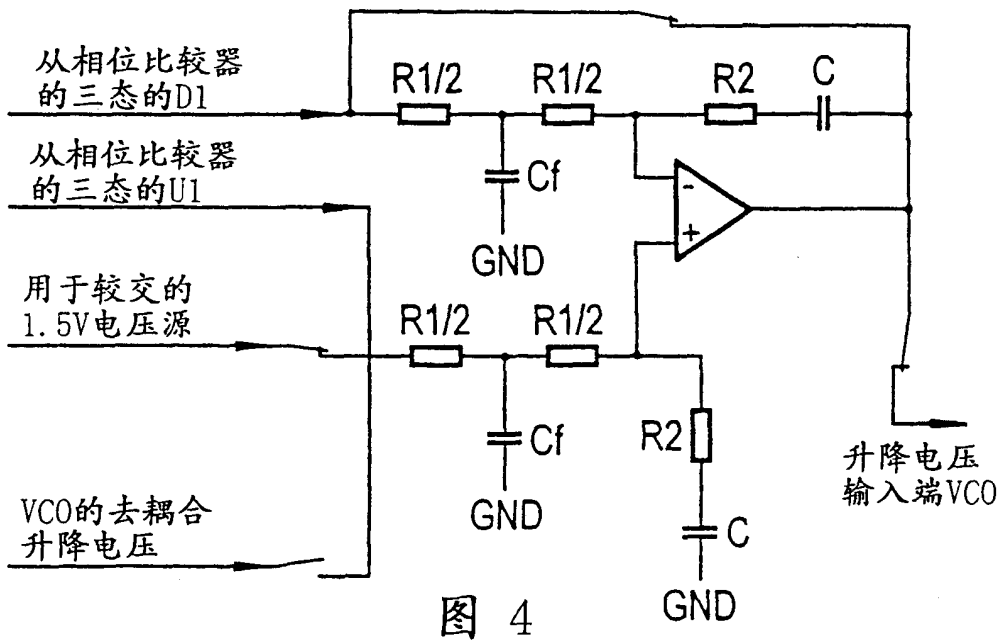
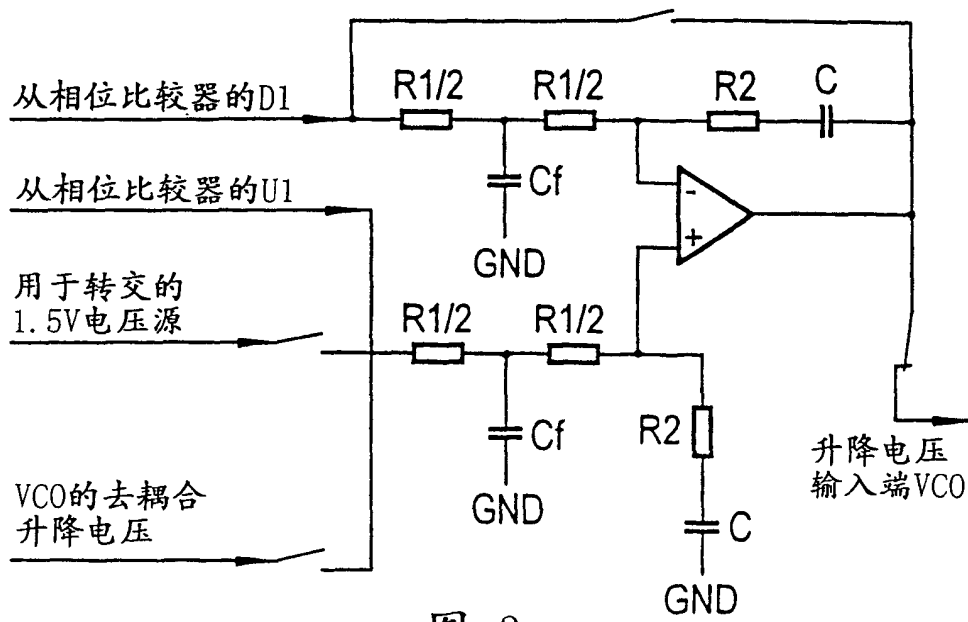


图 2



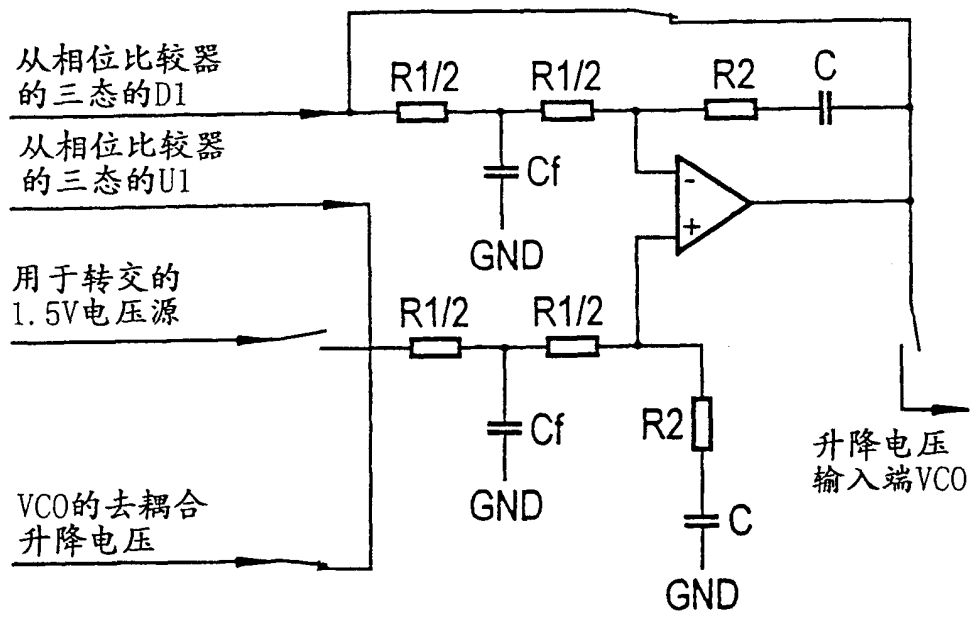


图 5