

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5823717号

(P5823717)

(45) 発行日 平成27年11月25日(2015.11.25)

(24) 登録日 平成27年10月16日(2015.10.16)

(51) Int.Cl.

F I

G 0 5 F 1/56 (2006.01)

G 0 5 F 1/56 3 1 0 B

請求項の数 2 (全 7 頁)

(21) 出願番号	特願2011-75592 (P2011-75592)	(73) 特許権者	000002325
(22) 出願日	平成23年3月30日 (2011. 3. 30)		セイコーインスツル株式会社
(65) 公開番号	特開2012-208868 (P2012-208868A)		千葉県千葉市美浜区中瀬 1 丁目 8 番地
(43) 公開日	平成24年10月25日 (2012. 10. 25)	(74) 代理人	100154863
審査請求日	平成26年1月16日 (2014. 1. 16)		弁理士 久原 健太郎
		(74) 代理人	100142837
			弁理士 内野 則彰
		(74) 代理人	100123685
			弁理士 木村 信行
		(72) 発明者	ヘイン ソチュエット
			千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内
		審査官	神山 貴行

最終頁に続く

(54) 【発明の名称】 ボルテージレギュレータ

(57) 【特許請求の範囲】

【請求項 1】

基準電圧を出力する基準電圧回路と、  
出力トランジスタと、  
前記基準電圧と前記出力トランジスタの出力する電圧を分圧した分圧電圧との差を増幅して出力し、前記出力トランジスタのゲートを制御する差動増幅回路と、  
突入電流防止回路と、  
出力電圧検出回路と、を備えたボルテージレギュレータにおいて  
前記出力電圧検出回路は、  
反転入力端子が前記差動増幅回路の非反転入力端子に接続され、非反転入力端子が前記基準電圧回路に接続され、電源端子が第一のトランジスタのドレインに接続され、出力端子が第二のトランジスタのゲートに接続されたアンプと、  
出力が容量と前記第一のトランジスタのゲートと前記第二のトランジスタのドレインと前記突入電流防止回路の制御端子に接続された第一の定電流回路と、を備え  
電源起動後に、前記第一のトランジスタがオン、前記第二のトランジスタがオフして、前記突入電流防止回路が動作して、  
前記出力電圧検出回路が前記容量の電圧によって前記突入電流防止回路を停止させると、前記第一のトランジスタがオフして前記出力電圧検出回路を停止させる、  
ことを特徴としたボルテージレギュレータ。

【請求項 2】

10

20

基準電圧を出力する基準電圧回路と、  
出力トランジスタと、  
前記基準電圧と前記出力トランジスタの出力する電圧を分圧した分圧電圧との差を増幅して出力し、前記出力トランジスタのゲートを制御する差動増幅回路と、  
突入電流防止回路と、  
出力電圧検出回路と、を備えたボルテージレギュレータにおいて  
前記出力電圧検出回路は、  
ゲートが前記出力電圧検出回路の出力端子に接続された第一のトランジスタと、  
ドレインが前記出力電圧検出回路の出力端子に接続された第二のトランジスタと、  
出力が容量と前記出力電圧検出回路の出力端子に接続された第一の定電流回路と、  
入力が前記第一のトランジスタのドレインに接続された第二の定電流回路と、  
第三の定電流回路と、  
ゲートが前記第二の定電流回路の入力に接続され、ドレインが前記第三の定電流回路の出力と接続され、ソースが前記第二のトランジスタのゲートに接続された第三のトランジスタと、  
ゲートが前記差動増幅回路の非反転入力端子に接続され、ドレインが前記第二のトランジスタのゲートに接続された第四のトランジスタと、を備え  
電源起動後に、前記第一のトランジスタがオン、前記第二のトランジスタがオフして、前記突入電流防止回路が動作して、  
前記出力電圧検出回路が前記容量の電圧によって前記突入電流防止回路を停止させると、前記第一のトランジスタがオフして前記出力電圧検出回路を停止させる、  
ことを特徴としたボルテージレギュレータ。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、出力電圧検出回路を備えたボルテージレギュレータに関し、より詳しくは起動後に突入電流防止回路の動作を止めるため、出力電圧が立ち上がった事を検出し信号を出力する出力電圧検出回路に関する。

【背景技術】

【0002】

従来のボルテージレギュレータについて説明する。図3は、従来のボルテージレギュレータの回路図である。この基準電圧回路は、定電圧源401とソフトスタート回路からなっている。ソフトスタート回路は、コンパレータ404と遅延回路412と定電流源407と容量408と抵抗403とスイッチ402、410、411を備えている。

30

【0003】

定電流源407と容量408の接点は、基準電圧回路の出力端子101に接続される。コンパレータ405は、非反転入力端子に出力端子101が接続され、反転入力端子に定電圧源401の出力端子がオフセット電圧405を介して接続されている。コンパレータ404の出力端子は、スイッチ402と定電流源407と遅延回路412に接続されている。遅延回路412の出力端子はスイッチ411に接続されている。

40

【0004】

容量408は、定電流源407から定電流 $I_c$ の電流を受けて充電される。コンパレータ404は、定電圧源401の出力電圧413から所定のオフセット電圧405を引いた電圧と、定電流源407と容量408の接点の電圧とを比較して、その比較結果に応じた出力電圧を出力する。定電圧源401の出力電圧413から所望のオフセット電圧405を引いた電圧よりも、定電流源407と容量408の接点の電圧が高くなると、スイッチ402はオンして、定電流源407は停止して、遅延回路412が動作を始める。スイッチ402がオンすると、定電圧源401から抵抗403を介して容量408にRCの時定数に合わせて充電される。遅延回路412の出力はスイッチ411に接続されていて、遅延回路412が動作を開始してから所定の時間が経過した後にスイッチ411をオンする

50

。スイッチ 4 1 1 がオンすると、定電圧源 4 0 1 の出力電圧 4 1 3 が直接、基準電圧 1 0 1 に接続される。

【 0 0 0 5 】

従来の基準電圧回路の動作について説明する。スイッチ 4 1 0 がオンしている状態では、基準電圧回路は動作を停止して、出力端子 1 0 1 の基準電圧は 0 V となっている。スイッチ 4 1 0 がオフすると、基準電圧回路は動作を開始する。定電流源 4 0 7 から定電流  $I_c$  の電流を受けて、容量 4 0 8 に定電流充電が開始される。この時、基準電圧 1 0 1 は、定電流  $I_c$  と容量 4 0 8 に応じて、直線的に上昇する。容量 4 0 8 に充電された電圧が、定電圧源 4 0 1 の電圧 4 1 3 をオフセット電圧 4 0 5 で引いた電圧を超えると、コンパレータ 4 0 4 の出力信号が反転するので、スイッチ 4 0 2 がオンし、定電流源 4 0 7 は停止し、遅延回路 4 1 2 が動作を始める。定電流源 4 0 7 が停止したことで、定電圧源 4 0 1 の出力電圧 4 1 3 から、抵抗 4 0 3 を介して容量 4 0 8 に充電が行われる。

10

【 0 0 0 6 】

遅延回路 4 1 2 が動作を始めてから所定の時間が経過した後に、スイッチ 4 1 1 がオンすることによって、定電圧源 4 0 1 の出力電圧 4 1 3 が直接、基準電圧 1 0 1 となる。（例えば、特許文献 1 図 2 参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 0 - 5 6 8 4 3 号公報

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら従来の技術では、出力電圧が立ち上がったあとタイミングよくソフトスタート回路を切り離さなければならないという課題があった。

【 0 0 0 9 】

本発明では、上記課題に鑑みてなされ、ボルテージレギュレータが起動直後に、高速でかつタイミングよく突入電流防止回路の動作を止め消費電流を削減できるボルテージレギュレータを提供する。

【 課題を解決するための手段 】

30

【 0 0 1 0 】

基準電圧を出力する基準電圧回路と、出力トランジスタと、基準電圧と出力トランジスタの出力する電圧を分圧した分圧電圧との差を増幅して出力し、出力トランジスタのゲートを制御する第一の差動増幅回路と、ドレインが出力トランジスタのゲートに接続され、ゲートが制御信号端子に接続され、ソースが制限トランジスタのドレインに接続された第一スイッチングトランジスタと、突入電流防止回路と、出力電圧検出回路とを備えたボルテージレギュレータにおいて、出力電圧検出回路は、反転入力端子が第一の差動増幅回路の非反転入力端子に接続され、反転入力端子が基準電圧回路に接続され、電源端子が第一のトランジスタのドレインに接続され、出力端子が第二のトランジスタのゲートに接続されたアンプと、出力が容量と第二のトランジスタのドレインに接続された定電流回路とを備える。

40

【 発明の効果 】

【 0 0 1 1 】

本発明の出力電圧検出回路を備えたボルテージレギュレータは、ボルテージレギュレータの基準電圧とフィードバック電圧  $V_{fb}$  とを比較するコンパレータを使用することで、高速でかつタイミングよく突入電流防止回路を切り離すことができる。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 第一の実施形態のボルテージレギュレータを示す回路図である。

【 図 2 】 第二の実施形態のボルテージレギュレータを示す回路図である。

50

【図 3】従来のボルテージレギュレータを示す回路図である。

【発明を実施するための形態】

【0013】

本発明を実施するための形態について、図面を参照して説明する。

【実施例 1】

【0014】

図 1 は、第一の実施形態のボルテージレギュレータの回路図である。第一の実施形態のボルテージレギュレータは、基準電圧回路 101 と、差動増幅回路 102 と、出力トランジスタ 104 と、分圧回路の抵抗 105 と 106 と、突入電流防止回路 103 と、出力電圧検出回路 213 で構成されている。出力電圧検出回路 213 は PMOS トランジスタ 202、203 と、定電流回路 204 と、オフセット付きアンプ 201 と、容量 205 で構成されている。

10

【0015】

第一の本実施形態のボルテージレギュレータの接続について説明する。差動増幅回路 102 は、反転入力端子は基準電圧回路 101 に接続され、非反転入力端子は抵抗 105 と 106 の接続点に接続され、出力端子は PMOS トランジスタ 104 のゲート及び突入電流防止回路 103 の出力に接続される。基準電圧回路 101 のもう一方はグラウンド端子 100 に接続される。オフセット付きアンプ 201 は、非反転入力端子は基準電圧回路 101 の正極に接続され、反転入力端子は抵抗 105 と 106 の接続点に接続され、出力端子は PMOS トランジスタ 203 のゲートに接続される。PMOS トランジスタ 203 は、ドレインは突入電流防止回路 103 の入力に接続され、ソースは電源端子 150 に接続される。PMOS トランジスタ 202 は、ゲートは突入電流防止回路 103 の入力に接続され、ドレインはオフセット付きアンプ 201 の電源端子に接続され、ソースは電源端子 150 に接続される。定電流回路 204 は、一方は突入電流防止回路 103 の入力および容量 205 に接続され、もう一方は電源端子 150 に接続される。容量 205 のもう一方はグラウンド端子 100 に接続される。

20

【0016】

次に、第一の本実施形態ボルテージレギュレータの動作について説明する。抵抗 105 と 106 は、出力端子 180 の電圧である出力電圧  $V_{out}$  を分圧し、分圧電圧  $V_{fb}$  を出力する。差動増幅回路 102 は、基準電圧回路 101 の出力電圧  $V_{ref}$  と分圧電圧  $V_{fb}$  とを比較し、出力電圧  $V_{out}$  が一定になるよう出力トランジスタ 104 のゲート電圧を制御する。出力電圧  $V_{out}$  が所定電圧よりも高いと、分圧電圧  $V_{fb}$  が基準電圧  $V_{ref}$  よりも高くなる。そして、差動増幅回路 102 の出力信号（出力トランジスタ 104 のゲート電圧）が高くなり、出力トランジスタ 104 はオフしていき、出力電圧  $V_{out}$  は低くなる。こうして、出力電圧  $V_{out}$  を一定になるように制御する。また、出力電圧  $V_{out}$  が所定電圧よりも低いと、上記と逆の動作をして、出力電圧  $V_{out}$  は高くなる。こうして、出力電圧  $V_{out}$  が一定になるように制御する。突入電流防止回路 103 は出力トランジスタ 104 に突入電流が流れた事検出して出力トランジスタ 104 のゲート電圧を  $H_i$  になるように制御する。

30

【0017】

電源起動後、出力電圧検出回路 213 の出力はグラウンドレベルのため PMOS トランジスタ 202 がオンしてオフセット付きアンプ 201 に電源を供給する。分圧電圧  $V_{fb}$  は出力電圧  $V_{out}$  が立ち上がっていないため基準電圧  $V_{ref}$  より低い電圧にあり、オフセット付きアンプ 201 に  $H_i$  を出力させる。そして、PMOS トランジスタ 203 をオフさせ、定電流回路 204 の電流が容量 205 を充電して徐々に出力電圧検出回路 213 の出力を立ち上げて行く。突入電流防止回路 103 は出力電圧検出回路 213 の  $L_o$  の信号を受けている間起動し、突入電流を防止するように動作する。出力電圧検出回路 213 の出力の立ち上げ時間は定電流回路 204 の電流値と容量 205 の容量値で決まり、ボルテージレギュレータの起動時間より長くしボルテージレギュレータの起動中に突入電流防止回路 103 の動作が停止しないように設定する。出力電圧検出回路 213 の出力があ

40

50

る程度立ち上がると、突入電流防止回路 103 は動作を止めボルテージレギュレータの起動後に電流を消費する事を止める。さらに、PMOS トランジスタ 202 がオフし、オフセット付きアンプ 201 の動作を止めボルテージレギュレータの起動後に電流を消費する事を止める。

#### 【0018】

オフセット付きアンプ 201 は非反転入力端子にオフセットをつけて分圧電圧  $V_{fb}$  を基準電圧  $V_{ref}$  より高くなるようにする。こうして、分圧電圧  $V_{fb}$  が基準電圧  $V_{ref}$  近辺まで立ち上がったときに突入電流防止回路 103 と出力電圧検出回路 213 の動作がオンオフを繰り返す事を防止できる。

#### 【0019】

以上により、第一の実施形態のボルテージレギュレータは高速でかつタイミングよく突入電流防止回路を切り離すことが可能となる。また、突入電流防止回路を切り離したあと出力電圧検出回路の電源供給を止めるため低消費電力化を行うことができる。

#### 【実施例 2】

#### 【0020】

図 2 は、第二の実施形態のボルテージレギュレータの回路図である。図 1 との違いは、出力電圧検出回路 513 のオフセット付きアンプの構成を別構成にした点である。

#### 【0021】

次に第二の実施形態のボルテージレギュレータの接続について説明する。PMOS トランジスタ 203 は、ドレインは突入電流防止回路 103 の入力に接続され、ソースは電源端子 150 に接続され、ゲートは NMOS トランジスタ 506 のソースおよび NMOS トランジスタ 507 のドレインに接続される。PMOS トランジスタ 202 は、ゲートは突入電流防止回路 103 の入力に接続され、ドレインは NMOS トランジスタ 506 のゲートおよび定電流回路 508 に接続され、ソースは電源端子 150 に接続される。定電流回路 508 のもう一方はグラウンド端子 100 に接続される。定電流回路 204 は、一方は突入電流防止回路 103 の入力および容量 205 に接続され、もう一方は電源端子 150 に接続される。容量 205 のもう一方はグラウンド端子 100 に接続される。NMOS トランジスタ 506 のドレインは定電流回路 501 に接続され、定電流回路 501 のもう一方は電源端子 150 に接続される。NMOS トランジスタ 507 は、ゲートは差動増幅回路 102 の非反転入力端子に接続され、ソースはグラウンド端子 100 に接続される。

#### 【0022】

次に、第二の実施形態のボルテージレギュレータの動作について説明する。定電流源 501 と NMOS トランジスタ 507 でシングルエンドアンプが構成されている。このシングルエンドアンプの反転しきい値をフィードバック電圧  $V_{fb}$  よりも若干低く設ける。電源が投入されると PMOS トランジスタ 202 のゲート電圧はグラウンドレベルとなり PMOS トランジスタ 202 をオンさせる。そして、NMOS トランジスタ 506 のゲート電圧は  $H_i$  となり NMOS トランジスタ 506 をオンさせる。

#### 【0023】

フィードバック電圧  $V_{fb}$  はシングルエンドアンプの反転しきい値より低いため、シングルエンドアンプの出力がハイとなり、PMOS トランジスタ 203 はオフさせる。そして、定電流回路 204 の電流が容量 205 を充電して徐々に出力電圧検出回路 513 の出力を立ち上げて行く。突入電流防止回路 103 は出力電圧検出回路 513 の  $L_o$  の信号を受けている間起動し、突入電流を防止するように動作する。出力電圧検出回路 513 の出力の立ち上げ時間は定電流回路 204 の電流値と容量 205 の容量値で決まり、ボルテージレギュレータの起動時間より長くしボルテージレギュレータの起動中に突入電流防止回路 103 の動作が停止しないように設定する。

#### 【0024】

出力端子 180 の電圧がさらに立ち上がると、フィードバック電圧  $V_{fb}$  がシングルエンドアンプの反転しきい値を超えるため、シングルエンドアンプの出力が反転し  $L_o$  の信号を出力する。すると、PMOS トランジスタ 503 がオンして容量 205 を充電し、出

10

20

30

40

50

力電圧検出回路 513 の出力を電源電圧 150 にして突入電流防止回路 103 をオフさせる。同時に P M O S トランジスタ 202 もオフされ、定電流回路 508 により N M O S トランジスタ 206 のゲートがグラウンドプルダウンされる。そして、N M O S トランジスタ 506 をオフさせ出力電圧検出回路 513 の出力に L o 出力し出力電圧検出回路 513 の消費電流を遮断する。

#### 【 0 0 2 5 】

以上により、第二の実施形態のボルテージレギュレータは高速でかつタイミングよく突入電流防止回路を切り離すことが可能となる。また、突入電流防止回路を切り離したあと出力電圧検出回路の電源供給を止めるため低消費電力化を行うことができる。

#### 【 符号の説明 】

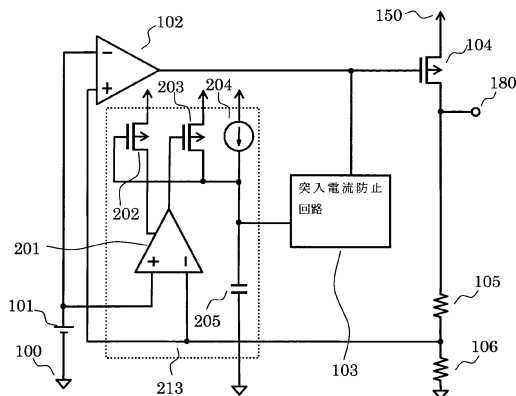
#### 【 0 0 2 6 】

- 100    グラウンド端子
- 150    電源端子
- 180    出力端子
- 101    基準電圧回路
- 102    差動増幅回路
- 103    突入電流防止回路
- 213、513    出力電圧検出回路
- 204、501、508    定電流回路
- 201    アンプ

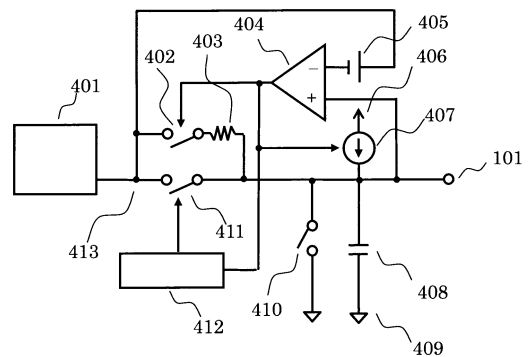
10

20

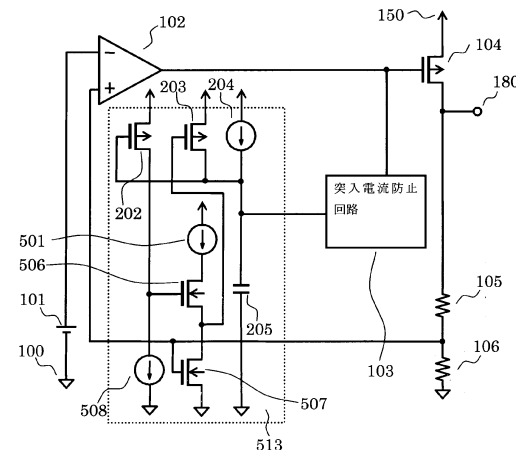
【 図 1 】



【 図 3 】



【 図 2 】



---

フロントページの続き

(56)参考文献 米国特許出願公開第2004/0201369(US, A1)

特開2009-169785(JP, A)

特開2009-266121(JP, A)

特開2008-276477(JP, A)

(58)調査した分野(Int.Cl., DB名)

G05F 1/56