

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 18 年 1 月 5 日 (2006.1.5)

【公表番号】特表 2005-502255 (P2005-502255A)

【公表日】平成 17 年 1 月 20 日 (2005.1.20)

【年通号数】公開・登録公報 2005-003

【出願番号】特願 2003-525995 (P2003-525995)

【国際特許分類】

**H 0 3 F 3/72 (2006.01)**

**H 0 3 K 17/693 (2006.01)**

【F I】

H 0 3 F 3/72

H 0 3 K 17/693 A

【手続補正書】

【提出日】平成 17 年 9 月 16 日 (2005.9.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

反転 ( - ) 入力、非反転 ( + ) 入力、及び出力を有する入力増幅器 ( A <sub>1</sub> )、  
各々が反転 ( - ) 入力、非反転 ( + ) 入力、及び出力を有する出力増幅器 ( A M P <sub>1</sub> ~ A M P <sub>N</sub> )、

各々が出力増幅器 ( A M P <sub>1</sub> ~ A M P <sub>N</sub> ) の 1 つの反転 ( - ) 入力をその出力に接続する帰還キャパシタ ( C <sub>1</sub> ~ C <sub>N</sub> )、

第 1 の端子を有し、入力増幅器 ( A <sub>1</sub> ) の非反転 ( + ) 入力に接続された第 2 の端子を有する第 1 の入力キャパシタ ( C <sub>S 1</sub> )、

第 1 の端子を有し、入力増幅器 ( A <sub>1</sub> ) の反転 ( - ) 入力に接続された第 2 の端子を有する第 2 の入力キャパシタ ( C <sub>S 2</sub> )、

各々が出力増幅器 ( A M P <sub>1</sub> ~ A M P <sub>N</sub> ) の 1 つの出力と第 1 の入力キャパシタ ( C <sub>S 1</sub> ) の第 1 の端子とを選択的に接続する出力帰還スイッチ ( S <sub>2a</sub>、S <sub>2b</sub>、など)、

各々が入力増幅器 ( A <sub>1</sub> ) の出力と出力増幅器 ( A M P <sub>1</sub> ~ A M P <sub>N</sub> ) の 1 つの反転 ( - ) 入力とを選択的に接続する増幅器接続スイッチ ( S <sub>1a</sub>、S <sub>1b</sub>、など)、

入力増幅器 ( A <sub>1</sub> ) の反転 ( - ) 入力と出力とを選択的に接続する入力増幅器帰還スイッチ ( S <sub>50</sub> )、

入力増幅器 ( A <sub>1</sub> ) の非反転 ( + ) 入力を基準電圧 ( V <sub>REF</sub> ) に選択的に接続する基準接続スイッチ ( S <sub>40</sub> )、

アナログデマルチプレクサの入力を第 1 の入力キャパシタ ( C <sub>S 1</sub> ) の第 1 の端子に選択的に接続する第 1 の入力接続スイッチ ( S <sub>30</sub> )、及び

アナログデマルチプレクサの入力を第 2 の入力キャパシタ ( C <sub>S 2</sub> ) の第 1 の端子に選択的に接続する第 2 の入力接続スイッチ ( S <sub>35</sub> ) を含むことを特徴とするアナログデマルチプレクサ。

【請求項 2】

増幅器接続スイッチ ( S <sub>1a</sub>、S <sub>1b</sub>、など) の各々は、

入力増幅器 ( A <sub>1</sub> ) の出力を出力増幅器 ( A M P <sub>1</sub> ~ A M P <sub>N</sub> ) の 1 つの反転 ( - ) 入力に接続するソース-ドレイン路を有するとともに、スイッチ制御入力信号を受信するよ

うに接続されたゲートを有するPMOSトランジスタ、及び

PMOSトランジスタと並列接続されたソース-ドレイン路を有するとともに、スイッチ制御入力信号の反転を受信するように接続されたゲートを有するNMOSトランジスタを含むことを特徴とする請求項1記載のアナログデマルチプレクサ。

【請求項3】

増幅器接続スイッチ( $S_{1a}$ 、 $S_{1b}$ 、など)の各々は、

入力増幅器( $A_1$ )の出力に第1の端で接続されたソース-ドレイン路を有するとともに、スイッチ制御入力信号を受信するように接続されたゲートを有する第1のPMOSトランジスタ、

第1のPMOSトランジスタのソース-ドレイン路の第2の端に第1の端で接続され、出力増幅器( $AMP_1 \sim AMP_N$ )の1つの反転(-)入力に第2の端で接続されたソース-ドレイン路を有するとともに、スイッチ制御入力信号を受信するように接続されたゲートを有する第2のPMOSトランジスタ、

第1のPMOSトランジスタと並列接続されたソース-ドレイン路を有するとともに、スイッチ制御入力信号の反転を受信するゲートを有する第1のNMOSトランジスタ、及び

第2のPMOSトランジスタと並列接続されたソース-ドレイン路を有するとともに、スイッチ制御入力信号の反転を受信するゲートを有する第2のNMOSトランジスタを含むことを特徴とする請求項1記載のアナログデマルチプレクサ。

【請求項4】

第1のPMOSトランジスタのゲートサイズは第2のPMOSトランジスタのゲートサイズの約半分以下であり、

第1のNMOSトランジスタのゲートサイズは第2のNMOSトランジスタのゲートサイズの約半分以下であることを特徴とする請求項3記載のアナログデマルチプレクサ。

【請求項5】

基準電圧( $V_{REF}$ )は出力増幅器( $AMP_1 \sim AMP_N$ )の非反転(+)入力に接続することを特徴とする請求項1記載のアナログデマルチプレクサ。

【請求項6】

入力増幅器( $A_1$ )は高電圧( $V_{dd1}$ )と低電圧( $V_{ss1}$ )間の範囲にある出力電圧を有し、基準電圧( $V_{REF}$ )は高電圧( $V_{dd1}$ )と低電圧( $V_{ss1}$ )間にあることを特徴とする請求項1記載のアナログデマルチプレクサ。

【請求項7】

入力増幅器( $A_1$ )は高電圧( $V_{dd1}$ )と低電圧( $V_{ss1}$ )間の範囲にある出力電圧を有し、スイッチ制御入力信号として提供される電圧は高電圧( $V_{dd1}$ )と低電圧( $V_{ss1}$ )間の範囲にあることを特徴とする請求項4記載のアナログデマルチプレクサ。

【請求項8】

出力帰還スイッチ( $S_{2a}$ 、 $S_{2b}$ 、など)の対応する出力帰還スイッチは増幅器接続スイッチ( $S_{1a}$ 、 $S_{1b}$ 、など)の1つと同時に閉じるが、同時に開かないことを特徴とする請求項1記載のアナログデマルチプレクサ。

【請求項9】

増幅器接続スイッチ( $S_{1a}$ 、 $S_{1b}$ 、など)のいずれも閉じていないとき、入力増幅器( $A_1$ )の出力を基準電圧( $V_{REF}$ )に接続するように閉じる基準スイッチ( $S_{1x}$ )を更に含むことを特徴とする請求項1記載のアナログデマルチプレクサ。

【請求項10】

入力増幅器帰還スイッチ( $S_{50}$ )、基準接続スイッチ( $S_{40}$ )、第1の入力接続スイッチ( $S_{30}$ )、及び第2の入力接続スイッチ( $S_{35}$ )が閉じているとき、出力帰還スイッチ( $S_{2a}$ 、 $S_{2b}$ 、など)と増幅器接続スイッチ( $S_{1a}$ 、 $S_{1b}$ 、など)は開いたままであることを特徴とする請求項1記載のアナログデマルチプレクサ。

【請求項11】

第1の入力接続スイッチ( $S_{30}$ )と第2の入力接続スイッチ( $S_{35}$ )が開く前に入力増幅

器帰還スイッチ ( $S_{50}$ ) と基準接続スイッチ ( $S_{40}$ ) が開くことを特徴とする請求項 1 記載のアナログデマルチプレクサ。

【請求項 1 2】

第 1 の入力、第 2 の入力、及び出力を有する入力増幅器 ( $A_1$ )、

各々が第 1 の入力、第 2 の入力、及び出力を有する出力増幅器 ( $AMP_1 \sim AMP_N$ )、

各々が出力増幅器 ( $AMP_1 \sim AMP_N$ ) の 1 つの第 1 の入力をその出力に接続する帰還キャパシタ ( $C_1 \sim C_N$ )、

第 1 の端子を有し、入力増幅器 ( $A_1$ ) の第 1 の入力に接続された第 2 の端子を有する第 1 の入力キャパシタ ( $C_{S1}$ )、

第 1 の端子を有し、入力増幅器 ( $A_1$ ) の第 2 の入力に接続された第 2 の端子を有する第 2 の入力キャパシタ ( $C_{S2}$ )、

出力増幅器 ( $AMP_1 \sim AMP_N$ ) の 1 つの出力と第 1 の入力キャパシタ ( $C_{S1}$ ) の第 1 の端子とを選択的に接続する少なくとも 1 つの出力帰還スイッチ ( $S_2$ )、

入力増幅器 ( $A_1$ ) の出力と出力増幅器 ( $AMP_1 \sim AMP_N$ ) の 1 つの第 1 の入力とを選択的に接続する少なくとも 1 つの増幅器接続スイッチ ( $S_1$ )、

入力増幅器 ( $A_1$ ) の第 1 の入力を基準電圧 ( $V_{REF}$ ) に選択的に接続する基準接続スイッチ ( $S_{40}$ )、

アナログデマルチプレクサの入力を第 1 の入力キャパシタ ( $C_{S1}$ ) の第 1 の端子に選択的に接続する第 1 の入力接続スイッチ ( $S_{30}$ )、及び

アナログデマルチプレクサの入力を第 2 の入力キャパシタ ( $C_{S2}$ ) の第 1 の端子に選択的に接続する第 2 の入力接続スイッチ ( $S_{35}$ ) を含むことを特徴とするアナログデマルチプレクサ。

【請求項 1 3】

入力増幅器 ( $A_1$ ) の第 2 の入力と出力を選択的に接続する入力増幅器帰還スイッチ ( $S_{50}$ ) を更に含むことを特徴とする請求項 1 2 記載のアナログデマルチプレクサ。

【請求項 1 4】

基準電圧 ( $V_{REF}$ ) は出力増幅器 ( $AMP_1 \sim AMP_N$ ) の第 2 の入力に接続することを特徴とする請求項 1 2 記載のアナログデマルチプレクサ。

【請求項 1 5】

基準電圧 ( $V_{REF}$ ) が入力増幅器 ( $A_1$ ) の第 1 及び第 2 の入力と出力に接続するようにスイッチを接続する工程、

基準電圧 ( $V_{REF}$ ) を入力増幅器 ( $A_1$ ) の第 1 及び第 2 の入力と出力に印加するスイッチが開いた後、基準電圧 ( $V_{REF}$ ) の値が、所定の時間、入力増幅器 ( $A_1$ ) の第 1 及び第 2 の入力に残留するように基準電圧 ( $V_{REF}$ ) の値を蓄積する工程、

基準電圧 ( $V_{REF}$ ) を入力増幅器 ( $A_1$ ) の第 1 及び第 2 の入力と出力に接続するスイッチを開く工程、

入力増幅器 ( $A_1$ ) の出力を出力増幅器 ( $AMP_1 \sim AMP_N$ ) のうちの与えられた 1 つの入力に接続する工程、ここで入力増幅器 ( $A_1$ ) の第 1 の入力が入力信号 ( $V_{IN}$ ) を受信する、及び

与えられた出力増幅器の出力を入力増幅器 ( $A_1$ ) の第 2 の入力に接続する工程を含むことを特徴とする、入力増幅器 ( $A_1$ ) と複数の出力増幅器 ( $AMP_1 \sim AMP_N$ ) を使用して入力信号 ( $V_{IN}$ ) を逆多重化する方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正の内容】

【0002】

( 関連出願の相互参照 )

以下の出願は、本出願と同時に提出されている「フラットパネルディスプレイ用の簡略化したマルチ出力デジタルアナログ変換器 (A Simplified Multi-Output Digital to Analog Converter (DAC) for a Flat Panel Display)」米国出願第 10 / 236, 211 号 (米国特許第 6, 781, 532 号)、出願日 2002 年 9 月 5 日。この特許出願は本願明細書と参照される。