



# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 95126002

※申請日期： 95-7-17

※IPC 分類： H01L 23/48

## 一、發明名稱：(中文/英文)

晶片結構

CHIP STRUCTURE

## 二、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 南茂科技股份有限公司/CHIPMOS TECHNOLOGIES INC.

2. 百慕達南茂科技股份有限公司/CHIPMOS TECHNOLOGIES (BERMUDA) LTD.

代表人：(中文/英文) 1-2 鄭世杰/SHIH-JYE CHENG (簽章)

住居所或營業所地址：(中文/英文)

1. 新竹科學工業園區新竹縣研發一路一號/NO. 1, R&D 1ST RD.,  
SCIENCE-BASED INDUSTRIAL PARK HSINCHU, TAIWAN,  
R.O.C.

2. 百慕達漢米頓 HM12 維多利亞街 22 號卡農廣場/CANON'S  
COURT, 22 VICTORIA STREET, HAMILTON HM12, BERMUDA

國籍：(中文/英文) 1. 中華民國/TW 2. 英屬百慕達群島/  
BERMUDA

## 三、發明人：(共 1 人)

姓名：(中文/英文)

楊玉琳 / Yu-Lin Yang

國籍：(中文/英文) 中華民國/TW

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種晶片結構，且特別是有關於一種具有軟性凸塊的晶片結構。

### 【先前技術】

在半導體產業中，積體電路（integrated circuits，IC）的生產主要可分為三個階段：積體電路的設計（IC design）、積體電路的製作（IC process）及積體電路的封裝（IC package）。

在積體電路的製作中，晶片（chip）是經由晶圓（wafer）製作、形成積體電路、電性測試（electrical testing）以及切割晶圓（wafer sawing）等步驟而完成。晶圓具有一主動面（active surface），其泛指晶圓之具有主動元件（active device）的表面。當晶圓內部之積體電路完成後，晶圓之主動面將配置有多個焊墊（bonding pad），以使最終由晶圓切割所形成的晶片可經由這些焊墊而向外電性連接於一承載器（carrier）。

請參考圖 1，其繪示習知之一種晶片結構的側視示意圖。習知晶片結構 100 包括一基材（substrate）110、多個晶片焊墊（chip bonding pad）120、一保護層（passivation layer）130 與多個導電凸塊（conductive bump）140。基材 110 具有一主動面 112，而這些晶片焊墊 120 配置於主動面 112 上。保護層 130 覆蓋主動面 112，且暴露出這些晶片焊

墊 120。此外，這些導電凸塊 140 分別配置於這些晶片焊墊 120 上，以作為電性連接至玻璃基板（glass substrate）（未繪示）的媒介。

然而，在玻璃基板上，被設計要與這些導電凸塊 140 對應電性連接的這些電性接點（未繪示）有時由於佈線設計或其他因素而無法完全與這些導電凸塊 140 的位置對應對齊，進而使得這些晶片焊墊 120 無法對應電性連接至這些電性接點。因此，對於這些晶片焊墊 120 作進一步的重新配置（redistribution）的處理是必要的。

#### 【發明內容】

本發明之目的是提供一種晶片結構，其晶片焊墊可藉由軟性凸塊與重配置導電跡線而適於對應連接至承載器的電性接點。

為達上述或是其他目的，本發明提出一種晶片結構，其包括一基材、至少一晶片焊墊、一保護層、至少一軟性凸塊（compliant bump）與至少一重配置導電跡線（redistribution conductive trace）。基材具有一主動面，晶片焊墊配置於主動面上。保護層配置於主動面上，且暴露出晶片焊墊。軟性凸塊具有一頂面與一側面，其中至少部分軟性凸塊配置於保護層上。重配置導電跡線的一端與晶片焊墊電性連接，且重配置導電跡線的另一端覆蓋於軟性凸塊的部分側面與至少部分頂面。

在本發明之一實施例中，上述之軟性凸塊可配置於晶

片焊墊與保護層上，且軟性凸塊可覆蓋部分晶片焊墊。

在本發明之一實施例中，上述之軟性凸塊可配置於保護層上。

在本發明之一實施例中，上述之軟性凸塊可配置於保護層上。此外，上述部分重配置導電跡線可配置於保護層上。

在本發明之一實施例中，上述之軟性凸塊之頂面可為規則形狀。

在本發明之一實施例中，上述之軟性凸塊之頂面可為規則形狀。此外，上述之軟性凸塊之頂面可為矩形。

在本發明之一實施例中，上述之軟性凸塊之頂面可為規則形狀。此外，上述之軟性凸塊之頂面可為圓形。

在本發明之一實施例中，上述之軟性凸塊之頂面可為規則形狀。此外，上述之軟性凸塊之頂面可為環形。

在本發明之一實施例中，上述之軟性凸塊之頂面可為不規則形狀。

在本發明之一實施例中，上述之軟性凸塊的數量可為多個。

在本發明之一實施例中，上述之軟性凸塊的數量可為多個。此外，上述這些軟性凸塊可排列為陣列（array）。

在本發明之一實施例中，上述之軟性凸塊的材質包括聚亞醯胺（polyimide）。

在本發明之一實施例中，上述之軟性凸塊的厚度可大於等於 5 微米且可小於等於 11 微米。

在本發明之一實施例中，上述之位於軟性凸塊之頂面上的重配置導電跡線之一端的表面粗糙度可大於 0 微米且可小於等於 1 微米。

在本發明之一實施例中，上述之重配置導電跡線的厚度可大於等於 2 微米且可小於等於 6 微米。

在本發明之一實施例中，上述之晶片結構更包括一異方性導電膜（anisotropic conductive film），配置於位於軟性凸塊之頂面上的重配置導電跡線之一端上。

在本發明之一實施例中，上述之保護層的材質包括聚亞醯胺或苯並環丁烯（benzocyclobutene, BCB）。

基於上述，當晶片結構與承載器上的電性接點電性連接時，由於軟性凸塊與電性接點相對應連接，所以晶片焊墊可藉由軟性凸塊與重配置導電跡線而電性連接至相對應的電性接點上。此外，由於軟性凸塊的材質較軟，且軟性凸塊之側面的一部分是未被重配置導電跡線所覆蓋而暴露於外，因此當晶片結構與承載器彼此壓合時，軟性凸塊可作適度的變形而仍維持晶片結構與承載器之間良好的電性連接的效能。另外，由於晶片焊墊可藉由重配置導電跡線而連接至多個軟性凸塊，因此可增加晶片結構與承載器之間彼此電性連接的接觸面積，及減少結合失敗的機率。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

圖 2A 繪示本發明一實施例之一種晶片結構的俯視示意圖，圖 2B 繪示圖 2A 之晶片結構沿著線 A-A 的剖面示意圖，而圖 2C 繪示圖 2A 之晶片結構沿著線 B-B 的剖面示意圖。請參考圖 2A、圖 2B 與圖 2C，本實施例之晶片結構 200 包括一基材 210、至少一晶片焊墊 220（圖 2A 示意地繪示 6 個）、一保護層 230、至少一軟性凸塊 240（圖 2A 示意地繪示 15 個）與至少一重配置導電跡線 250（圖 2A 示意地繪示 6 條）。基材 210 具有一主動面 212，這些晶片焊墊 220 配置於主動面 212 上。保護層 230 配置於主動面 212 上，且暴露出這些晶片焊墊 220。

此外，各個軟性凸塊 240 具有一頂面 242 與一側面 244，其中各個軟性凸塊 240 至少部分地配置於保護層 230 上。另外，各個重配置導電跡線 250 的一端對應與這些晶片焊墊 220 的其中之一電性連接，且各個重配置導電跡線 250 的另一端對應覆蓋各個軟性凸塊 240 的部分側面 244 與至少部分頂面 242。詳言之，各個軟性凸塊 240 的側面 244 有一部分是未被重配置導電跡線 250 所覆蓋而暴露於外，且在本實施例中，這些重配置導電跡線 250 可依照設計需求部分地或完全地覆蓋對應的這些軟性凸塊 240 的頂面 242。

當晶片結構 200 與承載器（carrier）（例如是玻璃基板，但未繪示）上的多個電性接點（未繪示）電性連接時，由於這些軟性凸塊 240 與這些電性接點相對應連接，所以

這些晶片焊墊 220 可藉由這些軟性凸塊 240 與這些重配置導電跡線 250 而電性連接至相對應的這些電性接點上。因此，本實施例之晶片結構 200 可避免習知之晶片結構 100（見圖 1）的這些晶片焊墊 120 與承載器之這些電性接點之間無法完全對應電性連接的缺點。此外，由於這些軟性凸塊 240 的材質較軟（flexible），且各個軟性凸塊 240 的側面 244 有一部分是未被重配置導電跡線 250 所覆蓋而暴露於外，因此當晶片結構 200 與承載器（carrier）彼此壓合時，各個軟性凸塊 240 可作適度的變形而仍維持晶片結構 200 與承載器之間良好的電性連接的效能。

請參考圖 2A，在本實施例中，各個軟性凸塊 240 之頂面 242 的外型可為規則形狀，例如為矩形或環形。然而，各個軟性凸塊 240 之頂面 242 的外型亦可為圓形、其他規則形狀或不規則形狀。此外，就圖 2A 的相對位置而言，在最下方之重配置導電跡線 250 之一端可覆蓋多個軟性凸塊 240，且這些軟性凸塊 240 可排列為陣列。在此必須說明的是，這些軟性凸塊 240 之頂面 242 的外型、這些軟性凸塊 240 的數量與排列方式可依照設計者的需求而改變，本實施例是用以舉例而非限定本發明。

請參考圖 2B，在本實施例中，有些軟性凸塊 240 可完全配置於保護層 230 上，且圖 2B 中的重配置導電跡線 250 的一部份可配置於保護層 230 上，而保護層 230 的材質包括聚亞醯胺或苯並環丁烯。然而，請參考圖 2C，在本實施例中，有一軟性凸塊 240 亦可配置於晶片焊墊 220 與



保護層 230 上，且此軟性凸塊 240 可覆蓋部分晶片焊墊 220。請參考圖 2A、圖 2B 與圖 2C，在本實施例中，這些軟性凸塊 240 的材質包括聚亞醯胺，且各個軟性凸塊 240 的厚度 T1（亦即各個軟性凸塊 240 之頂面 242 與保護層 230 之間的距離）可大於等於 5 微米且可小於等於 11 微米，若用數學式表示則為  $5\mu\text{m} \leq T1 \leq 11\mu\text{m}$ 。在此必須說明的是，實際上，這些軟性凸塊 240 的厚度 T1 可能有些許不同，亦即這些軟性凸塊 240 有高有低，但是各個軟性凸塊 240 的厚度 T1 仍可位於上述的範圍之內。

此外，請再參考圖 2B 與圖 2C，在本實施例中，位於這些軟性凸塊 240 之頂面 242 上的這些重配置導電跡線 250 之一端的表面粗糙度（即最大高度粗糙度）可大於 0 微米且可小於等於 1 微米。各個重配置導電跡線 250 的厚度 T2 可大於等於 2 微米且可小於等於 6 微米。另外，本實施例之晶片結構 200 更包括一異方性導電膜 260（圖 2A 省略繪示），其配置於位於這些軟性凸塊 240 之頂面 242 上的這些重配置導電跡線 250 之一端上。異方性導電膜 260 用以將位於這些軟性凸塊 240 之頂面 242 上的這些重配置導電跡線 250 之一端對應黏接與電性連接至承載器（未繪示）的這些電性接點（未繪示）。

綜上所述，本發明之晶片結構至少具有下列優點：

一、當晶片結構與承載器上的多個電性接點（未繪示）電性連接時，由於這些軟性凸塊與這些電性接點相對應連接，所以這些晶片焊墊可藉由這些軟性凸塊與這些重配置

導電跡線而電性連接至相對應的這些電性接點上。

二、由於這些軟性凸塊的材質較軟，且各個軟性凸塊之側面的一部分是未被重配置導電跡線所覆蓋而暴露於外，因此當晶片結構與承載器彼此壓合時，各個軟性凸塊可作適度的變形而仍維持晶片結構與承載器之間良好的電性連接的效能。

三、由於這些晶片焊墊的其中之一可藉由這些重配置導電跡線的其中之一而連接至多個軟性凸塊，因此可增加晶片結構與承載器之間彼此電性連接的接觸面積，及減少結合失敗的機率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

圖 1 繪示習知之一種晶片結構的側視示意圖。

圖 2A 繪示本發明一實施例之一種晶片結構的俯視示意圖。

圖 2B 繪示圖 2A 之晶片結構沿著線 A-A 的剖面示意圖。

圖 2C 繪示圖 2A 之晶片結構沿著線 B-B 的剖面示意圖。

**【主要元件符號說明】**

100、200：晶片結構

110、210：基材

112、212：主動面

120、220：晶片焊墊

130、230：保護層

140：導電凸塊

240：軟性凸塊

242：頂面

244：側面

250：重配置導電跡線

260：異方性導電膜

T1：軟性凸塊的厚度

T2：重配置導電跡線的厚度

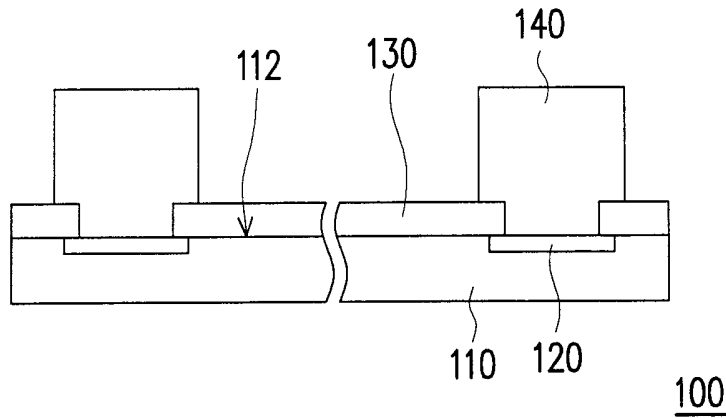


圖 1

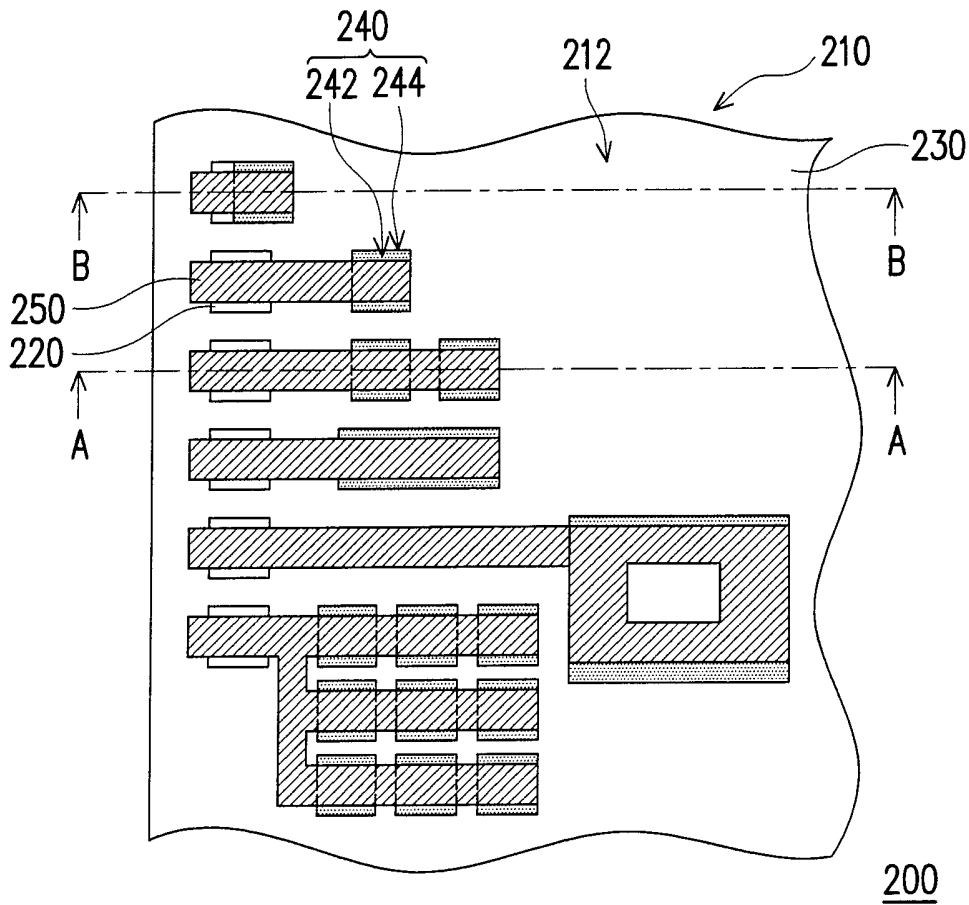


圖 2A

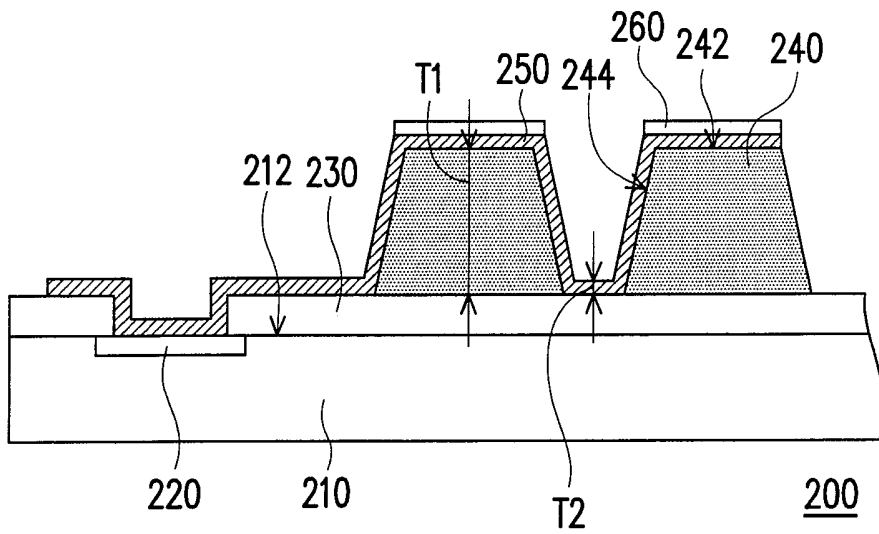


圖 2B

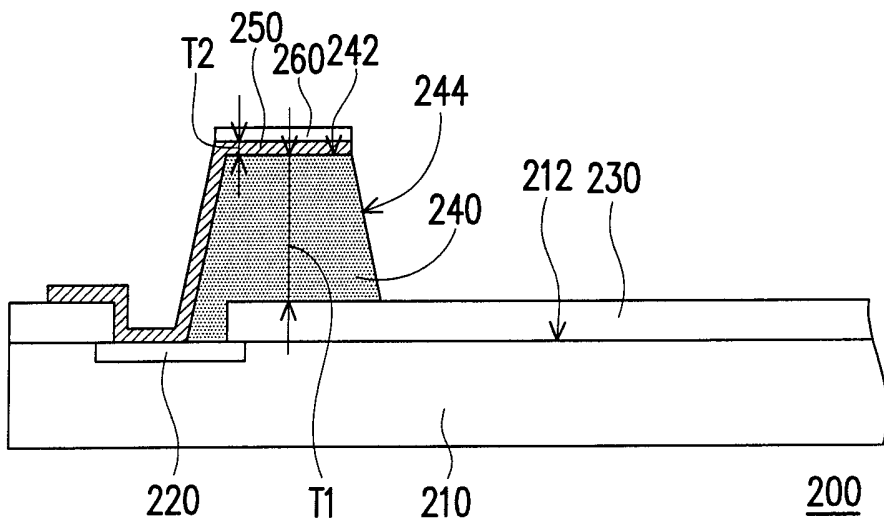


圖 2C

### 五、中文發明摘要：

一種晶片結構，其包括一基材、至少一晶片焊墊、一保護層、多個軟性凸塊、至少一重配置導電跡線與一異方性導電膜。基材具有一主動面，晶片焊墊配置於主動面上。保護層配置於主動面上，且暴露出晶片焊墊。軟性凸塊具有一頂面與一側面，其中至少部分軟性凸塊完全配置於保護層上。重配置導電跡線的一端與晶片焊墊電性連接，且重配置導電跡線的另一端覆蓋於軟性凸塊的部分側面與至少部分頂面。因此，晶片結構的晶片焊墊可藉由軟性凸塊與重配置導電跡線而電性連接至相對應的承載器上的電性接點。

### 六、英文發明摘要：

A chip structure including a substrate, at least one chip bonding pad, a passivation layer, a plurality of compliant bumps, at least one redistribution conductive trace and an anisotropic conductive film is provided. The substrate is with an active surface where the chip bonding pad is disposed. The passivation is disposed on the active surface and exposes the chip bonding pad. Each compliant bump is with a top surface and a side surface. At least parts of the compliant bumps are completely disposed on the passivation layer. One end of the redistribution conductive trace is electrically connected to the chip bonding pad and the other end of the

redistribution conductive trace covers part of the side surfaces and at least part of the top surfaces of the compliant bumps. Accordingly, the chip bonding pad of the chip structure may be electrically connected to the corresponding electrical contact of the carrier through the compliant bump and the redistribution conductive trace.

### 七、指定代表圖：

(一) 本案之指定代表圖：圖 2A

(二) 本代表圖之元件符號簡單說明：

200：晶片結構

210：基材

212：主動面

220：晶片焊墊

230：保護層

240：軟性凸塊

242：頂面

244：側面

250：重配置導電跡線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 十、申請專利範圍：

1.一種晶片結構，包括：

一基材，具有一主動面；

至少一晶片焊墊，配置於該主動面上；

一保護層，配置於該主動面上，且暴露出該晶片焊墊；

多個軟性凸塊，分別具有一頂面與一側面，其中至少部分該些軟性凸塊完全配置於該保護層上；

至少一重配置導電跡線，其中該重配置導電跡線的一端與該晶片焊墊電性連接，且該重配置導電跡線的另一端覆蓋於該些軟性凸塊的部分該些側面與至少部分該些頂面；以及

一異方性導電膜，配置於位於該些軟性凸塊之該些頂面上的該重配置導電跡線之一端上。

2.如申請專利範圍第 1 項所述之晶片結構，其中該軟性凸塊配置於該晶片焊墊與該保護層上，且該軟性凸塊覆蓋部分該晶片焊墊。

3.如申請專利範圍第 1 項所述之晶片結構，其中該軟性凸塊配置於該保護層上。

4.如申請專利範圍第 3 項所述之晶片結構，其中部分該重配置導電跡線配置於該保護層上。

5.如申請專利範圍第 1 項所述之晶片結構，其中該軟性凸塊之該頂面為規則形狀。

6.如申請專利範圍第 5 項所述之晶片結構，其中該軟性凸塊之該頂面為矩形。



7.如申請專利範圍第 5 項所述之晶片結構，其中該軟性凸塊之該頂面為圓形。

8.如申請專利範圍第 5 項所述之晶片結構，其中該軟性凸塊之該頂面為環形。

9.如申請專利範圍第 1 項所述之晶片結構，其中該軟性凸塊之該頂面為不規則形狀。

10.如申請專利範圍第 1 項所述之晶片結構，其中該些軟性凸塊排列為陣列。

11.如申請專利範圍第 1 項所述之晶片結構，其中該軟性凸塊的材質包括聚亞醯胺。

12.如申請專利範圍第 1 項所述之晶片結構，其中該軟性凸塊的厚度大於等於 5 微米且小於等於 11 微米。

13.如申請專利範圍第 1 項所述之晶片結構，其中位於該軟性凸塊之該頂面上的該重配置導電跡線之一端的表面粗糙度大於 0 微米且小於等於 1 微米。

14.如申請專利範圍第 1 項所述之晶片結構，其中該重配置導電跡線的厚度大於等於 2 微米且小於等於 6 微米。

15.如申請專利範圍第 1 項所述之晶片結構，其中該保護層的材質包括聚亞醯胺或苯並環丁烯。

redistribution conductive trace covers part of the side surfaces and at least part of the top surfaces of the compliant bumps. Accordingly, the chip bonding pad of the chip structure may be electrically connected to the corresponding electrical contact of the carrier through the compliant bump and the redistribution conductive trace.

### 七、指定代表圖：

(一) 本案之指定代表圖：圖 2A

(二) 本代表圖之元件符號簡單說明：

200：晶片結構

210：基材

212：主動面

220：晶片焊墊

230：保護層

240：軟性凸塊

242：頂面

244：側面

250：重配置導電跡線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無