

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6762871号  
(P6762871)

(45) 発行日 令和2年9月30日 (2020.9.30)

(24) 登録日 令和2年9月11日 (2020.9.11)

|                          |                      |
|--------------------------|----------------------|
| (51) Int. Cl.            | F I                  |
| HO 1 L 23/12 (2006.01)   | HO 1 L 23/12 F       |
| HO 1 L 21/60 (2006.01)   | HO 1 L 21/60 3 1 1 Q |
| HO 1 L 21/607 (2006.01)  | HO 1 L 21/92 6 0 4 B |
|                          | HO 1 L 21/92 6 0 4 R |
|                          | HO 1 L 21/92 6 0 4 S |
| 請求項の数 10 (全 10 頁) 最終頁に続く |                      |

|                    |                               |           |                         |
|--------------------|-------------------------------|-----------|-------------------------|
| (21) 出願番号          | 特願2016-520772 (P2016-520772)  | (73) 特許権者 | 517152128               |
| (86) (22) 出願日      | 平成26年6月5日 (2014.6.5)          |           | ルミレッズ ホールディング ベーフェー     |
| (65) 公表番号          | 特表2016-529693 (P2016-529693A) |           | オランダ国 1 1 1 8 セーエル スキボ  |
| (43) 公表日           | 平成28年9月23日 (2016.9.23)        |           | ール, エーフエルト ファン デ ベーク    |
| (86) 国際出願番号        | PCT/IB2014/061968             |           | ストラート 1, ザ ベース, タワー ビ   |
| (87) 国際公開番号        | W02014/207590                 |           | ー5 ユニット107              |
| (87) 国際公開日         | 平成26年12月31日 (2014.12.31)      | (74) 代理人  | 100107766               |
| 審査請求日              | 平成29年4月21日 (2017.4.21)        |           | 弁理士 伊東 忠重               |
| 審査番号               | 不服2019-10630 (P2019-10630/J1) | (74) 代理人  | 100070150               |
| 審査請求日              | 令和1年8月9日 (2019.8.9)           |           | 弁理士 伊東 忠彦               |
| (31) 優先権主張番号       | 61/838, 457                   | (74) 代理人  | 100091214               |
| (32) 優先日           | 平成25年6月24日 (2013.6.24)        |           | 弁理士 大貫 進介               |
| (33) 優先権主張国・地域又は機関 | 米国 (US)                       | (72) 発明者  | レイ, ジブ                  |
|                    |                               |           | オランダ国, 5 6 5 6 アーエー アイン |
|                    |                               |           | ドーフエン, ハイ・テク・キャンパス 5    |
|                    |                               |           | 最終頁に続く                  |

(54) 【発明の名称】 平坦化によってはんだパッド形態差を低減する方法

(57) 【特許請求の範囲】

【請求項 1】

電子デバイスを基板に接合する方法であって、

第1のはんだパッドと、第2のはんだパッドと、前記第1のはんだパッドと前記第2のはんだパッドとの間の、絶縁材料で形成された誘電体層とを有する電子デバイスを設け、前記第1のはんだパッド及び前記第2のはんだパッドは、前記第1のはんだパッド及び前記第2のはんだパッドが上に形成される前記電子デバイスの表面に対して、相異なる高さを有し、

前記第1のはんだパッドの上に前記誘電体層の高さよりも高く第1の金属層部分をめっきし、

前記第1の金属層部分をめっきすることと同時に、前記第2のはんだパッドの上に前記誘電体層の前記高さよりも高く第2の金属層部分をめっきし、

前記第1の金属層及び前記第2の金属層のそれぞれの頂面を同じ平面内にするよう、前記第1の金属層部分及び前記第2の金属層部分を平坦化し、当該平坦化は、前記誘電体層よりも高く延在している前記第1の金属層及び前記第2の金属層の部分のみを除去することを含み、

前記第1の金属層の上に第1のはんだ層を堆積し、且つ

前記第2の金属層の上に第2のはんだ層を堆積する、

ことを有する方法。

【請求項 2】

10

20

前記第1の金属層及び前記第2の金属層は、前記誘電体層と部分的に重なり合う、請求項1に記載の方法。

【請求項3】

前記電子デバイスは半導体チップを含む、請求項1に記載の方法。

【請求項4】

第3のはんだパッドと、第4のはんだパッドとを有する基板上に、前記電子デバイスを位置決めし、

前記第1のはんだ層を前記第3のはんだパッドに接合し、且つ

前記第2のはんだ層を前記第4のはんだパッドに接合する、

ことを更に有する請求項3に記載の方法。

10

【請求項5】

前記第1のはんだ層は、はんだリフローによって前記第3のはんだパッドに接合され、前記第2のはんだ層は、はんだリフローによって前記第4のはんだパッドに接合される、請求項4に記載の方法。

【請求項6】

前記第1のはんだ層は、超音波ボンディングによって前記第3のはんだパッドに接合され、前記第2のはんだ層は、超音波ボンディングによって前記第4のはんだパッドに接合される、請求項4に記載の方法。

【請求項7】

前記平坦化のステップが実行された後、前記第1の金属層及び前記第2の金属層の双方が、前記誘電体層の第2の高さよりも高い第1の高さを有する、請求項1に記載の方法。

20

【請求項8】

前記電子デバイスは発光ダイオードを含む、請求項1に記載の方法。

【請求項9】

前記電子デバイスは集積回路を含む、請求項1に記載の方法。

【請求項10】

前記第1の金属層及び前記第2の金属層の前記それぞれの頂面がある前記平面は、前記第1のはんだパッド及び前記第2のはんだパッドが上に形成される前記電子デバイスの前記表面に平行である、請求項1に記載の方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チップを基板にはんだ接合することに関し、特に、チップ上のパッドと基板上のパッドとの間のはんだ接続の信頼性を向上させる技術に関する。

【背景技術】

【0002】

例えば半導体チップ又はセラミックサブマウントなどのチップの上に金属パッドを設け、そして、それらのパッド上にはんだバンプを置くことが一般的である。パッドは、チップの厚さが様々であることに起因して、あるいはパッドが様々な厚さを有することに起因して、異なる高さを有し得る。そして、チップが、対応する金属パッドを含んだいっそう大きい基板の上に位置付けられ、はんだバンプがリフローされることで、対向するパッドがともに接合されて、チップと基板との間の電気接続が形成される。

40

【0003】

はんだバンプは、何十ミクロンから何百ミクロンの間の高さを有し得る。このような法は典型的に、チップ上のパッド同士の高さの差より何倍も大きく、故に、リフローにおいて、各パッド上に、対向する基板上的パッドへの間隙にまたがる架け橋となるのに十分な体積のはんだが存在する。また、はんだバンプ自体のサイズが幾分異なるが、上記の比較的大きい体積のはんだは、対向する基板上的パッドへの間隙にまたがる架け橋となるのに十分である。

50

## 【0004】

しかしながら、非常に小さいチップパッドでは、あるいは非常に密集したパッドでは、より少ないはんだを使用しなければならない。各パッド上の小さい体積のはんだでは、チップ上のパッドの高さの差が大きすぎることに起因して、リフロー中にはんだバンプと対向パッドとの間の間隙を橋渡しするのに十分でない箇所が存在する。故に、パッドのサイズ及び／又はそれらのピッチが制約される。

## 【0005】

図1A－1C並びに図2A及び2Bは、高さの差を有するパッドとともに不十分なサイズのはんだバンプが使用されることに伴う問題を示している。

## 【0006】

図1Aには、小さいはんだバンプの恩恵を受け得る半導体チップ、セラミックサブマウント又はその他のチップとし得るチップ10が示されている。チップ10は、小さい金属はんだパッド12と、高さ的にはんだパッド12よりも低い小さいはんだ領域14とを有している。チップ10は、このようなパッド12又は領域14のアレイを有し得る。領域14は、パッド12よりも低い高さを持つはんだ取付け領域（これはまた、別の金属パッドであってもよい）を表す。小さいはんだバンプ16及び18が、パッド12及び領域14の上に置かれて、表面上で幾分広がる。はんだバンプ16及び18の体積は同じであると仮定する。パッド12又は領域14がもっと大きいとした場合には、はんだバンプ16及び18は、はんだの表面張力によって球体に似たものとなり得る。

## 【0007】

全ての実施形態において、はんだバンプは、例えば錫、鉛、銀、金、ニッケル、その他の金属、及びこれらの合金など、従来通りとし得る。

## 【0008】

図1Bにて、チップ10が基板20の上に位置付けられる。留意されたいことは、どのように、はんだバンプ16が基板20上の対向する金属パッド22に押し当てられ、しかし、はんだバンプ18が基板20上の対向するパッド24から僅かに離隔されるかである。

## 【0009】

図1Cにて、図1Bの構造が加熱されて、はんだがリフローされる。はんだバンプ16はパッド12と22との間に良好な接合を形成するが、はんだバンプ18は、2つの部分18A及び18Bに分離し、パッド24と領域14との間に信頼性のない接続を形成する。故に、より多くのはんだが必要とされ、また、はんだパッド／領域はもっと大きいのか、もっと隔てられるかを必要とする。従って、パッド／領域の高低差は、はんだパッド／領域のサイズ及び／又は密度を制約する。

## 【0010】

図2Aにおいて、チップ26は、パッド28及びより低い高さのはんだ領域30を、パッド28と領域30との間の誘電体部分32とともに有している。パッド28及び領域30の上に、同じ体積のはんだの、凹状のはんだバンプ34及び36が形成されている。

## 【0011】

図2Bにて、チップ26が基板20の上に位置付けられる。留意されたいことは、どのように、はんだバンプ34が基板20上の対向する金属パッド22に押し当てられ、しかし、はんだバンプ36が基板20上の対向するパッド24から僅かに離隔されるかである。

## 【0012】

リフロー又は超音波ボンディングプロセスにおいて、はんだバンプ36は、対向するパッド24への良好な接続を作り出さないことになる。

## 【0013】

必要とされるのは、チップ上のはんだパッド又ははんだ領域の高さが異なる場合に、はんだバンプを用いて作製される接続の信頼性を向上させる技術である。

## 【発明の概要】

10

20

30

40

50

## 【0014】

一実施形態において、少なくとも2つのパッドが異なる高さを持つチップが形成される。この開示の目的では、パッドは、はんだバンプが置かれるべきチップの如何なる領域をも含み得る。パッドは典型的に、パターンニングされた金属層である。誘電体領域が、パッド間に形成され、パッドよりも大きい高さを有する。

## 【0015】

パッドは、比較的厚い金属層を形成するようにめっきされる。パッドの上の金属層部分は、当該金属が誘電体領域と幾らか重なることに起因して、また、めっきプロセスにおける不均一性に起因して平面的でない。他の金属堆積技術も使用され得るが、めっきは、数ある利点の中でとりわけ、より微細なレゾリューションをもたらし得る。

10

## 【0016】

次いで、化学機械研磨（CMP）プロセス（又はその他の平坦化プロセス）を実行して、誘電体領域よりも幾らか上方の高さまで、金属層部分が平坦化される。この段階で、金属層部分は、全てが同じ平面内のはんだパッドを形成する。

## 【0017】

次いで、平坦化された金属層の上に、例えばめっき、スクリーン印刷、又はその他の手段などによって、均一なはんだ層が形成される。故に、金属層部分の上に得られるはんだ層は、実質的に同じ平面内にあるはずである。

## 【0018】

ブランケット（全面）シード層と該シード層の上のパターンニングされたレジスト層とを用いてめっきを行った場合、その後、レジスト層とその下にあったシード層とがエッチング除去されて、金属パッド同士が電氣的に分離される。

20

## 【0019】

そして、得られたはんだ部分が、基板の対応するパッドに接合され得る。斯くなる接続は、非常に少量のはんだのみで高い信頼性を持つ。パッドは、はんだがパッド同士を短絡させることなく、非常に小さく且つ／或いは非常に密集して製造され得る。

## 【0020】

頻繁に、はんだバンプは例えば金などの貴金属で形成されている。本プロセスは、信頼性ある相互接続に必要なはんだの量を大いに削減して、相当なコストを節減する。

## 【0021】

このプロセスは、個片化後の個々のチップに対して行われてもよいし、個片化前にウェハスケールで行われてもよい。

30

## 【0022】

様々なその他の実施形態も開示される。

## 【0023】

ウェハの後続処理のために半導体ウェハを平坦化することは、よく知られており、米国特許第6,746,317号に記載されている。本発明のプロセスは、チップ表面よりも上の高さにあるはんだパッドのみを平坦化する。

## 【0024】

例えば米国特許第5,901,437号及び6,660,944号などに記載されるように、はんだバンプ自体を平坦化することも知られている。しかしながら、はんだバンプはパッドに対して弱い接合を有するので、そのような平坦化ははんだバンプを払い落とししまい得る。また、そのような平坦化は、比較的軟らかいはんだバンプを横に広げて、信頼性問題を引き起こし得る。

40

## 【0025】

本プロセスは、従来技術に伴うこのような欠点を回避するものである。

## 【図面の簡単な説明】

## 【0026】

【図1A】異なる高さのはんだパッド又ははんだ領域を有する従来技術チップの簡略化した断面図であり、異なる高さを持つはんだバンプを生じさせて。

50

【図 1 B】基板の上に位置付けられた図 1 A のチップを示している。

【図 1 C】リフロー後の図 1 B の構造を示しており、はんだバンプの異なる高さに起因して低い信頼性の電気接続を生じさせている。

【図 2 A】異なる高さのはんだパッド又ははんだ領域を有する従来技術チップの簡略化した断面図であり、異なる高さを持つ凹状のはんだバンプを生じさせている。

【図 2 B】基板の上に位置付けられた図 2 A のチップを示しており、はんだバンプの異なる高さに起因して低い信頼性の電気接続を生じさせている。

【図 3】はんだパッド又ははんだ領域が異なる高さを有するとともにはんだパッド／領域間に誘電体部分が形成されたチップの簡略化したトポロジーを示している。

【図 4】ブランケット堆積された金属シード層と、めっきされるべきでない部分の上に形成された、パターニングされたレジスト層とを示している。

【図 5】めっきプロセス後のチップを示している。

【図 6】チップとともに、平坦化目標を破線として示している。

【図 7】金属パッドの頂面が同じ平面内になるように金属パッドを平らにする平坦化の後のチップを示している。

【図 8】金属パッドを覆って堆積された均一なはんだ層を示している。

【図 9】レジスト除去及びシード層エッチバックを示している。

【図 10】基板の上に位置付けられた結果チップを示しており、リフロープロセスがはんだに対向パッド間の信頼性ある接合を形成させるよう、全てのパッド上のはんだが、基板上の対応するパッドと接触するか、実体のない距離だけ隔てられるかの何れかになっている。

【図 11】金属層及びレジスト層の双方が後に平坦化されるよう、どのようにしてめっき金属層がレジスト層よりも低く形成され得るか示している。

【図 12】本発明の一実施形態にて使用され得る様々な工程を特定するフローチャートである。同じ又は同様である要素には同じ参照符号を付している。

【発明を実施するための形態】

【0027】

概して、本発明は、チップと基板との間に信頼性ある接続が作り出されることを確保するのに、より少ないはんだを使用することを可能にする。本発明は、はんだパッドが小さく且つ／或いは密集されることが望まれる場合に特に有用である。

【0028】

図 3 は、例えばフリップチップ発光ダイオード（LED）、集積回路、セラミックサブマウント、インターポーザなどの電子デバイスとし得るチップ 40 を示している。

【0029】

チップ 40 上にはんだパッド 42 が形成されている。パッド 42 は、半導体領域と接触している金属層とすることができ、あるいは、パッド 42 は、それ自体が半導体層であってもよい。金属接続が必要とされる別の金属パッド又は半導体領域とし得る領域 44 も示されている。パッド 42 及び領域 44 は、はんだ相互接続が為されるべき 2 つの異なる開始高さの領域を含む例示的な一実施形態である。パッド 42 及び領域 44 はどちらも異なる高さを持つ金属層であるとし得る。高さの差は、ほんの数ミクロンであってもよい。

【0030】

パッド 42 及び領域 44 は、チップ 40 の中又は上の半導体領域又はその他の回路に電氣的に接続され得る。

【0031】

パターニングされた誘電体層 46 が、パッド 42 と領域 44 との間、及び保護されるべきその他の領域の上に形成されている。

【0032】

図 4 にて、チップ 40 の表面を覆って、例えばスパッタリングなどによって、金属シード層 48 が堆積される。シード層 48 は、例えば銅又はその他の好適材料など、当該シード層の上にめっきされることになるのと同じ金属であってもよいし、異なる導電材料であ

10

20

30

40

50

ってもよい。

#### 【0033】

めっきプロセスが、めっきされる領域の全てに電位を与えることを必要とする場合、シード層48は、所望の電位の導電表面を提供する。パターニングされたレジスト層50が、めっきされるべきでないシード層48の部分の上に形成される。

#### 【0034】

図5にて、例えばチップのエッジなどにおいてシード層48に電位が結合されるとともに、チップがめっき溶液に浸漬される。銅電極（又は堆積されるその他の金属）もめっき溶液に浸漬され、銅原子がシード層48に移動して比較的厚いめっき層52を形成する。層52は、10ミクロンより厚いとし得る。無電解めっきも使用され得る。使用されるめ 10  
っき技術は、従来通りとすることができ、詳細に記述される必要はない。多様な金属が堆積され得る。シード層は、めっき層52と統合されると想定されるので、もはや図示していない。

#### 【0035】

シード層48が誘電体層46のエッジ周りで露出されているので、めっき層52は誘電体層46の上まで幾分延在している。めっき層52は、不規則な形状又はマッシュルーム形状を取り得る。めっき層52は、チップ40の表面に対して高めの箇所と低めの箇所とを有し得る。他の例では、めっき層52は、比較的平滑であり得るが、チップ40に対する最低箇所をなおも有することになる。

#### 【0036】

図6は、めっき層52の最低箇所よりも幾分下方の目標平坦化ライン56を示している。平坦化ライン56は、誘電体層46と同じ高さ又はそれより上方とし得る。 20

#### 【0037】

図7にて、CMPプロセス又はその他の平坦化プロセスが実行されて、めっき層52が平坦化ライン56（図6）まで平坦化される。留意されたいことには、めっき層52は依然としてレジスト層50の上まで延在しており、故に、この平坦化は、唯一の材料を平坦化するのみである。もはや、めっき層全ての頂面が同じ平面にある。

#### 【0038】

図8にて、平坦化されためっき層52を覆って、比較的薄くて均一なはんだ層58が堆積され、各パッド42及び領域44の上のはんだ層58の頂面が実質的に平面であるようにされる。はんだ層58は、スクリーン印刷、めっき、スパッタリング、又はその他の好適手法によって堆積され得る。はんだ層58は、例えば金、錫、銀、ニッケル、若しくはその他の金属、及びこれらの合金など、従来からの金属又は組み合わせ金属とし得る。はんだ層58は、めっき層52の平坦面のおかげで、非常に薄く作製され得る。これは、そのはんだが貴金属である場合に、相当なコスト節減をもたらす。めっき層52とはんだ層58との間に、例えばめっき層52に対する濡れ広がり又は接合の改善などのために、1つ以上の界面層が置かれてもよい。 30

#### 【0039】

図9にて、レジスト層50及び露出されたシード層48がエッチング除去されて、各めっき層52部分の上のはんだ層58が電氣的に分離（アイソレート）される。典型的に、 40  
このエッチングは化学エッチングである。

#### 【0040】

図10は、基板62の上に位置付けられた結果チップ40を示しており、リフロープロセスがはんだ層58に対向パッド間の信頼性ある接合を形成させるよう、はんだ層58は、基板62上の対応する金属パッド64と接触するか、実体のない距離だけ隔てられるかの何れかとなっている。基板62は、印刷回路基板、サブマウント、別のチップ、インターポーザ、又はその他の種類の基板とし得る。

#### 【0041】

超音波ボンディングプロセスが使用される場合、ボンディングプロセスの圧力が、はんだ層58をパッド64に押し当てながら、はんだ層58を軟化させてパッド64と融合さ 50

せる。故に、全てのはんだ層 58 部分とパッド 64 との間に信頼性ある接続が存在することになる。

【0042】

図 11 は、金属層 65 及びレジスト層 66 の双方が後に同じ平坦化プロセスで平坦化されるよう、どのようにしてめっき金属層 65 がチップ 67 上でレジスト層 66 よりも低く形成され得るか示している。目標平坦化ライン 68 が示されている。

【0043】

図 12 は、本発明の一実施形態にて使用され得る様々な工程を特定するフローチャートである。

【0044】

工程 70 にて、異なる高さを有し得るはんだパッドがチップに設けられる。

【0045】

工程 72 にて、例えばめっき等により、はんだパッドの上に比較的厚い金属層が堆積される。

【0046】

工程 74 にて、各パッド上の金属層の頂面が同じ平面内となるように金属層が平坦化される。

【0047】

工程 76 にて、各パッド上のはんだの頂面が同じ平面内となるように、平坦化された金属層の上に実質的に均一な薄さのはんだ層が堆積される。

【0048】

工程 78 にて、対応する金属パッドを有する基板の上にチップが位置付けられ、はんだが基板パッドにリフローあるいは超音波ボンディングされる。

【0049】

本発明は、チップが個片化されるのに先立ってウェハスケールで実行されてもよいし、チップが個片化された後に実行されてもよい。

【0050】

本発明は、はんだパッドを有する任意の 2 つの対向表面の間のはんだ接続を改善することに適用可能であり、チップに限定されるものではない。

【0051】

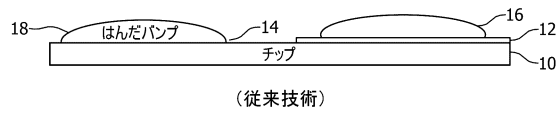
本発明の特定の実施形態を図示して説明したが、当業者に明らかなように、より広い観点での本発明を逸脱することなく変形及び変更が為され得るのであり、故に、添付の請求項は、その範囲内に、本発明の真の精神及び範囲に入るそのような変形及び変更の全てを包含するものである。

10

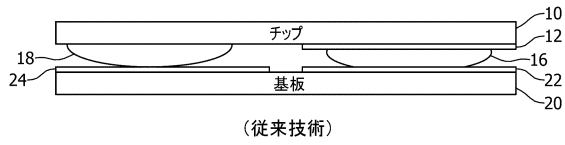
20

30

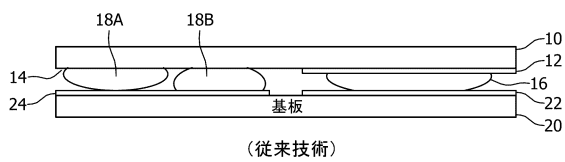
【図 1 A】



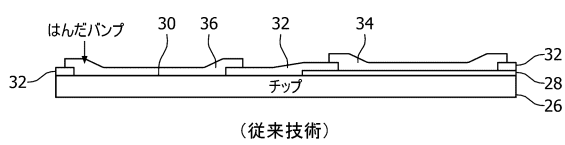
【図 1 B】



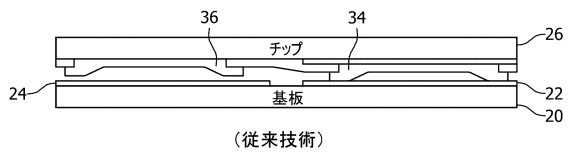
【図 1 C】



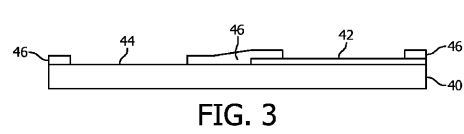
【図 2 A】



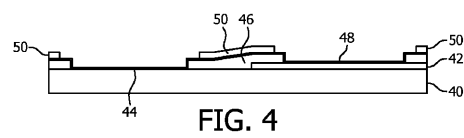
【図 2 B】



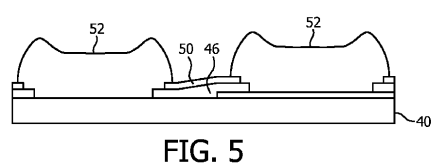
【図 3】



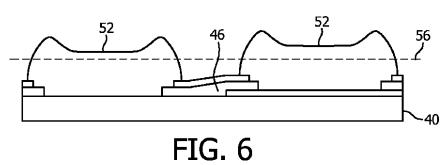
【図 4】



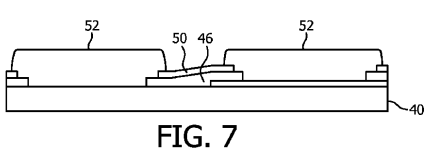
【図 5】



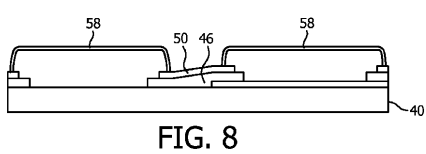
【図 6】



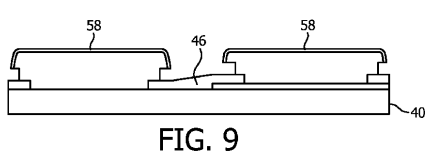
【図 7】



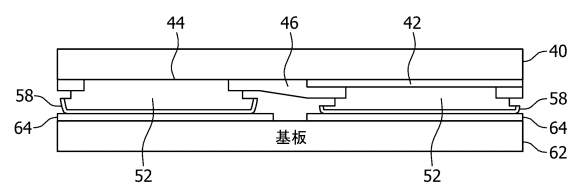
【図 8】



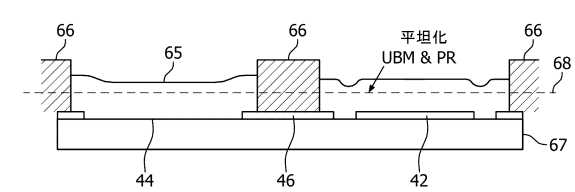
【図 9】



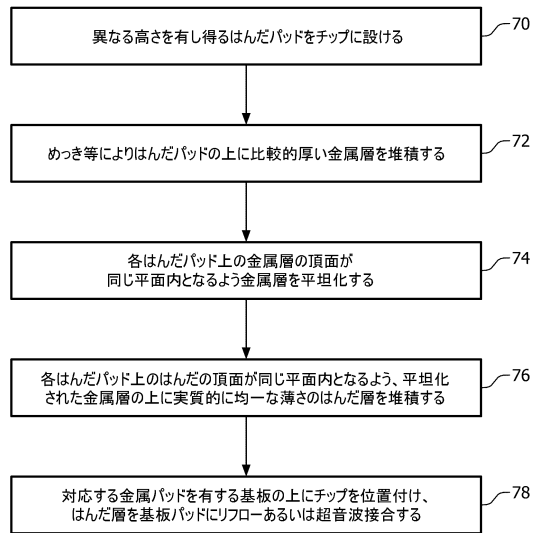
【図 10】



【図 11】



【図 12】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/607 B

(72)発明者 スキアッフィーノ, ステファノ  
オランダ国, 5 6 5 6 アーエー アインドーフエン, ハイ・テク・キャンパス 5  
(72)発明者 ニッケル, アレクサンデル ハー  
オランダ国, 5 6 5 6 アーエー アインドーフエン, ハイ・テク・キャンパス 5  
(72)発明者 ング, ムーイ グアン  
オランダ国, 5 6 5 6 アーエー アインドーフエン, ハイ・テク・キャンパス 5  
(72)発明者 アクラム, サルマン  
オランダ国, 5 6 5 6 アーエー アインドーフエン, ハイ・テク・キャンパス 5

合議体

審判長 五十嵐 努

審判官 井上 信一

審判官 山本 章裕

(56)参考文献 特開 2 0 0 2 - 1 3 4 5 4 5 (J P, A)  
国際公開第 2 0 0 8 / 0 6 5 9 2 6 (W O, A 1)

(58)調査した分野(Int.Cl., D B名)

H01L 21/60

H01L 23/12