

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5722654号
(P5722654)

(45) 発行日 平成27年5月27日(2015.5.27)

(24) 登録日 平成27年4月3日(2015.4.3)

(51) Int.Cl.

F 1

HO1L 27/146	(2006.01)	HO1L 27/14	C
HO4N 5/369	(2011.01)	HO4N 5/335	690
HO4N 5/374	(2011.01)	HO4N 5/335	740
HO1L 29/786	(2006.01)	HO1L 29/78	613Z
		HO1L 29/78	618B

請求項の数 6 (全 24 頁)

(21) 出願番号 特願2011-29305 (P2011-29305)
 (22) 出願日 平成23年2月15日 (2011.2.15)
 (65) 公開番号 特開2011-192976 (P2011-192976A)
 (43) 公開日 平成23年9月29日 (2011.9.29)
 審査請求日 平成25年11月19日 (2013.11.19)
 (31) 優先権主張番号 特願2010-34173 (P2010-34173)
 (32) 優先日 平成22年2月19日 (2010.2.19)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 上妻 宗広
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 安田 雅彦

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1のトランジスタと、第2のトランジスタと、フォトダイオードと、絶縁層と、を有し、

前記第1のトランジスタは、前記フォトダイオードによって生成された電気信号を転送する機能を有し、

前記第2のトランジスタは、前記電気信号に対応する信号を増幅する機能を有し、

前記第1のトランジスタと前記第2のトランジスタのゲート電極との間、及び、前記第1のトランジスタと前記フォトダイオードとの間には、前記絶縁層が設けられ、

前記絶縁層は、前記第2のトランジスタのゲート電極の上方に設けられ、

前記第1のトランジスタは、前記絶縁層の上方に設けられ、

前記第1のトランジスタのチャネルは、酸化物半導体に形成され、

前記第2のトランジスタのチャネルは、シリコンに形成されることを特徴とする半導体装置。

【請求項 2】

第1のトランジスタと、第2のトランジスタと、フォトダイオードと、絶縁層と、を有し、

前記第1のトランジスタは、前記フォトダイオードによって生成された電気信号を転送する機能を有し、

前記第2のトランジスタは、前記電気信号に対応する信号を増幅する機能を有し、

10

20

前記第1のトランジスタと前記第2のトランジスタのゲート電極との間には、前記絶縁層が設けられ、

前記絶縁層は、前記第2のトランジスタのゲート電極の上方に設けられ、

前記第1のトランジスタは、前記絶縁層の上方に設けられ、

前記第1のトランジスタのチャネルは、酸化物半導体に形成され、

前記第2のトランジスタのチャネルは、シリコンに形成されることを特徴とする半導体装置。

【請求項3】

第1のトランジスタと、第2のトランジスタと、光電変換素子と、絶縁層と、を有し、

前記第1のトランジスタは、前記光電変換素子によって生成された電気信号を転送する機能を有し、

前記第2のトランジスタは、前記電気信号に対応する信号を増幅する機能を有し、

前記第1のトランジスタと前記第2のトランジスタのゲート電極との間、及び、前記第1のトランジスタと前記光電変換素子との間には、前記絶縁層が設けられ、

前記絶縁層は、前記第2のトランジスタのゲート電極の上方に設けられ、

前記第1のトランジスタは、前記絶縁層の上方に設けられ、

前記第1のトランジスタのチャネルは、酸化物半導体に形成され、

前記第2のトランジスタのチャネルは、シリコンに形成されることを特徴とする半導体装置。

【請求項4】

第1のトランジスタと、第2のトランジスタと、光電変換素子と、絶縁層と、を有し、

前記第1のトランジスタは、前記光電変換素子によって生成された電気信号を転送する機能を有し、

前記第2のトランジスタは、前記電気信号に対応する信号を増幅する機能を有し、

前記第1のトランジスタと前記第2のトランジスタのゲート電極との間には、前記絶縁層が設けられ、

前記絶縁層は、前記第2のトランジスタのゲート電極の上方に設けられ、

前記第1のトランジスタは、前記絶縁層の上方に設けられ、

前記第1のトランジスタのチャネルは、酸化物半導体に形成され、

前記第2のトランジスタのチャネルは、シリコンに形成されることを特徴とする半導体装置。

【請求項5】

請求項1又は請求項2において、

前記フォトダイオードは、p型の第1の領域と、i型の第2の領域と、n型の第3の領域と、を有し、

前記第1の領域と前記第3の領域とは重ならず、

前記第1の領域又は前記第3の領域は、前記酸化物半導体と重なる領域を有し、

前記第2の領域は、前記酸化物半導体と重ならないことを特徴とする半導体装置。

【請求項6】

請求項3又は請求項4において、

前記光電変換素子は、p型の第1の領域と、i型の第2の領域と、n型の第3の領域と、を有し、

前記第1の領域と前記第3の領域とは重ならず、

前記第1の領域又は前記第3の領域は、前記酸化物半導体と重なる領域を有し、

前記第2の領域は、前記酸化物半導体と重ならないことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

技術分野は、フォトセンサ及びフォトセンサを有する半導体装置に関する。また、それらの駆動方法に関する。

【背景技術】**【0002】**

近年、光を検出するセンサ（「フォトセンサ」ともいう）を搭載した半導体装置が注目されている（特許文献1参照）。

【0003】

フォトセンサを有する半導体装置として、CCD方式のイメージセンサやCMOS方式のイメージセンサなどが挙げられる。これらのイメージセンサは、例えば、デジタルスチルカメラや携帯電話などの電子機器に用いられている。また、フォトセンサを表示部に設けた半導体装置として、タッチパネル等が開発されている。

【0004】

フォトセンサを有する半導体装置では、被検出物から発せられる光、もしくは被検出物により反射された外光などを、フォトセンサで直接検出もしくは光学レンズなどを用いて集光した後に検出する。

【先行技術文献】**【特許文献】****【0005】****【特許文献1】特開2001-292276号公報****【発明の概要】****【発明が解決しようとする課題】****【0006】**

フォトセンサにおいて、光検出の精度を向上させることを目的の一とする。

【0007】

また、フォトセンサの回路構成について、新規なレイアウト又は構造を提供することを目的の一とする。特に、受光面積を広くすることを目的の一とする。

【課題を解決するための手段】**【0008】**

本発明の一態様は、光を電気信号に変換する受光素子と、電気信号を転送する第1のトランジスタと、電気信号を増幅する第2のトランジスタとを有し、受光素子はシリコン半導体を用いて形成され、第1のトランジスタは酸化物半導体を用いて形成されている半導体装置である。

【0009】

また、受光素子は横型接合タイプのフォトダイオードであり、受光素子が有するn層又はp層と、第1のトランジスタとが重なって形成されている。

【0010】

また、受光素子は、第2のトランジスタと同一表面上に形成されている。

【0011】

また、受光素子の受光領域上に形成された配線は、透光性を有する材料を用いて形成されている。

【0012】

本明細書において、半導体装置とは、半導体の性質を持つ物及びそれを有する物全般を指す。例えば、トランジスタを有する表示装置を単に半導体装置と呼ぶこともある。

【発明の効果】**【0013】**

フォトセンサにおいて、電気信号を転送する第1のトランジスタを酸化物半導体を用いて形成することで、第1のトランジスタのオフ状態でのリーコン电流を低減でき、光検出の精度を向上させることができる。

【0014】

また、受光素子が有するn層又はp層と、第1のトランジスタとが重なって形成されることで、受光素子の受光面積を大きくすることができる。そのため、受光感度を高めることができ、光検出の精度を向上させることができる。

10

20

30

40

50

【0015】

また、受光領域上に設けられた配線を透光性を有する材料を用いて形成することで、受光面積を広げることができる。そのため、受光感度を高めることができ、光検出の精度を向上させることができる。

【図面の簡単な説明】

【0016】

【図1】半導体装置の回路の一例を示す図。

【図2】半導体装置のレイアウトの一例を示す図。

【図3】半導体装置のレイアウトの一例を示す図。

【図4】半導体装置のレイアウトの一例を示す図。

【図5】半導体装置のレイアウトの一例を示す図。

【図6】半導体装置のレイアウトの一例を示す図。

【図7】半導体装置の回路の一例を示す図。

【図8】半導体装置のレイアウトの一例を示す図。

【図9】半導体装置のレイアウトの一例を示す図。

【図10】半導体装置のレイアウトの一例を示す図。

【図11】半導体装置のレイアウトの一例を示す図。

【図12】半導体装置のレイアウトの一例を示す図。

【図13】半導体装置の回路の一例を示す図。

【図14】半導体装置のレイアウトの一例を示す図。

【図15】半導体装置のレイアウトの一例を示す図。

【図16】半導体装置のレイアウトの一例を示す図。

【図17】半導体装置のレイアウトの一例を示す図。

【図18】半導体装置のレイアウトの一例を示す図。

【図19】半導体装置の断面構造の一例を示す図。

【図20】半導体装置の断面構造の一例を示す図。

【図21】半導体装置の回路の一例を示す図。

【図22】半導体装置のレイアウトの一例を示す図。

【図23】半導体装置の断面構造の一例を示す図。

【図24】半導体装置の断面構造の一例を示す図。

【図25】半導体装置の一例を示す図。

【図26】半導体装置の一例を示す図。

【図27】半導体装置の回路の一例を示す図。

【図28】半導体装置の特性を示す図。

【図29】タイミングチャート。

【発明を実施するための形態】

【0017】

以下に、実施の形態について、図面を用いて詳細に説明する。但し、以下の実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従つて、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

【0018】

(実施の形態1)

本実施の形態では、半導体装置の回路及びレイアウトについて説明する。

【0019】

図1は、フォトセンサの回路図の一例である。

【0020】

フォトセンサは、フォトダイオード100、トランジスタ101、トランジスタ102

10

20

30

40

50

、トランジスタ103、及びトランジスタ104を有する。

【0021】

フォトダイオード100は、光を電気信号（電荷）に変換する機能を有する。フォトダイオードに限らず、フォトトランジスタ等の該機能を有する受光素子を用いてもよい。

【0022】

トランジスタ101は、変換された電気信号を転送し、トランジスタ103のゲートに供給する機能を有する。そのため、転送トランジスタとも呼ぶ。

【0023】

トランジスタ102は、トランジスタ103のゲート電位のリセットを制御し、所定の電位にする機能を有する。そのため、リセットトランジスタとも呼ぶ。

10

【0024】

トランジスタ103は、転送された電気信号を増幅し、出力信号を生成する機能を有する。そのため、増幅トランジスタとも呼ぶ。なお、ここで増幅とは、ゲート電位によりソースとドレインと間の電流値を制御することを指す。

【0025】

トランジスタ104は、出力信号の読み出しを制御する機能を有する。例えば、複数のフォトセンサのうち所定のフォトセンサからの出力を選択するため、選択トランジスタとも呼ぶ。

【0026】

図1の回路では、トランジスタ101は、ゲートが配線106（電荷制御信号線とも呼ぶ）に電気的に接続され、ソース又はドレインの一方がフォトダイオード100の一方の電極に電気的に接続され、他方がトランジスタ102のソース又はドレインの一方及びトランジスタ103のゲートに電気的に接続されている。トランジスタ102は、ゲートが配線107（リセット信号線とも呼ぶ）に電気的に接続され、ソース又はドレインの他方が配線108（電源供給線とも呼ぶ）に電気的に接続されている。トランジスタ103は、ソース又はドレインの一方が配線108に電気的に接続され、他方がトランジスタ104のソース又はドレインの一方電気的に接続されている。トランジスタ104は、ゲートが配線109（選択信号線とも呼ぶ）に電気的に接続され、ソース又はドレインの他方が配線110（出力線とも呼ぶ）に電気的に接続されている。なお、フォトダイオード100の他方の電極は配線120に電気的に接続されている。配線120の電位は、固定電位（例えばグランド）又は可変とし、所望の電位とすればよい。

20

【0027】

図2は、フォトセンサのレイアウトの一例である。

【0028】

フォトセンサは、受光素子（フォトダイオード100）、4つのトランジスタ101～104を有している。フォトダイオード100は、横型接合タイプのpinフォトダイオードであり、n層201、i層202及びp層203を同一表面上に有する。そして、n層201上にトランジスタ101及びトランジスタ102が形成されている。受光領域ではないn層201上にトランジスタ101の一部又は全部が重なるようなレイアウトとすることで、受光面積を広くすることができる。

30

【0029】

なお、受光領域ではないp層203上にトランジスタ101を形成してもよい。また、フォトダイオード100は、i層を設けずpinフォトダイオードとしてもよい。

【0030】

本実施の形態では、トランジスタ101及びトランジスタ102は、酸化物半導体を用いて形成することが好ましい。このようにすることで、トランジスタ103のゲートに供給された電気信号がトランジスタ101及びトランジスタ102からリークすることを低減できる。なぜなら、酸化物半導体を用いたトランジスタはオフ状態でのリーク電流が小さいためである。したがって、光検出を精度良く行うことができる。特に、受光から読み出しまでの時間が長い場合に有効である。

40

50

【0031】

また、複数のフォトセンサを有する半導体装置（例えば図25、図26）において、受光から読み出しまでの時間がフォトセンサ毎に異なる場合にも有効である。例として、受光を全てのフォトセンサで同時に読み出しを1ライン毎に順次行う構成が挙げられる。

【0032】

なお、フォトダイオード100、トランジスタ103、及びトランジスタ104は、同一の半導体材料を用いて形成されている。同一表面上に同一工程で形成することができるため、コストを低減することができる。また、移動度の高い半導体を用いることで、フォトダイオード100の量子効率の向上、トランジスタ103での増幅及びトランジスタ104での読み出しが良好になる。ここでは、結晶性半導体を用いる。特に、単結晶シリコンを用いることが好ましい。ただし、必要に応じて他の半導体を用いてもよい。非晶質半導体又は酸化物半導体等が挙げられる。

【0033】

図3～図6は、フォトセンサのレイアウトの他の一例であり、フォトダイオード100の受光面積が図2と異なる。

【0034】

なお、図3、図5及び図6は、フォトダイオード100の受光領域（ここではi層202）に重なる配線（導電層130）が透光性を有する材料で形成されている。光は、導電層130を透過してi層202に入射される。したがって、受光面積を広げることができる。

【0035】

ここで、透光性を有する材料は、例えばインジウム錫酸化物（ITO）、酸化珪素を含むインジウム錫酸化物（ITSO）、有機インジウム、有機スズ、酸化亜鉛、インジウム亜鉛酸化物（IZO）、ガリウムを含む酸化亜鉛、酸化スズ、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。

【0036】

更に、図3は、フォトダイオードのi層202に重なってトランジスタ101及びトランジスタ102が形成されている。これは、酸化物半導体が透光性を有することを利用するものであり、光は、トランジスタ101、トランジスタ102、及び導電層130を透過してi層202に入射される。したがって、受光面積を広げることができる。

【0037】

以上のように、受光面積を拡大することで受光感度を高めることができる。そのため、光検出の精度を向上させることができる。

【0038】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0039】**(実施の形態2)**

本実施の形態では、半導体装置の回路及びレイアウトについて、実施の形態1と異なる例を示す。

【0040】

図7は、フォトセンサの回路図の一例であり、図1の回路からトランジスタ102を除いた構成である。

【0041】

そして、図8～図12は、図7の回路におけるレイアウトの例であり、それぞれ図2～6のレイアウトからトランジスタ102を除いた構成である。素子数が減るため、受光面積を広げることができる。

【0042】

また、図13は、フォトセンサの回路図の一例であり、図1の回路からトランジスタ10

10

20

30

40

50

2及びトランジスタ104を除いた構成である。

【0043】

そして、図14～図18は、図13の回路におけるレイアウトの例であり、それぞれ図2～図6のレイアウトからトランジスタ102及びトランジスタ104を除いた構成である。素子数が減るため、更に受光面積を広げることができる。

【0044】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0045】

(実施の形態3)

本実施の形態では、半導体装置の断面構造について説明する。

10

【0046】

図19は、図1～図18におけるフォトセンサの断面図である。

【0047】

図19では、絶縁表面を有する基板1001上に、フォトダイオード1002、トランジスタ1003、及びトランジスタ1004が設けられている。それぞれ、図1～図18におけるフォトダイオード100、トランジスタ103、及びトランジスタ101の断面構造の一例を示している。

【0048】

被検出物1201から発せられる光1202、被検出物1201により反射された光1202(外光など)、又は装置内部から発せられた光が被検出物1201で反射した光1202が、フォトダイオード1002に入射される。基板1001側の被検出物を撮像する構成としてもよい。

20

【0049】

基板1001は、絶縁性基板(例えばガラス基板又はプラスチック基板)、該絶縁性基板上に絶縁膜(例えば酸化珪素膜又は窒化珪素膜)を形成したもの、半導体基板(例えばシリコン基板)上に該絶縁膜を形成したもの、又は金属基板(例えばアルミニウム基板)上に該絶縁膜を形成したものを用いることができる。

【0050】

フォトダイオード1002は、横型接合タイプのpinフォトダイオードであり、半導体膜1005を有している。半導体膜1005は、p型の導電性を有する領域(p層1021)と、i型の導電性を有する領域(i層1022)と、n型の導電性を有する領域(n層1023)とを有している。なお、フォトダイオード1002は、pnフォトダイオードであっても良い。

30

【0051】

横型接合タイプのpinフォトダイオード又はpnフォトダイオードは、p型を付与する不純物と、n型を付与する不純物とを、それぞれ半導体膜1005の特定の領域に添加することで、形成することが出来る。

【0052】

フォトダイオード1002は、入射光から生成される電気信号の割合(量子効率)を向上させるために、結晶欠陥の少ない単結晶半導体(例えば単結晶シリコン)を用いて半導体膜1005を形成することが好ましい。

40

【0053】

トランジスタ1003は、トップゲート型の薄膜トランジスタであり、半導体膜1006、ゲート絶縁膜1007、及びゲート電極1008を有している。

【0054】

トランジスタ1003は、フォトダイオード1002から供給される電気信号を出力信号に変換する機能を有する。そのため、単結晶半導体(例えば単結晶シリコン)を用いて半導体膜1006を形成し、移動度の高いトランジスタとすることが好ましい。

【0055】

半導体膜1005及び半導体膜1006を、単結晶半導体を用いて形成する例を示す。

50

単結晶半導体基板（例えば単結晶シリコン基板）の所望の深さに、イオン照射等を行い損傷領域を形成する。当該単結晶半導体基板と基板1001とを絶縁膜を介して貼り合わせた後、損傷領域から単結晶半導体基板を分離して、基板1001上に半導体膜を形成する。当該半導体膜をエッティングなどにより所望の形状に加工（パターニング）することで、半導体膜1005及び半導体膜1006を形成する。半導体膜1005と半導体膜1006を同一工程で形成することができるため、コストを低減できる。これにより、フォトダイオード1002とトランジスタ1003とは同一表面上に形成されることになる。

【0056】

なお、半導体膜1005及び半導体膜1006は、非晶質半導体、微結晶半導体、多結晶半導体、酸化物半導体などを用いて形成することもできる。特に、単結晶半導体を用いることで移動度の高いトランジスタとすることが望ましい。また、半導体材料は、結晶性を向上させることが容易であるシリコン又はシリコンゲルマニウム等のシリコン半導体を用いることが好ましい。10

【0057】

ここで、フォトダイオード1002の量子効率を向上させるため、半導体膜1005を厚く形成することが好ましい。更に、トランジスタ1003のS値等の電気特性を良好にするため、半導体膜1006を薄く形成することが好ましい。この場合、半導体膜1005は、半導体膜1006より厚く形成すればよい。

【0058】

また、図2～図12におけるトランジスタ1004についても、結晶性半導体を用い、移動度が高いトランジスタとすることが望ましい。トランジスタ1003と同じ半導体材料を用いることで、トランジスタ1003と同一工程で形成することができ、コストを低減できる。20

【0059】

なお、ゲート絶縁膜1007は、酸化珪素膜又は窒化珪素膜等を用いて、単層又は積層で形成する。プラズマCVD法又はスパッタリング法を用いて形成すればよい。

【0060】

なお、ゲート電極1008は、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、又はこれらを主成分とする合金材料を用いて、単層又は積層で形成する。スパッタリング法又は真空蒸着法を用いて形成すればよい。30

【0061】

また、トランジスタ1003は、ボトムゲート型としてもよく、チャネルトップ構造又はチャネルエッチ構造とすることもできる。

【0062】

トランジスタ1004は、ボトムゲート型の逆スタガ構造の薄膜トランジスタであり、ゲート電極1010、ゲート絶縁膜1011、半導体膜1012、電極1013、電極1014を有する。また、トランジスタ1004上に絶縁膜1015を有する。

【0063】

ここでトランジスタ1004は、フォトダイオード1002及びトランジスタ1003の上方に絶縁膜1009を介して形成されていることを特徴とする。このようにトランジスタ1004をフォトダイオード1002と異なる表面上に形成することで、フォトダイオード1002の面積を広げることができる。40

【0064】

また、トランジスタ1004の一部又は全部が、フォトダイオード1002のn層1023又はp層1021のいずれかと重なるように形成することが好ましい。このようにすることで、フォトダイオード1002の受光面積を拡大できる。pnフォトダイオードの場合も、トランジスタ1004の一部又は全部が、n層又はp層と重なるように形成することが好ましい。

【0065】

トランジスタ 1004 は、フォトダイオード 1002 が供給する電気信号をトランジスタ 1003 のゲートに累積し、また、当該電気信号を保持する機能を有する。そのため、酸化物半導体を用いて半導体膜 1012 を形成し、オフ電流が極めて低いトランジスタとすることが好ましい。

【0066】

また、図 1 ~ 図 6 のトランジスタ 102 についても、酸化物半導体を用いて、オフ電流が低いトランジスタとすることが望ましい。トランジスタ 1004 と同じ半導体材料を用いることで、トランジスタ 1004 と同一工程で同一表面上に形成することができ、コストを低減できる。 n 層 1023 又は p 層 1021 と重なるように形成することで、受光面積を広げることができる。

10

【0067】

以下に、半導体膜 1012 を、酸化物半導体を用いて形成する例を示す。

【0068】

トランジスタのオフ電流を大きくする要因として、酸化物半導体中に水素等の不純物（例えば水素、水、又は水酸基）が含まれていることが挙げられる。水素等は、酸化物半導体中でキャリアの供与体（ドナー）になる可能性があり、オフ状態においても電流を発生させる要因となる。すなわち、酸化物半導体中に水素等が多量に含まれていると、酸化物半導体が N 型化されてしまう。

【0069】

そこで、以下で示す作製方法は、酸化物半導体中の水素を極力低減し、且つ、構成元素である酸素の濃度を高くすることで、酸化物半導体を高純度化するものである。高純度化された酸化物半導体は、真性又は実質的に真性な半導体であり、オフ電流を小さくすることができます。

20

【0070】

まず、絶縁膜 1009 上に、酸化物半導体膜をスパッタリング法により形成する。

【0071】

酸化物半導体膜のターゲットとしては、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。例えば、組成比として、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ 、すなわち、 $In : Ga : Zn = 1 : 1 : 0.5$ のターゲットを用いることができる。また、 $In : Ga : Zn = 1 : 1 : 1$ 、又は $In : Ga : Zn = 1 : 1 : 2$ の組成比を有するターゲットを用いることもできる。また、 SiO_2 を 2 重量 % 以上 10 重量 % 以下含むターゲットを用いることもできる。

30

【0072】

なお、酸化物半導体膜の成膜の際は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス及び酸素混合雰囲気下とすればよい。ここで、酸化物半導体膜を成膜する際に用いるスパッタガスは、水素、水、水酸基又は水素化物などの不純物の濃度が ppm レベル、好ましくは ppb レベルまで除去された高純度ガスを用いる。

【0073】

酸化物半導体膜は、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入して成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。

40

【0074】

酸化物半導体膜の膜厚は、2 nm 以上 200 nm 以下とすればよく、好ましくは 5 nm 以上 30 nm 以下とする。そして、酸化物半導体膜にエッティング等を行い、所望の形状に加工（パターニング）して半導体膜 1012 とする。

【0075】

以上では、酸化物半導体膜として $In - Ga - Zn - O$ を用いる例を示したが、その他にも、 $In - Sn - Ga - Zn - O$ 、 $In - Sn - Zn - O$ 、 $In - Al - Zn - O$ 、 $Sn - Ga - Zn - O$ 、 $Al - Ga - Zn - O$ 、 $Sn - Al - Zn - O$ 、 $In - Zn - O$ 、

50

Sn-Zn-O 、 Al-Zn-O 、 Zn-Mg-O 、 Sn-Mg-O 、 In-Mg-O 、 In-O 、 Sn-O 、又は Zn-O などを用いることができる。また、上記酸化物半導体膜は Si を含んでいてもよい。また、これらの酸化物半導体膜は、非晶質であってもよいし、結晶質であってもよい。または、非単結晶であってもよいし、単結晶であってもよい。

【0076】

また、酸化物半導体膜として、 $\text{InMO}_3(\text{ZnO})_m(m > 0)$ で表記される薄膜を用いることもできる。ここで、Mは、 Ga 、 Al 、 Mn および Co から選ばれた一または複数の金属元素である。例えば、Mとして、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、または Ga 及び Co が挙げられる。

10

【0077】

次に、酸化物半導体膜(半導体膜1012)に第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。

【0078】

第1の加熱処理によって酸化物半導体膜(半導体膜1012)から水素、水、及び水酸基等の除去(脱水素化処理)を行うことができる。これらが酸化物半導体膜に含まれると、ドナーとなりトランジスタのオフ電流を増大させるため、第1の加熱処理による脱水素化処理は極めて有効である。

【0079】

なお、第1の加熱処理は、電気炉を用いることができる。また、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって加熱してもよい。その場合、例えばGRTA($\text{Gas Rapid Thermal Anneal}$)装置、LRTA($\text{Lamp Rapid Thermal Anneal}$)装置等のRTA($\text{Rapid Thermal Anneal}$)装置を用いることができる。

20

【0080】

LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。

【0081】

GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体としては、不活性ガス(代表的には、アルゴン等の希ガス)または窒素ガスを用いることができる。GRTA装置を用いることで、短時間で高温の加熱処理が可能となるため、特に有効である。

30

【0082】

また、第1の加熱処理は、パターニングを行う前に行ってもよいし、電極1013及び電極1014を形成した後行ってもよいし、絶縁膜1015を形成した後に行ってもよい。ただ、電極1013及び電極1014が第1の加熱処理によってダメージを受けることを避けるため、当該電極を形成する前に行なうことが好ましい。

【0083】

ここで、第1の加熱処理において、酸化物半導体に酸素欠損が生じてしまうおそれがある。そのため、第1の加熱処理の後に、酸化物半導体に酸素の導入(加酸化処理)を行い、構成元素である酸素の高純度化を行うことが好ましい。

40

【0084】

加酸化処理の具体例としては、第1の加熱処理の後連続して、窒素又は酸素を含む雰囲気(たとえば、窒素:酸素の体積比=4:1)中、又は酸素雰囲気中において、第2の加熱処理を行う方法が挙げられる。また、酸素雰囲気下でのプラズマ処理を行う方法を用いることもできる。これにより酸化物半導体膜中の酸素濃度を向上させ、高純度化することができる。第2の加熱処理の温度は、200以上400以下、好ましくは250以上350以下とする。

【0085】

50

また、加酸化処理の別の例としては、半導体膜 1012 上に接して酸化珪素膜等の酸化絶縁膜（絶縁膜 1015）を形成し、第3の加熱処理を行う。この絶縁膜 1015 中の酸素が半導体膜 1012 に移動し、酸化物半導体の酸素濃度を向上させ、高純度化することができる。第3の加熱処理の温度は、200 以上 400 以下、好ましくは 250 以上 350 以下とする。なお、トップゲート型とした場合においても、半導体膜 1012 上部に接するゲート絶縁膜を、酸化珪素膜等で形成し、同様の加熱処理を行うことで、酸化物半導体を高純度化することができる。

【0086】

以上のように、第1の加熱処理により脱水素化処理を行った後、第2の加熱処理又は第3の加熱処理により加酸化処理を行うことで、酸化物半導体膜を高純度化することが可能である。高純度化することで、酸化物半導体を真性又は実質的に真性とすることができます、トランジスタ 1004 のオフ電流を低減することができる。10

【0087】

なお、絶縁膜 1009 は、フォトダイオード 1002 及びトランジスタ 1003 上に、酸化珪素膜、窒化珪素膜等を用いて、単層又は積層で形成する。プラズマ CVD 法、スパッタリング法を用いて形成すればよい。ポリイミド等の樹脂膜を塗布法等により形成してもよい。

【0088】

また、ゲート電極 1010 は、絶縁膜 1009 上に、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、又はこれらを主成分とする合金材料を用いて、単層又は積層で形成する。スパッタリング法又は真空蒸着法を用いて形成すればよい。20

【0089】

また、ゲート絶縁膜 1011 は、酸化珪素膜又は窒化珪素膜等を用いて、単層又は積層で形成する。プラズマ CVD 又はスパッタリング法を用いて形成すればよい。

【0090】

また、電極 1013 及び電極 1014 は、ゲート絶縁膜 1011 及び半導体膜 1012 上に、モリブデン、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、イットリウムなどの金属、これらを主成分とする合金材料、又は酸化インジウム等の導電性を有する金属酸化物等を用いて、単層又は積層で形成する。スパッタリング法又は真空蒸着法を用いて形成すればよい。ここで、電極 1013 は、ゲート絶縁膜 1007、絶縁膜 1009、ゲート絶縁膜 1011 に形成されたコンタクトホールを介して、フォトダイオード 1002 の n 層 1023 と電気的に接続されることが好ましい。また、電極 1013 及び電極 1014 は、ゲート電極 1010 と重なって形成されることが好ましい。このようにすることで、トランジスタ 1004 の電流駆動能力を向上させることができる。特に、真性又は実質的に真性な酸化物半導体を用いた場合に有効である。30

【0091】

以下に、高純度化された酸化物半導体、及びそれを用いたトランジスタについて、詳細に説明する。

【0092】

高純度化された酸化物半導体の一例としては、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、または $6.0 \times 10^{10} / \text{cm}^3$ 未満である酸化物半導体が挙げられる。40

【0093】

高純度化された酸化物半導体を用いたトランジスタは、シリコンを用いた半導体を有するトランジスタ等に比較して、オフ電流が非常に小さいという特徴を有している。

【0094】

トランジスタのオフ電流特性について、評価用素子（TEGとも呼ぶ）を用いて測定した結果を以下に示す。なお、ここでは、n チャネル型のトランジスタであるものとして説明する。50

【0095】

TEGには、 $L / W = 3 \mu m / 50 \mu m$ （膜厚d : 30 nm）のトランジスタを200個並列に接続して作製された $L / W = 3 \mu m / 10000 \mu m$ のトランジスタを設けた。その初期特性を図28に示す。ここでは、 V_G を-20V～+5Vまでの範囲で示している。トランジスタの初期特性を測定するため、基板温度を室温とし、ソース-ドレイン間電圧（以下、ドレイン電圧または V_D という）を10Vとし、ソース-ゲート間電圧（以下、ゲート電圧または V_G という）を-20V～+20Vまで変化させたときのソース-ドレイン電流（以下、ドレイン電流または I_D という）の変化特性、すなわち $V_G - I_D$ 特性を測定した。

【0096】

図28に示すように、チャネル幅Wが10000μmのトランジスタは、 V_D が1V及び10Vのいずれにおいても、オフ電流は $1 \times 10^{-13} A$ 以下となっており、測定機（半導体パラメータ・アナライザ、Agilent 4156C；Agilent社製）の分解能（100fA）以下となっている。このオフ電流値は、チャネル幅1μmに換算すると、10aA/μmに相当する。

【0097】

なお、本明細書においてオフ電流（リーク電流ともいう）とは、nチャネル型のトランジスタでしきい値 V_{th} が正である場合、室温において-20V以上-5V以下の範囲の任意のゲート電圧を印加したときにトランジスタのソース-ドレイン間を流れる電流のことを指す。なお、室温は、15度以上25度以下とする。本明細書に開示する酸化物半導体を用いたトランジスタは、室温において、単位チャネル幅（W）あたりの電流値が100aA/μm以下、好ましくは1aA/μm以下、さらに好ましくは10zA/μm以下である。

【0098】

また、高純度の酸化物半導体を用いたトランジスタは温度特性が良好である。代表的には、-25から150までの温度範囲におけるトランジスタの電流電圧特性において、オン電流、オフ電流、電界効果移動度、S値、及びしきい値電圧の変動がほとんどなく、温度による電流電圧特性の劣化がほとんど見られない。また、高純度の酸化物半導体は光照射による劣化が少ないため、特にフォトセンサのように光を用いる半導体装置の場合、信頼性を高めることができる。

【0099】

なお、本実施の形態では、トランジスタ1004がボトムゲート型である例を示したが、図20のようにトップゲート型のトランジスタ2004としてもよい。トランジスタ2004は、半導体膜2012、電極2013、電極2014、ゲート絶縁膜2011、及びゲート電極2010を有する。

【0100】

なお、上記の各半導体素子について、薄膜半導体を用いても、バルク半導体を用いてもよい。

【0101】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0102】

(実施の形態4)

本実施の形態では、半導体装置の回路、レイアウト及び断面構造について、実施の形態1～3と異なる例を示す。

【0103】

図21は、フォトセンサの回路図の一例であり、図1の回路からトランジスタ101及びトランジスタ102を除いた構成である。

【0104】

そして、図22は、図21の回路におけるレイアウトの一例である。素子数が減るために、受光面積を広げることができる。

10

20

30

40

50

【0105】

また、図22では、pinフォトダイオード100のn層201に重なってトランジスタ103及びトランジスタ104が形成されているため、受光面積を広げることができる。また、構成する配線109等を透光性を有する材料で形成し、該配線109とi層202を重ねて形成することで、受光面積を広げることができる。

【0106】

図23は、図21のフォトセンサの断面図の一例である。トランジスタ3001は、図21におけるトランジスタ103を示しており、フォトダイオード1002のn層1023に重なって形成されている。そして、トランジスタ3001はボトムゲート型の薄膜トランジスタであり、ゲート電極3010、ゲート絶縁膜3011、半導体膜3012、電極3013、及び電極3014を有する。また、図20で示したトランジスタ2004のようなトップゲート型としてもよい。10

【0107】

なお、半導体膜3012は、非晶質半導体、微結晶半導体、多結晶半導体、酸化物半導体、又は単結晶半導体などを用いることが可能である。特に、酸化物半導体を用い、オフ電流が極めて小さいトランジスタとすることで、電気信号の増幅を精度良く行うことができる。

【0108】

また、図21のトランジスタ104についても、n層1023に重なるように、トランジスタ103と同一工程で同一表面上に形成することが好ましい。酸化物半導体を用いることで、出力信号の読み出しを精度良くに行うことができる。20

【0109】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0110】**(実施の形態5)**

本実施の形態では、半導体装置の回路について上記実施の形態と異なる例を示す。

【0111】

図27(A)～(F)は、フォトセンサの回路の一例である。これらの回路について、本明細書で開示した、受光面積を広げるためのレイアウト又は構造を適用することができる。30

【0112】

本実施の形態は、他の実施の形態と組み合わせて実施することができる。

【0113】**(実施の形態6)**

本実施の形態では、半導体装置の断面構造について、実施の形態3と異なる例を示す。

【0114】

図24は、フォトセンサの断面図の一例である。

【0115】

図24では、絶縁表面を有する基板1001上にトランジスタ4001が形成され、トランジスタ4001の上方にフォトダイオード4002が形成されている。40

【0116】

トランジスタ4001は、図1、図7、図13、図21、及び図27に示した全てのトランジスタに適用することができる。すなわち、全てのトランジスタについて、同じ材料を用いて、同一表面上に同一工程で形成することで、コストを削減することができる。

【0117】

フォトダイオード4002は、縦型接合タイプのpinフォトダイオードであり、n層4003、i層4004、及びp層4005が積層されている。なお、p層、i層、n層の順に積層してもよい。また、i層4004を設けずpnフォトダイオードとしてもよい。非晶質半導体、微結晶半導体、多結晶半導体、酸化物半導体、又は単結晶半導体などを用いて形成することができる。特にシリコン半導体を用いると、量子効率を高めるこ50

とができるためことが好ましい。

【0118】

そして、被検出物1201からの光1202がフォトダイオード4002に入射される。この構造とすることで、フォトダイオード4002へ入射する光1202を遮る素子が無くなるため、受光面積を極力広くすることができます。

【0119】

なお、トランジスタ4001は、非晶質半導体、微結晶半導体、多結晶半導体、酸化物半導体、又は単結晶半導体などを用いて形成することが可能である。特に、酸化物半導体を用い、オフ電流が極めて小さいトランジスタとすることで、他の実施の形態で説明したように、光検出を精度良く行うことができる。

10

【0120】

ただし、必要に応じてフォトセンサを構成する一部のトランジスタをトランジスタ4001と異なる表面上に形成しても良い。その他の構成は、実施の形態3と同様である。

【0121】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0122】

(実施の形態7)

本実施の形態では、フォトセンサを用いた半導体装置の一例について説明する。

【0123】

図25は、フォトセンサを搭載したイメージセンサの一例である。フォトセンサ部5001及びフォトセンサ制御回路5002を有する。フォトセンサ部は、マトリクス状に配置された複数のフォトセンサ5003を有する。そして、フォトセンサ制御回路5002は、フォトセンサ読み出し回路5004及びフォトセンサ駆動回路5005を有する。ここでは、エリアセンサを示したが、ラインセンサとしてもよい。当該イメージセンサは、デジタルスチルカメラや携帯電話等に用いられる。

20

【0124】

フォトセンサ5003において、他の実施の形態で示したフォトセンサを適用することができる。

【0125】

また、図26は、フォトセンサを搭載した表示装置の一例である。表示パネル6000は、画素部6001、表示素子制御回路6002、及びフォトセンサ制御回路6003を有する。画素部6001は、マトリクス状に配置された画素6004を有し、画素6004内に表示素子6005及びフォトセンサ6006を有する。表示素子制御回路6002は、表示素子駆動回路6007、6008を有する。そして、フォトセンサ制御回路6003は、フォトセンサ読み出し回路6009及びフォトセンサ駆動回路6010を有する。当該表示装置は、タッチパネル等に用いられる。

30

【0126】

フォトセンサ6006において、他の実施の形態で示したフォトセンサを適用することができる。

【0127】

なお、フォトセンサ6006は、画素6004の外に設けてもよい。

40

【0128】

また、表示素子6005は、液晶素子、EL素子、又は電気泳動素子等を用いることができる。

【0129】

また、表示素子制御回路6002は、表示パネル6000の外に設けてもよい。フォトセンサ制御回路6003も同様である。

【0130】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【0131】

50

(実施の形態 8)

本実施の形態では、半導体装置の動作について説明する。

【0132】

フォトセンサの動作の一例として、図1の回路について説明する。図29は、図1の回路のタイミングチャートの一例である。

【0133】

図29において、信号301～信号305は、それぞれ図1における配線107、配線106、配線109、配線105、及び配線110の電位である。ここでは、配線120はグランド電位とする。

【0134】

時刻Aにおいて、信号301を「H(High)」、信号302を「H」とする(リセット動作開始)と、フォトダイオード100が導通し、信号304が「H」となる。

【0135】

時刻Bにおいて、信号301を「L(Low)」とし、信号302を「H」のままとする(リセット動作終了、累積動作開始)と、フォトダイオード100のオフ電流により、信号304が低下し始める。フォトダイオード100は、光が入射されるとオフ電流が増大するので、入射光の量に応じて信号304は変化する。

【0136】

時刻Cにおいて、信号302を「L」とする(累積動作終了)と、信号304は一定となる。ここで、信号304は累積動作中にフォトダイオード100が配線105に供給した電荷により決まる。すなわち、フォトダイオード100への入射光に応じてトランジスタ103のゲートに蓄積される電荷が変化する。

【0137】

時刻Dに、信号303を「H」にする(選択動作開始)と、トランジスタ104が導通し、配線108と配線110とが、トランジスタ103とトランジスタ104とを介して導通する。すると、信号305は低下していく。ここで、信号305が低下する速さは、トランジスタ103のソースとドレイン間の電流に依存する。すなわち、累積動作中にフォトダイオード100に照射されている光の量に応じて変化する。

【0138】

時刻Eにおいて、信号303を「L」にする(選択動作終了)と、トランジスタ104が遮断され、信号305は一定値となる。ここで、一定値となる値は、フォトダイオード100に照射されている光の量に応じて変化する。したがって、信号305の電位を取得することで、累積動作中におけるフォトダイオード100への入射光の量を知ることができる。

【0139】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【0140】

100	フォトダイオード
101～104	トランジスタ
105～110	配線
120	配線
130	導電層
201	n層
202	i層
203	p層
301～305	信号
1001	基板
1002	フォトダイオード
1003	トランジスタ

10

20

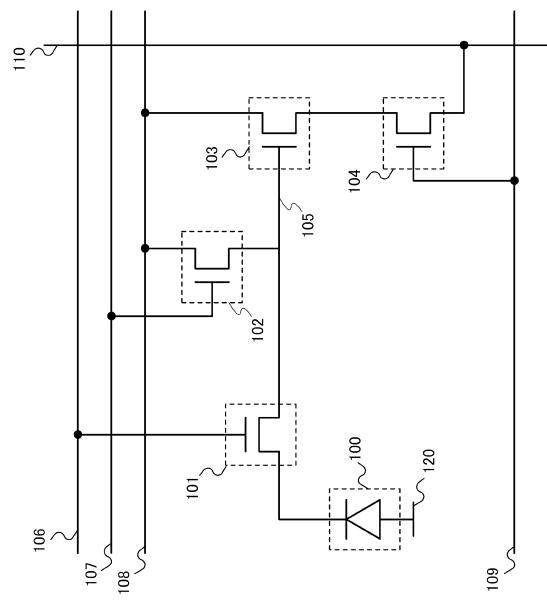
30

40

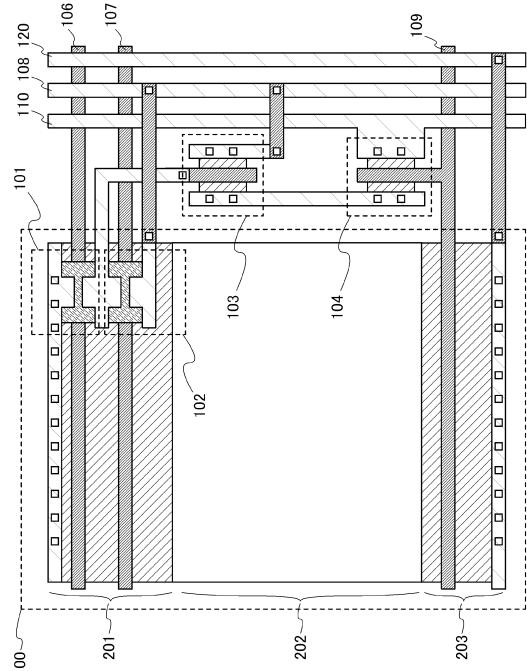
50

1 0 0 4	トランジスタ	
1 0 0 5	半導体膜	
1 0 0 6	半導体膜	
1 0 0 7	ゲート絶縁膜	
1 0 0 8	ゲート電極	
1 0 0 9	絶縁膜	
1 0 1 0	ゲート電極	10
1 0 1 1	ゲート絶縁膜	
1 0 1 2	半導体膜	
1 0 1 3	電極	
1 0 1 4	電極	
1 0 1 5	絶縁膜	
1 0 2 1	p層	
1 0 2 2	i層	
1 0 2 3	n層	
1 2 0 1	被検出物	
1 2 0 2	光	
2 0 0 4	トランジスタ	
2 0 1 0	ゲート電極	
2 0 1 1	ゲート絶縁膜	20
2 0 1 2	半導体膜	
2 0 1 3	電極	
2 0 1 4	電極	
3 0 0 1	トランジスタ	
3 0 1 0	ゲート電極	
3 0 1 1	ゲート絶縁膜	
3 0 1 2	半導体膜	
3 0 1 3	電極	
3 0 1 4	電極	
4 0 0 1	トランジスタ	30
4 0 0 2	フォトダイオード	
4 0 0 3	n層	
4 0 0 4	i層	
4 0 0 5	p層	
5 0 0 1	フォトセンサ部	
5 0 0 2	フォトセンサ制御回路	
5 0 0 3	フォトセンサ	
5 0 0 4	フォトセンサ読み出し回路	
5 0 0 5	フォトセンサ駆動回路	
6 0 0 0	表示パネル	40
6 0 0 1	画素部	
6 0 0 2	表示素子制御回路	
6 0 0 3	フォトセンサ制御回路	
6 0 0 4	画素	
6 0 0 5	表示素子	
6 0 0 6	フォトセンサ	
6 0 0 7	表示素子駆動回路	
6 0 0 8	表示素子駆動回路	
6 0 0 9	フォトセンサ読み出し回路	
6 0 1 0	フォトセンサ駆動回路	50

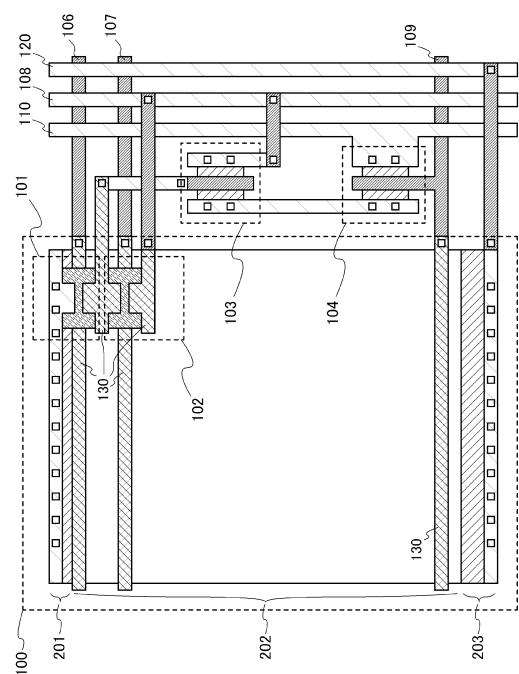
【図1】



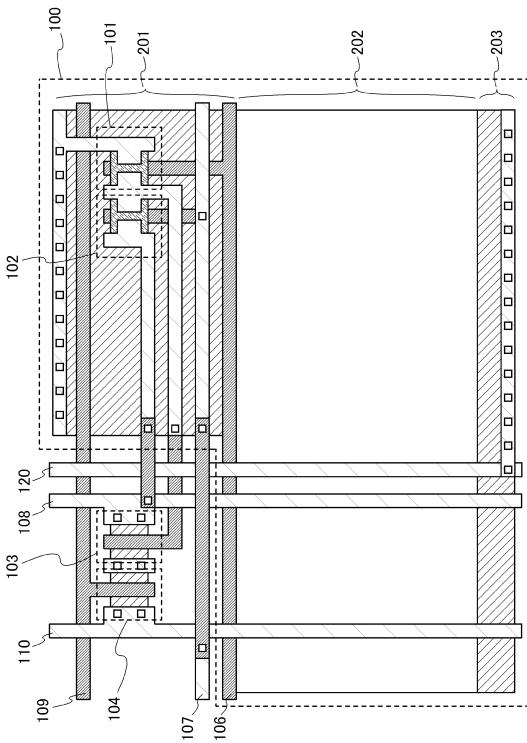
【図2】



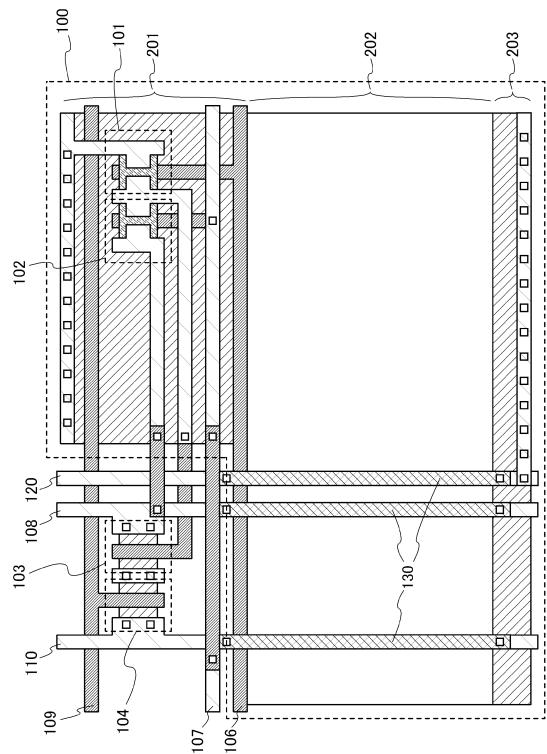
【図3】



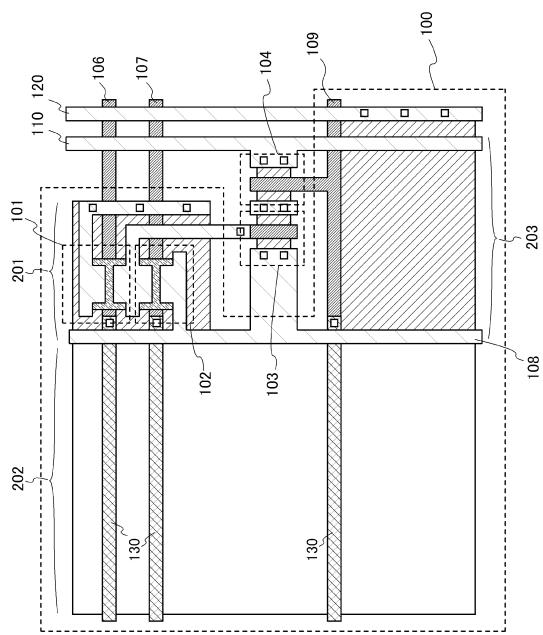
【図4】



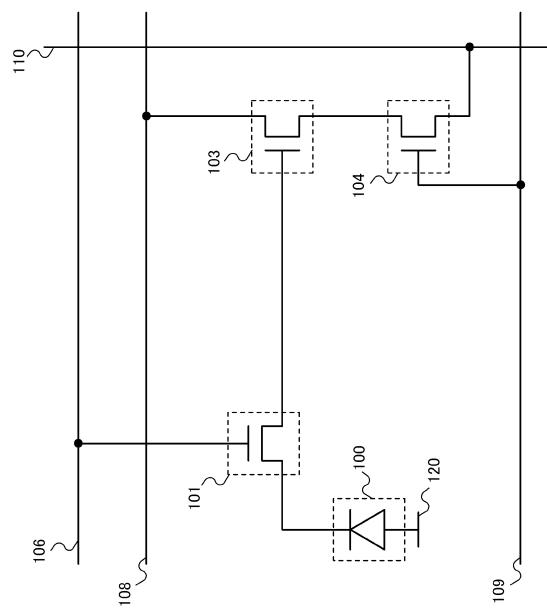
【図5】



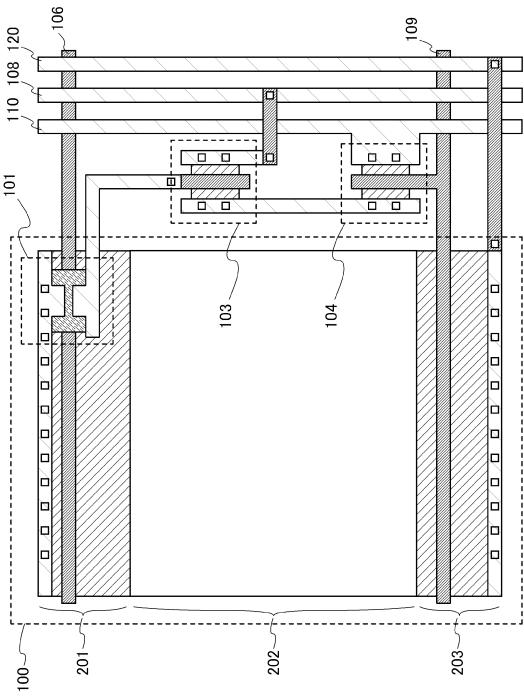
【図6】



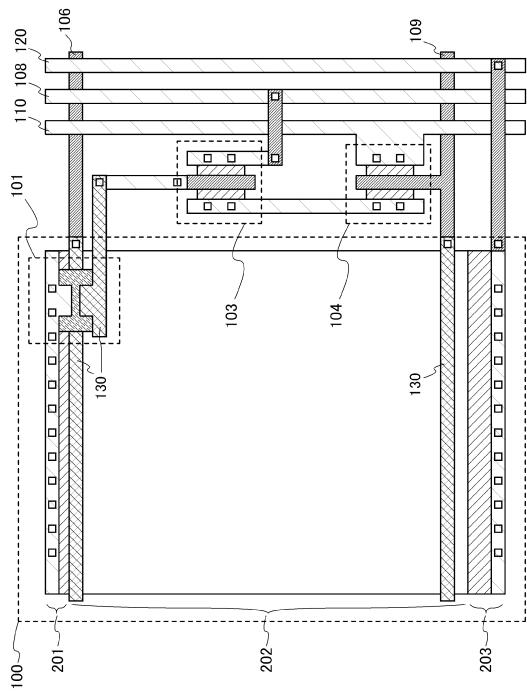
【図7】



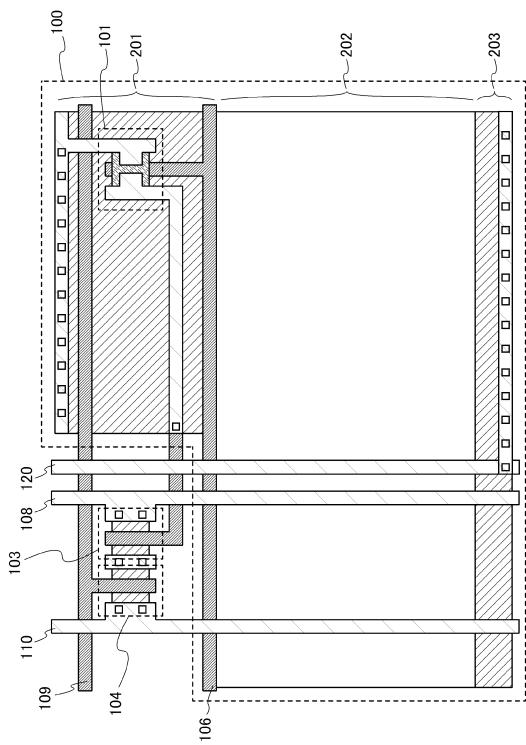
【図8】



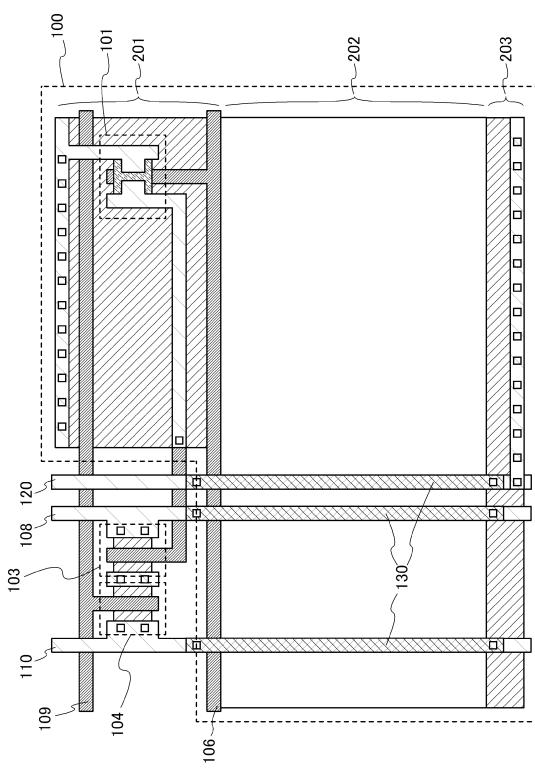
【図9】



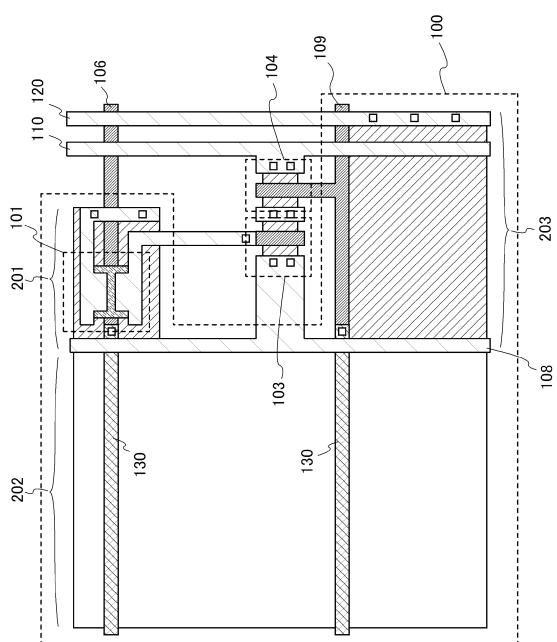
【図10】



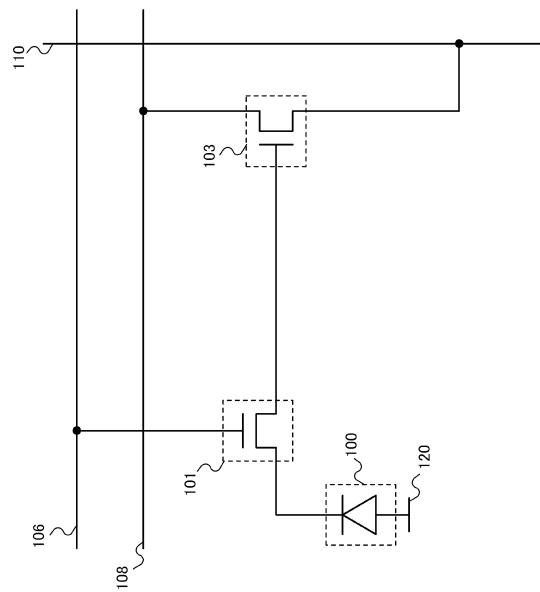
【図11】



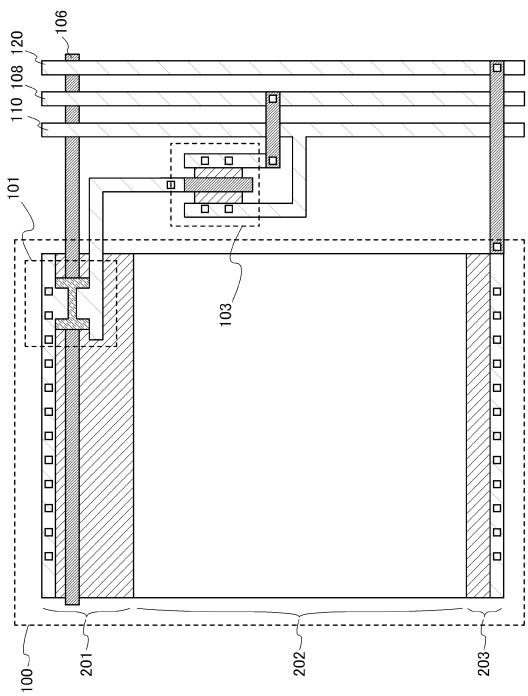
【図12】



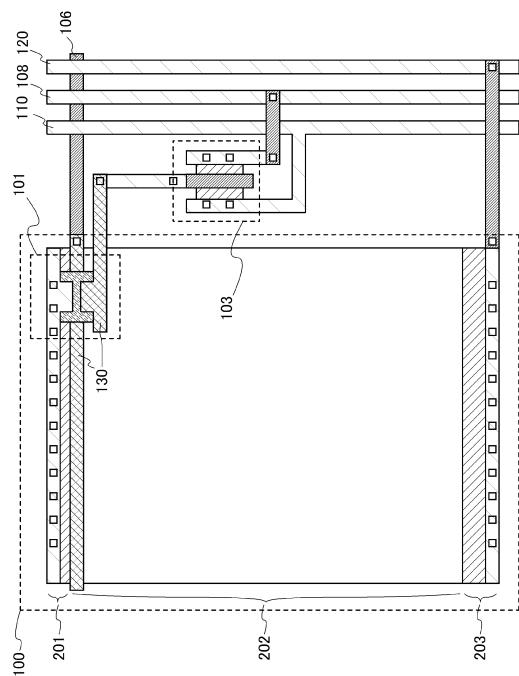
【図13】



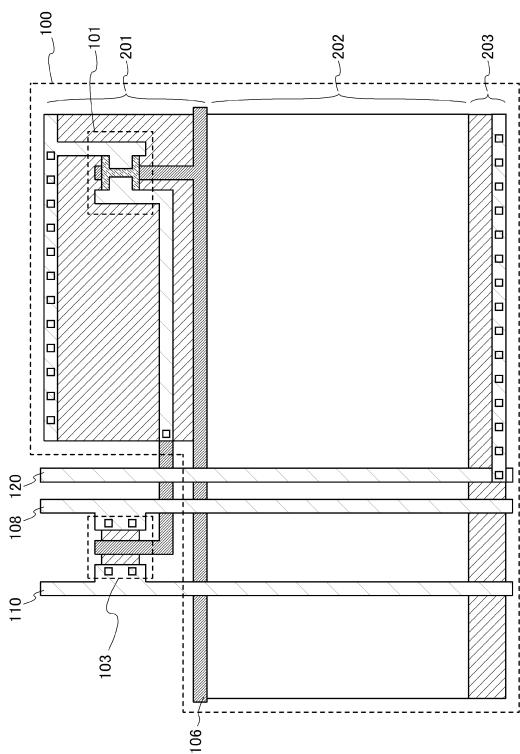
【図14】



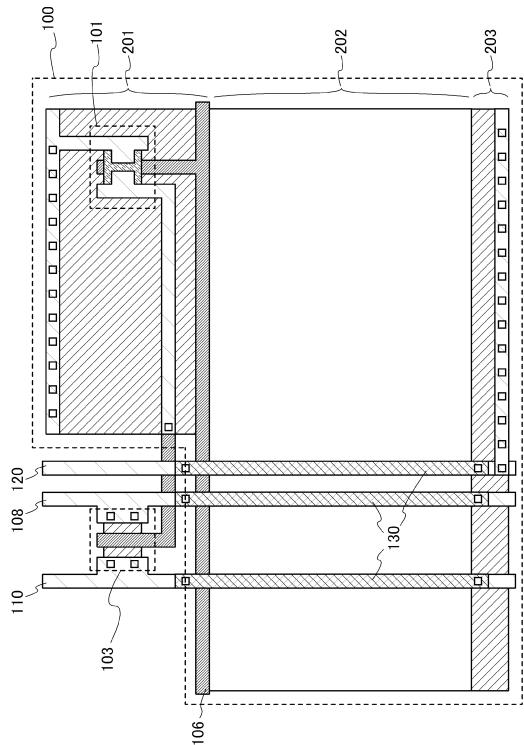
【図15】



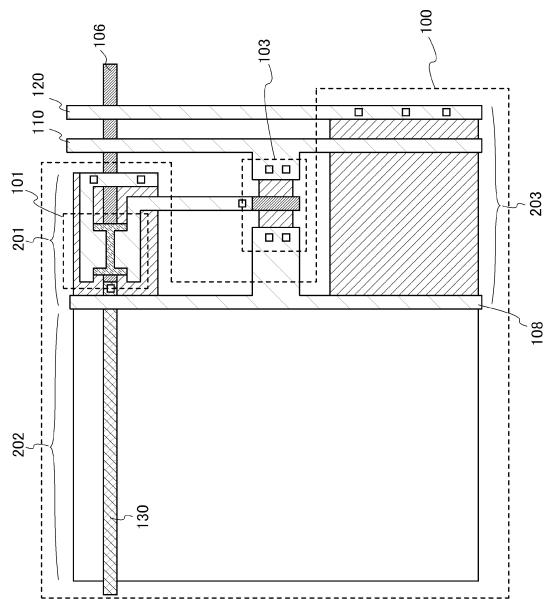
【図16】



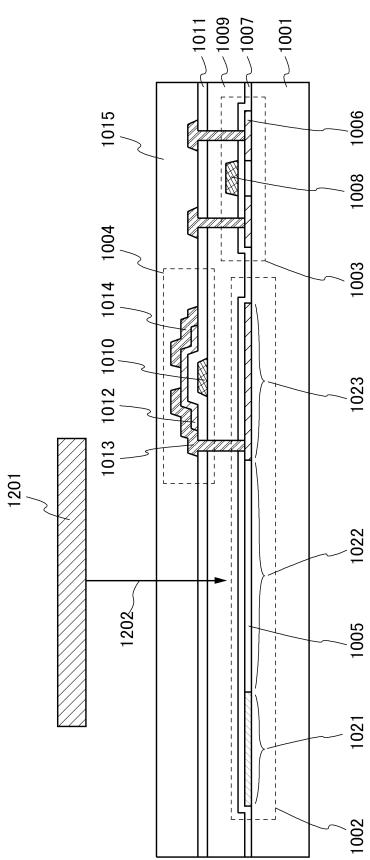
【図17】



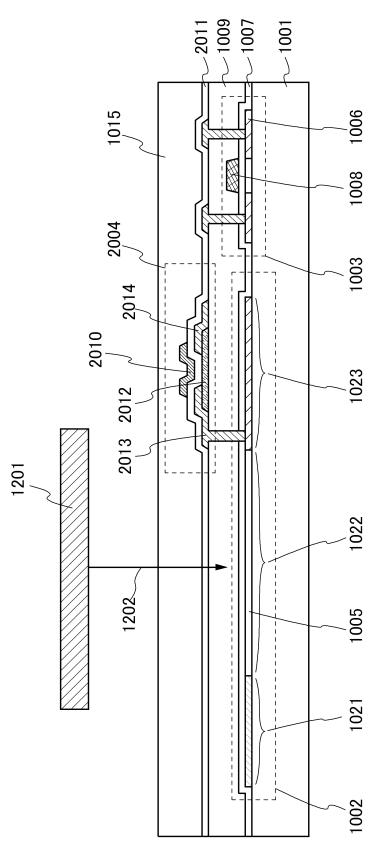
【図18】



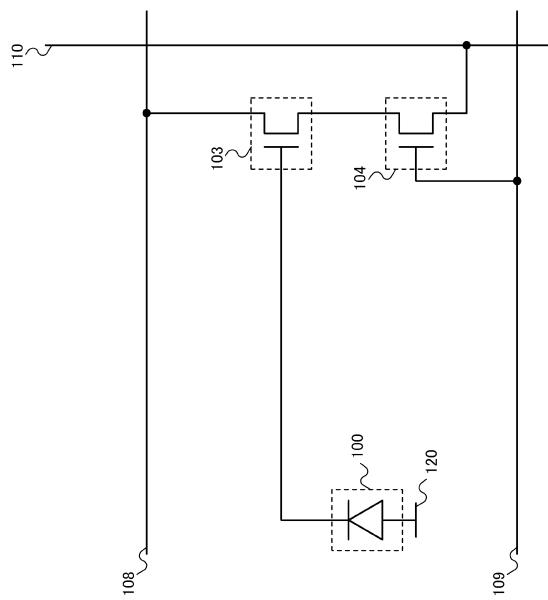
【図19】



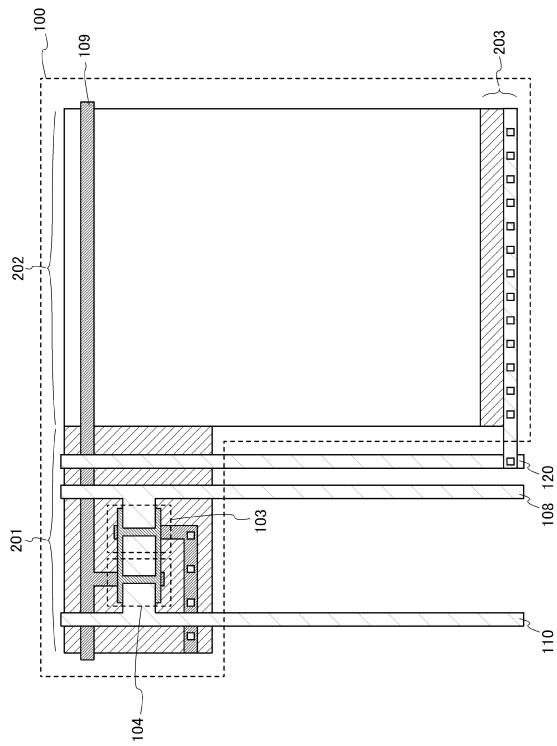
【図20】



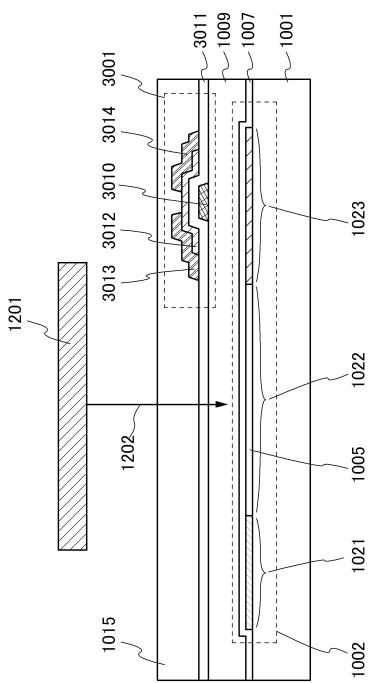
【図21】



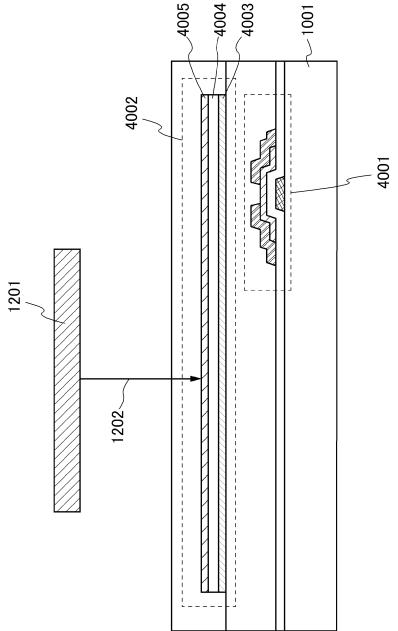
【図22】



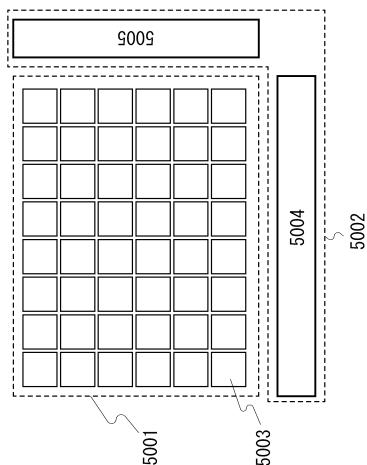
【図23】



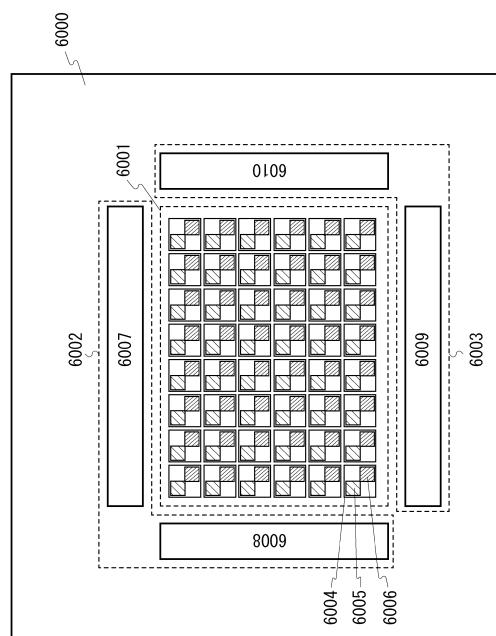
【図24】



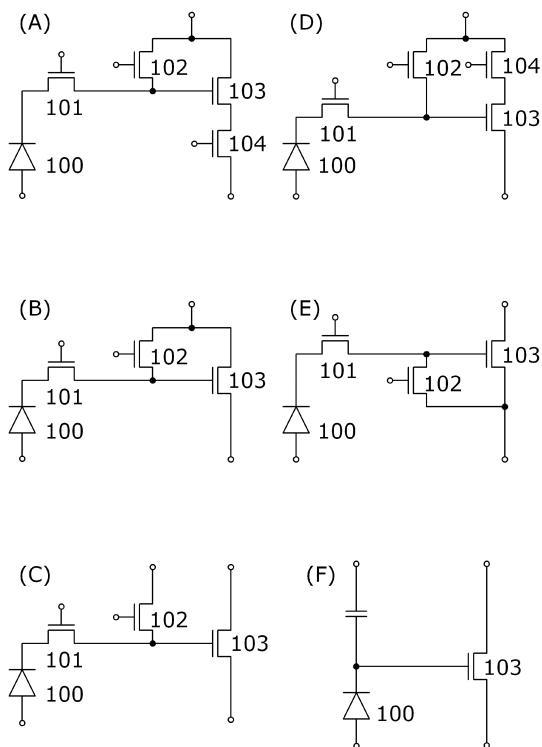
【図25】



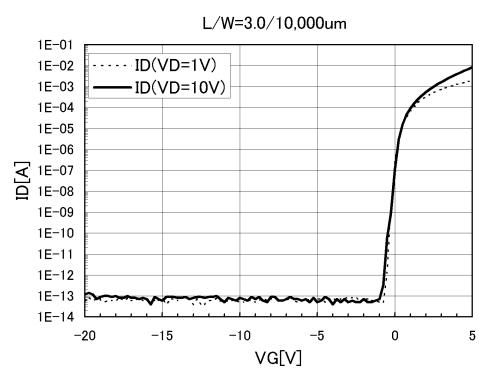
【図26】



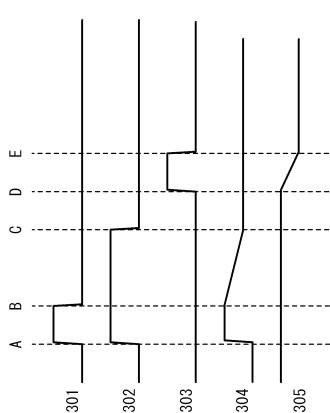
【図27】



【図28】



【図29】



フロントページの続き

(56)参考文献 特表2009-535819(JP,A)
特開2009-105381(JP,A)
特開2011-119950(JP,A)
特開2011-119711(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14-148
H01L 29/786
H01L 27/00
H01L 27/12-13
H01L 21/768