

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5197930号
(P5197930)

(45) 発行日 平成25年5月15日(2013.5.15)

(24) 登録日 平成25年2月15日(2013.2.15)

(51) Int.Cl.

H01L 31/10 (2006.01)

F I

H01L 31/10

A

請求項の数 2 (全 16 頁)

(21) 出願番号 特願2006-182325 (P2006-182325)
(22) 出願日 平成18年6月30日 (2006.6.30)
(65) 公開番号 特開2008-10776 (P2008-10776A)
(43) 公開日 平成20年1月17日 (2008.1.17)
審査請求日 平成21年6月19日 (2009.6.19)

(73) 特許権者 000154325
住友電工デバイス・イノベーション株式会
社
神奈川県横浜市栄区金井町 1 番地
(74) 代理人 100087480
弁理士 片山 修平
(74) 復代理人 100134511
弁理士 八田 俊之
(74) 復代理人 100137615
弁理士 横山 照夫
(72) 発明者 米田 昌博
山梨県中巨摩郡昭和町大字紙漉阿原 1 〇 〇
〇 番地 ユーディナデバイス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体受光素子の製造方法

(57) 【特許請求の範囲】

【請求項 1】

波長が 0 . 9 2 μ m 以下である入射光が入射される半導体受光素子の製造方法であって

半導体基板上に、前記半導体基板と格子整合し、第 1 導電性の不純物を含有し、第 1 のバンドギャップエネルギーを有する第 1 半導体層と、前記第 1 のバンドギャップエネルギーを有し、前記第 1 半導体層よりも低濃度の前記第 1 導電性の不純物を含有しまたは実質的にアンドープの第 2 半導体層と、前記第 1 導電性と異なる第 2 導電性の不純物を含有し、前記第 1 のバンドギャップエネルギーを有する第 3 半導体層と、前記第 1 のバンドギャップエネルギーよりも大きい第 2 のバンドギャップエネルギーを有する窓半導体層とを順に積層する工程と、

前記窓半導体層の上面の一部にマスキングしてエッチング処理を施すことによって前記第 3 半導体層の上面の一部を露出させる工程と、

前記第 1 ～ 第 3 半導体層の側壁に対してエッチング処理を施す工程と、

前記窓半導体層上面および前記第 3 半導体層上面の露出部にマスキングする工程と、

前記第 1 ～ 第 3 半導体層の側壁に、層厚が 1 0 0 n m 以上である前記第 2 のバンドギャップエネルギーを有する保護半導体層を形成する工程と、

前記第 3 半導体層上面の露出部に電極を形成する工程と、を含み、

前記窓半導体層の層厚が 5 n m 以上 5 0 n m 以下であり、

前記第 2 のバンドギャップエネルギーを有する半導体層は、I n P からなり、

10

20

前記第 1 のバンドギャップエネルギーを有する半導体層は、InGaAs からなることを特徴とする半導体受光素子の製造方法。

【請求項 2】

波長が $0.92\ \mu\text{m}$ 以下である入射光が入射される半導体受光素子の製造方法であって

半導体基板上に、前記半導体基板と格子整合し、第 1 導電性の不純物を含有し、第 1 のバンドギャップエネルギーを有する第 1 半導体層と、前記第 1 のバンドギャップエネルギーを有し、前記第 1 半導体層よりも低濃度の前記第 1 導電性の不純物を含有しまたは実質的にアンドープの第 2 半導体層と、前記第 1 導電性と異なる第 2 導電性の不純物を含有し、前記第 1 のバンドギャップエネルギーを有する第 3 半導体層とを順に積層する工程と、

前記第 1 ～ 第 3 半導体層の側壁に対してエッチング処理を施す工程と、

前記第 3 半導体層上面にマスキングする工程と、

前記第 1 ～ 第 3 半導体層の側壁に層厚が $100\ \text{nm}$ 以上である前記第 2 のバンドギャップエネルギーを有する保護半導体層を形成する工程と、

前記第 3 半導体層の上面の一部に前記第 1 のバンドギャップエネルギーよりも大きい第 2 のバンドギャップエネルギーを有する窓半導体層とを形成する工程と、

前記第 3 半導体層の上面に電極を形成する工程と、を含み、

前記窓半導体層の層厚が $5\ \text{nm}$ 以上 $50\ \text{nm}$ 以下であり、

前記第 2 のバンドギャップエネルギーを有する半導体層は、InP からなり、

前記第 1 のバンドギャップエネルギーを有する半導体層は、InGaAs からなることを特徴とする半導体受光素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体受光素子の製造方法に関する。

【背景技術】

【0002】

光電子集積回路は、PIN 型フォトダイオード等の受光素子とヘテロ接合バイポーラトランジスタ等の電子素子とが同一の基板上にモノシリックに集積化された構造を有している。PIN 型の受光素子は、集積の容易さ、素子間の絶縁の容易さを実現するために、主としてメサ型に形成されている。例えば、InP 基板上に、InGaAs からなる PIN 型フォトダイオードが形成され、InP からなる保護層を備える PIN 型の受光素子が開示されている（例えば、特許文献 1 参照）。

【0003】

InP からなる保護層は長波長側において広い透過波長範囲を有することから、特許文献 1 に係る受光素子は、主に光ファイバ通信システムに使用される $1260\ \text{nm} \sim 1620\ \text{nm}$ の長波長範囲の信号光に対して有効である。ここで、InP はバンドギャップエネルギー波長である $0.92\ \mu\text{m}$ 以下の短波長範囲に吸収特性を有している。したがって、マルチモードファイバが使用されかつ $850\ \text{nm}$ を信号波長とする通信システムにおいては、InP 保護層において信号光の大半が吸収されてしまう。その結果、十分な感度特性が得られない。これは、上記 InP 保護層で発生したキャリアが受光素子と上記 InP 保護層との間のエネルギー障壁によって受光素子側に流れ出すことができず、このため、上記 InP 保護層で発生したキャリアが受光感度に寄与できないからである。

【0004】

近年、このような $850\ \text{nm}$ を信号波長とする短波長通信システムの高速化、高機能化（小型化、低コスト化等）等に対する要求が著しい。従来、 $850\ \text{nm}$ を信号波長とする通信システムにおいては、シリコンフォトダイオードが用いられている。

【0005】

しかしながら、シリコンフォトダイオードの光吸収層（Si）の厚さを制御することは困難である。したがって、シリコンフォトダイオードの高速化に限界がある。また、材料

10

20

30

40

50

系の不一致を理由として、高速化を可能とする InP 系電子デバイス（例えば、ヘテロ接合バイポーラトランジスタ）との光電素子集積化ができなくなっている。

【0006】

【特許文献1】特開平9-213988号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、InGaAs のバンドギャップエネルギーは狭いことから、InGaAs 表面は非常に不安定になる。この場合、SiN 膜のような誘電体膜によって InGaAs 表面を安定保護することは困難である。そのため、InGaAs 表面に発生キャリアのトラップ準位が多数存在してしまう。特に、吸収係数が大きい短波長範囲の信号光においては、表面トラップによる感度低下が著しくなる。

10

【0008】

本発明は、短波長（例えば $0.92\ \mu\text{m}$ 以下）範囲の信号光に対しても高い量子効率を有する半導体受光素子の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る半導体受光素子の製造方法は、波長が $0.92\ \mu\text{m}$ 以下である入射光が入射される半導体受光素子の製造方法であって、半導体基板上に、半導体基板と格子整合し第1導電性の不純物を含有し第1のバンドギャップエネルギーを有する第1半導体層と、第1のバンドギャップエネルギーを有し第1半導体層よりも低濃度の第1導電性の不純物を含有しまたは実質的にアンドープの第2半導体層と、第1導電性と異なる第2導電性の不純物を含有し第1のバンドギャップエネルギーを有する第3半導体層と、第1のバンドギャップエネルギーよりも大きい第2のバンドギャップエネルギーを有する窓半導体層とを順に積層する工程と、窓半導体層の上面の一部にマスキングしてエッチング処理を施すことによつて第3半導体層の上面の一部を露出させる工程と、第1～第3半導体層の側壁に対してエッチング処理を施す工程と、窓半導体層上面および第3半導体層上面の露出部にマスキングする工程と、第1～第3半導体層の側壁に、層厚が $100\ \text{nm}$ 以上である第2のバンドギャップエネルギーを有する保護半導体層を形成する工程と、第3半導体層上面の露出部に電極を形成する工程と、を含み、窓半導体層の層厚が $5\ \text{nm}$ 以上 $50\ \text{nm}$ 以下であり、第2のバンドギャップエネルギーを有する半導体層は InP からなり、第1のバンドギャップエネルギーを有する半導体層は、InGaAs からなることを特徴とするものである。

20

30

【0010】

本発明に係る半導体受光素子においては、窓半導体層を透過した光が第1～第3半導体層において受光される。窓半導体層の層厚が $50\ \text{nm}$ 以下になると、短波長範囲の入射光に対する感度に寄与しない発生キャリア数が窓半導体層において少なくなる。窓半導体層の層厚が $5\ \text{nm}$ 以上になると、短波長範囲の入射光に対する感度に寄与しない表面トラップが第3半導体層において発生しなくなる。したがって、受光感度として寄与する第1～第3半導体層における発生キャリアが増加し、量子効率が向上する。その結果、本発明に係る半導体受光素子は、従来の長波長範囲の入射光だけではなく、短波長範囲の入射光に対しても高い量子効率を実現する。

40

【0013】

本発明に係る他の半導体受光素子の製造方法は、波長が $0.92\ \mu\text{m}$ 以下である入射光が入射される半導体受光素子の製造方法であって、半導体基板上に、半導体基板と格子整合し第1導電性の不純物を含有し第1のバンドギャップエネルギーを有する第1半導体層と、第1のバンドギャップエネルギーを有し第1半導体層よりも低濃度の第1導電性の不純物を含有しまたは実質的にアンドープの第2半導体層と、第1導電性と異なる第2導電性の不純物を含有し第1のバンドギャップエネルギーを有する第3半導体層とを順に積層する工程と、第1～第3半導体層の側壁に対してエッチング処理を施す工程と、第3半導体層上面にマスキングする工程と、第1～第3半導体層の側壁に層厚が $100\ \text{nm}$ 以上である第

50

2のバンドギャップエネルギーを有する保護保護半導体層を形成する工程と、第3半導体層の上面の一部に第1のバンドギャップエネルギーよりも大きい第2のバンドギャップエネルギーを有する窓半導体層とを形成する工程と、第3半導体層の上面に電極を形成する工程と、を含み、窓半導体層の層厚が5nm以上50nm以下であることを特徴とするものであり、第2のバンドギャップエネルギーを有する半導体層はInPからなり、第1のバンドギャップエネルギーを有する半導体層は、InGaAsからなることを特徴とするものである。

【0014】

本発明に係る他の半導体受光素子においては、窓半導体層を透過した光が第1および第2半導体層において受光される。窓半導体層の層厚が50nm以下になると、短波長範囲の入射光に対する感度に寄与しない発生キャリア数が窓半導体層において少なくなる。窓半導体層の層厚が5nm以上になると、短波長範囲の入射光に対する感度に寄与しない表面トラップが第2半導体層において発生しなくなる。したがって、受光感度として寄与する第1半導体層および第2半導体層における発生キャリアが増加し、量子効率が増加する。その結果、本発明に係る半導体受光素子は、従来の長波長範囲の入射光だけではなく、短波長範囲の入射光に対しても高い量子効率を実現する。

10

【発明の効果】

【0030】

本発明によれば、半導体受光素子およびそれを備えた光電変換回路は、短波長(0.92μm以下)範囲の信号光に対して高い量子効率を有し、かつ低暗電流特性および高信頼性を維持することができる。

20

【発明を実施するための最良の形態】

【0031】

以下、本発明を実施するための最良の形態を説明する。

【実施例1】

【0032】

図1は、本発明の第1実施例に係る半導体受光素子100の模式的断面図である。図1に示すように、半導体受光素子100は、半導体基板1上に、n型半導体層2、第1i型半導体層3およびp型半導体層10が順に積層された構造を有する。第1i型半導体層3およびp型半導体層10は、メサ型に形成され、円柱台状の第1メサ部を一体として構成している。n型半導体層2は、メサ型に形成され、第1メサ部の底面下に配置された円錐台状の第2メサ部を単独で構成している。第2メサ部は、第1メサ部底面よりも大きい底面を有する。

30

【0033】

また、第2メサ上の第1メサ以外の領域であって第1i型半導体層3と離れた領域に、n型電極7が形成されている。n型電極7は、n型半導体層2とオーミック接触している。第1メサ部上には、リング状にp型電極6が形成されている。p型電極6は、p型半導体層10とオーミック接触している。p型半導体層10上のp型電極6の内部には、第2i型半導体層8が形成されている。

【0034】

さらに、n型電極7からp型電極6にかけて、パッシベーション半導体層4が形成されている。すなわち、パッシベーション半導体層4は、n型半導体層2上から、第1i型半導体層およびp型半導体層10の側壁を通して、p型半導体層10の上面にかけて形成されている。また、半導体基板1上と、n型半導体層2の側壁と、パッシベーション半導体層4の表面と、p型半導体層10と第2i型半導体層8とを覆うように、パッシベーション絶縁膜5が形成されている。ただし、パッシベーション絶縁膜5は、n型電極7およびp型電極6上に開口部を有している。

40

【0035】

半導体基板1は、例えばInPからなる。n型半導体層2は、半導体基板1と格子整合するn型InGaAsからなる。n型半導体層2のNキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$

50

$\cdot 3$ 程度である。n型半導体層2のドーパントは、例えばSiである。n型半導体層2の層厚は、 $1\text{ }\mu\text{m}$ 程度である。第1i型半導体層3は、実質的にアンドープのInGaAsからなる。ここでいう「実質的にアンドープ」とは、ドーパントが意図的にドーブされていない状態のことをいう。第1i型半導体層3の層厚は、 $2\text{ }\mu\text{m}$ 程度である。

【0036】

p型半導体層10は、p型InGaAsからなる。p型半導体層10は、Pキャリア濃度が $2 \times 10^{18}\text{ cm}^{-3}$ 程度で層厚が $0.1\text{ }\mu\text{m}$ 程度の第1層と、Pキャリア濃度が $1 \times 10^{19}\text{ cm}^{-3}$ 程度で層厚が $0.2\text{ }\mu\text{m}$ 程度の第2層とが順に積層された構造を有する。p型半導体層10のドーパントは、例えばZnである。第2i型半導体層8は、実質的にアンドープのInPからなる。第2i型半導体層8の層厚は、後述する。パッシベーション半導体層4は、実質的にアンドープのInPからなる。パッシベーション半導体層4の層厚は、後述する。

10

【0037】

パッシベーション絶縁膜5は、絶縁体からなる。パッシベーション絶縁膜5を構成する絶縁体として、シリコン、アルミニウム、チタン等のフッ化物、酸化物、窒化物等を用いることができる。本実施例においては、SiNからなる絶縁体を用いている。第2i型半導体層8上のパッシベーション絶縁膜5は、反射防止膜として機能する。

【0038】

次に、図2および図3を参照しつつ、第2i型半導体層8の層厚について説明する。図2は、 850 nm の波長光を入射光として用いた場合における、第2i型半導体層8の層厚と入射面に第2i型半導体層8が設けられたInGaAsの量子効率との関係を示す図である。図2の横軸は第2i型半導体層8の層厚を示し、図2の縦軸は第2i型半導体層8の層厚と入射面に第2i型半導体層8が設けられたInGaAsの量子効率を示す。図3は、第2i型半導体層8の層厚が 5 nm 以上 50 nm 以下の場合における、バンドギャップエネルギーおよび発生キャリア密度の概念図である。

20

【0039】

図2に示すように、第2i型半導体層8が 0 nm の場合においては、InGaAsの量子効率は 50% 程度である。これは、InGaAsの表面が非常に不安定であり、InGaAs表面に発生キャリアのトラップ準位が多数存在しているからである。

【0040】

第2i型半導体層8の層厚が 5 nm 以上 50 nm 以下の範囲においては、InGaAsの量子効率は 80% を超えている。この場合、半導体受光素子100の量子効率は、シリコンフォトダイオードの量子効率を上回る。これは、図3に示すように、第2i型半導体層8の層厚が 5 nm 以上 50 nm 以下の範囲にある場合には、第2i型半導体層8における発生キャリア数が少なくなるからである。

30

【0041】

したがって、InPが 920 nm 以下の短波長光に対して大きい吸収効率を有しているとしても、InPの層厚を 5 nm 以上 50 nm 以下の範囲に設定することによってInGaAsの量子効率を大きくすることができる。以上のことから、本実施例に係る第2i型半導体層8の層厚は、 5 nm 以上 50 nm 以下であることが必要である。

40

【0042】

次に、図4を参照しつつ、パッシベーション半導体層4の層厚について説明する。図4は、パッシベーション半導体層4の層厚と半導体受光素子100の暗電流との関係を示す図である。図4の横軸はパッシベーション半導体層4の層厚を示し、図4の縦軸は半導体受光素子100の暗電流を示す。なお、ここでいうパッシベーション半導体層4の層厚とは、上記第1メサの側壁を積層面とした場合の層厚である。

【0043】

図4に示すように、パッシベーション半導体層4の層厚が小さいと暗電流値も大きくなっている。パッシベーション半導体層4の層厚の増加とともに、暗電流値は小さくなる。パッシベーション半導体層4の層厚が 100 nm を超えた場合には、暗電流値が 1 nA 以

50

下にまで低減する。したがって、半導体受光素子 100 の高信頼性を維持することができる。以上のことから、パッシベーション半導体層 4 の層厚は、100 nm 以上であることが必要である。

【0044】

実施例 1 に係る半導体受光素子 100 と請求項 1 および請求項 2 との対応関係においては、n 型半導体層 2 が第 1 半導体層に相当し、第 1 i 型半導体層 3 が第 2 半導体層に相当し、p 型半導体層 10 が第 3 半導体層に相当し、第 2 i 型半導体層 8 が第 4 半導体層に相当し、パッシベーション半導体層 4 が第 5 半導体層に相当する。

【0045】

(製造方法 1 - 1)

続いて、半導体受光素子 100 の製造方法について説明する。図 5 は、半導体受光素子 100 の第 1 の製造方法について説明するためのフロー図である。まず、図 5 (a) に示すように、半導体基板 1 上に、n 型半導体層 2、第 1 i 型半導体層 3、p 型半導体層 10 および第 2 i 型半導体層 8 をエピタキシャル成長させる。次に、図 5 (b) に示すように、第 2 i 型半導体層 8 の周縁部に対して選択エッチング処理を施す。それにより、円柱状の第 2 i 型半導体層 8 が形成される。

【0046】

次いで、図 5 (c) に示すように、第 1 i 型半導体層 3 および p 型半導体層 10 の周縁部に対して選択エッチング処理を施す。それにより、第 1 メサが形成される。なお、第 1 メサの底面は、第 2 i 型半導体層 8 の底面よりも大きくなっている。それにより、第 2 i 型半導体層 8 は、第 1 メサ上面の内側に形成されている。次に、図 5 (d) に示すように、第 2 i 型半導体層 8 および p 型半導体層 10 の上面全体および n 型半導体層 2 上の一部領域に選択成長マスクを配置する。その後、n 型半導体層 2 および第 1 メサの側壁にパッシベーション半導体層 4 をエピタキシャル成長させる。その後、選択成長マスクを除去する。

【0047】

次いで、図 5 (e) に示すように、第 2 i 型半導体層 8 の露出面およびパッシベーション半導体層 4 の露出面にパッシベーション絶縁膜 5 を形成する。次に、図 5 (f) に示すように、n 型半導体層 2 の露出部に n 型電極 7 を形成するとともに、p 型半導体層 10 の露出部に p 型電極 6 を形成する。以上の工程により、半導体受光素子 100 が完成する。

【0048】

このように、半導体層 8 を最初のエピタキシャル成長工程において形成し、半導体層 8 上を選択成長マスクによって保護してから第 1 メサ側面部へのみ選択的に半導体層をエピタキシャル成長させているので、半導体層 8 上に他の半導体層を再成長させる必要がない。この場合、半導体層 8 上に再成長界面が発生しない。それにより、半導体層 8 を良好な表面を持つ受光窓として用いることができる。また、上記製造方法においては、半導体層 8 にリング状のコンタクトホールを形成する必要がない。それにより、第 1 メサ端からコンタクト電極までの距離を長くすることができる。その結果、素子容量を決める第 1 メサの径を小さくすることができる。なお、製造方法 1 - 1 で製造された半導体受光素子は、半導体受光素子 100 とメサ上部の構造が異なるが、本発明を構成するのになんら不都合

【0049】

製造方法 1 - 1 と請求項 15 との対応関係においては、n 型半導体層 2 が第 1 半導体層に相当し、第 1 i 型半導体層 3 が第 2 半導体層に相当し、p 型半導体層 10 が第 3 半導体層に相当し、第 2 i 型半導体層 8 が第 4 半導体層に相当し、パッシベーション半導体層 4 が第 5 半導体層に相当する。

【0050】

(製造方法 1 - 2)

図 6 は、半導体受光素子 100 の第 2 の製造方法について説明するためのフロー図である。まず、図 6 (a) に示すように、半導体基板 1 上に、n 型半導体層 2、第 1 i 型半導

10

20

30

40

50

体層 3 および p 型半導体層 10 をエピタキシャル成長させる。次に、図 6 (b) に示すように、p 型半導体層 10 および第 1 i 型半導体層 3 の周縁部に対して選択エッチング処理を施す。それにより、第 1 メサが形成される。

【 0 0 5 1 】

次いで、図 6 (c) に示すように、n 型半導体層 2 および第 1 メサを覆うようにパッシベーション半導体層 4 をエピタキシャル成長させる。次に、図 6 (d) に示すように、p 型半導体層 10 上のパッシベーション半導体層 4 に対してエッチバック処理を施す。それにより、所望の層厚の第 2 i 型半導体層 8 が形成される。次いで、図 6 (e) に示すように、パッシベーション半導体層 4 および第 2 i 型半導体層 8 の全体を覆うようにパッシベーション絶縁膜 5 を形成し、n 型半導体層 2 上の一部の領域および p 型半導体層 10 上の一部の領域にコンタクトホールを形成する。

10

【 0 0 5 2 】

次に、図 6 (f) に示すように、n 型半導体層 2 の露出部に n 型電極 7 を形成し、p 型半導体層 10 の露出部に p 型電極 6 を形成する。以上の工程により、半導体受光素子 100 が完成する。このように、パッシベーション半導体層 4 および第 2 i 型半導体層 8 を一度の工程において形成することができる。したがって、製造工程が簡略化される。また、半導体層 8 上に他の半導体層を再成長させる必要がない。この場合、半導体層 8 上に再成長界面が発生しない。それにより、半導体層 8 を良好な表面を持つ受光窓として用いることができる。

【 0 0 5 3 】

20

製造方法 1 - 2 と請求項 16 との対応関係においては、n 型半導体層 2 が第 1 半導体層に相当し、第 1 i 型半導体層 3 が第 2 半導体層に相当し、p 型半導体層 10 が第 3 半導体層に相当し、第 2 i 型半導体層 8 が第 4 半導体層に相当する。

【 0 0 5 4 】

(製造方法 1 - 3)

図 7 は、半導体受光素子 100 の第 3 の製造方法について説明するためのフロー図である。まず、図 7 (a) に示すように、半導体基板 1 上に、n 型半導体層 2、第 1 i 型半導体層 3 および p 型半導体層 10 をエピタキシャル成長させる。次に、図 7 (b) に示すように、p 型半導体層 10 および第 1 i 型半導体層 3 の周縁部に対して選択エッチング処理を施す。それにより、第 1 メサが形成される。

30

【 0 0 5 5 】

次いで、図 7 (c) に示すように、p 型半導体層 10 上の全体および n 型半導体層 2 上の一部の領域に選択成長マスクを配置し、第 1 メサの側壁にパッシベーション半導体層 4 をエピタキシャル成長させる。その後、選択成長マスクを除去する。次に、図 7 (d) に示すように、パッシベーション半導体層 4 および n 型半導体層 2 を覆うように選択成長マスクを配置し、p 型半導体層 10 上に第 2 i 型半導体層 8 をエピタキシャル成長させる。その後、この選択成長マスクを除去する。

【 0 0 5 6 】

次いで、図 7 (e) に示すように、n 型半導体層 2、パッシベーション半導体層 4、p 型半導体層 10 および第 2 i 型半導体層 8 の全体を覆うようにパッシベーション絶縁膜 5 を形成し、n 型半導体層 2 の一部および p 型半導体層 10 の一部の領域が露出するようにコンタクトホールを形成する。次に、図 7 (f) に示すように、n 型半導体層 2 上の露出部に n 型電極 7 を形成し、p 型半導体層 10 上の露出部に p 型電極 6 を形成する。以上の工程により、半導体受光素子 100 が完成する。

40

【 0 0 5 7 】

このように、第 1 メサ側面部への半導体エピタキシャル成長後に半導体層 8 を形成するため、後続プロセスにおいて半導体層 8 への熱的影響が少なくなる。すなわち、製造過程において最大温度となる半導体エピタキシャル成長プロセスが半導体層 8 に対して行われない。また、半導体層 8 上に他の半導体層を再成長させる必要がない。この場合、半導体層 8 上に再成長界面が発生しない。それにより、半導体層 8 を良好な表面を持つ受光窓と

50

して用いることができる。なお、製造方法 1 - 3 で製造された半導体受光素子は、半導体受光素子 100 とメサ上部の構造が異なるが、本発明を構成するのになんら不都合はない。

【0058】

製造方法 1 - 3 と請求項 17 との対応関係においては、n 型半導体層 2 が第 1 半導体層に相当し、第 1 i 型半導体層 3 が第 2 半導体層に相当し、p 型半導体層 10 が第 3 半導体層に相当し、パッシベーション半導体層 4 が第 4 半導体層に相当し、第 2 i 型半導体層 8 が第 5 半導体層に相当する。

【実施例 2】

【0059】

続いて、本発明の第 2 実施例に係る半導体受光素子 100a について説明する。図 8 は、半導体受光素子 100a の模式的断面図である。図 8 に示すように、半導体受光素子 100a が図 1 の半導体受光素子 100 と異なる点は、第 2 i 型半導体層 8 の代わりに第 2 p 型半導体層 8a が設けられている点である。第 2 p 型半導体層 8a は、p 型半導体層 10 上の全体にわたって形成されている。したがって、p 型電極 6 は、第 2 p 型半導体層 8a とオーミック接触している。第 2 p 型半導体層 8a は、p 型 InP からなる。第 2 p 型半導体層 8a の P キャリア濃度は、 $2 \times 10^{18} \text{ cm}^{-3}$ 程度である。

【0060】

第 2 p 型半導体層 8a の層厚は、5 nm 以上 50 nm 以下である。それにより、短波長光 (920 nm 以下の波長光) に対する半導体受光素子 100a の量子効率を 80 % 以上にすることができる。また、パッシベーション半導体層 4 の層厚は、100 nm 以上である。それにより、半導体受光素子 100a の暗電流値を 1 nA 以下にすることができる。その結果、半導体受光素子 100a の高信頼性を維持することができる。

【0061】

(製造方法 2 - 1)

続いて、半導体受光素子 100a の製造方法について説明する。図 9 は、半導体受光素子 100a の製造方法について説明するためのフロー図である。まず、図 9 (a) に示すように、半導体基板 1 上に、n 型半導体層 2、第 1 i 型半導体層 3、p 型半導体層 10、第 2 p 型半導体層 8a および InGaAs カバー層 9 をエピタキシャル成長させる。次に、図 9 (b) に示すように、第 2 p 型半導体層 8a および InGaAs カバー層 9 の周縁部に対して選択エッチング処理を施す。

【0062】

次いで、図 9 (c) に示すように、第 1 i 型半導体層 3 および p 型半導体層 10 の周縁部に対して選択エッチング処理を施す。それにより、第 1 メサが形成される。なお、第 1 メサの径は、第 2 i 型半導体層 8 および InGaAs カバー層 9 の径よりも大きくなっている。それにより、第 2 p 型半導体層 8a および InGaAs カバー層 9 は、第 1 メサ上面の内側に形成されている。

【0063】

次に、図 9 (d) に示すように、n 型半導体層 2、第 1 メサ、第 2 p 型半導体層 8a および InGaAs カバー層 9 を覆うようにパッシベーション半導体層 4 をエピタキシャル成長させる。次いで、図 9 (e) に示すように、n 型半導体層 2 上の一部および InGaAs カバー層 9 上のパッシベーション半導体層 4 を除去する。

【0064】

次に、図 9 (f) に示すように、InGaAs カバー層 9 の一部にコンタクトホールを形成する。次いで、図 9 (g) に示すように、パッシベーション半導体層 4 を覆うようにパッシベーション絶縁膜 5 を形成する。次に、図 9 (h) に示すように、第 2 p 型半導体層 8a の露出部に p 型電極 6 を形成するとともに、n 型半導体層 2 の露出部に n 型電極 7 を形成する。以上の工程により、半導体受光素子 100a が完成する。

【0065】

このように、図 9 の製造方法によれば、選択エピタキシャル成長工程を行う必要がなく

10

20

30

40

50

なる。また、エッチバックによる膜厚制御を行う必要がない。さらに、比較的簡易なユニットプロセスによって素子形成プロセス全体を構成することができる。なお、第2 i 型半導体層8の代わりにp型のInPからなる半導体層を設けても本実施例の効果が得られる。

【0066】

本実施例と請求項1および請求項2との対応関係においては、n型半導体層2が第1半導体層に相当し、第1 i 型半導体層3が第2半導体層に相当し、p型半導体層10が第3半導体層に相当し、第2 p 型半導体層8aが第4半導体層に相当し、パッシベーション半導体層4が第5半導体層に相当する。

【実施例3】

10

【0067】

続いて、本発明の第3実施例に係る半導体受光素子100bについて説明する。図10は、半導体受光素子100bの模式的断面図である。図10に示すように、半導体受光素子100bが図1の半導体受光素子100と異なる点は、第2 i 型半導体層8の代わりに第2 p 型半導体層8aが設けられている点およびp型半導体層10が省略されている点である。この場合、第1 i 型半導体層3と第2 p 型半導体層8aとのヘテロ界面において、エネルギーポテンシャル差に起因するキャリア（ホール）走行遅延が発生する可能性がある。したがって、InGaAsP中間層を第1 i 型半導体層3と第2 p 型半導体層8aとのヘテロ界面に設けてもよい。この場合、InGaAs中間層は、InPからなる第2 p 型半導体層8aと接しPL波長1.1 μmの上層とInGaAsからなる第1 i 型半導体層3と接しPL波長1.3 μmの下層とからなる2層構造を有していてもよい。

20

【0068】

第2 p 型半導体層8aの層厚は、5 nm以上50 nm以下である。それにより、短波長光（920 nm以下の波長光）に対する半導体受光素子100bの量子効率を80%以上にすることができる。また、パッシベーション半導体層4の層厚は、100 nm以上である。それにより、半導体受光素子100bの暗電流値を1 nA以下にすることができる。その結果、半導体受光素子100bの高信頼性を維持することができる。

【0069】

実施例3に係る半導体受光素子100bと請求項5および請求項6との対応関係においては、n型半導体層2が第1半導体層に相当し、第1 i 型半導体層3が第2半導体層に相当し、第2 p 型半導体層8aが第3半導体層に相当し、パッシベーション半導体層4が第4半導体層に相当する。

30

【実施例4】

【0070】

続いて、本発明の第4実施例に係る光電変換回路200について説明する。図11は、光電変換回路200の平面図である。図11に示すように、光電変換回路200は、受光素子として機能する半導体受光素子201、電子素子として機能するHBT（ヘテロ接合バイポーラトランジスタ）202、抵抗器203およびキャパシタ204が半導体基板205上にモノシリックに集積化された構造を有する。なお、半導体受光素子201は、上記半導体受光素子100、100a、100bのいずれかである。

40

【0071】

図12は、半導体受光素子201およびHBT202の模式的断面図である。図12に示すように、HBT202は、半導体基板1上にn型半導体層2、第1 i 型半導体層3、p型半導体層10が順に積層された構造を有する。第1 i 型半導体層3およびp型半導体層10は、メサ型に形成され、円錐台状の第3メサ部を一体として構成している。n型半導体層2は、メサ型に形成され、第3メサ部の底面下に配置された円錐台状の第4メサ部を単独で構成している。第4メサ部は、第3メサ部の径よりも大きい径を有する。

【0072】

また、第3メサ部上には、第2 i 型半導体層8および第2 n 型半導体層31がメサ型に形成され、円錐台状の第5メサ部を一体として構成している。第5メサ部は、第3メサ部

50

よりも小さい径を有する。第3～第5メサ部の側壁には、パッシベーション絶縁膜5が形成されている。n型半導体層2上には、コレクタ電極32が形成されている。p型半導体層10上には、ベース電極33が形成されている。第2n型半導体層31上には、エミッタ電極34が形成されている。

【0073】

(製造方法4-1)

続いて、光電変換回路200の製造方法について説明する。図13は、光電変換回路200の製造方法について説明するためのフロー図である。まず、図13(a)に示すように、半導体基板1上に、n型半導体層2、第1i型半導体層3、p型半導体層10、第2i型半導体層8および第2n型半導体層31をエピタキシャル成長させる。

10

【0074】

次に、図13(b)に示すように、選択エッチング処理を施すことによって、第1メサ部、第2メサ部および第2i型半導体層8からなる領域Aと、第3～第5メサ部からなる領域Bとを形成する。次いで、図13(c)に示すように、領域Aの第1i型半導体層3およびp型半導体層10の側壁にパッシベーション半導体層4をエピタキシャル成長させる。次に、図13(d)に示すように、パッシベーション半導体層4、領域Aの第2i型半導体層8、領域Bのn型半導体層2と第1i型半導体層3およびp型半導体層10の側壁と第2i型半導体層8および第2n型半導体層31の側壁にパッシベーション絶縁膜5を形成する。

【0075】

20

次いで、図13(e)に示すように、領域Aのn型半導体層2の露出部にn型電極7を形成し、領域Aのp型半導体層10の露出部にp型電極6を形成し、領域Bのn型半導体層2の露出部にコレクタ電極32を形成し、領域Bのp型半導体層10の露出部にベース電極33を形成し、第2n型半導体層31の露出部にエミッタ電極34を形成する。以上の工程により、光電変換回路200が完成する。

【0076】

このように、図13の製造方法によれば、受光素子のエピタキシャル成長層と電子素子のエピタキシャル成長層との共用化が可能である。また、受光素子および電子素子を形成する際のプロセスの共通化および集積化プロセスの簡易化が可能となる。

【0077】

30

なお、上記各実施例に係る半導体受光素子は半導体基板上に、n型、i型およびp型半導体層が順に積層されているが、p型、i型およびn型半導体層が順に積層されていてもよい。また、上記各実施例に係る半導体受光素子はInP/InGaAs系であるが、それに限られない。例えば、半導体受光素子としてGaAs/AlGaAs系を用いることもできる。

【0078】

本実施例と請求項19との対応関係においては、n型半導体層2が第1半導体層に相当し、第1i型半導体層3が第2半導体層に相当し、p型半導体層10が第3半導体層に相当し、第2i型半導体層8が第4半導体層に相当し、第2n型半導体層31が第5半導体層に相当し、パッシベーション半導体層4が第6半導体層に相当する。

40

【図面の簡単な説明】

【0079】

【図1】本発明の第1実施例に係る半導体受光素子の模式的断面図である。

【図2】850nmの波長光を入射光として用いた場合における、第2i型半導体層の層厚と入射面に第2i型半導体層が設けられたInGaAsの量子効率との関係を示す図である。

【図3】第2i型半導体層の層厚が5nm以上50nm以下の場合における、バンドギャップエネルギーおよび発生キャリア密度の概念図である。

【図4】パッシベーション半導体層の層厚と半導体受光素子の暗電流との関係を示す図である。

50

【図 5】第 1 実施例に係る半導体受光素子の第 1 の製造方法について説明するためのフロー図である。

【図 6】第 1 実施例に係る半導体受光素子の第 2 の製造方法について説明するためのフロー図である。

【図 7】第 1 実施例に係る半導体受光素子の第 3 の製造方法について説明するためのフロー図である。

【図 8】本発明の第 2 実施例に係る半導体受光素子の模式的断面図である。

【図 9】第 2 実施例に係る半導体受光素子の製造方法について説明するためのフロー図である。

【図 10】本発明の第 3 実施例に係る半導体受光素子の模式的断面図である。

10

【図 11】本発明の第 4 実施例に係る光電変換回路の平面図である。

【図 12】半導体受光素子および H B T の模式的断面図である。

【図 13】光電変換回路の製造方法について説明するためのフロー図である。

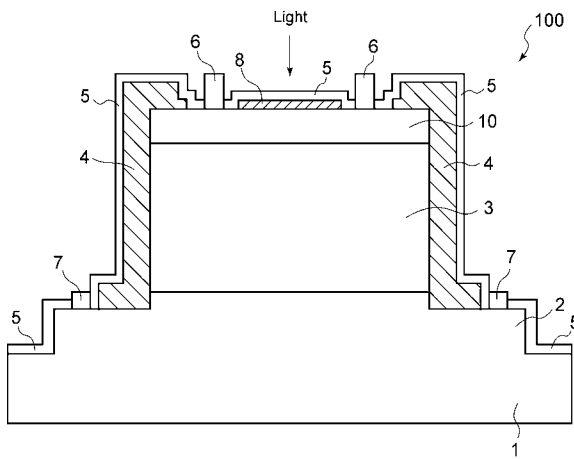
【符号の説明】

【 0 0 8 0 】

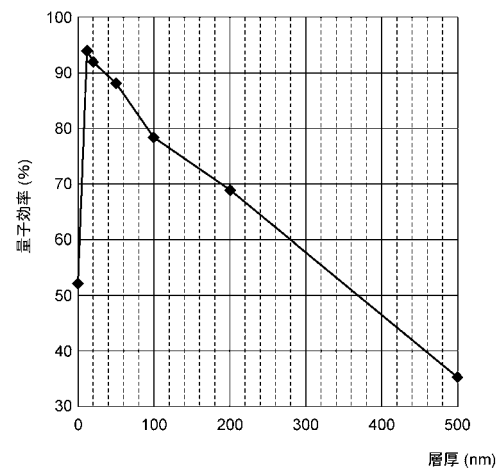
- 1 半導体基板
- 2 n 型半導体層
- 3 第 1 i 型半導体層
- 4 パッシベーション半導体層
- 6 p 型電極
- 7 n 型電極
- 8 第 2 i 型半導体層
- 8 a 第 2 p 型半導体層
- 1 0 p 型半導体層
- 1 0 0 , 2 0 1 半導体受光素子
- 2 0 0 光電変換回路
- 2 0 2 H B T

20

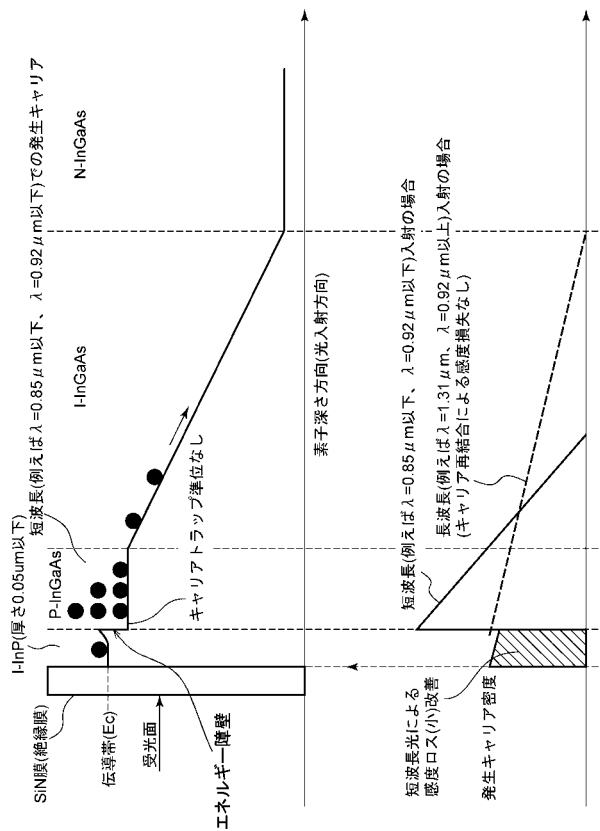
【図 1】



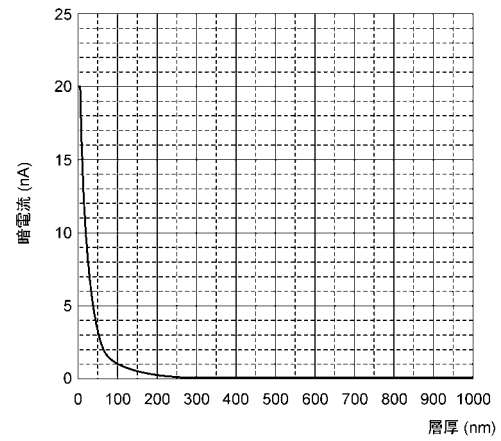
【図 2】



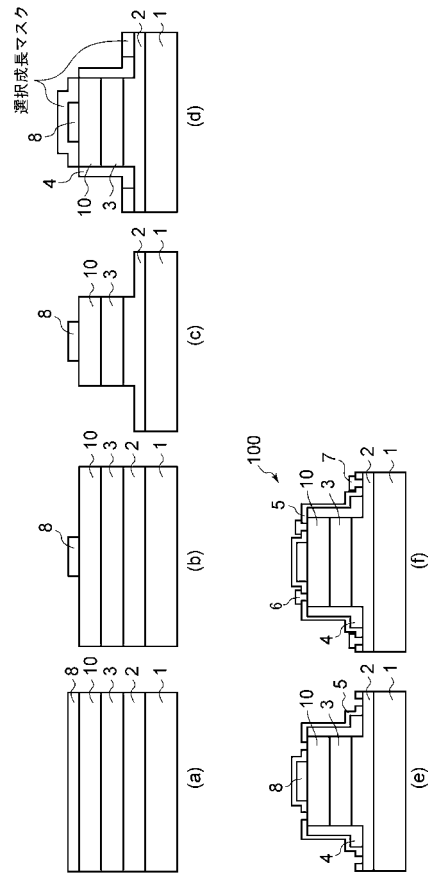
【図 3】



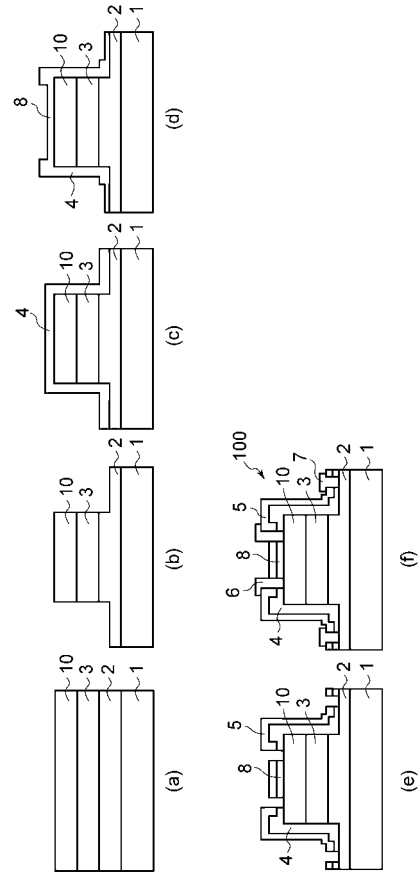
【図 4】



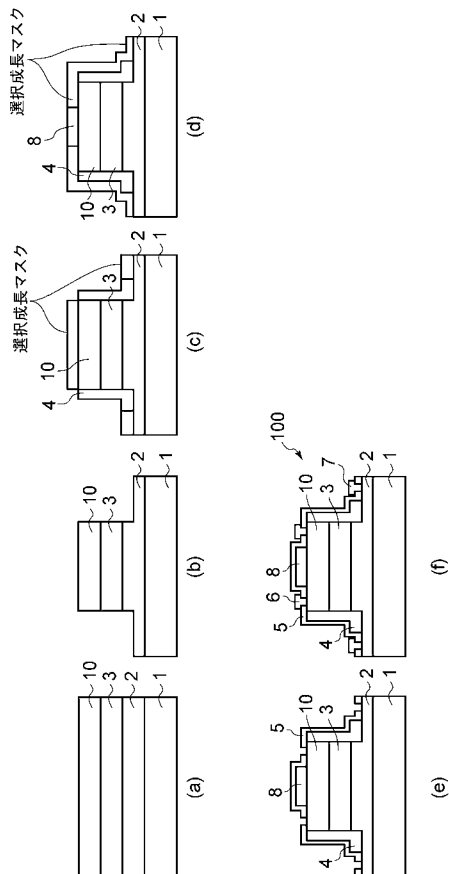
【図 5】



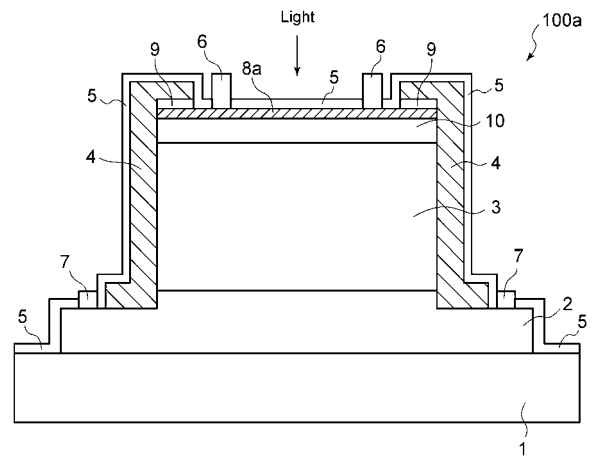
【図 6】



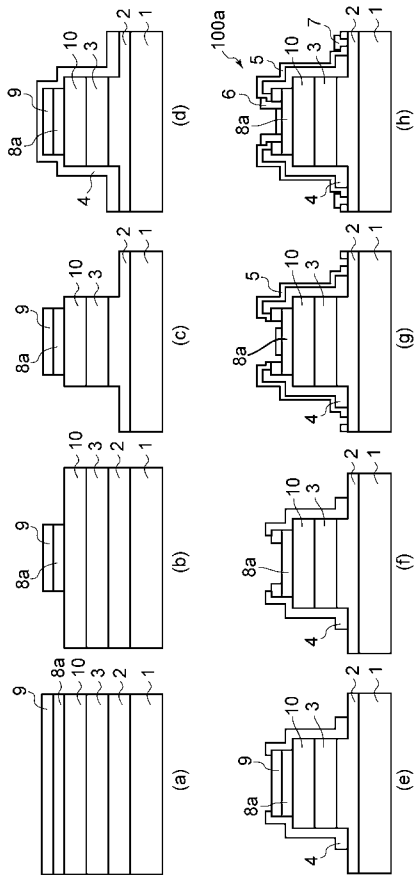
【図 7】



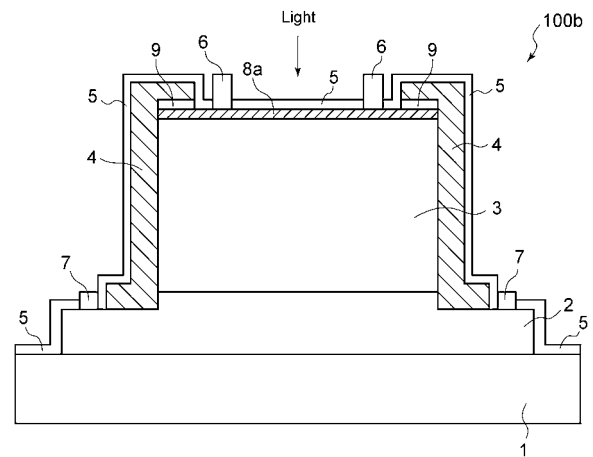
【図 8】



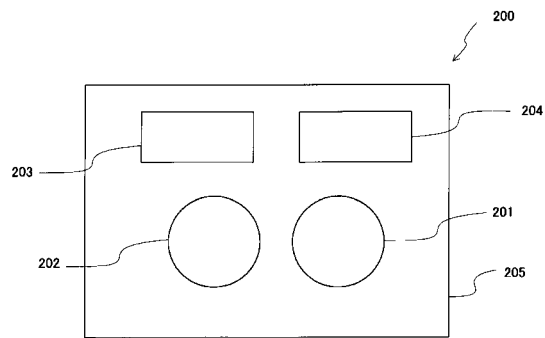
【図 9】



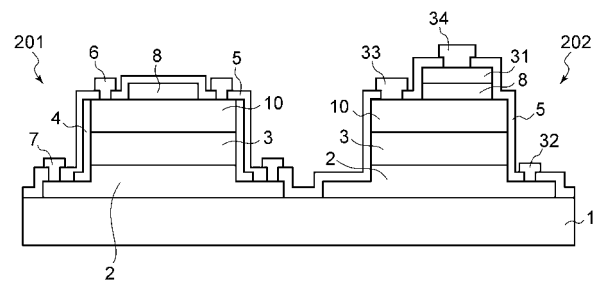
【図 10】



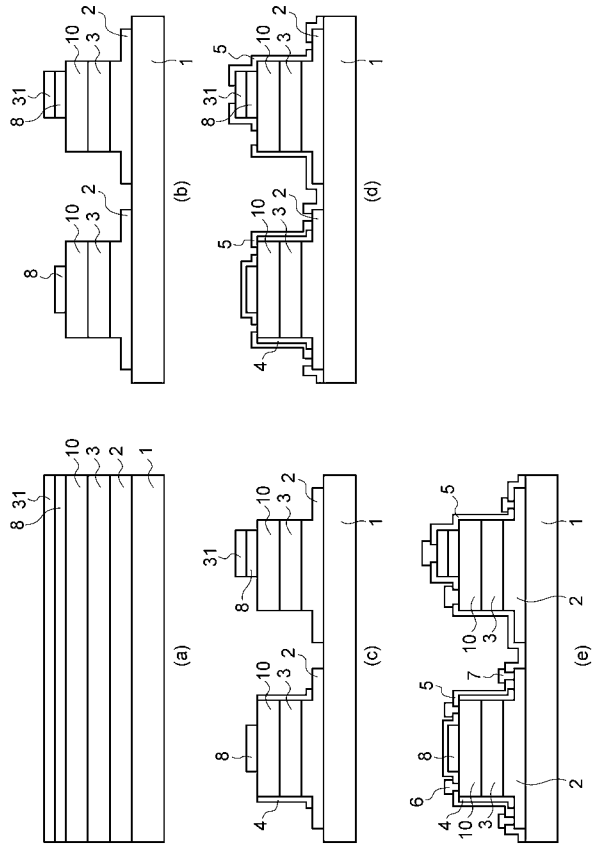
【図 11】



【図 12】



【図 13】



フロントページの続き

(72)発明者 山日 竜二

山梨県中巨摩郡昭和町大字紙漣阿原１０００番地 ユーディナデバイス株式会社内

審査官 山本 元彦

(56)参考文献 特開平０４－０９２４７９（ＪＰ，Ａ）
特開２００３－０２３１７３（ＪＰ，Ａ）
特開２００１－１４４２７８（ＪＰ，Ａ）
特開平０９－２１３９８８（ＪＰ，Ａ）
特開昭６２－２５４４７３（ＪＰ，Ａ）
特開２００５－１２９６８９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)

H01L 31/00 - 31/0392、31/08 - 31/119