



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0057027
(43) 공개일자 2014년05월12일

(51) 국제특허분류(Int. Cl.)

H03M 1/38 (2006.01)

(21) 출원번호 10-2012-0123624

(22) 출원일자 2012년11월02일

심사청구일자 2012년11월02일

(71) 출원인

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

이승훈

서울 용산구 이촌로 324-10, 2동 210호 (이촌동, 반도아파트)

남상필

경북 포항시 남구 지곡로 294, 224동 104호 (지곡동, 삼성그린2차아파트)

김용민

인천 남동구 구월로 73, 4동 605호 (간석동, 금호아파트)

(74) 대리인

특허법인충현

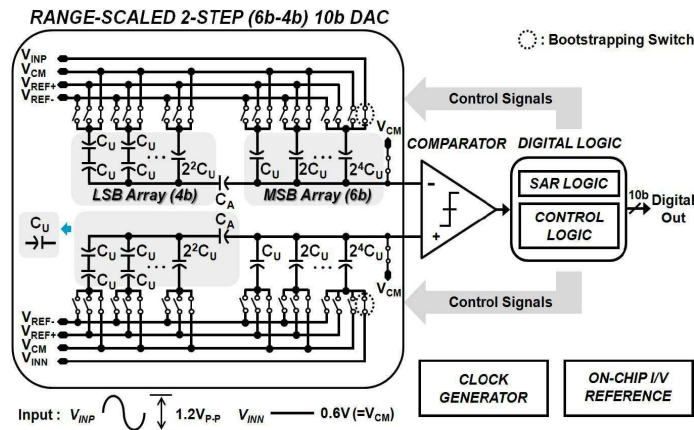
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 레인지 스케일링을 이용한 SAR ADC

(57) 요약

본 발명은 SAR ADC에 관한 것으로서 단일 입력신호를 샘플링 커패시터의 절반에 샘플링하여 상기 단일 입력신호 범위의 절반 크기의 신호를 처리하도록 레인지 스케일링을 수행하는 것을 특징함으로써, 프리앰프에서 전압여유 부족이 발생하지 않으며, 전체 ADC에서는 전원전압 크기의 단일 입력신호 처리가 가능하다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	NRF 2012-0002297
부처명	교육과학기술부
연구사업명	한국연구재단 일반연구자지원사업
연구과제명	선택적 SHA 기반의 저전력 12비트 100MS/s 급 0.13um CMOS ADC 연구
기 여 율	1/2
주관기관	서강대학교 산학협력단
연구기간	2010.05.01 ~ 2013.04.30이 발명을 지원한 국가연구개발사업
과제고유번호	1415123314
부처명	지식경제부
연구사업명	정보통신기술인력양성
연구과제명	아날로그IP설계기술
기 여 율	1/2
주관기관	서강대학교 산학협력단
연구기간	2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

단일 입력신호를 샘플링 커패시터의 절반에 샘플링하여 상기 단일 입력신호 범위의 절반 크기의 신호를 처리하도록 레인지 스케일링을 수행하는 것을 특징으로 하는 SAR ADC.

청구항 2

제 1 항에 있어서,

상기 샘플링 커패시터의 절반은 상기 샘플링 커패시터 중 가장 용량이 큰 커패시터인 것을 특징으로 하는 SAR ADC.

청구항 3

제 1 항에 있어서,

상기 샘플링 커패시터는 분리 가중치 커패시터를 이용하여 상위비트를 결정하는 커패시터 열과 하위비트를 결정하는 커패시터 열의 2단계 구조로 형성하는 것을 특징으로 하는 SAR ADC.

청구항 4

제 3 항에 있어서,

상기 샘플링 커패시터의 2단계 구조는 상위비트 6비트와 하위비트 4비트로 형성하는 것을 특징으로 하는 SAR ADC.

청구항 5

제 1 항에 있어서,

상기 커패시터에 의해 샘플링된 단일 입력신호를 동상전압과 직접 비교하여 최상위 비트를 결정하는 것을 특징으로 하는 SAR ADC.

청구항 6

제 1 항에 있어서,

비교기에 오프셋 제거 커패시터를 이용하여 오프셋을 제거하는 것을 특징으로 하는 SAR ADC.

청구항 7

제 6 항에 있어서,

상기 비교기는 2단 프리앰프를 이용하고, 오프셋 제거 커패시터를 이용하여 상기 2단 프리앰프 중 첫 번째 단의 프리앰프에서 상기 오프셋을 제거하는 것을 특징으로 하는 SAR ADC.

청구항 8

제 1 항에 있어서,

두 개의 단위 커패시터를 직렬로 연결하여 최하위 비트를 결정하는 커패시터로 이용하는 것을 특징으로 하는 SAR ADC.

청구항 9

제 1 항에 있어서,

상기 SAR ADC는 시스템 온 칩으로 형성되는 것을 특징으로 하는 SAR ADC.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항의 SAR ADC를 포함하는 디지털 비디오 출력장치.

명세서

기술 분야

[0001] 본 발명은 SAR ADC에 관한 것으로서, 레인지 스케일링을 이용하여 전원전압 크기의 단일 입력신호를 처리하는 SAR ADC 및 상기 SAR ADC를 포함하는 디지털 비디오 출력 장치에 관한 것이다.

배경 기술

[0002] 아날로그 방송 시스템의 대표적인 컬러 인코딩 방식에는 대한민국과 일본에서 사용되는 national television system committee (NTSC) 방식과 유럽에서 사용되는 phase-alternating line (PAL) 방식이 있다. 아날로그 TV는 이러한 NTSC 및 PAL 방식으로 인코딩된 아날로그 비디오 입력을 디지털 비디오 출력으로 변환하기 위해 10비트 수준의 해상도를 지니며 수 MS/s 수준의 처리 속도로 동작하는 A/D 변환기 (analog-to-digital converter: ADC)가 필수적으로 요구된다.

[0003] 본 발명의 일 실시예에 따른 SAR ADC는 "오프셋 전압 보정 기능을 가지는 아날로그-디지털 변환기(출원번호: KR10-2009-0129043)" 및 "병렬접속된 비교기를 내장한 파이프라인 SAR방식의 ADC(출원번호: KR10-1995-0026419)" 등의 선행기술에 언급된 SAR ADC와 같이, A/D 변환에 사용된다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 첫 번째 과제는 전원전압 크기의 단일 입력신호를 처리하기 위해 레인지 스케일링을 이용한 SAR ADC를 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 두 번째 과제는 레인지 스케일링을 이용한 SAR ADC를 포함하는 디지털 비디오 출력 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명은 상기 첫 번째 과제를 해결하기 위하여, 단일 입력신호를 샘플링 커패시터의 절반에 샘플링하여 상기 단일 입력신호 범위의 절반 크기의 신호를 처리하도록 레인지 스케일링을 수행하는 것을 특징으로 하는 SAR ADC를 제공한다.

[0007] 본 발명의 일 실시예에 의하면, 상기 샘플링 커패시터의 절반은 상기 샘플링 커패시터 중 가장 용량이 큰 커패시터인 것을 특징으로 하는 SAR ADC일 수 있다.

[0008] 본 발명의 다른 실시예에 의하면, 상기 샘플링 커패시터는 분리 가중치 커패시터(C_A)를 이용하여 상위비트를 결정하기 위한 커패시터 열과 하위비트를 결정하기 위한 커패시터 열의 2단계 구조로 형성하는 것을 특징으로 하는 SAR ADC일 수 있으며, 상기 샘플링 커패시터의 2단계 구조는 상위비트 6비트와 하위비트 4비트로 형성하는 것을 특징으로 하는 SAR ADC일 수 있다.

[0009] 본 발명의 다른 실시예에 의하면, 상기 커패시터에 의해 샘플링된 단일 입력신호를 동상전압(V_{CM})과 직접 비교하여 최상위 비트를 결정하는 것을 특징으로 하는 SAR ADC일 수 있다.

[0010] 본 발명의 다른 실시예에 의하면, 비교기에 오프셋 제거 커패시터를 이용하여 오프셋을 제거하는 것을 특징으로 하는 SAR ADC일 수 있고, 상기 비교기는 2단 프리앰프를 이용하고, 상기 2단 프리앰프 중 첫 번째 단의 프리앰프에만 오프셋 제거 커패시터를 이용하여 오프셋을 제거하는 것을 특징으로 하는 SAR ADC일 수 있다.

[0011] 본 발명의 다른 실시예에 의하면, 두 개의 단위 커패시터를 직렬로 연결하여 최하위 비트를 결정하기 위한 커패시터를 구성하는 것을 특징으로 하는 SAR ADC일 수 있다.

[0012] 본 발명은 상기 두 번째 과제를 해결하기 위하여, 상기 SAR ADC를 포함하는 디지털 비디오 출력 장치를 제공한 다.

발명의 효과

[0013] 본 발명에 따르면, 단일 입력신호를 샘플링 커패시터의 절반에만 샘플링하여 레인지 스케일링을 행함으로써, 프리앰프에서 전압여유부족이 발생하지 않으며, 전체 ADC에서는 전원전압 크기의 단일 입력신호 처리가 가능하다. 또한, 최대 커패시터의 크기를 줄일 수 있는바, 커패시터 충전 및 방전에 의한 전력소모를 크게 줄일 수 있다. 나아가, SAR ADC 내 비교기에 오프셋 제거 기법을 적용하여 비교기의 오프셋이 전체 ADC에 미치는 영향을 줄일 수 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일 실시예에 따른 SAR ADC를 도시한 것이다.

도 2는 본 발명의 실시예에 따른 SAR ADC의 레인지 스케일링을 도시한 것이다.

도 3은 본 발명의 실시예에 따른 SAR ADC 내 D/A 변환기 (digital-to- analog converter: DAC)에 사용된 커패시터의 크기가 감소하는 것을 도시한 것이다.

도 4는 본 발명의 실시예에 따른 SAR ADC 내 비교기의 오프셋 제거를 도시한 것이다.

도 5는 본 발명의 실시예에 따른 SNDR 및 SFDR을 나타내는 그래프와 레이아웃을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.

[0016] 본 발명의 일 실시예에 따른 SAR ADC는 전원전압 크기의 단일 입력신호를 처리하기 위해 단일 입력신호를 샘플링 커패시터의 절반에 샘플링하여 상기 단일 입력신호 범위의 절반 크기의 신호를 처리하도록 레인지 스케일링을 수행하는 것을 특징으로 한다.

[0017] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.

[0018] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시 예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0019] 본 발명의 일 실시예에 따른 SAR ADC는 면적 및 전력소모를 최소화하기 위한 디지털 회로 기반의 SAR(successive approximation register, 연속근사 레지스터) 구조의 ADC이다. NTSC 및 PAL 방식의 아날로그 TV에 응용 및 수정보완이 가능하도록 10비트 1MS/s~10MS/s의 사양을 가질 수 있다.

[0020] 본 발명의 일 실시예에 따른 SAR ADC는 추가적인 회로 없이 전원전압 크기의 단일 입력신호를 처리하기 위해 입력신호를 샘플링 커패시터의 절반에만 샘플링하는 레인지 스케일링(range-scaling) 기법을 적용하였다. 또한, SAR ADC의 핵심 블록인 DAC에는 분리 가중치 커패시터(C_A)를 이용한 2단계 구조를 사용하는 동시에 동상전압(V_{CM}) 기반의 스위칭 기법을 적용하고, 최하위 비트를 결정하기 위한 커패시터는 두 개의 단위 커패시터(C_U)를 직렬 연결하여 사용함으로써 면적과 전력소모를 감소시킬 수 있으며, 비교기는 첫 번째 프리앰프에 오프셋 제거 기법을 적용하여 비교기 오프셋이 전체 ADC에 미치는 영향을 최소화할 수 있고, 디지털 로직은 최적화하여 면적 및 전력소모를 추가적으로 감소시킬 수 있다. 또한, 전체 ADC를 차동구조로 설계하여 전원전압의 잡음성분에 의한 성능저하를 줄일 수 있다.

- [0021] 상기 SAR ADC에 적용된 구성들을 상세히 설명하도록 한다.
- [0022] 먼저, 본 발명의 일 실시예에 따른 SAR ADC는 레인지 스케일링을 이용한다.
- [0023] 보다 구체적으로, 전원전압 크기의 단일 입력신호를 이용하는 것이 그렇지 않은 경우보다 SNDR이 높은바, 전원전압 크기의 단일 입력신호를 입력받아 A/D 변환을 수행한다. 기존의 단일 입력신호를 처리하는 SAR ADC의 경우, 비교기의 프리앰프에서 발생하는 전압여유부족으로 인해 단일 입력신호 범위가 제한된다. 이를 해결하기 위해 비교기에 NMOS 입력단을 가지는 프리앰프 및 PMOS 입력단을 가지는 프리앰프 즉, 두 개의 프리앰프가 집적된 SAR ADC가 개발되었다. 두 개의 프리앰프를 사용하는 경우 전원전압 크기의 단일 입력신호 처리가 가능하지만, 추가적으로 요구되는 프리앰프로 인해 면적 및 전력소모가 증가하고 프리앰프 간 오프셋 부정합 문제가 발생한다.
- [0024] 상기 기존 문제점들을 해결하기 위하여, 본 발명의 일 실시예에 따른 SAR ADC는 추가적인 회로없이 전원전압 크기의 단일 입력신호를 처리하기 위하여 레인지 스케일링 기법을 이용한다. 단일 입력신호를 샘플링 커패시터의 절반에 샘플링하여 ADC 내부에서는 입력신호 범위의 절반 크기의 신호를 처리하도록 한다. 따라서, 비교기의 프리앰프에서 전압여유부족이 발생하지 않으며, 전체 ADC에서는 전원전압크기의 단일 입력신호 처리가 가능하다. 레인지 스케일링에 대해서는 도 2에서 자세히 설명하도록 한다.
- [0025] 두 번째로, 본 발명의 실시예에 따른 SAR ADC는 분리 가중치 커패시터(C_A)를 이용하여 2단계 구조로 나누어 형성할 수 있다.
- [0026] 보다 구체적으로, 샘플링 커패시터를 분리 가중치 커패시터(C_A)를 이용하여 상위비트를 결정하는 커패시터 열과 하위비트를 결정하는 커패시터 열의 2단계 구조를 형성한다.
- [0027] 이때, 상기 분리 가중치 커패시터(C_A)의 크기는 단위 커패시터(C_U) 크기의 1.1427배가 되는바, 커패시터 간의 부정합이 발생할 수 있으나, 커패시터 간 정합을 고려한 레이아웃 기법을 이용하여 상기 분리 가중치 커패시터(C_A)의 부정합을 최소화한다.
- [0028] 세 번째로, 본 발명의 실시예에 따른 SAR ADC는 동상전압(V_{CM}) 기반의 스위칭 동작을 통해 A/D 변환을 수행할 수 있다.
- [0029] 보다 구체적으로, 기존 set-and-down 스위칭 기법은 입력신호를 샘플링한 뒤 추가적인 스위칭 없이 최상위 비트를 결정할 수 있어, 최상위 비트를 결정하는 커패시터를 제거할 수 있는 장점이 있다. 그러나, 비교기의 입력단으로 입력신호를 샘플링하기 때문에 비교기 입력 단 공통모드전압이 디지털 변환을 수행하는 동안 계속해서 변화하며, 입력신호에 의존적인 전하 피드스루 현상이 발생하여 ADC의 성능이 저하된다.
- [0030] 하지만, 동상전압(V_{CM}) 기반의 스위칭 기법은 단일 입력신호가 커패시터의 bottom plate를 통해서 샘플링되기 때문에 비교기의 입력단 공통모드전압 변화에 따른 성능저하가 발생하지 않는다. 또한, 샘플링된 단일 입력신호를 상기 동상전압(V_{CM})과 직접 비교하여 최상위 비트가 결정되는바, 최상위 비트를 결정하는 커패시터($2^5 C_U$)를 제거할 수 있다. 전력소모 측면에서도 상기 동상전압(V_{CM})을 기준으로 스위칭하기 때문에 커패시터 양단의 전압변화가 절반으로 줄어들어 DAC의 전력소모가 set-and-down 스위칭 기법과 대비하여 약 30%가 감소한다.
- [0031] 네 번째로, 본 발명의 실시예에 따른 SAR ADC는 단위 커패시터(C_U)를 직렬연결함으로써, 하위비트의 $2^3 C_U$ 를 제거할 수 있다.
- [0032] 최하위 비트를 결정하기 위한 커패시터를 단위 커패시터(C_U)로 사용하면, 하위 4비트를 처리하기 위해 하위비트 커패시터 열은 C_U 에서 $2^3 C_U$ 까지의 커패시터가 필요하다. 하지만, 단위 커패시터(C_U)를 직렬연결하여 $1/2C_U$ 를 구현하면, 하위비트 커패시터 열에서 사용되는 커패시터로 $1/2C_U$ 에서 $2^2 C_U$ 까지의 커패시터를 사용하면 되는바, $2^3 C_U$ 를 제거할 수 있다. $2^3 C_U$ 를 제거함으로써, 커패시터 충전 및 방전에 의한 전력소모를 줄일 수 있다.
- [0033] 마지막으로, 본 발명의 실시예에 따른 SAR ADC는 비교기의 오프셋 제거를 수행할 수 있다.
- [0034] 보다 구체적으로, 비교기 내 래치의 오프셋이 전체 ADC에 미치는 영향이 최소가 되도록 2단 프리앰프를 이용하

고, 첫 번째 프리앰프에만 오프셋 제거 커패시터를 이용하여 오프셋을 제거한다. 두 번째 프리앰프는 비교기 입력 단에서 볼 때, 오프셋이 첫 번째 프리앰프의 이득으로 나뉘지므로 시스템에 미치는 영향이 크지 않으므로 추가적인 오프셋 제거 기법을 적용하지 않을 수 있다. 두 번째 프리앰프 출력단에는 리셋 스위치를 추가하여 래치 입력을 초기화함으로써 프리앰프의 이전 출력이 현재 출력에 영향을 미치는 것을 방지할 수 있다.

- [0035] 상기 설명한 기법들이 적용된 SAR ADC에 대해 도면과 함께 자세히 설명하도록 한다.
- [0036] 도 1은 본 발명의 일 실시예에 따른 SAR ADC를 도시한 것이다.
- [0037] 도 1과 같이, 레인지 스케일링을 통해, 단일 입력신호인 V_{INP} 는 샘플링 커패시터의 반인 가장 큰 용량의 커패시터 $2^4 C_U$ 에 샘플링된다. 전체 샘플링 커패시터는 분리 가중치 커패시터(C_A)에 의해 상위비트 6비트를 결정하는 커패시터 열(MSB Array)와 하위비트 4비트를 결정하는 커패시터 열(LSB Array)로 나뉘어 2단계 구조로 형성된다. 상기와 같이, 샘플링 커패시터를 2단계 구조로 형성함으로써, 기존 10비트에서의 최대 커패시터 크기인 $2^9 C_U$ 의 용량크기를 줄일 수 있다. 하위비트 커패시터 열 및 분리 가중치 커패시터(C_A)는 상위비트의 최소 커패시터인 단위 커패시터(C_U)와 등가가 된다.
- [0038] 또한, 하위비트 커패시터 열의 최소 커패시터 크기를 $1/2 C_U$ 로 구현하기 위하여, 단위 커패시터(C_U)를 직렬 연결한다. 상기 단위 커패시터(C_U)를 직렬 연결함으로써 하위비트 커패시터 열에서의 최대 커패시터인 $2^3 C_U$ 를 제거할 수 있다.
- [0039] 나아가, 비교기의 입력단에 동상전압(V_{CM})을 걸어주어, DAC가 상기 동상전압(V_{CM})을 기준으로 스위칭하도록 형성한다. 상기 단일 입력신호는 동상전압(V_{CM})과 직접 비교되어 최상위 비트를 결정할 수 있는바, 상위비트 커패시터 열의 최대 커패시터인 $2^5 C_U$ 를 제거할 수 있다.
- [0040] 도 2는 본 발명의 실시예에 따른 SAR ADC의 레인지 스케일링을 도시한 것이다.
- [0041] 도 1에서 살펴본 바와 같이, 단일 입력신호인 V_{INP} 는 샘플링 커패시터의 반인 가장 큰 용량의 커패시터 $2^4 C_U$ 에 샘플링된다. 또한, 동상전압(V_{CM})을 기준으로 스위칭하기 때문에 커패시터 양단의 전압변화가 절반으로 줄어들어 DAC의 전력소모가 감소한다.
- [0042] 도 3은 본 발명의 실시예에 따른 SAR ADC의 최대 커패시터의 크기가 감소하는 것을 도시한 것이다.
- [0043] 10비트를 결정하기 위한 샘플링 커패시터는 C_U 내지 $2^9 C_U$ 를 이용할 수 있다. 하지만, 분리 가중치 커패시터(C_A)를 이용함으로써, $2^6 C_U$ 내지 $2^9 C_U$ 를 제거할 수 있다. 또한, 샘플링된 입력신호를 동상전압(V_{CM})과 직접 비교하여 최상위 비트를 결정함으로써 $2^5 C_U$ 를 제거할 수 있다. 나아가, 하위비트 커패시터 열의 최하위 비트를 단위 커패시터(C_U)를 직렬 연결하여 $1/2 C_U$ 로 구현함으로써, 상기 하위비트 커패시터 열의 최상위 비트인 $2^3 C_U$ 를 제거할 수 있다. 상기와 같이, 커패시터의 크기를 감소시킴으로써, 커패시터 충전 및 방전에 의한 전력소모를 크게 줄일 수 있다.
- [0044] 도 4는 본 발명의 실시예에 따른 SAR ADC 내 비교기의 오프셋 제거를 도시한 것이다.
- [0045] 비교기를 2단 프리앰프 및 래치로 형성하고, 첫 번째 프리앰프에 오프셋 제거 커패시터를 이용함으로써 오프셋을 제거한다. 두 번째 프리앰프의 오프셋은 첫 번째 프리앰프의 이득으로 나뉘지므로 전체 ADC에 미치는 영향이 크지 않은바, 오프셋 제거 커패시터를 이용하지 않는다.
- [0046] 도 5는 본 발명의 실시예에 따른 SAR ADC의 SNDR 및 SFDR을 나타내는 그래프와 레이아웃을 도시한 것이다.
- [0047] 본 발명의 실시예에 따른 SAR ADC는 10비트 해상도에서 최대 10MS/s로 동작하는 SAR ADC는 0.11um CMOS 공정으로 제작되었다. 시제품 ADC의 측정된 differential non-linearity (DNL) 및 integral non-linearity (INL)는

10비트의 해상도에서 각각 최대 1.07LSB, 1.66LSB 이내이며, 1MHz 입력 주파수 및 10MS/s 동작 속도에서 측정된 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range (SFDR)는 각각 54.4dB, 69.8dB 이다. 그림 5는 10MS/s의 동작 속도에서 입력 주파수에 따른 측정된 SNDR 및 SFDR과 시제품 ADC의 레이아웃을 나타낸다. 입력 주파수를 Nyquist 주파수의 2배인 10MHz까지 증가시킬 때, 측정된 SNDR과 SFDR은 각각 53.8dB, 64.7dB 이상 유지되며, 단일 입력조건에서도 차동 입력조건일 경우에 비해 성능저하가 거의 나타나지 않는다. 제안하는 시제품 ADC의 면적은 0.25mm^2 이며, 1.2V 전원전압 및 10MS/s의 동작 속도에서 2.3mW의 전력을 소모한다. 주요 시제품 ADC 성능측정 결과는 표 1과 같다.

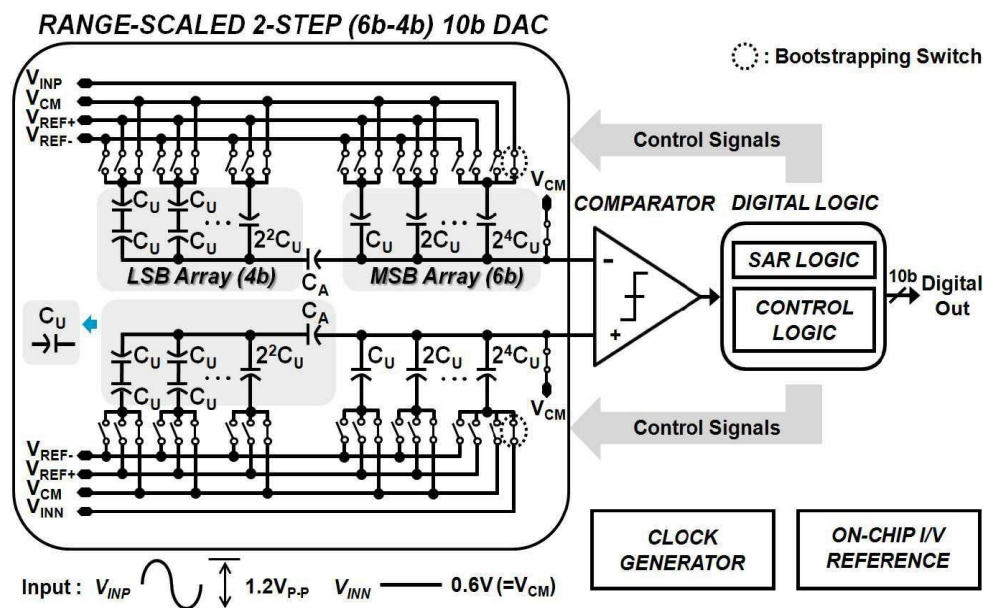
표 1

Resolution	10bits	
Conversion Rate	1MS/s ~ 10MS/s	
Process	0.11um CMOS with MIM Cap.	
Supply	1.2V	
Input Range	1.2V _{P,P} (single-ended)	
DNL	-0.45LSB/+1.07LSB	
INL	-1.64LSB/+1.66LSB	
SNDR(@f _s =10MS/s)	54.4dB(@f _{IN} =1MHz)	53.8dB(@f _{IN} =10MHz)
SFDR(@f _s =10MS/s)	69.8dB(@f _{IN} =1MHz)	64.7dB(@f _{IN} =10MHz)
ADC Power	2.30mW(with I/V reference) 1.64mW(without I/V reference)	
Active Die Area	0.25mm^2 (=0.51mm X 0.49mm)	

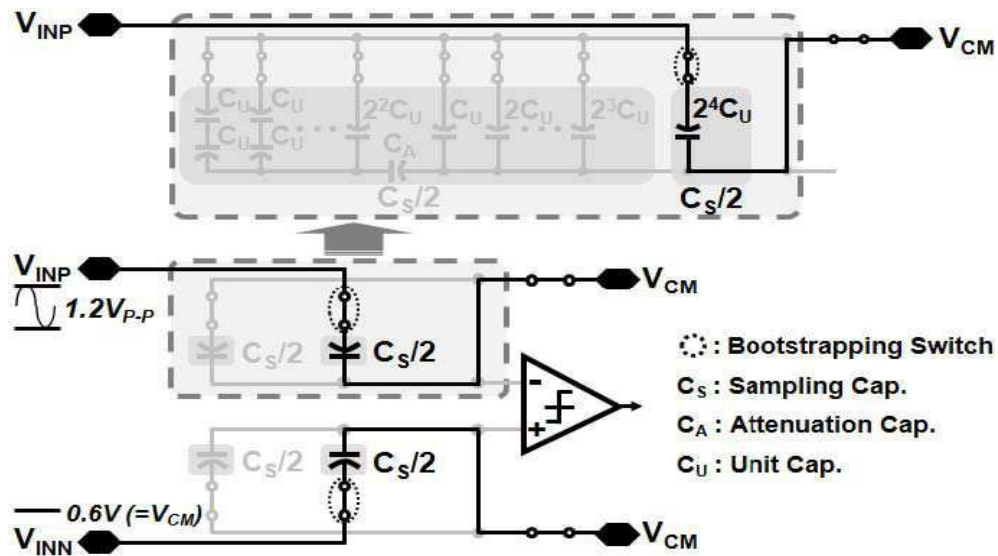
본 발명의 일 실시예에 따른 디지털 비디오 출력장치는 상기 SAR ADC를 포함할 수 있다. 상기 SAR ADC에 의해 입력된 아날로그 비디오 입력을 디지털 비디오 출력으로 변환한다. 상기 디지털 비디오 출력장치는 아날로그 TV에 사용될 수 있다.

도면

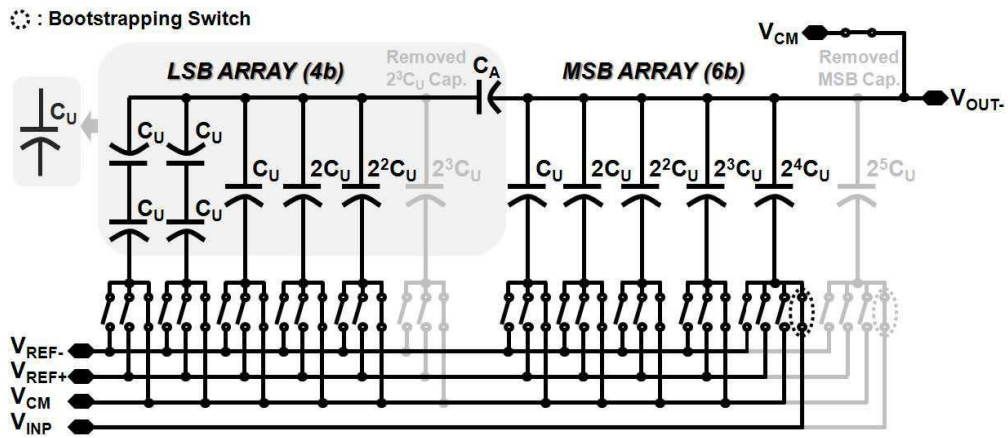
도면1



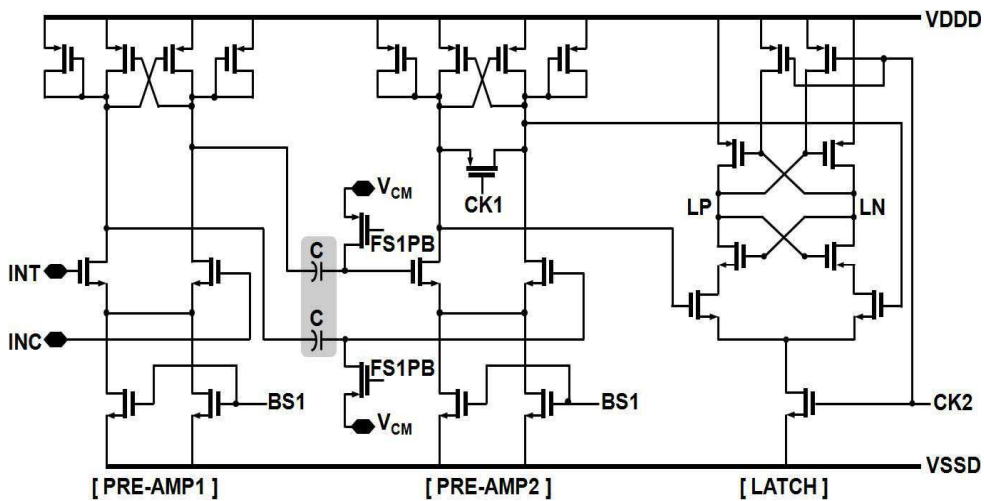
도면2



도면3



도면4



도면5

