

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月2日(02.02.2012)

PCT

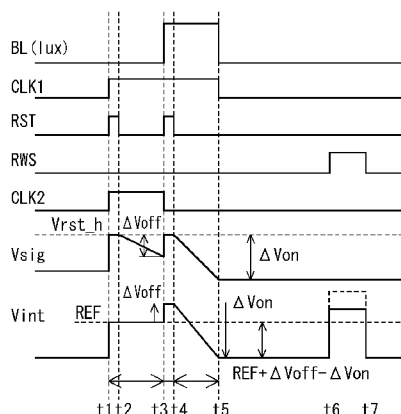
(10) 国際公開番号
WO 2012/014864 A1

- (51) 国際特許分類:
G06F 3/042 (2006.01) G09G 3/20 (2006.01)
G02F 1/1368 (2006.01) G09G 3/34 (2006.01)
G06F 3/041 (2006.01) G09G 3/36 (2006.01)
- (21) 国際出願番号: PCT/JP2011/066902
- (22) 国際出願日: 2011年7月26日(26.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-168684 2010年7月27日(27.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山本 薫
(YAMAMOTO Kaoru). 杉田 靖博(SUGITA Ya-
suhiro). 田中 耕平(TANAKA Kohei).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et
al.); 〒5300004 大阪府大阪市北区堂島浜1丁目
4番16号 アクア堂島西館 インテリクス
国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図7]



(57) Abstract: A sensor pixel circuit (9) is provided with: a light receiving element (PD), a first node (Vsig), which retains electrical charge corresponding to the light amount which has entered into the light receiving element; and a second node (Vint), which receives and retains the electrical charge from the first node (Vsig). Under the control of a drive circuit (7), during one among the detection period when a sensor light source (3) is lit and the detection period when the sensor light source (3) is extinguished, the electrical charge corresponding to the light amount which has entered into the light receiving element (PD) is stored in the first node (Vsig). The stored electrical charge is transferred from the first node (Vsig) to the second node (Vint). Furthermore, during the other period among the detection period when the sensor light source is lit and the detection period when the sensor light source is extinguished, the electrical charge corresponding to the light amount which has entered into the light receiving element (PD) is stored in the first node (Vsig), and the stored electrical charge is transferred from the first node (Vsig) to the second node (Vint). Thus, the value of the difference between the light amount stored in the second node (Vint) when the sensor light source is lit and the amount stored when the sensor light source is extinguished is obtained.

(57) 要約:

[続葉有]



センサ画素回路（９）は、受光素子（ＰＤ）と、これへ入射した光量に応じた電荷を保持する第１のノード V_{sig} と、第１のノード V_{sig} から電荷を受け取って保持する第２のノード V_{int} とを備える。駆動回路（７）の制御の下で、センサ用光源（３）の点灯時および消灯時の一方の検知期間において、受光素子（ＰＤ）へ入射した光量に応じた電荷を前記第１のノード V_{sig} に蓄積する。蓄積された電荷は、第１のノード V_{sig} から第２のノード V_{int} へ転送される。また、センサ用光源の点灯時および消灯時の他方の検知期間において、受光素子（ＰＤ）へ入射した光量に応じた電荷を第１のノード V_{sig} に蓄積し、蓄積された電荷を、当該第１のノード V_{sig} から前記第２のノード V_{int} へ転送する。これにより、第２のノード V_{int} において、センサ用光源の点灯時に蓄積された光量と、消灯時に蓄積された光量との差分値を得る。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関し、特に、画素領域に複数の光センサを配置した表示装置に関する。

背景技術

[0002] 従来から表示装置に関し、表示パネルに複数の光センサを設け、タッチパネル、ペン入力、スキャナなどの入力機能を提供する方法が知られている。この方法を様々な光環境下で使用されるモバイル機器に適用するためには、光環境の影響を排除する必要がある。そこで、光センサで検知した信号から光環境に依存する成分を除去し、本来入力すべき信号を求める方法も知られている。

[0003] 特許文献1には、個々の表示素子に対応して受光素子を設けた入出力装置において、1フレーム期間にバックライトを1回点滅させて、1フレーム期間にバックライト点灯期間の光量とバックライト消灯期間の光量をすべての受光素子から取得するように、受光素子に対して線順次でリセットと読み出しを行うことが記載されている。

[0004] 図53は、特許第4072732号公報に記載されたバックライトの点灯および消灯タイミング、並びに、受光素子に対するリセットおよび読み出しタイミングを示す図である。図53に示すように、バックライトは、1フレーム期間の前半で点灯し、後半で消灯する。バックライト点灯期間では、受光素子に対するリセットが線順次で行われ（実線矢印）、その後に受光素子からの読み出しが線順次で行われる（破線矢印）。バックライト消灯期間でも、受光素子に対するリセットと読み出しが同様に行われる。

[0005] 特許第3521187号公報には、図54に示す単位受光部を備えた固体撮像装置が記載されている。図54に示す単位受光部は、1個の光電変換部PDと2個の電荷蓄積部C1、C2を含んでいる。発光手段からの光の物体

による反射光と外光の両方を受光するときには、第1のサンプルゲートSG1がオンし、光電変換部PDで生成された電荷は第1の電荷蓄積部C1に蓄積される。外光のみを受光するときには、第2のサンプルゲートSG2がオンし、光電変換部PDで生成された電荷は第2の電荷蓄積部C2に蓄積される。2個の電荷蓄積部C1、C2に蓄積された電荷の量の差を求めることにより、発光手段からの光の物体による反射光の量を求めることができる。

[0006] 一般に、表示パネルに複数の光センサを設けた表示装置では、光センサからの読み出しは線順次で行われる。また、モバイル機器用のバックライトは、画面全体として同時に点灯し、同時に消灯する。

[0007] 特許第4072732号公報記載の入出力装置は、1フレーム期間にバックライトを1回点滅させて、バックライト点灯期間でリセットと読み出しを重複しない期間で行い、バックライト消灯期間でもリセットと読み出しを重複しない期間で行う。このため、受光素子からの読み出しを1/4フレーム期間以内で（例えば、フレームレートが60フレーム/秒のときには、1/240秒以内で）行う必要がある。しかしながら、このような高速読み出しを行うことは、実際にはかなり困難である。

[0008] また、バックライト点灯期間で受光素子が光を検知する期間（図53に示すB1）と、バックライト消灯期間で受光素子が光を検知する期間（図53に示すB2）との間には、1/2フレーム期間のずれがある。このため、モーション入力に対する追従性が、入力方向に応じて変動する。また、この入出力装置は、リセット完了直後に読み出しを開始し、読み出し完了直後にリセットを開始する。このため、バックライト点灯期間やバックライト消灯期間の長さや間隔を自由に決定できない。

[0009] また、上記従来のように、バックライト点灯期間とバックライト消灯期間とのセンサ出力の差分値を検出するシステムにおいては、出力が飽和すると差分値が検出できない。出力を飽和させないためには、光センサを低感度にするか、シャッタースピード（蓄積期間）を短くせざるを得ない。しかし、これらの対策は、高精度な光センサを実現するという目的に相反するものである。

り、最適設計値を見いだすことが困難であるという問題があった。

[0010] 本発明は、上記の問題を解決し、周囲の光環境に影響されない入力機能を有する表示装置を提供することを目的とする。

発明の開示

[0011] 上記の目的を達成するために、ここに開示する表示装置は、複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、1周期期間に所定時間だけ点灯するセンサ用光源と、前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え、前記センサ画素回路は、受光素子と、前記受光素子へ入射した光量に応じた電荷を保持する第1のノードと、前記第1のノードから電荷を受け取って保持する第2のノードとを備え、前記駆動回路の制御の下で、前記センサ用光源の点灯時の検知期間と消灯時の検知期間との一方において、当該検知期間において前記受光素子へ入射した光量に応じた電荷を前記第1のノードに蓄積し、前記第1のノードに蓄積された電荷を、当該第1のノードから前記第2のノードへ転送し、前記センサ用光源の点灯時の検知期間と消灯時の検知期間との他方において、当該検知期間において前記受光素子へ入射した光量に応じた電荷を前記第1のノードに蓄積し、前記第1のノードに蓄積された電荷を、当該第1のノードから前記第2のノードへ転送することにより、当該第2のノードにおいて、前記センサ用光源の点灯時の検知期間に蓄積された前記光量と、消灯時の検知期間に蓄積された前記光量との差分値を得るように構成されている。

[0012] 本発明によれば、周囲の光環境に影響されない入力機能を有する表示装置を提供できる。

図面の簡単な説明

[0013] [図1]図1は、本発明の実施形態に係る表示装置の構成を示すブロック図である。

[図2]図2は、図1に示す表示装置に含まれる表示パネルにおけるセンサ画素回路の配置を示す図である。

[図3]図3は、図1に示す表示装置において1回駆動を行う場合のバックライ

トの点灯および消灯タイミング、並びに、センサ画素回路に対するリセットおよび読み出しタイミングを示す図である。

[図4]図4は、図1に示す表示装置に含まれるセンサ画素回路の概略構成を示す図である。

[図5]図5は、図4に示すセンサ画素回路を図3のタイミングで駆動するための駆動信号の波形図である。

[図6A]図6Aは、図5に示した信号によって駆動された場合のセンサ画素回路の動作を示す図である。

[図6B]図6Bは、図5に示した信号によって駆動された場合のセンサ画素回路の動作を示す図である。

[図6C]図6Cは、図5に示した信号によって駆動された場合のセンサ画素回路の動作を示す図である。

[図7]図7は、図5に示した信号によって駆動された場合のセンサ画素回路の信号波形図である。

[図8]図8は、図8は、第2の実施形態においてセンサ画素回路へ印加される信号の波形図である。

[図9A]図9Aは、第2の実施形態において、図8に示す信号で駆動された場合の、センサ画素回路の動作を示す図である。

[図9B]図9Bは、第2の実施形態において、図8に示す信号で駆動された場合の、センサ画素回路の動作を示す図である。

[図9C]図9Cは、第2の実施形態において、図8に示す信号で駆動された場合の、センサ画素回路の動作を示す図である。

[図9D]図9Dは、第2の実施形態において、図8に示す信号で駆動された場合の、センサ画素回路の動作を示す図である。

[図10]図10は、第3の実施形態にかかるセンサ画素回路の具体的構成を示す回路図である。

[図11]図11は、図10に示したセンサ画素回路の動作を示す回路図である。

[図12]図12は、第4の実施形態にかかるセンサ画素回路の具体的構成を示す回路図である。

[図13]図13は、図12に示したセンサ画素回路へ印加される信号の波形図である。

[図14]図14は、第5の実施形態にかかるセンサ画素回路9の具体的構成を示す回路図である。

[図15]図15は、図14に示したセンサ画素回路9dへ印加される信号の波形図である。

[図16]図16は、第6の実施形態にかかるセンサ画素回路の具体的構成を示す回路図である。

[図17]図17は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図18]図18は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図19]図19は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図20]図20は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図21]図21は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図22]図22は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図23]図23は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図24]図24は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図25]図25は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図26]図26は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図27]図27は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図28]図28は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図29]図29は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図30]図30は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図31]図31は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図32]図32は、第1の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図33]図33は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図34]図34は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図35]図35は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図36]図36は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図37]図37は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図38]図38は、第3の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図39]図39は、第4の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図40]図40は、第4の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図41]図41は、第4の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図42]図42は、第4の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図43]図43は、第4の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図44]図44は、第4の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図45]図45は、第5の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図46]図46は、第5の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図47]図47は、第5の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図48]図48は、第5の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図49]図49は、第5の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図50]図50は、第5の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図51]図51は、第5の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図52]図52は、第5の実施形態にかかるセンサ画素回路の一変形例の構成を示す回路図である。

[図53]図53は、従来の入出力装置におけるバックライトの点灯および消灯タイミング、並びに、受光素子に対するリセットおよび読み出しタイミング

を示す図である。

[図54]図54は、従来の固体撮像装置に含まれる単位受光部の回路図である。

発明を実施するための形態

- [0014] 本発明の一実施形態にかかる表示装置は、
複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、
1周期期間に所定時間だけ点灯するセンサ用光源と、
前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え、
前記センサ画素回路は、
受光素子と、
前記受光素子へ入射した光量に応じた電荷を保持する第1のノードと、
前記第1のノードから電荷を受け取って保持する第2のノードとを備え、
前記駆動回路の制御の下で、
前記センサ用光源の点灯時の検知期間と消灯時の検知期間との一方において、当該検知期間において前記受光素子へ入射した光量に応じた電荷を前記第1のノードに蓄積し、
前記第1のノードに蓄積された電荷を、当該第1のノードから前記第2のノードへ転送し、
前記センサ用光源の点灯時の検知期間と消灯時の検知期間との他方において、当該検知期間において前記受光素子へ入射した光量に応じた電荷を前記第1のノードに蓄積し、
前記第1のノードに蓄積された電荷を、当該第1のノードから前記第2のノードへ転送することにより、当該第2のノードにおいて、前記センサ用光源の点灯時の検知期間に蓄積された前記光量と、消灯時の検知期間に蓄積された前記光量との差分値を得る構成である。
- [0015] 前記表示装置は、
前記センサ画素回路が、

前記受光素子と前記第 1 のノードとの間の導通／非導通を制御する第 1 のスイッチング素子と、

前記第 2 のノードに接続された第 1 のコンデンサと、

前記第 1 のスイッチング素子と前記第 2 のノードとの間に設けられた第 2 のコンデンサと、

前記第 2 のノードと参照電圧供給線との間の導通／非導通を制御する第 2 のスイッチング素子と、

前記蓄積ノードに接続された読み出しスイッチング素子とを備えた構成とすることができる。

[0016] または、前記表示装置は、

前記センサ画素回路が、

前記受光素子と前記第 1 のノードとの間の導通／非導通を制御する第 1 のスイッチング素子と、

前記第 2 のノードに接続された第 1 のコンデンサと、

前記第 1 のスイッチング素子と前記第 2 のノードとの間に設けられた第 2 のコンデンサと、

前記第 2 のノードと参照電圧供給線との間の導通／非導通を制御する第 2 のスイッチング素子と、

前記蓄積ノードに接続された読み出しスイッチング素子と、

前記受光素子と前記第 1 のスイッチング素子との間に設けられた増幅器とを備えた構成としても良い。

[0017]あるいは、前記表示装置は、

前記センサ画素回路が、

前記受光素子と前記第 1 のノードとの間の導通／非導通を制御する第 1 のスイッチング素子と、

前記第 2 のノードに接続された第 1 のコンデンサと、

前記第 1 のスイッチング素子と前記第 2 のノードとの間に設けられた第 2 のコンデンサと、

前記第2のノードと参照電圧供給線との間の導通／非導通を制御する第2のスイッチング素子と、

前記蓄積ノードに接続された読み出しスイッチング素子と、

前記第1のノードをリセットする第3のスイッチング素子とを備えた構成としても良い。

[0018] あるいは、前記表示装置は、

前記センサ画素回路が、

前記受光素子と前記第1のノードとの間の導通／非導通を制御する第1のスイッチング素子と、

前記受光素子と前記第2のノードとの間の導通／非導通を制御する第2のスイッチング素子と、

前記第2のノードに接続された第1のコンデンサと、

前記第1のノードから電荷を受け取って保持する第3のノードと、

前記第3のノードと前記第2のノードとの間に接続された第2のコンデンサと、

前記第3のノードをリセットする第3のスイッチング素子と、

前記蓄積ノードに接続された読み出しスイッチング素子とを備えた構成としても良い。

[0019] あるいは、前記表示装置は、前記第1のコンデンサがP型トランジスタである構成としても良い。

[0020] あるいは、前記表示装置は、

前記センサ画素回路が、

前記受光素子に直列に接続され、遮光された参照用受光素子をさらに含み、

前記受光素子と前記参照用受光素子との間に、前記第1のスイッチング素子の制御端子以外の二端子の一つが接続されている構成としても良い。

[0021] あるいは、前記表示装置は、前記受光素子がN型トランジスタである構成としても良い。

[0022] あるいは、前記表示装置は、前記読み出しスイッチング素子に直列に接続され、前記蓄積ノードと当該センサ画素回路の出力線との導通／非導通を制御する選択スイッチング素子をさらに備えた構成としても良い。

[0023] 本発明の一実施形態にかかる表示装置の駆動方法は、

複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、1周期期間に所定時間だけ点灯するセンサ用光源と、前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え、前記センサ画素回路が、受光素子と、前記受光素子へ入射した光量に応じた電荷を保持する第1のノードと、前記第1のノードから電荷を受け取って保持する第2のノードとを備えた表示装置の駆動方法であって、

前記駆動回路の制御の下で、

前記センサ用光源の点灯時の検知期間と消灯時の検知期間との一方において、当該検知期間において前記受光素子へ入射した光量に応じた電荷を前記第1のノードに蓄積し、

前記第1のノードに蓄積された電荷を、当該第1のノードから前記第2のノードへ転送し、

前記センサ用光源の点灯時の検知期間と消灯時の検知期間との他方において、当該検知期間において前記受光素子へ入射した光量に応じた電荷を前記第1のノードに蓄積し、

前記第1のノードに蓄積された電荷を、当該第1のノードから前記第2のノードへ転送することにより、当該第2のノードにおいて、前記センサ用光源の点灯時の検知期間に蓄積された前記光量と、消灯時の検知期間に蓄積された前記光量との差分値を得る。

[0024] [実施の形態]

以下、本発明のより具体的な実施形態について、図面を参照しながら説明する。なお、以下の実施形態は、本発明にかかる表示装置を液晶表示装置として実施する場合の構成例を示したものであるが、本発明にかかる表示装置は液晶表示装置に限定されず、アクティブマトリクス基板を用いる任意の表

示装置に適用可能である。なお、本発明にかかる表示装置は、光センサを有することにより、画面に近接する物体を検知して入力操作を行うタッチパネル付き表示装置や、表示機能と撮像機能とを具備した双方向通信用表示装置等としての利用が想定される。

[0025] また、以下で参照する各図は、説明の便宜上、本発明の実施形態の構成部材のうち、本発明を説明するために必要な主要部材のみを簡略化して示したものである。従って、本発明にかかる表示装置は、本明細書が参照する各図に示されていない任意の構成部材を備え得る。また、各図中の部材の寸法は、実際の構成部材の寸法および各部材の寸法比率等を忠実に表したものではない。

[0026] [表示装置の全体構成]

図1は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置は、表示制御回路1、表示パネル2、および、バックライト3を備えている。表示パネル2は、画素領域4、ゲートドライバ回路5、ソースドライバ回路6、および、センサロウドライバ回路7を含んでいる。画素領域4は、複数の表示画素回路8と複数のセンサ画素回路9を含んでいる。この表示装置は、表示パネル2に画像を表示する機能と、表示パネル2に入射した光を検知する機能とを有する。以下、 x を2以上の整数、 y を3の倍数、 m および n を偶数とし、表示装置のフレームレートを60フレーム/秒とする。

[0027] 図1に示す表示装置には外部から、映像信号 V_{in} とタイミング制御信号 C_{in} が供給される。表示制御回路1は、これらの信号に基づき、表示パネル2に対して映像信号 V_S と制御信号 CS_g 、 CS_s 、 CS_r を出力し、バックライト3に対して制御信号 CS_b を出力する。映像信号 V_S は、映像信号 V_{in} と同じでもよく、映像信号 V_{in} に信号処理を施した信号でもよい。

[0028] バックライト3は、表示用光源とは別途に設けられたセンシング用の光源であり、表示パネル2に光を照射する。より詳細には、バックライト3は、

表示パネル2の背面側に設けられ、表示パネル2の背面に光を照射する。バックライト3は、制御信号CSbがハイレベルのときには点灯し、制御信号CSbがローレベルのときには消灯する。バックライト3としては、例えば赤外線光源等を用いることができる。

[0029] 表示パネル2の画素領域4には、 $(x \times y)$ 個の表示画素回路8、 $(n \times m)$ 個のセンサ画素回路9が、それぞれ2次元状に配置される。より詳細には、画素領域4には、 x 本のゲート線GL1～GL x と y 本のソース線SL1～SL y が設けられる。ゲート線GL1～GL x は互いに平行に配置され、ソース線SL1～SL y はゲート線GL1～GL x と直交するように互いに平行に配置される。 $(x \times y)$ 個の表示画素回路8は、ゲート線GL1～GL x とソース線SL1～SL y の交点近傍に配置される。各表示画素回路8は、1本のゲート線GLと1本のソース線SLに接続される。表示画素回路8は、赤色表示用、緑色表示用および青色表示用に分類される。これら3種類の表示画素回路8は、ゲート線GL1～GL x の伸延方向に並べて配置され、1個のカラー画素を構成する。

[0030] 画素領域4には、ゲート線GL1～GL x と平行に、 $2n$ 本のクロック線CLK1～CLK $2n$ 、 n 本のリセット線RST1～RST n 、および、 n 本の読み出し線RWS1～RWS n が設けられる。また、画素領域4には、ゲート線GL1～GL x と平行に、他の信号線や電源線（図示せず）が設けられることがある。センサ画素回路9から読み出しを行うときには、ソース線SL1～SL y の中から選択された m 本が電源線VDD1～VDD m として使用され、別の m 本が出力線OUT1～OUT m として使用される。

[0031] 図2は、画素領域4におけるセンサ画素回路9の配置を示す図である。図2では、 $(n \times m)$ 個のセンサ画素回路9のそれぞれに、2本のクロック線CLKと1本の出力線OUTが接続される。

[0032] ゲートドライバ回路5は、ゲート線GL1～GL x を駆動する。より詳細には、ゲートドライバ回路5は、制御信号CSgに基づき、ゲート線GL1～GL x の中から1本のゲート線を順に選択し、選択したゲート線にハイレ

ベル電位を、残りのゲート線にローレベル電位を印加する。これにより、選択されたゲート線に接続された y 個の表示画素回路8が、一括して選択される。

[0033] ソースドライバ回路6は、ソース線 $SL_1 \sim SL_y$ を駆動する。より詳細には、ソースドライバ回路6は、制御信号 CS_s に基づき、映像信号 VS に応じた電位をソース線 $SL_1 \sim SL_y$ に印加する。このときソースドライバ回路6は、線順次駆動を行ってもよく、点順次駆動を行ってもよい。ソース線 $SL_1 \sim SL_y$ に印加された電位は、ゲートドライバ回路5によって選択された y 個の表示画素回路8に書き込まれる。このようにゲートドライバ回路5とソースドライバ回路6を用いてすべての表示画素回路8に映像信号 VS に応じた電位を書き込むことにより、表示パネル2に所望の画像を表示することができる。

[0034] センサロウドライバ回路7は、クロック線 $CLK_1 \sim CLK_{2n}$ 、リセット線 $RST_1 \sim RST_n$ 、および、読み出し線 $RWS_1 \sim RWS_n$ などを駆動する。より詳細には、センサロウドライバ回路7は、制御信号 CS_r に基づき、クロック線 $CLK_1 \sim CLK_{2n}$ に対して、所定のタイミングで（詳細は後述）ハイレベル電位とローレベル電位を印加する。また、センサロウドライバ回路7は、制御信号 CS_r に基づき、リセット線 $RST_1 \sim RST_n$ の中から1本のリセット線を選択し、選択したリセット線にリセット用のハイレベル電位を、残りのリセット線にローレベル電位を印加する。これにより、ハイレベル電位が印加されたりセット線に接続された m 個のセンサ画素回路9が、一括してリセットされる。

[0035] また、センサロウドライバ回路7は、制御信号 CS_r に基づき、読み出し線 $RWS_1 \sim RWS_n$ の中から1本の読み出し線を順に選択し、選択した読み出し線に読み出し用のハイレベル電位を、残りの読み出し線にローレベル電位を印加する。これにより、選択された1本の読み出し線に接続された m 個のセンサ画素回路9が、一括して読み出し可能状態になる。このときソースドライバ回路6は、電源線 $VDD_1 \sim VDD_m$ に対してハイレベル電位を

印加する。これにより、読み出し可能状態にある m 個のセンサ画素回路 9 から出力線 $OUT_1 \sim OUT_m$ に、各センサ画素回路 9 で検知した光の量に応じた信号（以下、センサ信号という）が出力される。出力線 OUT は、ソース線 SL を兼ねており、出力線 OUT へ出力されたセンサ信号は、ソースドライバ回路 6 へ入力される。

[0036] ソースドライバ回路 6 は、出力線 OUT から出力されたセンサ信号を増幅し、増幅後の信号をセンサ出力 $Sout$ として表示パネル 2 の外部に出力する。センサ出力 $Sout$ は、表示パネル 2 の外部に設けられた信号処理回路 20 によって、必要に応じて適宜の処理を施される。このようにソースドライバ回路 6 とセンサロウドライバ回路 7 を用いてすべてのセンサ画素回路 9 からセンサ信号を読み出すことにより、表示パネル 2 に入射した光を検知することができる。

[0037] 図 3 は、バックライト 3 の点灯および消灯タイミング、並びに、センサ画素回路 9 に対するリセットおよび読み出しタイミングを示す図である。図 3 の例では、バックライト 3 は、1 フレーム期間に 1 回、所定時間だけ点灯し、それ以外の期間では消灯する。具体的には、バックライト 3 は、1 フレーム期間内の時刻 t_b において点灯し、時刻 t_c において消灯する。

[0038] センサ画素回路 9 は、後に詳述するが、時刻 t_a から時刻 t_b までの期間 A_1 （バックライト 3 の消灯期間）に入射した光を検知して蓄積する。センサ画素回路 9 は、時刻 t_b において、期間 A_1 に蓄積した電荷をサンプリングした後、時刻 t_b から時刻 t_c までの期間 A_2 （バックライト 3 の点灯期間）に入射した光を検知して蓄積する。これにより、センサ画素回路 9 内で、期間 A_1 に蓄積された電荷と、期間 A_2 に蓄積された電荷との差分が求められる。センサ画素回路 9 からの読み出しは、時刻 t_c 以降に並列に線順次で行われる。なお、図 3 では、センサ画素回路 9 からの読み出しは、1 フレーム期間内に完了しているが、次のフレーム期間でセンサ画素回路 9 に対するリセットを行うまで（時刻 t_a まで）に完了すればよい。

[0039] なお、図 3 においては、センサ画素回路 9 からの読み出しを 1 フレーム期

間に1回ずつ行う例を示したが、1フレーム期間に2回以上、センサ画素回路9からの読み出しを行うようにしても良い。

[0040] なお、画素領域4に設けるセンサ画素回路9の個数は任意でよい。例えば、画素領域4に $(n \times m \times 2)$ 個のセンサ画素回路9を設けても良いし、画素領域4にカラー画素と同数の（すなわち、 $(x \times y / 3)$ 個の）センサ画素回路9を設けてもよい。あるいは、画素領域4にカラー画素よりも少ない個数の（例えば、カラー画素の数分の1～数10分の1の）センサ画素回路9を設けてもよい。

[0041] このように本発明の実施形態に係る表示装置は、画素領域4に複数のフォトダイオード（受光素子）を配置した表示装置であって、複数の表示画素回路8および複数のセンサ画素回路9を含む表示パネル2と、センサ画素回路9に対してクロック信号CLK（制御信号）を出力するセンサロウドライバ回路7（駆動回路）とを備えている。

[0042] 以降、表示装置のさらに具体的な実施形態として、特に、センサ画素回路9の構成およびその駆動方法のいくつかの具体例について、図面を参照しながら説明する。なお、以下の説明では、信号線上の信号を識別するために信号線と同じ名称を使用する（例えば、クロック線CLK1上の信号をクロック信号CLK1という）。

[0043] [第1の実施形態]

図4は、センサ画素回路9の具体的例としてのセンサ画素回路9aの構成を示す回路図である。図4においては、センサ画素回路9aに接続されているクロック線が、クロック線CLK1、CLK2であるものとする。図4に示すように、センサ画素回路9aは、クロック線CLK1およびCLK2の他に、リセット線RST、読み出し線RWS、電源線VDDおよび出力線OUTに接続される。センサ画素回路9aは、トランジスタT1、T2、M1、フォトダイオードPD、および、コンデンサC1、C2を備えている。トランジスタT1、T2、M1は、例えば、N型TFT（Thin Film Transistor：薄膜トランジスタ）である。

[0044] センサ画素回路 9 a では、フォトダイオード P D のアノードはリセット線 R S T に接続され、カソードはトランジスタ T 1 のソースに接続される。トランジスタ T 1 のゲートはクロック線 C L K 1 に接続され、ドレインはコンデンサ C 2 の一方の電極に接続される。コンデンサ C 2 の他方の電極は、トランジスタ M 1 のゲートに接続される。トランジスタ M 1 のドレインは電源線 V D D に接続され、ソースは出力線 O U T に接続される。コンデンサ C 1 は、トランジスタ M 1 のゲートと読み出し線 R W S との間に設けられる。トランジスタ M 1 は読み出しトランジスタとして機能する。トランジスタ T 2 のゲートはクロック線 C L K 2 に接続され、ドレインはコンデンサ C 1 に接続され、ソースは参照電圧 V r e f を供給する電源線 R E F に接続される。

[0045] 図 5 は、センサ画素回路 9 a を図 3 のタイミングで駆動するための駆動信号の波形図である。図 5 に示すように、ゲート線 G L 1 ~ G L x の電位は、1 フレーム期間に 1 回ずつ、順に所定時間ずつハイレベルになる。奇数番目のクロック線 C L K 1 ~ C L K 2 n - 1 の電位は、1 フレーム期間に 1 回、期間 A 1 ~ A 2 にわたって（より詳細には、時刻 t a から時刻 t c の少し前まで）ハイレベルになる。偶数番目のクロック線 C L K 2 ~ C L K 2 n の電位は、1 フレーム期間に 1 回、期間 A 1 において（より詳細には、時刻 t a から時刻 t b の少し前まで）ハイレベルになる。リセット線 R S T 1 ~ R S T n の電位は、1 フレーム期間に 2 回、期間 A 1 の始めと期間 A 2 の始めのそれぞれにおいて所定時間だけハイレベルになる。読み出し線 R W S 1 ~ R W S n の電位は、時刻 t c 以降に順に所定時間ずつハイレベルになる。

[0046] 図 6 A ~ 図 6 C は、図 5 に示した信号によって駆動された場合のセンサ画素回路 9 a の動作を示す図である。図 6 A ~ 図 6 C に示すように、センサ画素回路 9 a は、1 フレーム期間に（a）オフ信号の蓄積（図 6 A）、（b）オフ信号のサンプリング（図 6 B）、（c）オン信号の蓄積（図 6 C）、を行う。なお、オフ信号とは、バックライト 3 が消灯している状態にてフォトダイオード P D で検出される信号であり、フォトダイオード P D のノイズ成分に相当する。また、オン信号とは、バックライト 3 が点灯している状態にて

フォトダイオードPDで検出される信号であり、フォトダイオードPDのシグナル電流とノイズ成分との合計に相当する。

[0047] 図7は、図5に示した信号によって駆動された場合のセンサ画素回路9aの信号波形図である。図7において、BLはバックライト3の輝度を表し、Vsigは、図4に示したノードVsigの電位（トランジスタT1のドレイン電位）を表す。時刻t1～時刻t2がリセット期間、時刻t2～時刻t3が、バックライト3の消灯期間の蓄積期間（オフ信号の蓄積期間）である。時刻t3～時刻t4がリセット期間、時刻t4～時刻t5が、バックライト3の点灯期間の蓄積期間（オン信号の蓄積期間）である。時刻t5～t6が、オン信号とオフ信号との差分信号の保持期間である。時刻t6～t7が、差分信号の読み出し期間である。

[0048] 時刻t1～t2のリセット期間では、クロック信号CLK1, CLK2はハイレベル、読み出し信号RWSはローレベル、リセット信号RSTはリセット用のハイレベルになる。このとき、トランジスタT1, T2はオンである。したがって、リセット線RSTからフォトダイオードPDとトランジスタT1を経由してノードVsigに電流（フォトダイオードPDの順方向電流）が流れ、ノードVsigの電位は所定レベルにリセットされる。

[0049] 時刻t2～t3の蓄積期間では、クロック信号CLK1, CLK2はハイレベル、リセット信号RSTと読み出し信号RWSはローレベルになる。このとき、トランジスタT1, T2はオンである。このときにフォトダイオードPDに光が入射すると、ノードVsigからトランジスタT1とフォトダイオードPDを経由してリセット線RSTに電流が流れ、ノードVsigから電荷が引き抜かれる（図6A）。したがって、電位Vsigは、クロック信号CLK1がハイレベルである期間に入射した光の量に応じて下降し、コンデンサC2に電荷Qoffが蓄積される。なお、このとき、バックライト3は消灯しているので、時刻t2～t3にコンデンサC2に蓄積される電荷Qoff（オフ信号）は、フォトダイオードPDのノイズ成分に相当する。なお、図7の時刻t1～t3が、図5の時刻ta～tbに相当する。

[0050] このとき、ノードV s i gの電位は、

$$V s i g = V r s t_h - Q o f f / C 2 \quad \cdots (1)$$

である。V r s t_hは、リセット信号R S Tのハイレベル電位であり、Q o f fは、フォトダイオードP Dに流れるオフ電流（I o f f）の積分値である。なお、このとき、蓄積ノードV i n tの電位は、電源線R E Fから供給される参照電圧V r e fに等しい。

[0051] 時刻t 3～t 4のリセット期間では、クロック信号C L K 1、リセット信号R S Tがハイレベルになり、クロック信号C L K 2はローレベルである。読み出し信号R W Sもローレベルを維持する。これにより、トランジスタT 1はオン、トランジスタT 2、M 1はオフである。トランジスタT 1がオンになり、かつ、リセット信号R S Tがハイレベルになることにより、ノードV s i gの電位はリセット信号R S Tのハイレベル電位と等しくなる（図6 B）。さらに、コンデンサC 2に蓄積されていた電荷Q o f fが、蓄積ノードV i n tへ移動し、コンデンサC 1、C 2に蓄積される。

[0052] このとき、蓄積ノードV i n tの電位は、

$$V i n t = V r e f + Q o f f / (C 1 + C 2) \quad \cdots (2)$$

である。

[0053] 時刻t 4～t 5のオン信号の蓄積期間では、クロック信号C L K 1はハイレベルである。リセット信号R S T、読み出し信号R W S、クロック信号C L K 2はローレベルである。なお、バックライト3は、時刻t 3～t 5の間、点灯する。つまり、図7の時刻t 3～t 5が、図5の時刻t b～t cに相当する。時刻t 4～t 5において、フォトダイオードP Dに光が入射すると、ノードV s i gからトランジスタT 1とフォトダイオードP Dを経由してリセット線R S Tにオン電流（フォトダイオードP Dのフォト電流）が流れ、ノードV s i gから電荷が引き抜かれる（図6 C）。これにより、電位V s i gは、クロック信号C L K 1がハイレベルである期間に入射した光の量に応じて下降し、コンデンサC 2に電荷Q o nが蓄積される。なお、このときはバックライト3は点灯しているので、時刻t 4～t 5にコンデンサC 2

に蓄積される電荷 Q_{on} （オン信号）は、フォトダイオード PD のフォト電流成分と、フォトフォトダイオード PD のノイズ成分との合計に相当する。

[0054] このとき、ノード V_{sig} の電位は、

$$V_{sig} = V_{rst_h} - Q_{on} / (C1 // C2) \quad \dots (3)$$

である。 Q_{on} は、フォトダイオード PD のオン電流 (I_{on}) の積分値である。 $C1 // C2$ は、コンデンサ $C1$ 、 $C2$ を直列接続した場合の合成容量である。また、蓄積ノード V_{int} の電位は、

$$V_{int} = V_{ref} + Q_{off} / (C1 + C2) - Q_{on} / C1 \quad \dots (4)$$

である。この式から分かるように、時刻 $t_4 \sim t_5$ のオン信号の蓄積期間においては、蓄積ノード V_{int} の電位は、オフ信号とオン信号との差分に相当した値となる。

[0055] 時刻 $t_6 \sim t_7$ の読み出し期間においては、クロック信号 $CLK1$ 、 $CLK2$ およびリセット信号 RST はローレベル、読み出し信号 RWS は読み出し用のハイレベルになる。このとき、トランジスタ $T1$ 、 $T2$ はオフする。このとき電位 V_{int} は、読み出し信号 RWS の電位の上昇量の ($C1 / C_{pa}$) 倍（ただし、 C_{pa} はセンサ画素回路 9a の全体の容量値）だけ上昇する。トランジスタ $M1$ は、ソースドライバ回路 6 に含まれるトランジスタ（図示せず）を負荷としたソースフォロワ増幅回路を構成し、電位 V_{int} に応じて出力線 OUT を駆動する。

[0056] 以上のように、本実施形態によれば、1つのセンサ画素回路 9a によって、バックライト 3 の消灯期間に得られるオフ信号と、バックライト 3 の点灯期間に得られるオン信号との差分を求める。すなわち、センサ画素回路 9a 内で、オフ信号とオン信号との差分値が蓄積されるので、フォトダイオードの出力飽和が起こりにくい。これにより、従来のように、バックライトの点灯期間と消灯期間とにおいて別個にセンシングを行い、それらのセンサ出力の差分をとる従来の構成と比較して、光環境に影響されない高精度な入力機能を有する表示装置を実現することができる。また、センサ画素回路 9a が

備える1つのフォトダイオードによって、オフ信号とオン信号との両方が求められるので、オフ信号とオン信号とを別個のフォトダイオードで取得する構成と比較して、フォトダイオードの特性ばらつきに起因したノイズが含まれる可能性を排除することができ、高精度かつダイナミックレンジの広いセンサ出力を得ることができる。

[0057] [第2の実施形態]

本発明の表示装置の第2の実施形態について、以下に説明する。第1の実施形態において説明した構成要素と同様の要素については、同じ参照符号を付記し、その詳細な説明を省略する。

[0058] 第2の実施形態においては、センサ画素回路9の具体的構成は、第1の実施形態において説明したセンサ画素回路9aと同じであるが、駆動方法が異なっている。

[0059] 図8は、第2の実施形態においてセンサ画素回路9aへ印加される信号の波形図である。図9A～図9Dは、図8に示す信号で駆動された場合の、センサ画素回路9aの動作を示す図である。

[0060] 図8に示すように、第2の実施形態においては、クロック信号CLK1は、1フレーム期間に3回ハイレベルになり、クロック信号CLK2は、1フレーム期間に1回ハイレベルになる。また、第2の実施形態においては、リセット信号RSTは、1フレーム期間に2回ハイレベルになる。

[0061] 図9A～図9Dに示すように、センサ画素回路9aは、1フレーム期間に（a）オフ信号の蓄積（図9A）、（b）オフ信号のサンプリング（図9B）、（c）オン信号の蓄積（図9C）、（d）オン信号のサンプリングおよび蓄積ノードへの差分値の蓄積（図9D）を行う。なお、オフ信号とは、バックライト3が消灯している状態でフォトダイオードPDで検出される信号であり、フォトダイオードPDのノイズ成分に相当する。また、オン信号とは、バックライト3が点灯している状態でフォトダイオードPDで検出される信号であり、フォトダイオードPDのシグナル電流とノイズ成分との合計に相当する。

[0062] 時刻 $t_1 \sim t_2$ のリセット期間では、クロック信号 CLK_1 , CLK_2 はハイレベル、読み出し信号 RWS はローレベル、リセット信号 RST はリセット用のハイレベルになる。このとき、トランジスタ T_1 , T_2 はオンである。したがって、リセット線 RST からフォトダイオード PD とトランジスタ T_1 を経由してノード V_{sig} に電流（フォトダイオード PD の順方向電流）が流れ、ノード V_x および V_{sig} の電位は、それぞれ所定レベルにリセットされる。

[0063] 時刻 $t_2 \sim t_3$ のオフ信号の蓄積期間では、クロック信号 CLK_1 はローレベル、クロック信号 CLK_2 はハイレベル、リセット信号 RST と読み出し信号 RWS はローレベルになる。このとき、トランジスタ T_1 はオフ、 T_2 はオンである。フォトダイオード PD に光が入射すると、ノード V_x からフォトダイオード PD を経由してリセット線 RST に電流が流れ、ノード V_x から電荷が引き抜かれる（図 9 A）。したがって、ノード V_x の電位は、時刻 $t_2 \sim t_3$ に入射した光の量に応じて下降する。なお、このときバックライト 3 は消灯しているので、ノード V_x の電位の下降分 (ΔV_{off}) は、フォトダイオード PD のノイズ成分に相当する。

[0064] このとき、ノード V_x の電位は、

$$V_x = V_{rst_h} - \Delta Q_{off} \quad \dots (5)$$

$$\text{ただし、} \Delta Q_{off} = I_{off} \cdot t / C_x \quad \dots (6)$$

である。 t は、時刻 $t_2 \sim t_3$ の蓄積期間の長さである。 C_x は、ノード V_x の寄生容量であり、

$$C_x = C_{PD} + C_{ITO} + C_{RWS} \quad \dots (7)$$

である。なお、 C_{PD} は、フォトダイオード PD とノード V_x との間の寄生容量、 C_{ITO} は画素電極膜とノード V_x との間の寄生容量、 C_{RWS} は、読み出し配線 RWS とノード V_x との間の寄生容量である。ノード V_x の感度特性は、 C_x の値が小さいほど良い。また、チャージシェアリングを改善するためには、 $C_x > C_2$ であることが好ましい。 V_{int} の感度特性を改善するためには、 $C_2 > C_1$ であることが好ましい。

[0065] 時刻 $t_3 \sim t_4$ のオフ信号のサンプリング期間では、クロック信号 CLK_1 、 CLK_2 はハイレベルになり、リセット信号 RST および読み出し信号 RWS はローレベルになる。クロック信号 CLK_1 がハイレベルになることにより、トランジスタ T_1 がオンになる。これにより、ノード V_x の電荷がノード V_{sig} に転送され、コンデンサ C_2 に蓄積される（図 9 B）。このとき、ノード V_{sig} の電位は、

$$V_{sig} = V_{rst_h} - \Delta V_{off} \cdot C_x / (C_x + C_2) \quad \dots (8)$$

である。

[0066] 時刻 $t_5 \sim t_6$ のオン信号の蓄積期間では、クロック信号 CLK_1 はローレベルである。リセット信号 RST は時刻 t_5 において一旦ハイレベルになった後、ローレベルに切り替わる。読み出し信号 RWS はローレベルである。クロック信号 CLK_2 はハイレベルである。なお、バックライト 3 は、時刻 $t_5 \sim t_6$ の間、点灯する。時刻 $t_5 \sim t_6$ において、フォトダイオード PD に光が入射すると、ノード V_x からフォトダイオード PD を経由してリセット線 RST にオン電流（フォトダイオード PD のシグナル電流）が流れ、ノード V_x から電荷が引き抜かれる（図 9 C）。これにより、電位 V_x は、時刻 $t_5 \sim t_6$ にフォトダイオード PD へ入射した光の量に応じて下降し、コンデンサ C_2 に電荷 Q_{on} が蓄積される。なお、このときバックライト 3 は点灯しているので、時刻 $t_5 \sim t_6$ にコンデンサ C_2 に蓄積される電荷 Q_{on} （オン信号）は、フォトダイオード PD のシグナル電流成分と、フォトダイオード PD のノイズ成分との合計に相当する。

[0067] このとき、ノード V_x の電位は、

$$V_x = V_{rst_h} - \Delta V_{on} \quad \dots (9)$$

$$\Delta V_{on} = I_{on} \cdot t / C_x \quad \dots (10)$$

である。

[0068] 時刻 $t_6 \sim t_7$ のオン信号のサンプリング期間では、クロック信号 CLK_1 はハイレベルであり、リセット信号 RST 、読み出し信号 RWS 、クロッ

ク信号CLK2はローレベルである。なお、バックライト3は消灯している。クロック信号CLK1がハイレベルになることにより、トランジスタT1がオンになる。これにより、時刻t5～t6において蓄積されたノードVxの電荷（オン信号）がノードVsigに転送される（図9D）。ここでのノードVsigの電位は、

$$V_{sig} = V_{rst_h} - \Delta V_{on} \cdot C_x / (C_x + C_2) - \Delta V_{off} \cdot \{C_x / (C_x + C_2)\} \cdot \{C_2 / (C_x + C_2)\} \quad \dots (11)$$

である。

[0069] なお、クロック信号CLK2がローレベルであることにより、トランジスタT2はオフになっている。したがって、ノードVsigでのオン信号とオフ信号との差分値 ΔV_{sig} は、上記の式(11)および(8)より、

$$\Delta V_{sig} = \{C_x / (C_x + C_2)\} \{ \Delta V_{on} - \Delta V_{off} + \Delta V_{off} \cdot C_2 / (C_x + C_2) \} \quad \dots (12)$$

である。

[0070] さらに、蓄積ノードVintの電位は、

$$V_{int} = V_{ref} - \Delta V_{sig} \cdot C_2 / (C_1 + C_2 + C_y) \quad \dots (13)$$

と表される。ここで、Cyは、蓄積ノードVintにおけるC1、C2以外の寄生容量である。

[0071] 時刻t8～t9の読み出し期間においては、クロック信号CLK1、CLK2およびリセット信号RSTはローレベル、読み出し信号RWSは読み出し用のハイレベルになる。これにより、第1の実施形態と同様に、トランジスタM1が、ソースドライバ回路6に含まれるトランジスタ（図示せず）を負荷としたソースフォロワ増幅回路を構成し、蓄積ノードVintの電位に応じて出力線OUTを駆動する。

[0072] [第3の実施形態]

本発明の第3の実施形態について以下に説明する。

[0073] 図10は、第3の実施形態にかかるセンサ画素回路9の具体例としての、センサ画素回路9bの構成を示す回路図である。図10に示すように、本実施形態にかかるセンサ画素回路9bは、フォトダイオードPDのカソードとトランジスタT1との間に、トランジスタT3、T4を備えている。トランジスタT3のゲートはフォトダイオードPDのカソードに接続されている。トランジスタT3のソースは定電圧源COMに接続されている。トランジスタT3のドレインは、トランジスタT4のソースに接続されている。トランジスタT4のゲートは、電源線REFに接続されている。トランジスタT4のドレインは、リセット線RSTに接続されている。トランジスタT3、T4は、ユニティゲインアンプを構成する。

[0074] 図11は、図10に示したセンサ画素回路9bの動作を示す波形図である。図11に示すように、本実施形態にかかる表示装置においてセンサ画素回路9bへ供給されるクロック信号CLK1、CLK2、リセット信号RST、および、読み出し信号RWSの波形は、第2の実施形態（図8参照）と同じである。

[0075] 本実施形態のセンサ画素回路9bによれば、トランジスタT3、T4を設けたことにより、時刻t3～t4の期間、および、時刻t6～t7の期間におけるノードVxからノードVsigへの電荷転送の際に電荷ロスが生じることを防止することができる。これにより、感度特性が改善されたセンサ画素回路9を実現できる。

[0076] [第4の実施形態]

本発明の第4の実施形態について以下に説明する。

[0077] 図12は、第4の実施形態にかかるセンサ画素回路9の具体例としての、センサ画素回路9cの構成を示す回路図である。図12に示すように、本実施形態にかかるセンサ画素回路9cは、フォトダイオードPDのアノードがリセット線RSTではなく定電圧源COMに接続されている点において、第1の実施形態のセンサ画素回路9aと異なっている。また、センサ画素回路

9cは、トランジスタT1のドレインとコンデンサC2との間に接続されたトランジスタT5をさらに備えている点においても、センサ画素回路9aと異なっている。トランジスタT5のゲート電極は、リセット線RSTに接続されている。トランジスタT5のソースは、電源線REFに接続されている。トランジスタT5のドレインが、トランジスタT1のドレインとコンデンサC2との間に接続されている。

[0078] 図13は、センサ画素回路9cへ印加される信号の波形図である。図13に示すように、センサ画素回路9cに印加されるクロック信号CLK1, CLK2は、1フレーム期間に1回ずつハイレベルになる。リセット信号RSTは、1フレーム期間に2回ハイレベルになる。

[0079] 図13において、時刻t1～t2のリセット期間では、クロック信号CLK1, CLK2と、リセット信号RSTとは、ハイレベルである。読み出し信号RWSはローレベルである。これにより、トランジスタT1, T2はオンになり、ノードVxの電位は、リセット信号のハイレベル電位Vrst_hにリセットされる。また、このときの蓄積ノードVintの電位は、電源線REFから供給される参照電圧Vrefに等しい。

[0080] 時刻t2～t3のオフ信号蓄積期間では、クロック信号CLK1, CLK2はハイレベルに維持され、リセット信号RSTはローレベルになる。読み出し信号RWSはローレベルである。したがって、トランジスタT1, T2はオンである。フォトダイオードPDに光が入射すると、ノードVxからフォトダイオードPDを経由してリセット線RSTに電流が流れ、ノードVxから電荷が引き抜かれる。これにより、ノードVxの電位は、時刻t2～t3に入射した光の量に応じて下降する。なお、このときバックライト3は消灯しているので、ノードVxの電位の下降分(ΔV_{off})は、フォトダイオードPDへ入射した外光による成分とフォトダイオードPDのノイズ成分との合計値に相当する。なお、図13に示したVxの電位に関して、実線が低照度環境下の電位変化を表し、破線が高照度環境下の電位変化を表す。

[0081] このとき、ノードVxおよび蓄積ノードVintの電位は、それぞれ

$$V_x = V_{rst_h} - \Delta V_{off} \quad \dots (14)$$

$$V_{int} = V_{ref} \quad \dots (15)$$

である。

- [0082] 時刻 $t_3 \sim t_4$ の期間では、クロック信号 CLK_1 はハイレベル、 CLK_2 はローレベルになる。リセット信号 RST はハイレベルになる。読み出し信号 RWS はローレベルになる。クロック信号 CLK_2 がローレベルになることにより、トランジスタ T_2 がオフになる。これにより、蓄積ノード V_{int} の電位はフローティング状態となる。この状態で、リセット線 RST からハイレベル電圧 V_{rst_h} が供給されることにより、ノード V_x の電位は、参照電圧 V_{ref} にリセットされる。一方、蓄積ノード V_{int} の電位は、オフ信号蓄積期間における電位下降分 (ΔV_{off}) に相当する電圧だけ上昇する。すなわち、蓄積ノード V_{int} の電位は、

$$V_{int} = V_{ref} + \Delta V_{off} \cdot A \quad \dots (16)$$

である。なお、 A は、コンデンサ C_1 とコンデンサ C_2 と容量比で決まる定数である。

- [0083] 時刻 $t_4 \sim t_5$ のオン信号の蓄積期間では、クロック信号 CLK_1 はハイレベルであり、クロック信号 CLK_2 はローレベルである。リセット信号 RST はローレベルである。読み出し信号 RWS はローレベルである。クロック信号 CLK_2 はハイレベルである。なお、バックライト 3 は、時刻 $t_4 \sim t_5$ の間、点灯する。時刻 $t_4 \sim t_5$ において、フォトダイオード PD に光が入射すると、ノード V_x からフォトダイオード PD を経由してリセット線 RST にオン電流（フォトダイオード PD のフォト電流）が流れ、ノード V_x から電荷が引き抜かれる。これにより、電位 V_x は、時刻 $t_4 \sim t_5$ にフォトダイオード PD へ入射した光（外光とバックライト光）の量に応じて下降する。なお、このときバックライト 3 は点灯しているので、ノード V_x の電位の下降分 (ΔV_{on}) は、フォトダイオード PD へ入射した外光およびバックライト光による成分と、フォトダイオード PD のノイズ成分との合計値に相当する。

[0084] このとき、ノード V_x および蓄積ノード V_{int} の電位は、それぞれ、

$$V_x = V_{ref} - (\Delta V_{off} + \Delta V_{on}) \quad \dots (17)$$

$$\begin{aligned} V_{int} &= V_{ref} + \Delta V_{off} \cdot A - (\Delta V_{off} + \Delta V_{on}) \cdot A \\ &= V_{ref} - \Delta V_{on} \cdot A \quad \dots (18) \end{aligned}$$

である。式(17)および(18)より、本実施形態によれば、時刻 $t_4 \sim t_5$ のオン信号の蓄積期間の終了時点(時刻 t_5)においては、蓄積ノード V_{int} の電位が、外光成分とノイズ成分が除去された信号光(バックライト光による成分)を反映していることが分かる。

[0085] 時刻 $t_6 \sim t_7$ の読み出し期間では、クロック信号 CLK_1 , CLK_2 はローレベルであり、リセット信号 RST はローレベル、読み出し信号 RWS がハイレベルである。これにより、第1の実施形態と同様に、トランジスタ M_1 が、ソースドライバ回路6に含まれるトランジスタ(図示せず)を負荷としたソースフォロワ増幅回路を構成し、蓄積ノード V_{int} の電位に応じて出力線 OUT を駆動する。

[0086] 以上のとおり、本実施形態によれば、センサ画素回路9c内で外光とノイズ成分が相殺され、精度の高いセンサ出力を得ることができる。

[0087] [第5の実施形態]

本発明の第5の実施形態について以下に説明する。

[0088] 図14は、第5の実施形態にかかるセンサ画素回路9の具体例としての、センサ画素回路9dの構成を示す回路図である。図14に示すように、第5の実施形態にかかるセンサ画素回路9dは、トランジスタ T_1 , T_2 のソースが、共に、フォトダイオードPDのカソードに接続されている。トランジスタ T_1 のドレインは、コンデンサ C_1 の一方の電極に接続されている。コンデンサ C_1 の他方の電極は、コンデンサ C_2 の一方の電極に接続されている。コンデンサ C_2 の他方の電極は、トランジスタ T_2 のドレインに接続されている。

[0089] センサ画素回路9dは、コンデンサ C_3 とトランジスタ T_6 とを、さらに備えている。コンデンサ C_3 は、一方の電極がトランジスタ T_2 のドレイン

に接続されており、他方の電極が読み出し線RWSに接続されている。トランジスタT6のゲートが、クロック信号線CLK3に接続されており、ソースが定電源線REFに接続され、ドレインがコンデンサC1、C2に接続されている。なお、図14に示す構成において、トランジスタT1とコンデンサC2との接続点を蓄積ノードVint1、トランジスタT2とトランジスタM1のゲートとの接続点を蓄積ノードVint2と表す。

[0090] 図15は、センサ画素回路9dへ印加される信号の波形図である。図15に示すように、センサ画素回路9dに印加されるクロック信号CLK1は、1フレーム期間に2回ずつハイレベルになる。CLK2は、1フレーム期間に1回ずつハイレベルになる。リセット信号RSTは、1フレーム期間に3回ハイレベルになる。クロック信号CLK3は、1フレーム期間に1回ずつハイレベルになる。

[0091] 図15において、時刻t1～t2のリセット期間では、リセット信号RSTがハイレベルになる。クロック信号CLK1がハイレベルであるので、トランジスタT1はオンとなり、ノードVxと蓄積ノードVint1の電位は、リセット信号のハイレベル電位Vrst_hにリセットされる。一方、クロック信号CLK2はローレベルであるので、トランジスタT2はオフとなり、蓄積ノードVint2の電位はリセットされない。クロック信号CLK3がハイレベルであるので、トランジスタT6はオンとなり、ノードVsigの電位は参照電圧Vrefとなる。

[0092] 時刻t2～t3のオフ信号蓄積期間では、クロック信号CLK1はハイレベルに維持され、リセット信号RSTはローレベルになる。クロック信号CLK2はローレベルである。読み出し信号RWSはローレベルである。したがって、トランジスタT1はオンであり、トランジスタT2はオフである。フォトダイオードPDに光が入射すると、ノードVxからフォトダイオードPDを経由してリセット線RSTに電流が流れ、ノードVxから電荷が引き抜かれる。これにより、ノードVxの電位は、時刻t2～t3に入射した光の量に応じて下降する。なお、このときバックライト3は消灯しているので

、ノードV_xの電位の下降分 (ΔV_{off}) は、フォトダイオードPDへ入射した外光による成分とフォトダイオードPDのノイズ成分との合計値に相当する。なお、時刻t₂～t₃において、トランジスタT₁がオン、トランジスタT₂がオフであるので、蓄積ノードV_{int1}の電位はノードV_xの電位と同様に推移するが、蓄積ノードV_{int2}の電位は不変である。

[0093] 時刻t₃～t₄のオフ信号保持期間では、クロック信号CLK₁, CLK₂がローレベルであり、トランジスタT₁, T₂がオフになることにより、ノードV_xの電位が保持される。

[0094] 時刻t₄において、クロック信号CLK₁がローレベル、クロック信号CLK₂がハイレベルとなる。これにより、トランジスタT₁がオフ、トランジスタT₂がオンとなる。また、リセット信号RSTがハイレベルとなることにより、ノードV_xと蓄積ノードV_{int2}の電位が、リセット信号のハイレベル電位V_{rst_h}にリセットされる。一方、上述のとおりトランジスタT₁はオフであるので、蓄積ノードV_{int1}の電位はリセットされない。なお、時刻t₄～t₅においてバックライト3は点灯しているので、電位V_xは、時刻t₄～t₅にフォトダイオードPDへ入射した光（外光とバックライト光）の量に応じて下降する。なお、このときバックライト3は点灯しているので、ノードV_xの電位の下降分 (ΔV_{on}) は、フォトダイオードPDへ入射した外光およびバックライト光による成分と、フォトダイオードPDのノイズ成分との合計値に相当する。なお、時刻t₄～t₅において、トランジスタT₂がオン、トランジスタT₁がオフであるので、蓄積ノードV_{int2}の電位はノードV_xの電位と同様に推移するが、蓄積ノードV_{int1}の電位は不変である。

[0095] 時刻t₅～t₆のオン信号保持期間においては、クロック信号CLK₁, CLK₂はローレベル、リセット信号はローレベルとなる。また、バックライト3は消灯する。クロック信号CLK₃はハイレベルを維持している。

[0096] 次に、時刻t₆にクロック信号CLK₁がハイレベルとなり、リセット信号RSTがハイレベルとなることにより、蓄積ノードV_{int1}の電位は、

ΔV_{off} に相当する電圧だけ上昇する。これに伴い、ノード V_{sig} の電位も、 ΔV_{off} に相当する電圧だけ上昇する。さらに、蓄積ノード V_{int2} の電位も、 ΔV_{off} に相当する電圧だけ上昇する。これにより、図15に示すように、時刻 t_6 における蓄積ノードの電位は、

$$V_{int2} = V_{rst_h} - (\Delta V_{on} - \Delta V_{off}) \dots (19)$$

となる。したがって、時刻 t_6 における蓄積ノード V_{int2} の電位が、外光成分とノイズ成分が除去された信号光（バックライト光による成分）を反映していることが分かる。

[0097] 時刻 $t_7 \sim t_8$ の読み出し期間では、クロック信号 CLK_1 、 CLK_2 はローレベルであり、リセット信号 RST はローレベル、読み出し信号 RWS がハイレベルである。これにより、第1の実施形態と同様に、トランジスタ M_1 が、ソースドライバ回路6に含まれるトランジスタ（図示せず）を負荷としたソースフォロワ増幅回路を構成し、蓄積ノード V_{int2} の電位に応じて出力線 OUT を駆動する。

[0098] 以上のとおり、本実施形態によれば、センサ画素回路9内で外光とノイズ成分が相殺され、精度の高いセンサ出力を得ることができる。

[0099] [第6の実施形態]

本発明の第6の実施形態について以下に説明する。

[0100] 図16は、第6の実施形態にかかるセンサ画素回路9の具体例としての、センサ画素回路9eの構成を示す回路図である。図16に示すように、第6の実施形態にかかるセンサ画素回路9eは、コンデンサ C_3 が省略され、読み出し信号線 RWS がトランジスタ T_6 のソースに接続されている点において、第5の実施形態にかかるセンサ画素回路9eと異なっている。また、トランジスタ M_1 に直列に接続されたトランジスタ M_2 をさらに備えている。トランジスタ M_2 のゲートは、トランジスタ T_6 のソースに接続されている。

[0101] この構成にかかるセンサ画素回路9eも、第5の実施形態において図15

に示した信号によって駆動され、第5の実施形態にかかるセンサ画素回路9dと同様に動作する。

[0102] 以上のとおり、本実施形態によれば、センサ画素回路9内で外光とノイズ成分が相殺され、精度の高いセンサ出力を得ることができる。

[0103] [変形例]

以上、第1～第6の実施形態について説明したが、これらの実施形態にかかるセンサ画素回路9に対して、さらなる変更を加えることも可能である。以下に、主な変形例について説明する。

[0104] [第1の実施形態の変形例1]

図17は、第1の実施形態にかかるセンサ画素回路9aの一変形例としての、センサ画素回路9a1の構成を示す回路図である。図17に示すように、センサ画素回路9a1は、コンデンサC1を、P型TFTであるトランジスタTCで形成したものである。トランジスタTCのドレインはコンデンサC2に接続され、ソースはトランジスタM1のゲートに接続され、ゲートは読み出し線RWSに接続される。このように接続されたトランジスタTCは、読み出し線RWSに読み出し用のハイレベルが印加されたときに、センサ画素回路9aに比較して、蓄積ノードVintの電位を大きく変化させる。したがって、強い光が入射したときの蓄積ノードVintの電位と弱い光が入射したときの蓄積ノードVintの電位との差を増幅して、センサ画素回路の感度を向上させることができる。

[0105] [第1の実施形態の変形例2]

図18は、第1の実施形態にかかるセンサ画素回路9aの一変形例としての、センサ画素回路9a2の構成を示す回路図である。図18に示すセンサ画素回路9a2は、センサ画素回路9aに、もう一つのフォトダイオードPD2を追加したものである。なお、フォトダイオードPD2は、光が入射しないように遮光されており、参照用光センサとして機能する。フォトダイオードPD2のアノードは、フォトダイオードPDのカソード、および、トランジスタT1のソースに接続され、カソードには定電圧COMが印加される。

。定電圧COMは、リセット用のハイレベル電位よりも高い電位である。フォトダイオードPD2には暗電流が流れるので、フォトダイオードの温度補償を行うことができる。

[0106] [第1の実施形態の変形例3]

図19は、第1の実施形態にかかるセンサ画素回路9aの一変形例としての、センサ画素回路9a3の構成を示す回路図である。図19に示すセンサ画素回路9a3は、センサ画素回路9aに含まれるフォトダイオードPDをフォトトランジスタTDに置換したものである。これにより、センサ画素回路9a3に含まれるトランジスタをすべてN型とすることができる。したがって、N型トランジスタだけを製造できる片チャンネルプロセスを用いて、センサ画素回路を製造することができる。

[0107] [第1の実施形態の変形例4]

図20は、第1の実施形態にかかるセンサ画素回路9aの一変形例としての、センサ画素回路9a4の構成を示す回路図である。図20にかかるセンサ画素回路9a4は、センサ画素回路9aに含まれるフォトダイオードPDを逆に接続したものである。センサ画素回路9a4には、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号RSTが供給される。フォトダイオードPDのカソードはリセット線RSTに接続され、アノードはトランジスタT1のドレインに接続される。これにより、画素回路のバリエーションが得られる。

[0108] [第1の実施形態の変形例5]

図21は、第1の実施形態にかかるセンサ画素回路9aの一変形例としての、センサ画素回路9a5の構成を示す回路図である。図21に示すセンサ画素回路9a5は、センサ画素回路9aに含まれるフォトダイオードPDを逆に接続し、コンデンサC1を省略したものである。また、センサ画素回路9a5においては、読み出し線RWSも省略される。センサ画素回路9a5には、前述の変形例4にかかるセンサ画素回路9a4と同様に、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号RS

Tが供給される。ただし、リセット信号RSTは、読み出し時には、読み出し用のハイレベルになる。リセット信号RSTが読み出し用のハイレベルになると、蓄積ノードVintの電位（トランジスタM1のゲート電位）が上昇し、トランジスタM1には蓄積ノードVintの電位に応じた電流が流れる。このようにセンサ画素回路9a5は、コンデンサC1が省略されているので、コンデンサC1の分だけ開口率を大きくして、画素回路の感度を向上させることができる。

[0109] [第1の実施形態の変形例6]

図22は、第1の実施形態にかかるセンサ画素回路9aの一変形例としての、センサ画素回路9a6の構成を示す回路図である。図22に示すセンサ画素回路9a6は、センサ画素回路9aからコンデンサC1を省略し、トランジスタTSを追加したものである。トランジスタTSは、N型TFTであり、選択用スイッチング素子として機能する。センサ画素回路9a6では、トランジスタM1のソースは、トランジスタTSのドレインに接続される。トランジスタTSのソースは出力線OUTに接続され、ゲートは読み出し線RWSに接続される。これにより、画素回路のバリエーションが得られる。また、コンデンサC1が省略されているので、コンデンサC1の分だけ開口率を大きくして、画素回路の感度を向上させることができる。

[0110] [第1の実施形態の変形例7]

図23は、第1の実施形態にかかるセンサ画素回路9aの一変形例としての、センサ画素回路9a7の構成を示す回路図である。図23に示すように、センサ画素回路9a7は、センサ画素回路9aに、上記トランジスタTS、TRを追加したものである。トランジスタTS、TRの接続形態は、センサ画素回路9a6、9a7と同じである。これにより、画素回路のバリエーションが得られる。

[0111] [第1の実施形態の変形例8]

図24は、第1の実施形態にかかるセンサ画素回路9aの一変形例としての、センサ画素回路9a8の構成を示す回路図である。図24に示すように

、センサ画素回路 9 a 8 は、トランジスタ T 2 のソースが、参照電圧 V_{ref} を供給する電源線 R E F ではなく、読み出し配線 R W S に接続されている点において、センサ画素回路 9 a と異なっている。このセンサ画素回路 9 a 8 によれば、参照電圧用の電源線 R E F が不要となるので、バスライン数を削減することができるという利点がある。

[0112] また、図 2 5 ～ 図 3 2 に示すように、前述の変形例 1 ～ 8 にかかるセンサ画素回路のそれぞれにおいて、トランジスタ T 2 のソースを、参照電圧 V_{ref} を供給する電源線 R E F ではなく、読み出し配線 R W S に接続したセンサ画素回路 9 a 9 ～ 9 a 1 7 も、センサ画素回路 9 a のバリエーションに含まれる。

[0113] [第 2 の実施形態の変形例]

前述したように、第 2 の実施形態にかかる表示装置は、センサ画素回路 9 の具体的構成は、第 1 の実施形態にかかるセンサ画素回路 9 a と同じであるが、駆動方法が異なっている。第 2 の実施形態において、センサ画素回路 9 の構成を、前述のセンサ画素回路 9 a 1 ～ 9 a 1 6 とすることが可能である。

[0114] [第 3 の実施形態の変形例 1]

図 3 3 は、第 3 の実施形態にかかるセンサ画素回路 9 b の一変形例としての、センサ画素回路 9 b 1 の構成を示す回路図である。図 3 3 に示すように、センサ画素回路 9 b 1 は、コンデンサ C 1 を、P 型 T F T であるトランジスタ T C で形成したものである。トランジスタ T C のドレインはコンデンサ C 2 に接続され、ソースはトランジスタ M 1 のゲートに接続され、ゲートは読み出し線 R W S に接続される。このように接続されたトランジスタ T C は、読み出し線 R W S に読み出し用のハイレベルが印加されたときに、センサ画素回路 9 b に比較して、蓄積ノード V_{int} の電位を大きく変化させる。したがって、強い光が入射したときの蓄積ノード V_{int} の電位と弱い光が入射したときの蓄積ノード V_{int} の電位との差を増幅して、センサ画素回路の感度を向上させることができる。

[0115] [第3の実施形態の変形例2]

図34は、第3の実施形態にかかるセンサ画素回路9bの一変形例としての、センサ画素回路9b2の構成を示す回路図である。図34に示すセンサ画素回路9b2は、センサ画素回路9bに、もう一つのフォトダイオードPD2を追加したものである。なお、フォトダイオードPD2は、光が入射しないように遮光されており、参照用光センサとして機能する。フォトダイオードPD2のアノードは、フォトダイオードPDのカソードおよびトランジスタT3のソースに接続され、カソードには定電圧COMが印加される。定電圧COMは、リセット用のハイレベル電位よりも高い電位である。フォトダイオードPD2には暗電流が流れるので、フォトダイオードの温度補償を行うことができる。なお、図34では、コンデンサC1がトランジスタTCで形成されているが、コンデンサC1を通常のコンデンサで形成しても良い。

[0116] [第3の実施形態の変形例3]

図35は、第3の実施形態にかかるセンサ画素回路9bの一変形例としての、センサ画素回路9b3の構成を示す回路図である。図35に示すセンサ画素回路9b3は、センサ画素回路9bに含まれるフォトダイオードPDをフォトリンジスタTDに置換したものである。これにより、センサ画素回路9b3に含まれるトランジスタをすべてN型とすることができる。したがって、N型トランジスタだけを製造できる片チャンネルプロセスを用いて、センサ画素回路を製造することができる。

[0117] [第3の実施形態の変形例4]

図36は、第3の実施形態にかかるセンサ画素回路9bの一変形例としての、センサ画素回路9b4の構成を示す回路図である。図36にかかるセンサ画素回路9b4は、センサ画素回路9bに含まれるフォトダイオードPDを逆に接続したものである。センサ画素回路9b4には、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号RSTが供給される。フォトダイオードPDのカソードはリセット線RSTに接続され

、アノードはトランジスタT1のドレインに接続される。これにより、画素回路のバリエーションが得られる。

[0118] [第3の実施形態の変形例5]

図37は、第3の実施形態にかかるセンサ画素回路9bの一変形例としての、センサ画素回路9b5の構成を示す回路図である。図37に示すセンサ画素回路9b5は、センサ画素回路9bに含まれるフォトダイオードPDを逆に接続し、コンデンサC1を省略したものである。また、センサ画素回路9b5においては、読み出し線RWSも省略される。センサ画素回路9b5には、前述の変形例4にかかるセンサ画素回路9b4と同様に、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号RSTが供給される。ただし、リセット信号RSTは、読み出し時には、読み出し用のハイレベルになる。リセット信号RSTが読み出し用のハイレベルになると、蓄積ノードVintの電位（トランジスタM1のゲート電位）が上昇し、トランジスタM1には蓄積ノードVintの電位に応じた電流が流れる。このようにセンサ画素回路9b5は、コンデンサC1が省略されているので、コンデンサC1の分だけ開口率を大きくして、画素回路の感度を向上させることができる。

[0119] [第3の実施形態の変形例6]

図38は、第3の実施形態にかかるセンサ画素回路9bの一変形例としての、センサ画素回路9b6の構成を示す回路図である。図38に示すセンサ画素回路9b6は、センサ画素回路9bからコンデンサC1を省略し、トランジスタTSを追加したものである。トランジスタTSは、N型TFTであり、選択用スイッチング素子として機能する。センサ画素回路9b6では、トランジスタM1のソースは、トランジスタTSのドレインに接続される。トランジスタTSのソースは出力線OUTに接続され、ゲートは読み出し線RWSに接続される。これにより、画素回路のバリエーションが得られる。また、コンデンサC1が省略されているので、コンデンサC1の分だけ開口率を大きくして、画素回路の感度を向上させることができる。

[0120] [第4の実施形態の変形例1]

図39は、第4の実施形態にかかるセンサ画素回路9cの一変形例としての、センサ画素回路9c1の構成を示す回路図である。図39に示すように、センサ画素回路9c1は、コンデンサC1を、P型TFTであるトランジスタTCで形成したものである。トランジスタTCのドレインはコンデンサC2に接続され、ソースはトランジスタM1のゲートに接続され、ゲートは読み出し線RWSに接続される。このように接続されたトランジスタTCは、読み出し線RWSに読み出し用のハイレベルが印加されたときに、センサ画素回路9cに比較して、蓄積ノードVintの電位を大きく変化させる。したがって、強い光が入射したときの蓄積ノードVintの電位と弱い光が入射したときの蓄積ノードVintの電位との差を増幅して、センサ画素回路の感度を向上させることができる。

[0121] [第4の実施形態の変形例2]

図40は、第4の実施形態にかかるセンサ画素回路9cの一変形例としての、センサ画素回路9c2の構成を示す回路図である。図40に示すセンサ画素回路9c2は、センサ画素回路9cに、もう一つのフォトダイオードPD2を追加したものである。なお、フォトダイオードPD2は、光が入射しないように遮光されており、参照用光センサとして機能する。フォトダイオードPD2のアノードは、フォトダイオードPDのカソード、および、トランジスタT1のソースに接続され、カソードには定電圧COMが印加される。定電圧COMは、リセット用のハイレベル電位よりも高い電位である。フォトダイオードPD2には暗電流が流れるので、フォトダイオードの温度補償を行うことができる。

[0122] [第4の実施形態の変形例3]

図41は、第4の実施形態にかかるセンサ画素回路9cの一変形例としての、センサ画素回路9c3の構成を示す回路図である。図41に示すセンサ画素回路9c3は、センサ画素回路9cに含まれるフォトダイオードPDをフォトトランジスタTDに置換したものである。これにより、センサ画素回

路 9 c 3 に含まれるトランジスタをすべて N 型とすることができる。したがって、N 型トランジスタだけを製造できる片チャンネルプロセスを用いて、センサ画素回路を製造することができる。

[0123] [第 4 の実施形態の変形例 4]

図 4 2 は、第 4 の実施形態にかかるセンサ画素回路 9 c の一変形例としての、センサ画素回路 9 c 4 の構成を示す回路図である。図 4 2 にかかるセンサ画素回路 9 c 4 は、センサ画素回路 9 c に含まれるフォトダイオード P D を逆に接続したものである。センサ画素回路 9 c 4 には、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号 R S T が供給される。フォトダイオード P D のカソードはリセット線 R S T に接続され、アノードはトランジスタ T 1 のドレインに接続される。これにより、画素回路のバリエーションが得られる。

[0124] [第 4 の実施形態の変形例 5]

図 4 3 は、第 4 の実施形態にかかるセンサ画素回路 9 c の一変形例としての、センサ画素回路 9 c 5 の構成を示す回路図である。図 4 3 に示すセンサ画素回路 9 c 5 は、センサ画素回路 9 c に含まれるフォトダイオード P D を逆に接続し、コンデンサ C 1 を省略したものである。また、センサ画素回路 9 c 5 においては、読み出し線 R W S も省略される。センサ画素回路 9 c 5 には、前述の変形例 4 にかかるセンサ画素回路 9 c 4 と同様に、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号 R S T が供給される。ただし、リセット信号 R S T は、読み出し時には、読み出し用のハイレベルになる。リセット信号 R S T が読み出し用のハイレベルになると、蓄積ノード V i n t の電位（トランジスタ M 1 のゲート電位）が上昇し、トランジスタ M 1 には蓄積ノード V i n t の電位に応じた電流が流れる。このようにセンサ画素回路 9 c 5 は、コンデンサ C 1 が省略されているので、コンデンサ C 1 の分だけ開口率を大きくして、画素回路の感度を向上させることができる。

[0125] [第 4 の実施形態の変形例 6]

図４４は、第４の実施形態にかかるセンサ画素回路９ｃの一変形例としての、センサ画素回路９ｃ６の構成を示す回路図である。図４４に示すセンサ画素回路９ｃ６は、センサ画素回路９ｃからコンデンサＣ１を省略し、トランジスタＴＳを追加したものである。トランジスタＴＳは、Ｎ型ＴＦＴであり、選択用スイッチング素子として機能する。センサ画素回路９ｃ６では、トランジスタＭ１のソースは、トランジスタＴＳのドレインに接続される。トランジスタＴＳのソースは出力線ＯＵＴに接続され、ゲートは読み出し線ＲＷＳに接続される。これにより、画素回路のバリエーションが得られる。また、コンデンサＣ１が省略されているので、コンデンサＣ１の分だけ開口率を大きくして、画素回路の感度を向上させることができる。

[0126] [第５の実施形態の変形例１]

図４５は、第５の実施形態にかかるセンサ画素回路９ｄの一変形例としての、センサ画素回路９ｄ１の構成を示す回路図である。図４５に示すように、センサ画素回路９ｄ１は、コンデンサＣ１を、Ｐ型ＴＦＴであるトランジスタＴＣで形成したものである。トランジスタＴＣのドレインはコンデンサＣ２に接続され、ソースはトランジスタＭ１のゲートに接続され、ゲートは読み出し線ＲＷＳに接続される。このように接続されたトランジスタＴＣは、読み出し線ＲＷＳに読み出し用のハイレベルが印加されたときに、センサ画素回路９ｄに比較して、蓄積ノードＶｉｎｔの電位を大きく変化させる。したがって、強い光が入射したときの蓄積ノードＶｉｎｔの電位と弱い光が入射したときの蓄積ノードＶｉｎｔの電位との差を増幅して、センサ画素回路の感度を向上させることができる。

[0127] [第５の実施形態の変形例２]

図４６は、第５の実施形態にかかるセンサ画素回路９ｄの一変形例としての、センサ画素回路９ｄ２の構成を示す回路図である。図４６に示すセンサ画素回路９ｄ２は、センサ画素回路９ｄに、もう一つのフォトダイオードＰＤ２を追加したものである。なお、フォトダイオードＰＤ２は、光が入射しないように遮光されており、参照用光センサとして機能する。フォトダイオ

ードPD2のアノードは、フォトダイオードPDのカソード、および、トランジスタT1のソースに接続され、カソードには定電圧COMが印加される。定電圧COMは、リセット用のハイレベル電位よりも高い電位である。フォトダイオードPD2には暗電流が流れるので、フォトダイオードの温度補償を行うことができる。

[0128] [第5の実施形態の変形例3]

図47は、第5の実施形態にかかるセンサ画素回路9dの一変形例としての、センサ画素回路9d3の構成を示す回路図である。図47に示すセンサ画素回路9d3は、センサ画素回路9dに含まれるフォトダイオードPDをフォトトランジスタTDに置換したものである。これにより、センサ画素回路9d3に含まれるトランジスタをすべてN型とすることができる。したがって、N型トランジスタだけを製造できる片チャンネルプロセスを用いて、センサ画素回路を製造することができる。

[0129] [第5の実施形態の変形例4]

図48は、第5の実施形態にかかるセンサ画素回路9dの一変形例としての、センサ画素回路9d4の構成を示す回路図である。図48にかかるセンサ画素回路9d4は、センサ画素回路9dに含まれるフォトダイオードPDを逆に接続したものである。センサ画素回路9d4には、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号RSTが供給される。フォトダイオードPDのカソードはリセット線RSTに接続され、アノードはトランジスタT1のドレインに接続される。これにより、画素回路のバリエーションが得られる。

[0130] [第5の実施形態の変形例5]

図49は、第5の実施形態にかかるセンサ画素回路9dの一変形例としての、センサ画素回路9d5の構成を示す回路図である。図49に示すセンサ画素回路9d5は、センサ画素回路9dに含まれるフォトダイオードPDを逆に接続し、コンデンサC1を省略したものである。また、センサ画素回路9d5においては、読み出し線RWSも省略される。センサ画素回路9d5

には、前述の変形例4にかかるセンサ画素回路9d4と同様に、通常はハイレベルで、リセット時にはリセット用のローレベルとなるリセット信号RSTが供給される。ただし、リセット信号RSTは、読み出し時には、読み出し用のハイレベルになる。リセット信号RSTが読み出し用のハイレベルになると、蓄積ノードVintの電位（トランジスタM1のゲート電位）が上昇し、トランジスタM1には蓄積ノードVintの電位に応じた電流が流れる。このようにセンサ画素回路9d5は、コンデンサC1が省略されているので、コンデンサC1の分だけ開口率を大きくして、画素回路の感度を向上させることができる。

[0131] [第5の実施形態の変形例6]

図50は、第5の実施形態にかかるセンサ画素回路9dの一変形例としての、センサ画素回路9d6の構成を示す回路図である。図50に示すセンサ画素回路9d6は、センサ画素回路9aからコンデンサC1を省略し、トランジスタTSを追加したものである。トランジスタTSは、N型TFTであり、選択用スイッチング素子として機能する。センサ画素回路9d6では、トランジスタM1のソースは、トランジスタTSのドレインに接続される。トランジスタTSのソースは出力線OUTに接続され、ゲートは読み出し線RWSに接続される。これにより、画素回路のバリエーションが得られる。

[0132] [第5の実施形態の変形例7]

図51は、第5の実施形態にかかるセンサ画素回路9dの一変形例としての、センサ画素回路9d7の構成を示す回路図である。図51に示すように、センサ画素回路9d7は、センサ画素回路9dに2つのトランジスタTR1、TR2を追加したものである。トランジスタTR1、TR2は、N型TFTであり、リセット用スイッチング素子として機能する。センサ画素回路9d7において、トランジスタTR1、TR2のソースには参照電圧Vrefが印加される。トランジスタTR1のドレインは、トランジスタT1とコンデンサC1との間に接続され、ゲートはリセット線RST1に接続される。トランジスタTR2のドレインは、トランジスタT2とコンデンサC2と

の間に接続され、ゲートはリセット線 R S T 2 に接続される。また、フォトダイオード P D のアノードにはローレベル電位 C O M が印加される。これにより、画素回路のバリエーションが得られる。

[0133] [第 5 の実施形態の変形例 8]

図 5 2 は、第 5 の実施形態にかかるセンサ画素回路 9 d の一変形例としての、センサ画素回路 9 d 8 の構成を示す回路図である。図 5 2 に示すように、センサ画素回路 9 d 8 は、センサ画素回路 9 d に、上記トランジスタ T S , T R を追加したものである。トランジスタ T S , T R の接続形態は、センサ画素回路 9 d 6 , 9 d 7 と同じである。これにより、画素回路のバリエーションが得られる。

[0134] [その他の変形例]

上述の各実施形態においては、1 フレーム期間において、先にオフ信号を取得し、次にオン信号を取得する駆動方法を説明した。しかし、先にオン信号を取得し、次にオフ信号を取得する駆動方法を採用することも可能である。

産業上の利用可能性

[0135] 本発明は、光センサ機能を有する表示装置として、産業上利用可能である。

請求の範囲

- [請求項1] 複数の表示画素回路および複数のセンサ画素回路を表示領域内に含む表示パネルと、
- 1 周期期間に所定時間だけ点灯するセンサ用光源と、
- 前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え、
- 前記センサ画素回路は、
- 受光素子と、
- 前記受光素子へ入射した光量に応じた電荷を保持する第1のノードと、
- 前記第1のノードから電荷を受け取って保持する第2のノードとを備え、
- 前記駆動回路の制御の下で、
- 前記センサ用光源の点灯時の検知期間と消灯時の検知期間との一方において、当該検知期間において前記受光素子へ入射した光量に応じた電荷を前記第1のノードに蓄積し、
- 前記第1のノードに蓄積された電荷を、当該第1のノードから前記第2のノードへ転送し、
- 前記センサ用光源の点灯時の検知期間と消灯時の検知期間との他方において、当該検知期間において前記受光素子へ入射した光量に応じた電荷を前記第1のノードに蓄積し、
- 前記第1のノードに蓄積された電荷を、当該第1のノードから前記第2のノードへ転送することにより、当該第2のノードにおいて、前記センサ用光源の点灯時の検知期間に蓄積された前記光量と、消灯時の検知期間に蓄積された前記光量との差分値を得る、表示装置。
- [請求項2] 前記センサ画素回路が、
- 前記受光素子と前記第1のノードとの間の導通／非導通を制御する第1のスイッチング素子と、

前記第2のノードに接続された第1のコンデンサと、
前記第1のスイッチング素子と前記第2のノードとの間に設けられた第2のコンデンサと、
前記第2のノードと参照電圧供給線との間の導通／非導通を制御する第2のスイッチング素子と、
前記蓄積ノードに接続された読み出しスイッチング素子とを備えた、請求項1に記載の表示装置。

[請求項3]

前記センサ画素回路が、
前記受光素子と前記第1のノードとの間の導通／非導通を制御する第1のスイッチング素子と、
前記第2のノードに接続された第1のコンデンサと、
前記第1のスイッチング素子と前記第2のノードとの間に設けられた第2のコンデンサと、
前記第2のノードと参照電圧供給線との間の導通／非導通を制御する第2のスイッチング素子と、
前記蓄積ノードに接続された読み出しスイッチング素子と、
前記受光素子と前記第1のスイッチング素子との間に設けられた増幅器とを備えた、請求項1に記載の表示装置。

[請求項4]

前記センサ画素回路が、
前記受光素子と前記第1のノードとの間の導通／非導通を制御する第1のスイッチング素子と、
前記第2のノードに接続された第1のコンデンサと、
前記第1のスイッチング素子と前記第2のノードとの間に設けられた第2のコンデンサと、
前記第2のノードと参照電圧供給線との間の導通／非導通を制御する第2のスイッチング素子と、
前記蓄積ノードに接続された読み出しスイッチング素子と、
前記第1のノードをリセットする第3のスイッチング素子とを備え

た、請求項 1 に記載の表示装置。

[請求項5]

前記センサ画素回路が、

前記受光素子と前記第 1 のノードとの間の導通／非導通を制御する
第 1 のスイッチング素子と、

前記受光素子と前記第 2 のノードとの間の導通／非導通を制御する
第 2 のスイッチング素子と、

前記第 2 のノードに接続された第 1 のコンデンサと、

前記第 1 のノードから電荷を受け取って保持する第 3 のノードと、

前記第 3 のノードと前記第 2 のノードとの間に接続された第 2 のコン
デンサと、

前記第 3 のノードをリセットする第 3 のスイッチング素子と、

前記蓄積ノードに接続された読み出しスイッチング素子とを備えた
、請求項 1 に記載の表示装置。

[請求項6]

前記第 1 のコンデンサが P 型トランジスタである、請求項 1 ～ 5 の
いずれか一項に記載の表示装置。

[請求項7]

前記センサ画素回路が、

前記受光素子に直列に接続され、遮光された参照用受光素子をさら
に含み、

前記受光素子と前記参照用受光素子との間に、前記第 1 のスイッ
チング素子の制御端子以外の二端子の一つが接続されている、請求項 1
～ 5 のいずれか一項に記載の表示装置。

[請求項8]

前記受光素子が N 型トランジスタである、請求項 1 ～ 5 のいずれか
一項に記載の表示装置。

[請求項9]

前記読み出しスイッチング素子に直列に接続され、前記蓄積ノード
と当該センサ画素回路の出力線との導通／非導通を制御する選択スイ
ッチング素子をさらに備えた、請求項 1 ～ 5 のいずれか一項に記載の
表示装置。

[請求項10]

複数の表示画素回路および複数のセンサ画素回路を表示領域内に含

む表示パネルと、1周期期間に所定時間だけ点灯するセンサ用光源と、前記センサ画素回路に対して駆動信号を供給する駆動回路とを備え、前記センサ画素回路が、受光素子と、前記受光素子へ入射した光量に応じた電荷を保持する第1のノードと、前記第1のノードから電荷を受け取って保持する第2のノードとを備えた表示装置の駆動方法であって、

前記駆動回路の制御の下で、

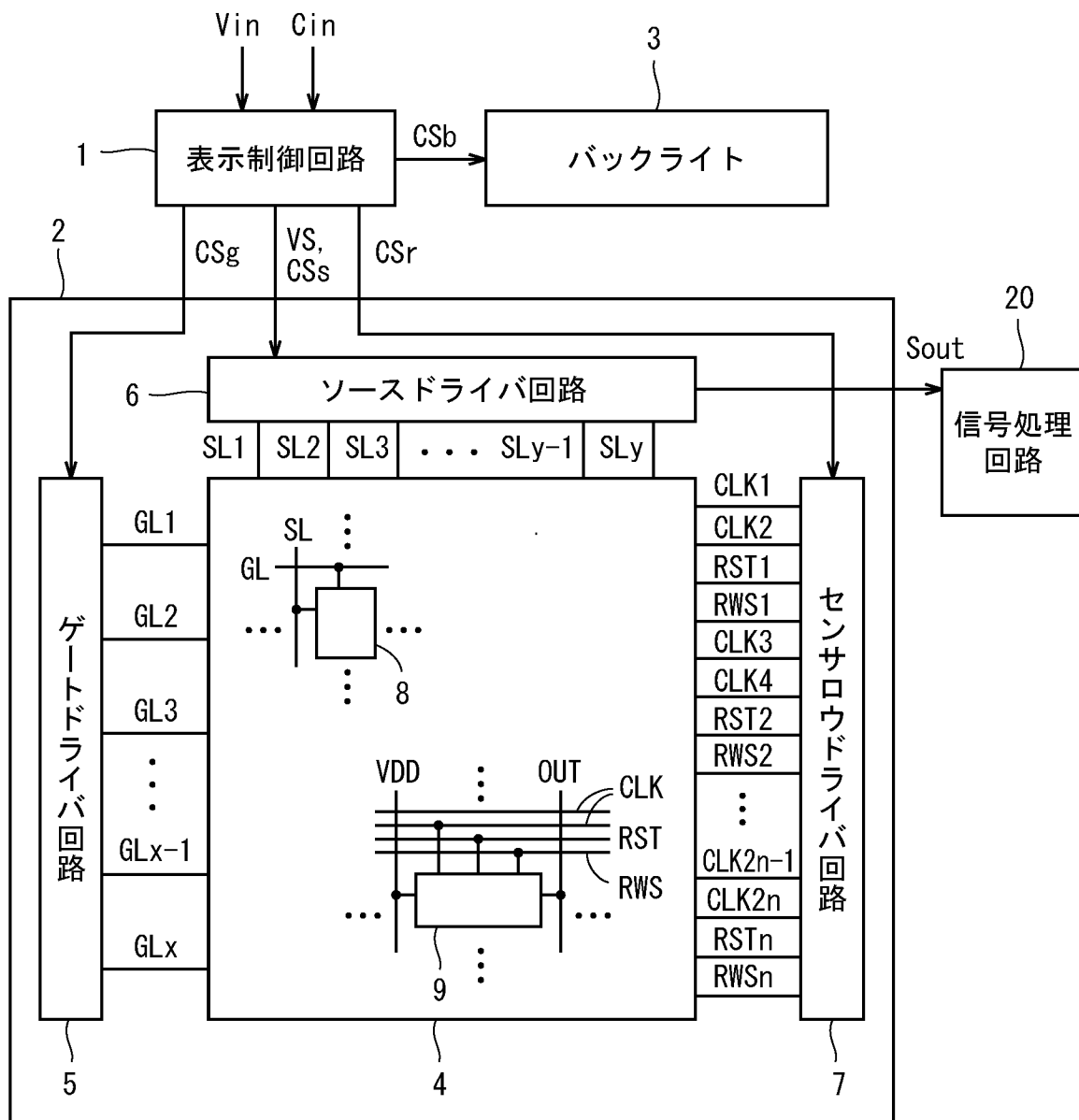
前記センサ用光源の点灯時の検知期間と消灯時の検知期間との一方において、当該検知期間において前記受光素子へ入射した光量に応じた電荷を前記第1のノードに蓄積し、

前記第1のノードに蓄積された電荷を、当該第1のノードから前記第2のノードへ転送し、

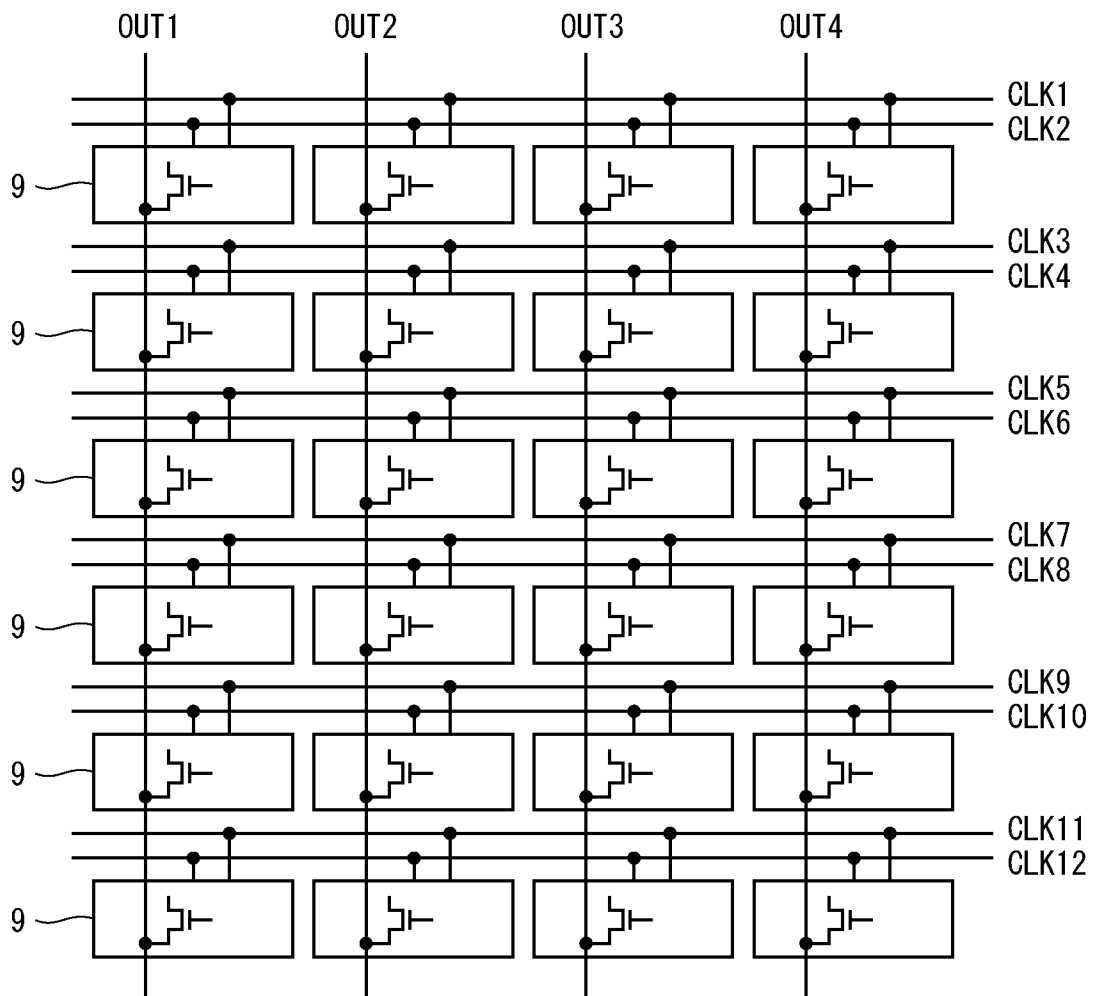
前記センサ用光源の点灯時の検知期間と消灯時の検知期間との他方において、当該検知期間において前記受光素子へ入射した光量に応じた電荷を前記第1のノードに蓄積し、

前記第1のノードに蓄積された電荷を、当該第1のノードから前記第2のノードへ転送することにより、当該第2のノードにおいて、前記センサ用光源の点灯時の検知期間に蓄積された前記光量と、消灯時の検知期間に蓄積された前記光量との差分値を得る、表示装置の駆動方法。

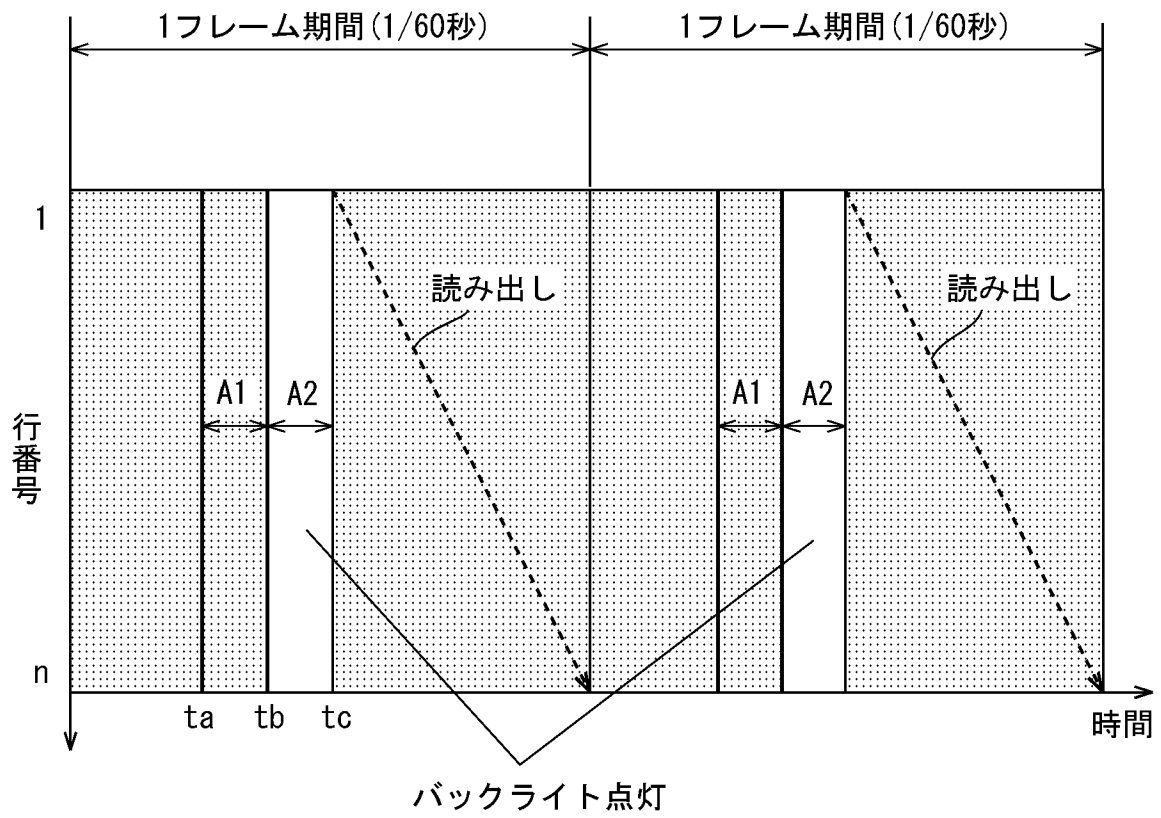
[図1]



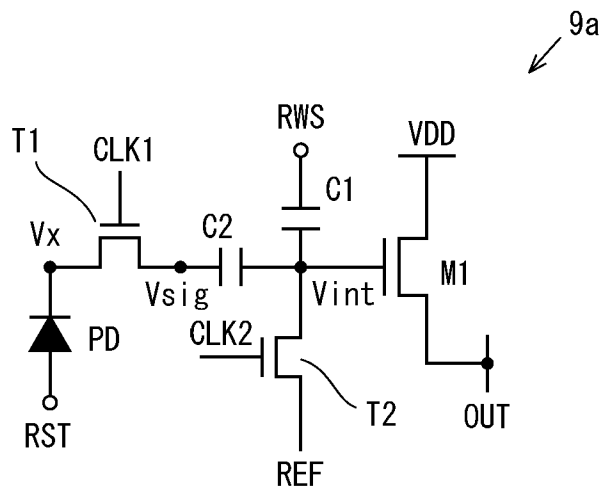
[図2]



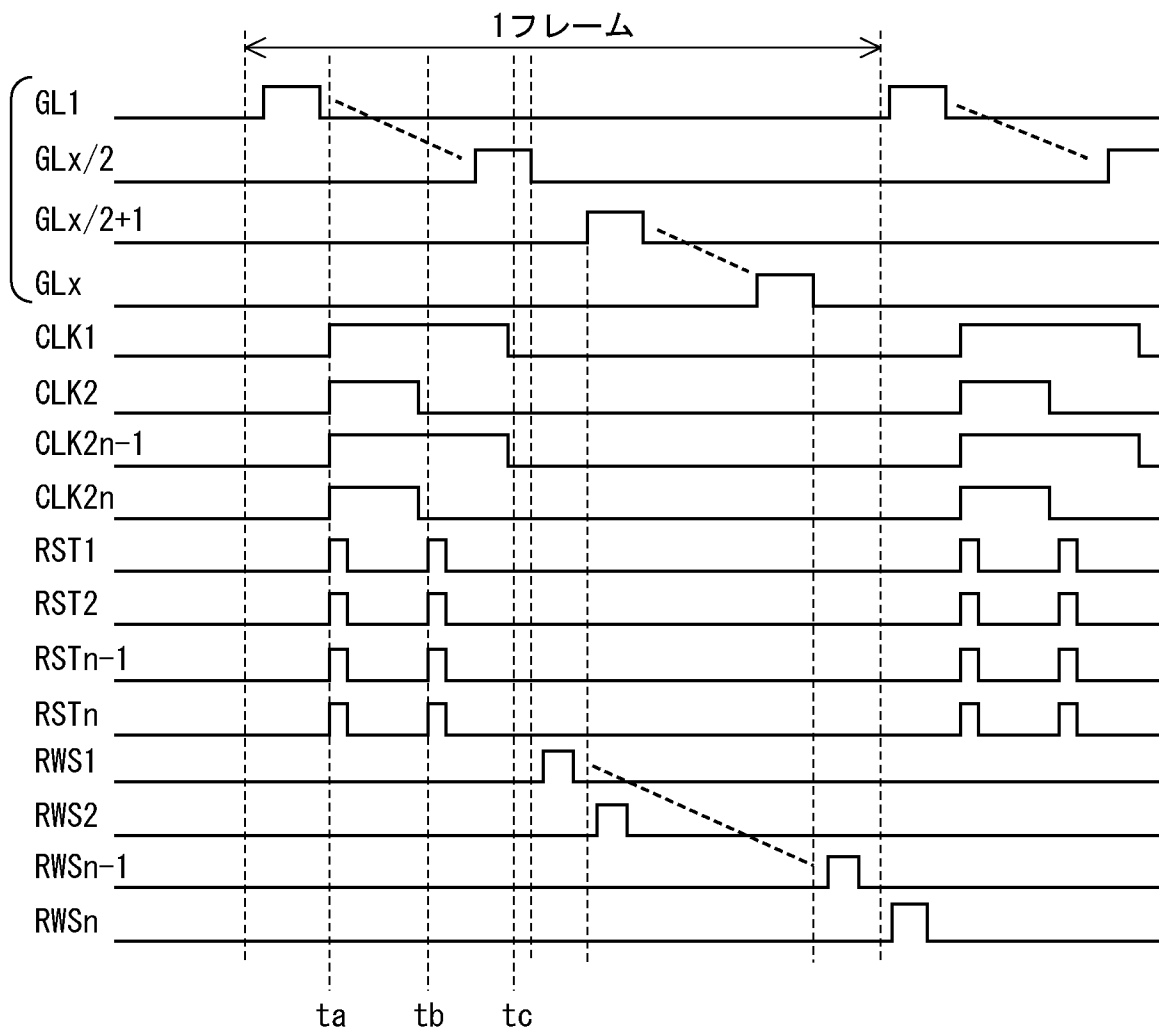
[図3]



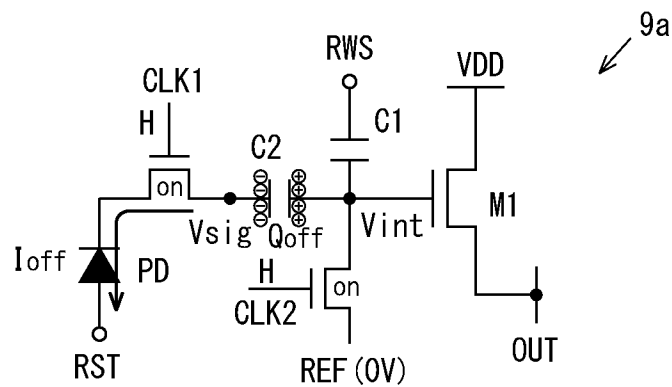
[図4]



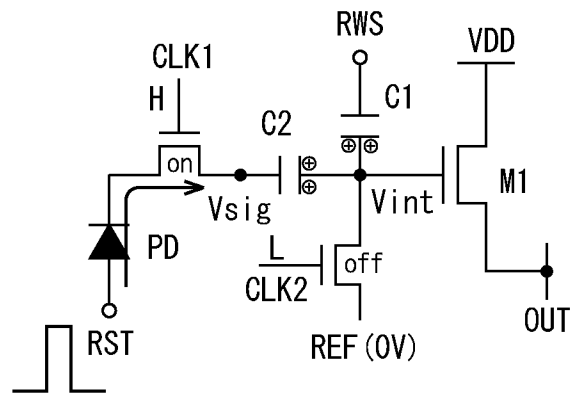
[図5]



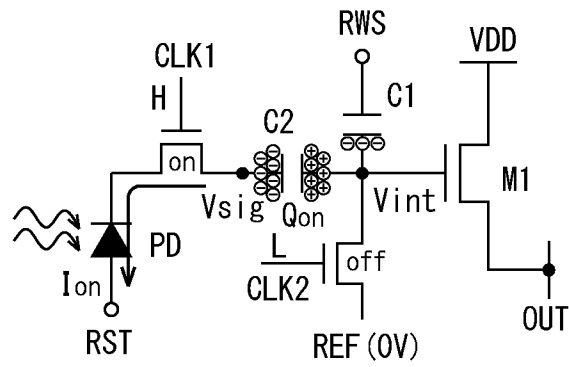
[図6A]



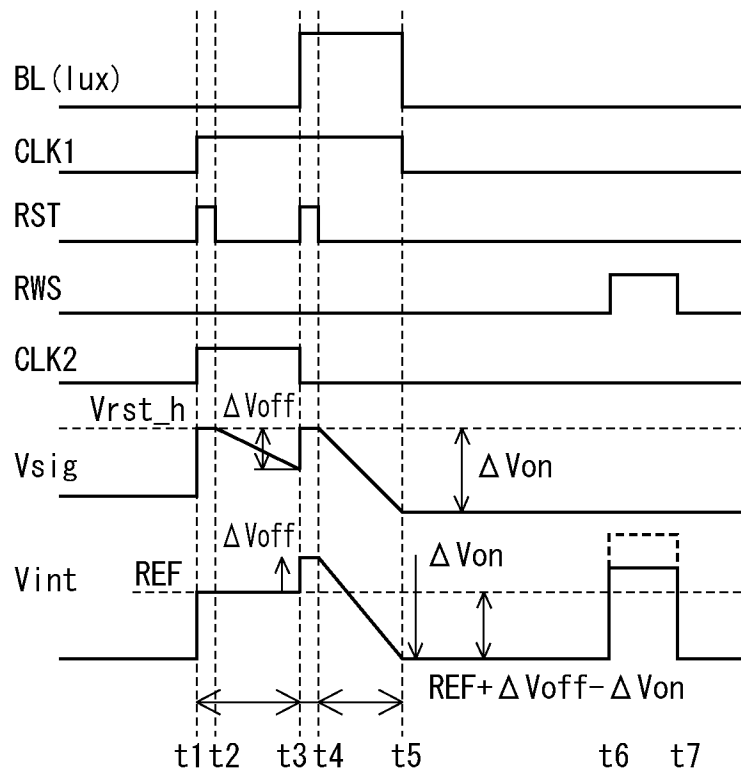
[図6B]



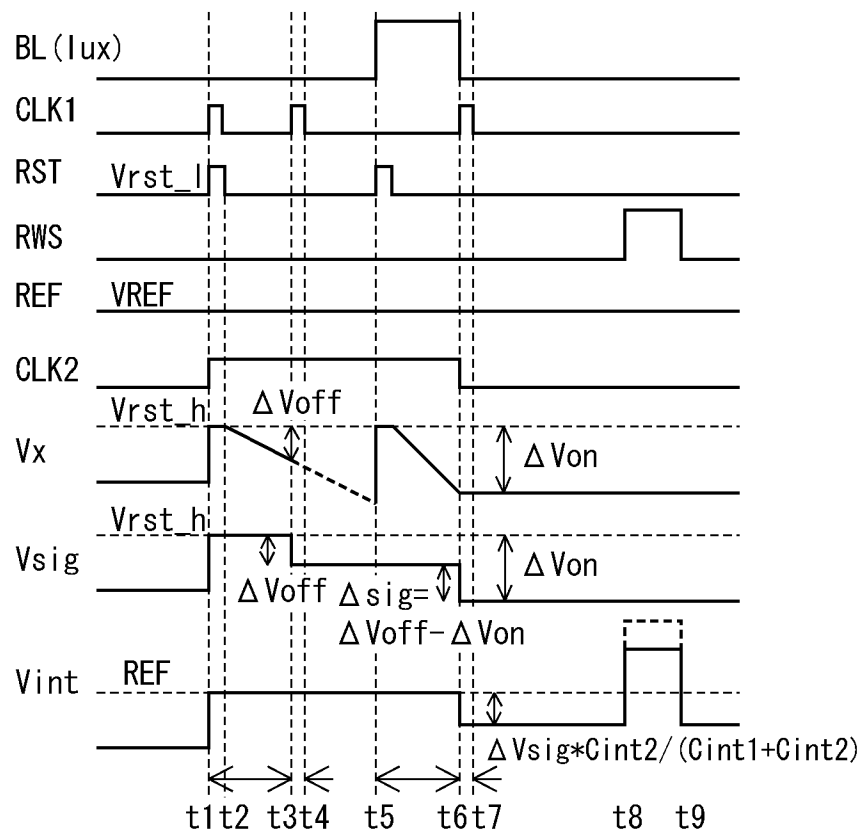
[図6C]



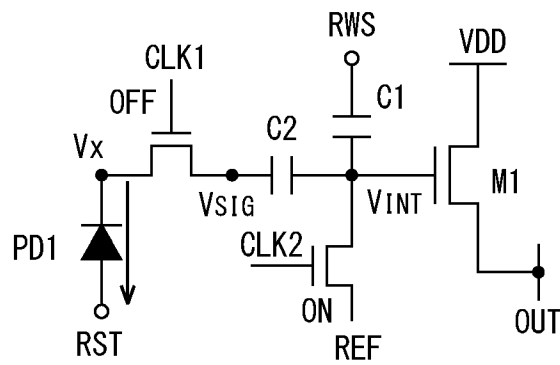
[図7]



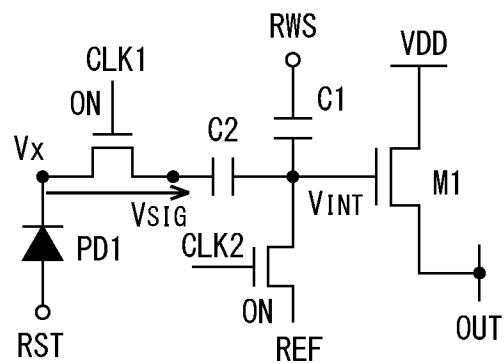
[図8]



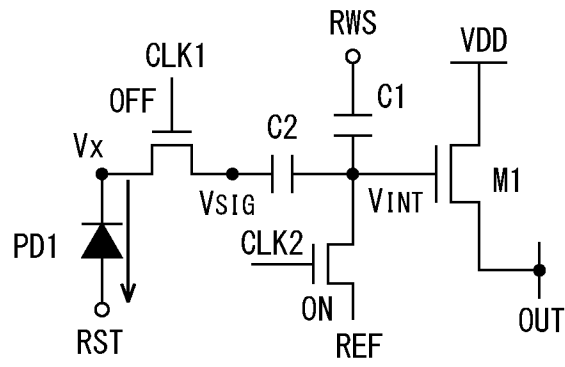
[図9A]



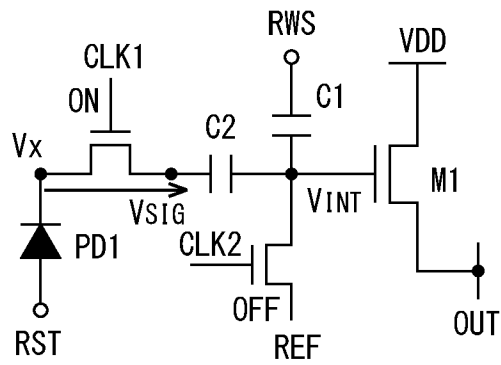
[図9B]



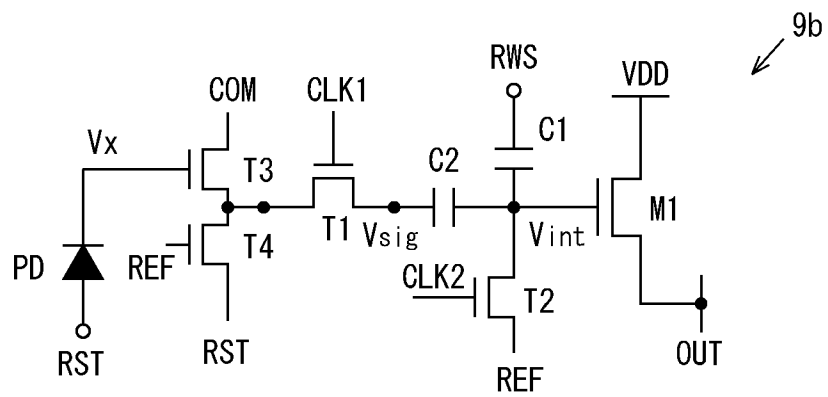
[図9C]



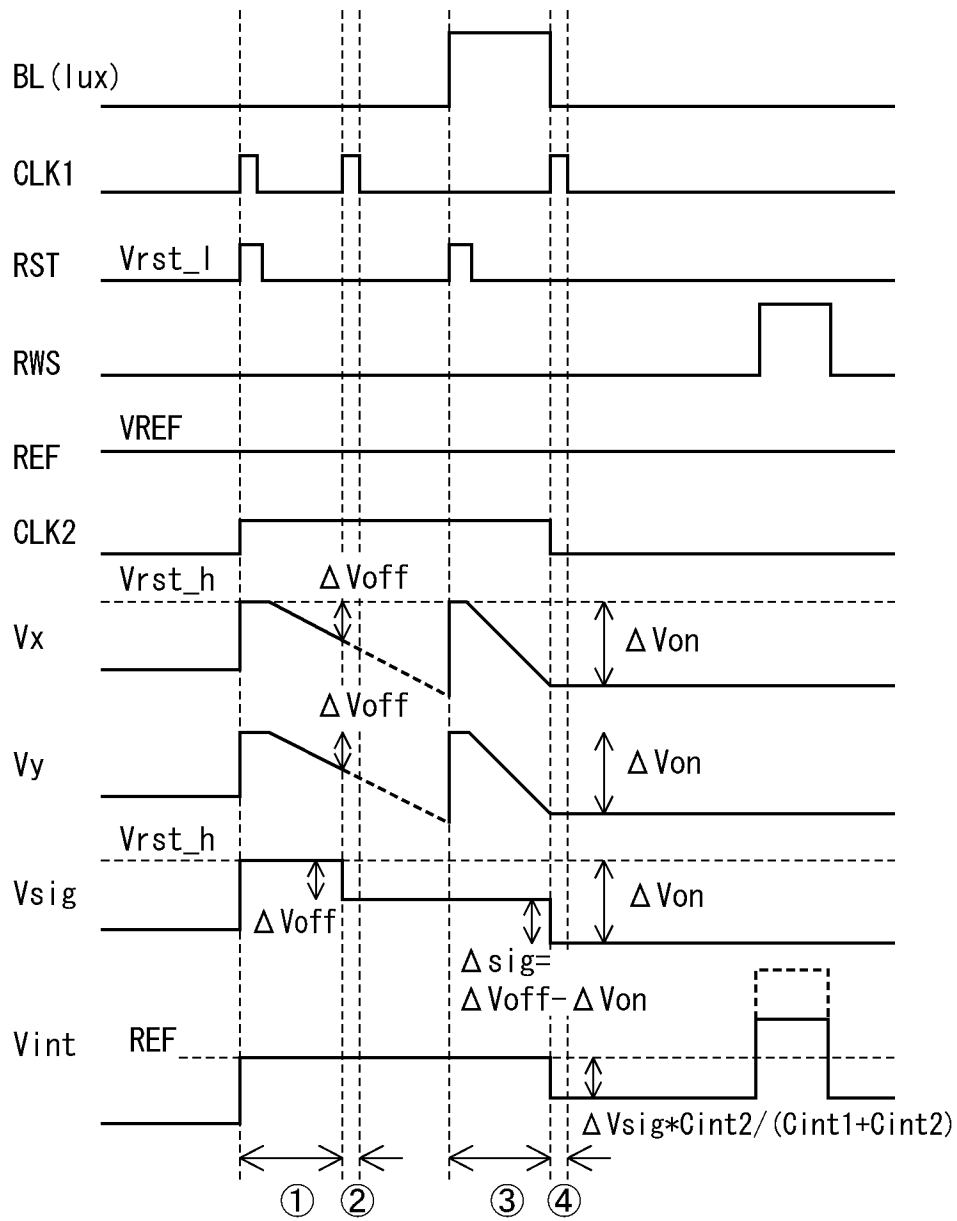
[図9D]



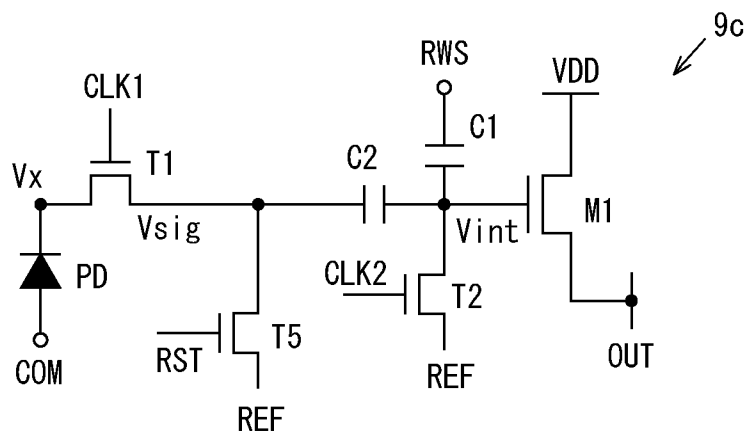
[図10]



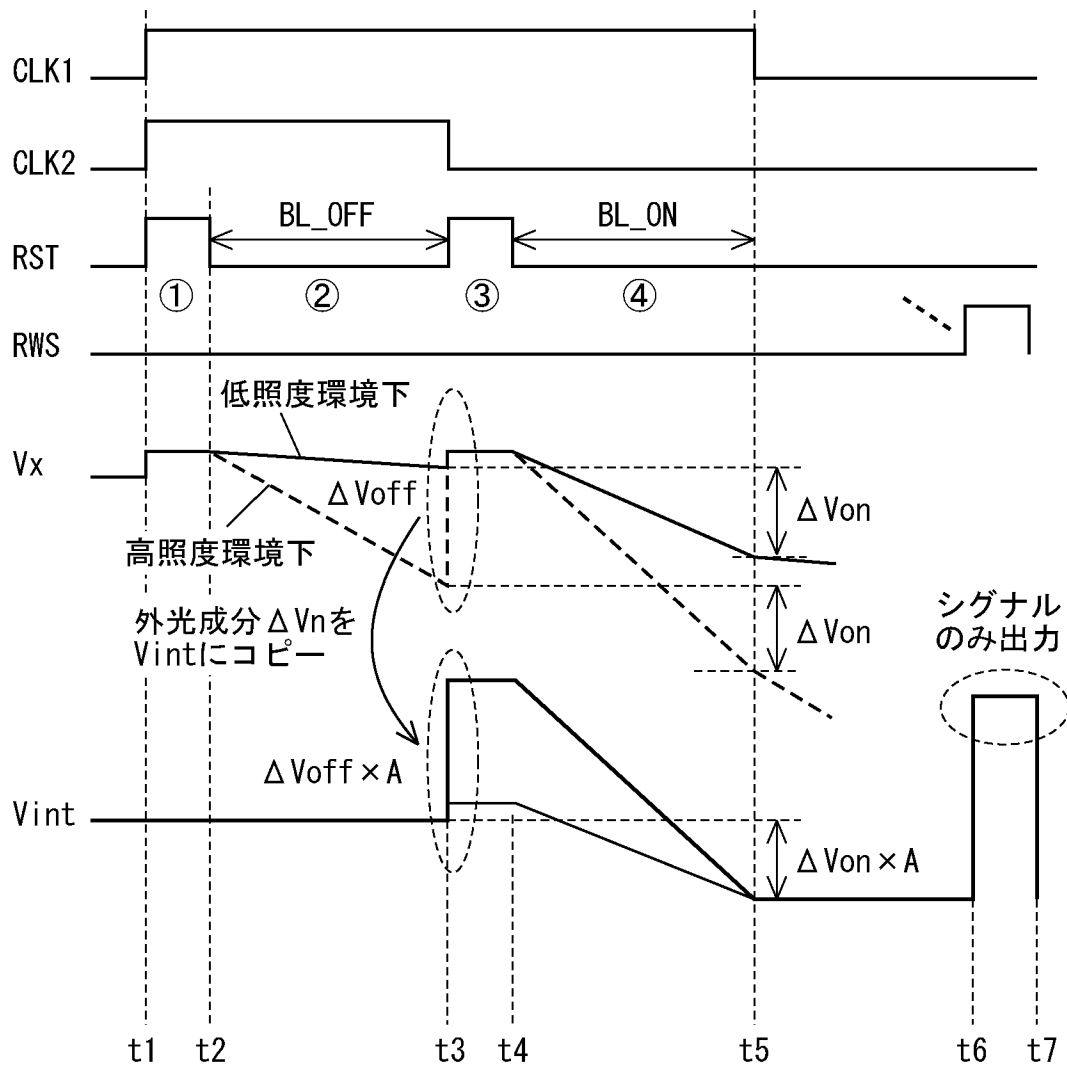
[図11]



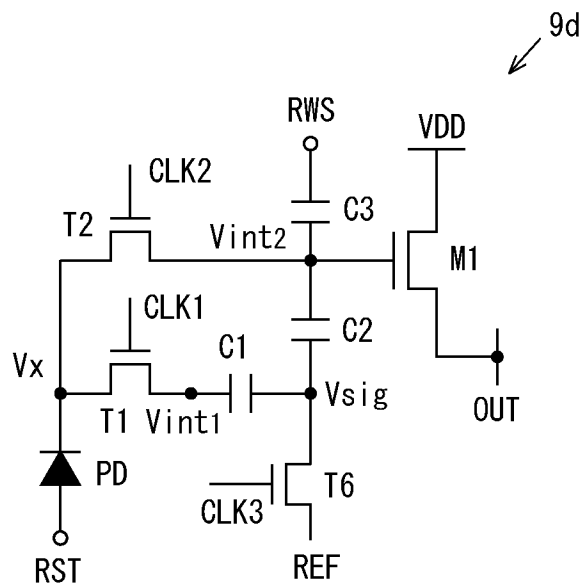
[図12]



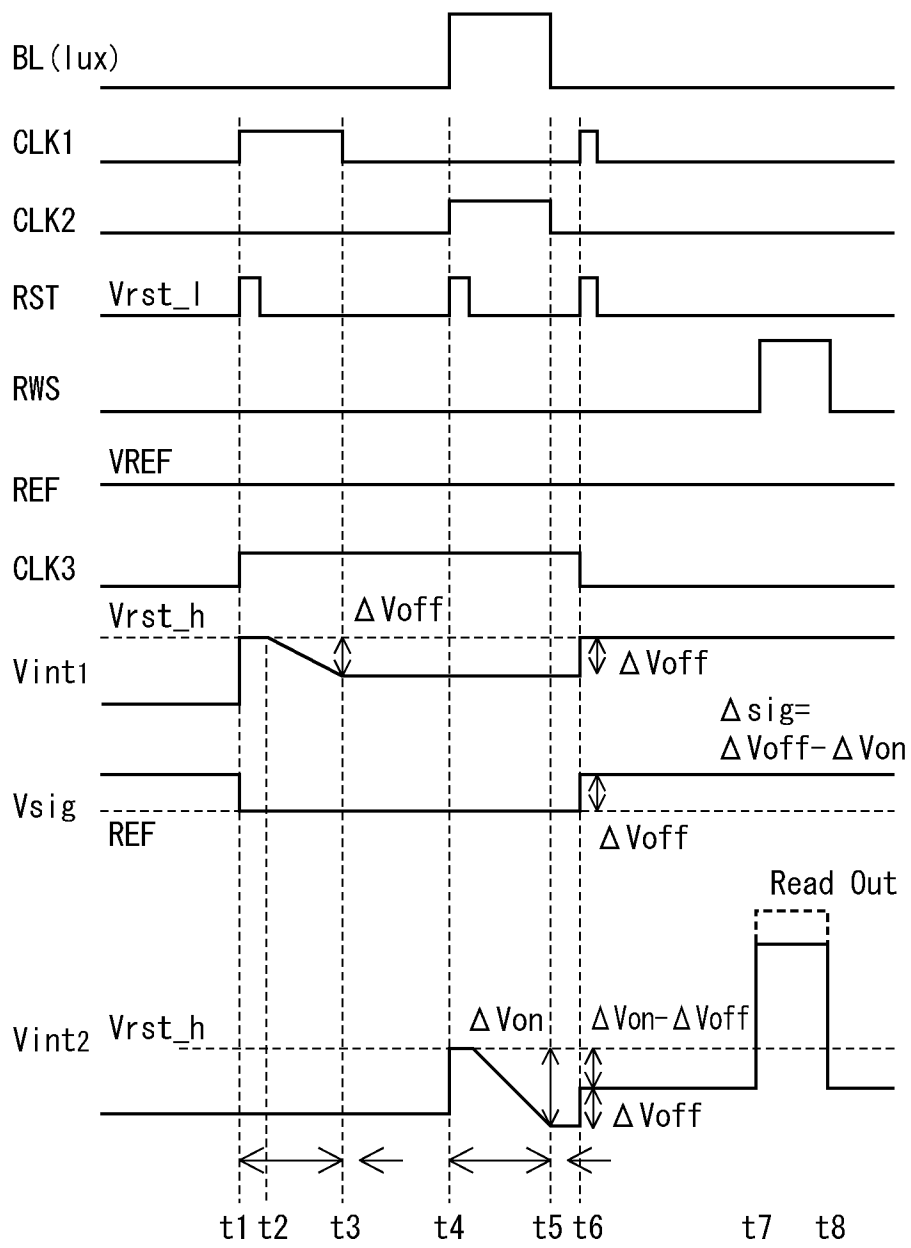
[図13]



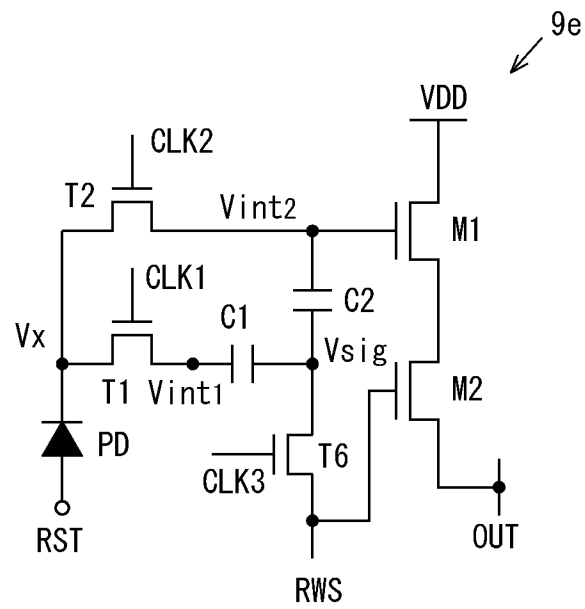
[図14]



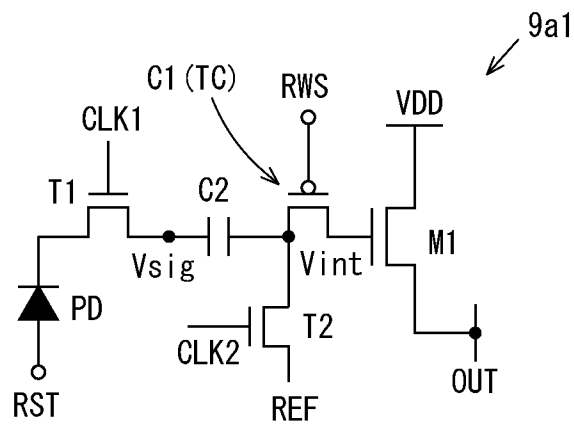
[図15]



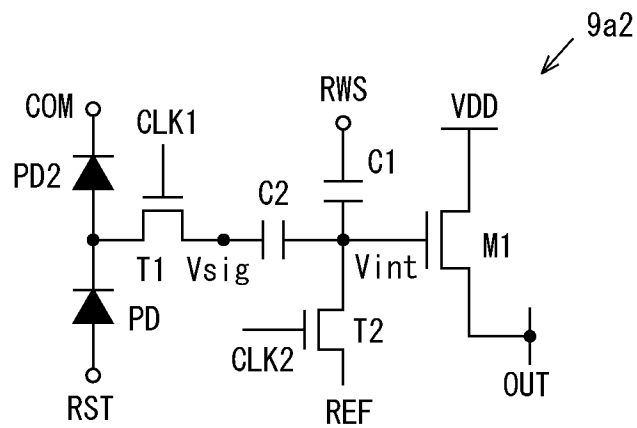
[図16]



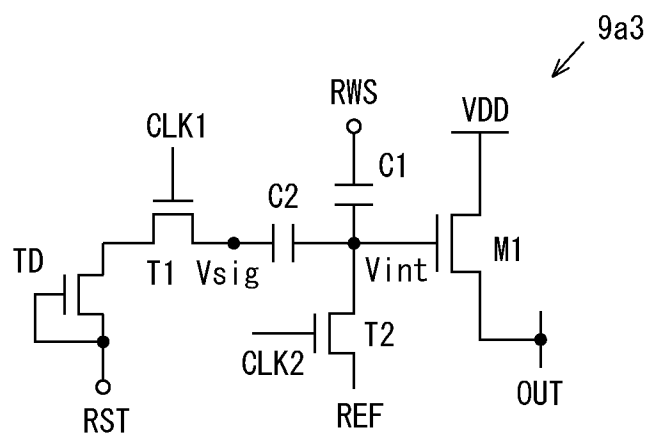
[図17]



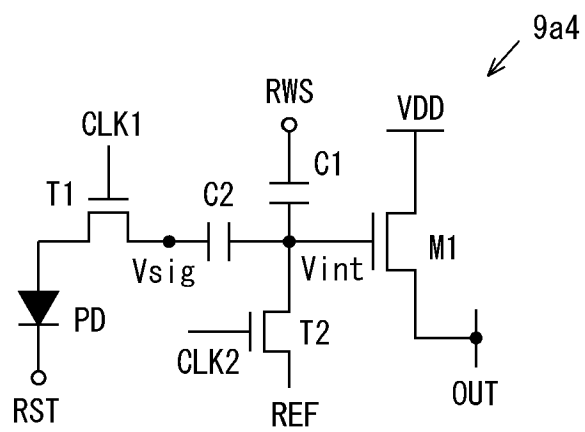
[図18]



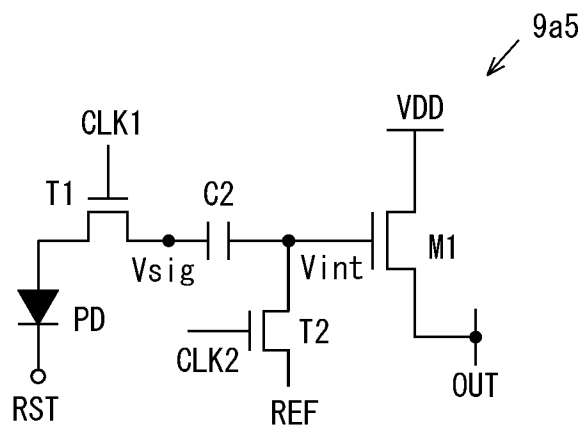
[図19]



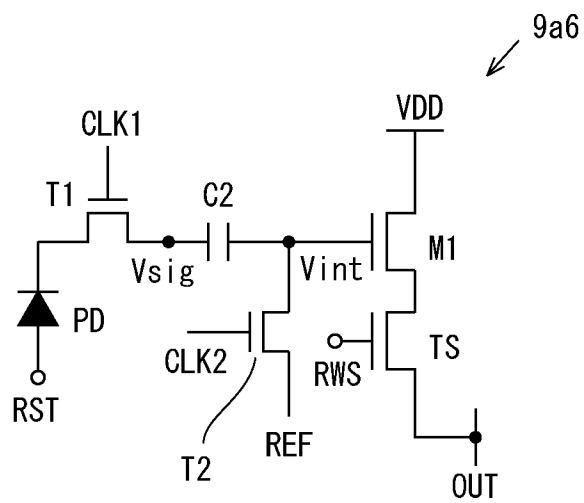
[図20]



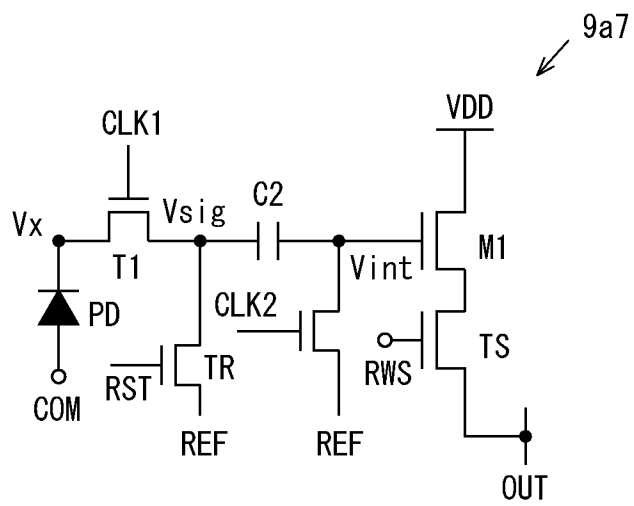
[図21]



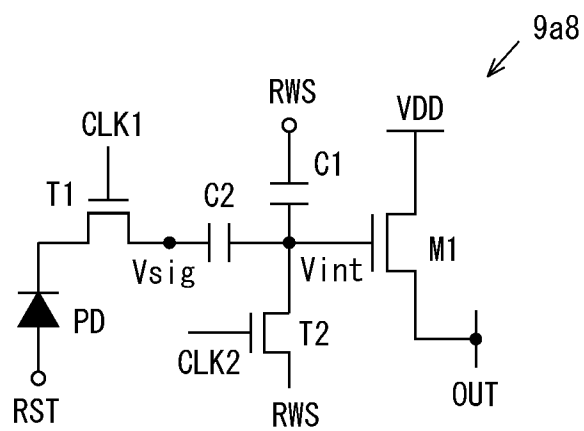
[図22]



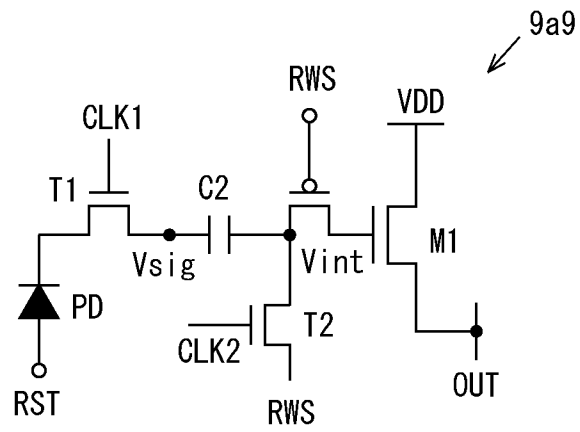
[図23]



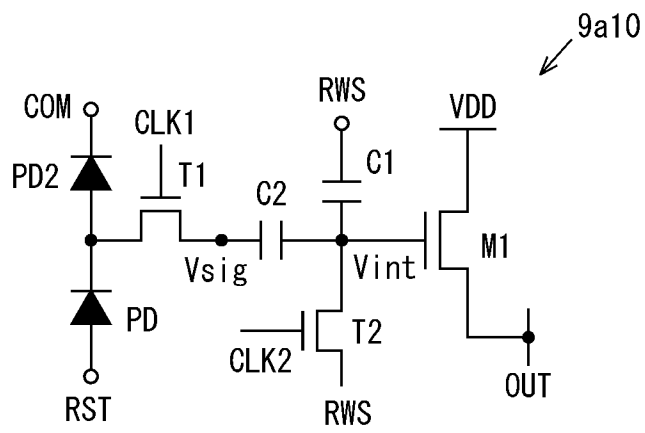
[図24]



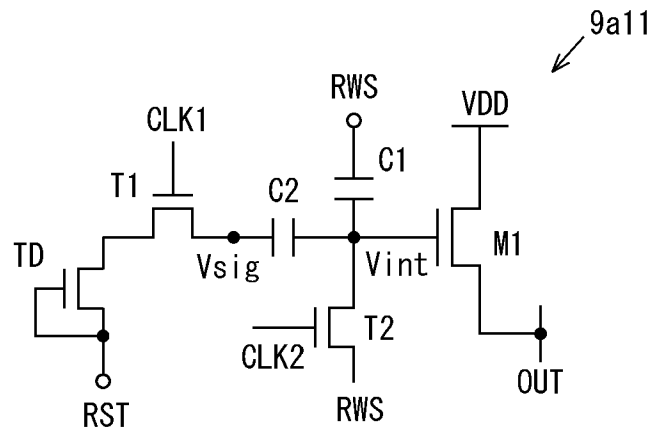
[図25]



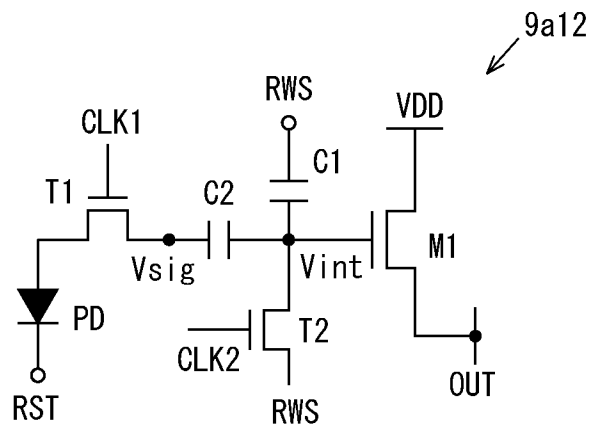
[図26]



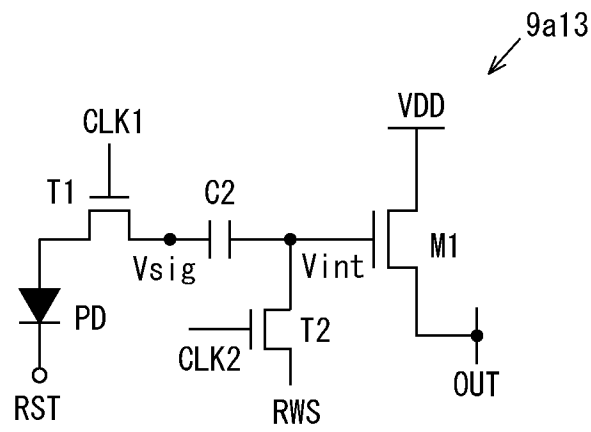
[図27]



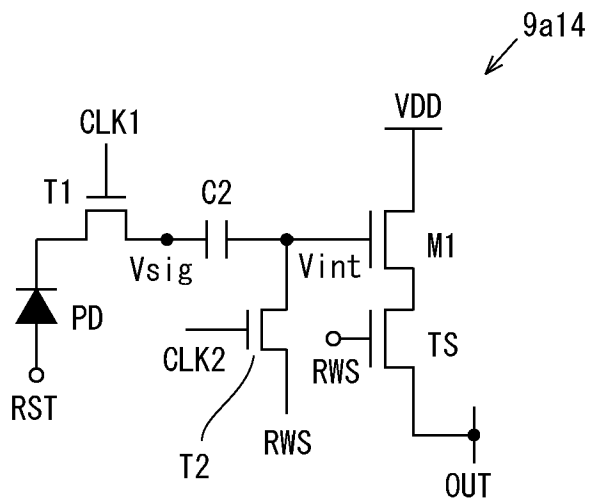
[図28]



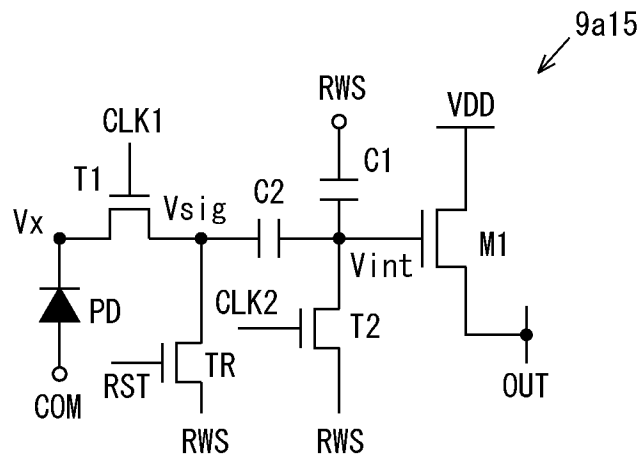
[図29]



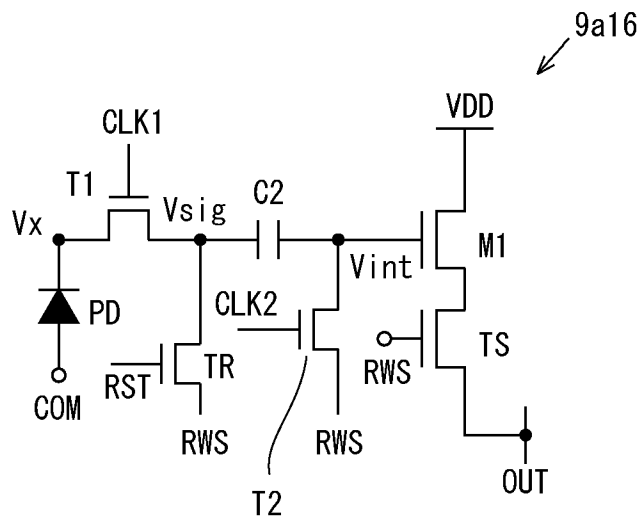
[図30]



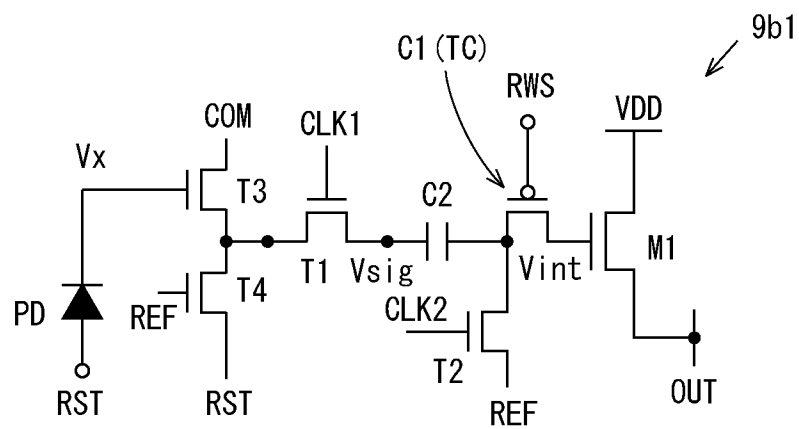
[図31]



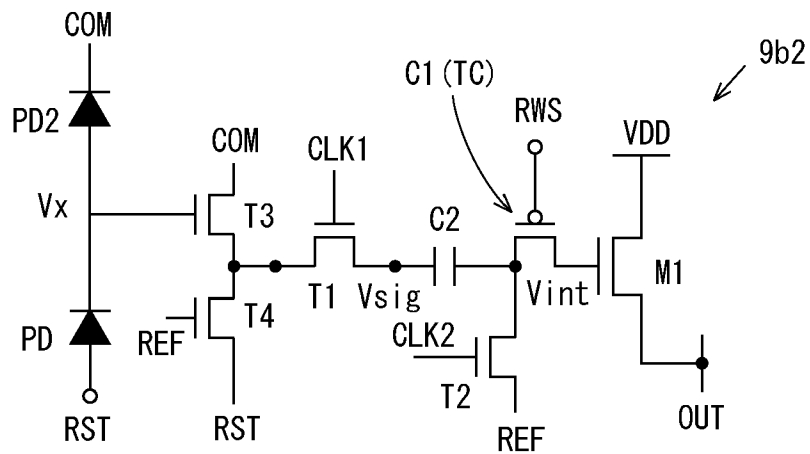
[図32]



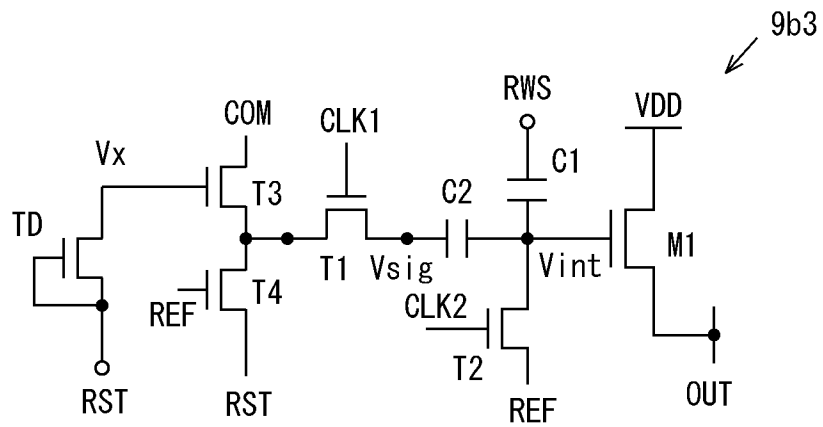
[図33]



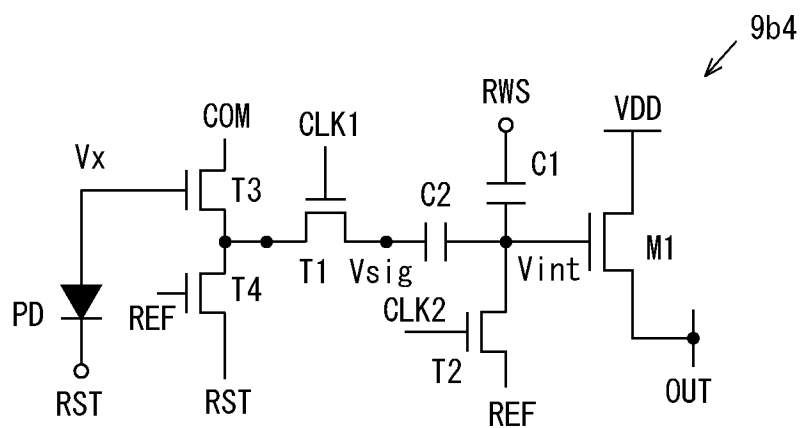
[図34]

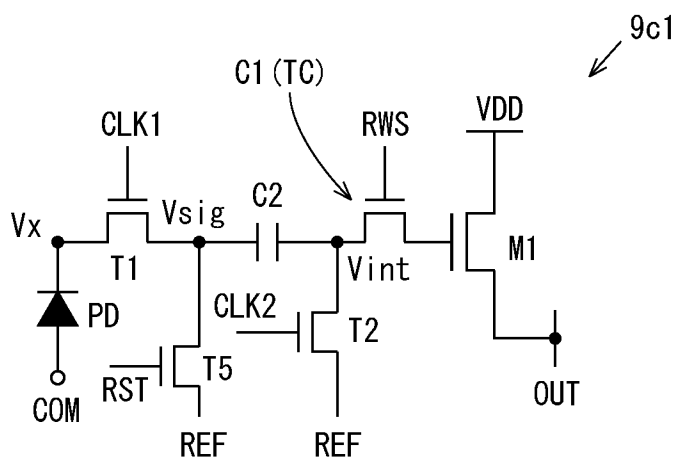
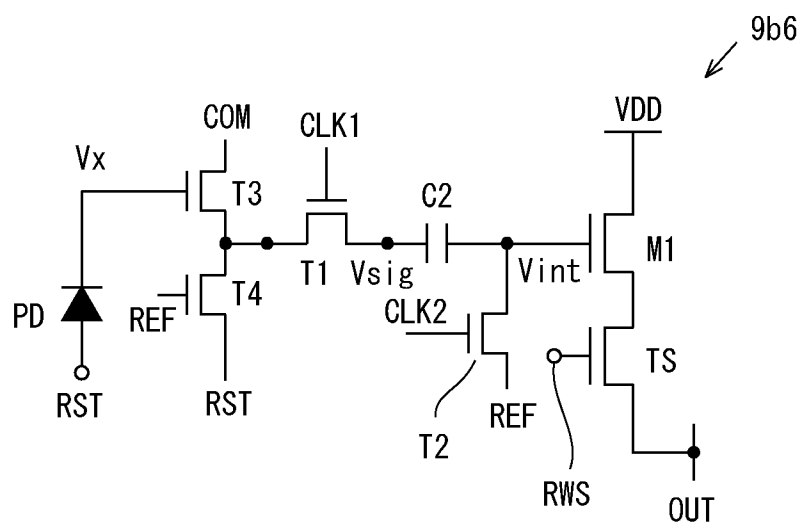
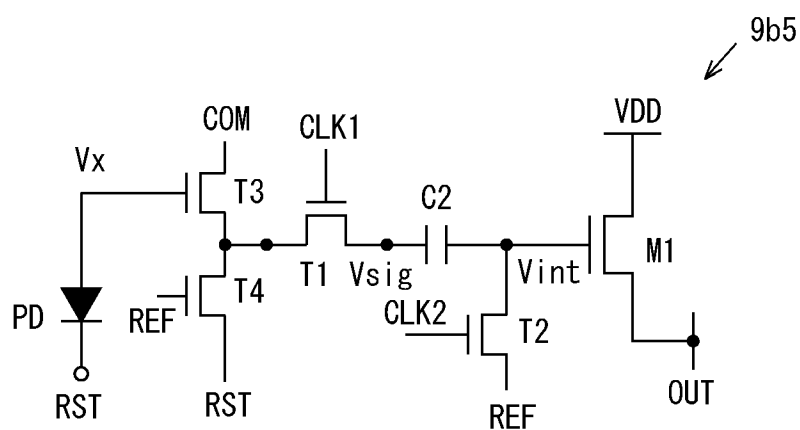


[図35]

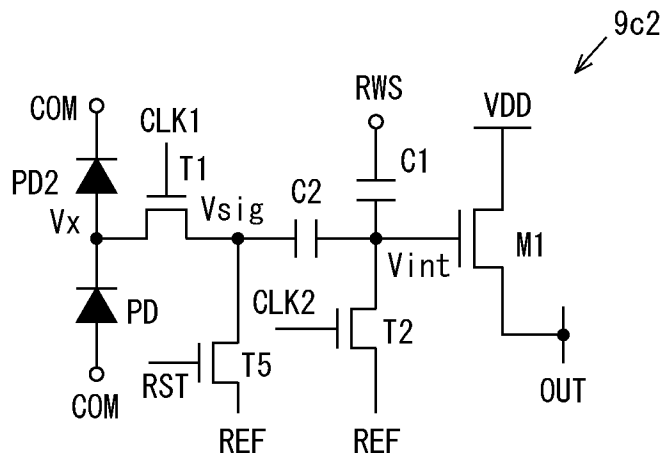


[図36]

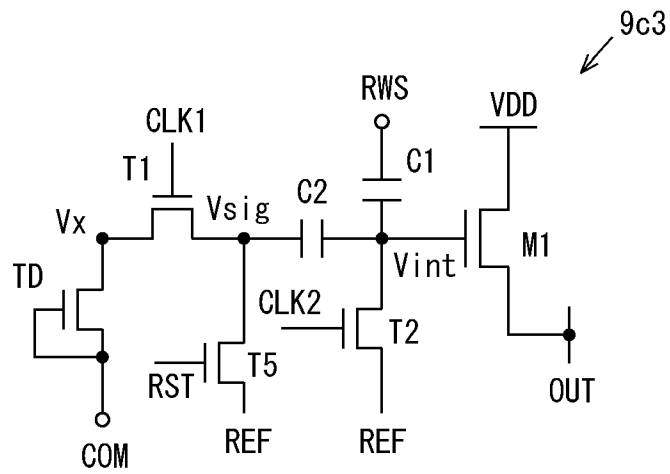




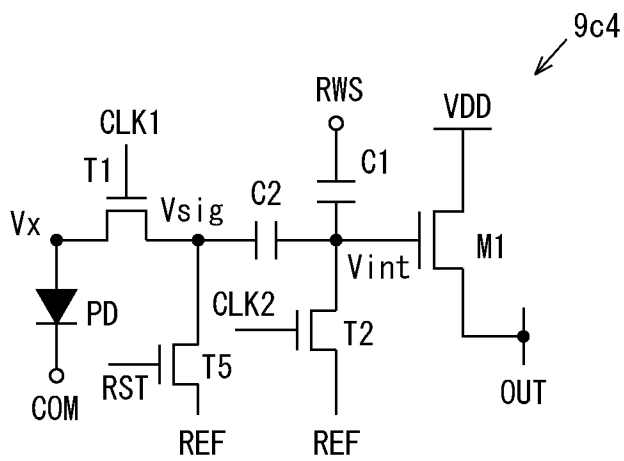
[図40]



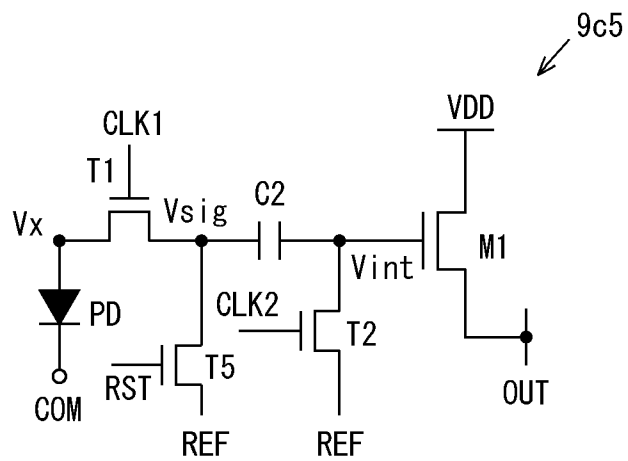
[図41]



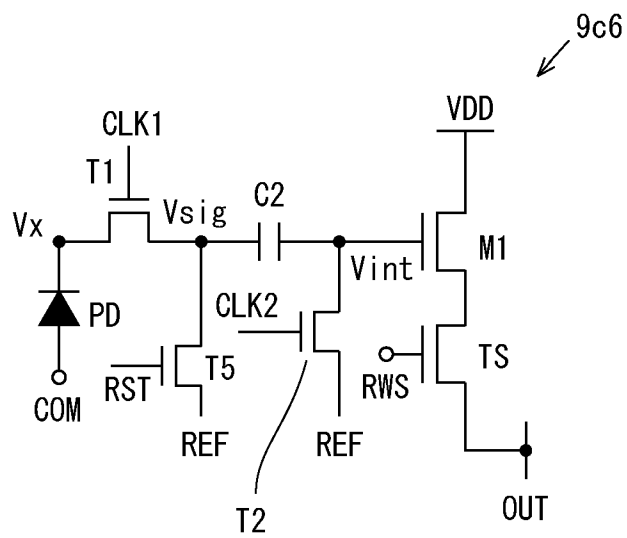
[図42]



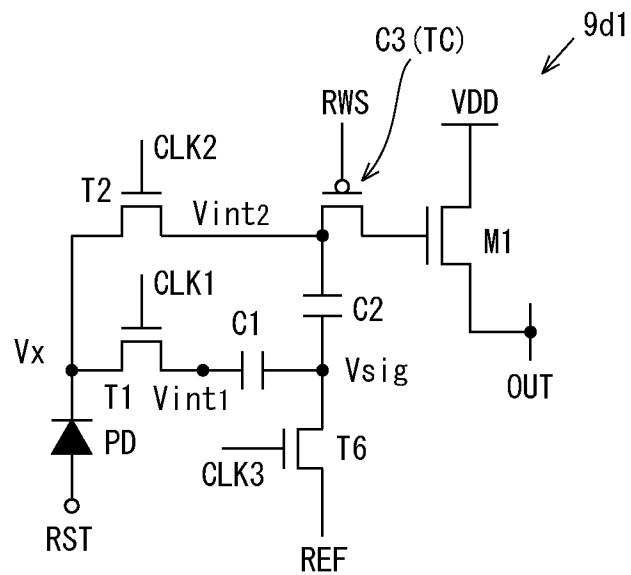
[図43]



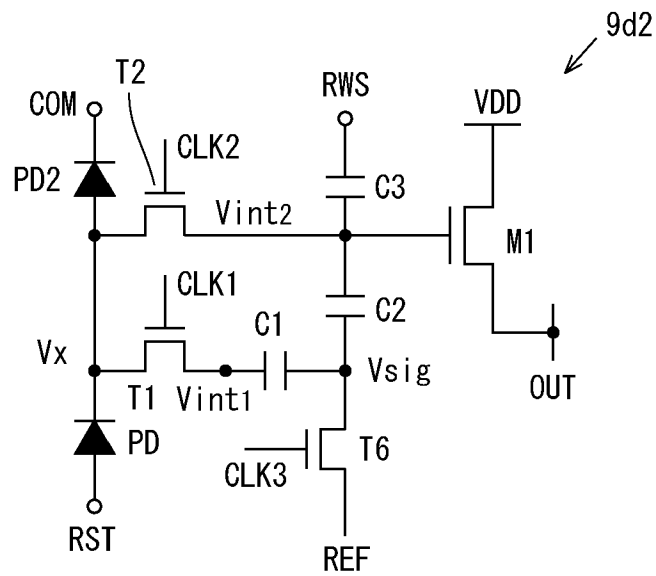
[図44]



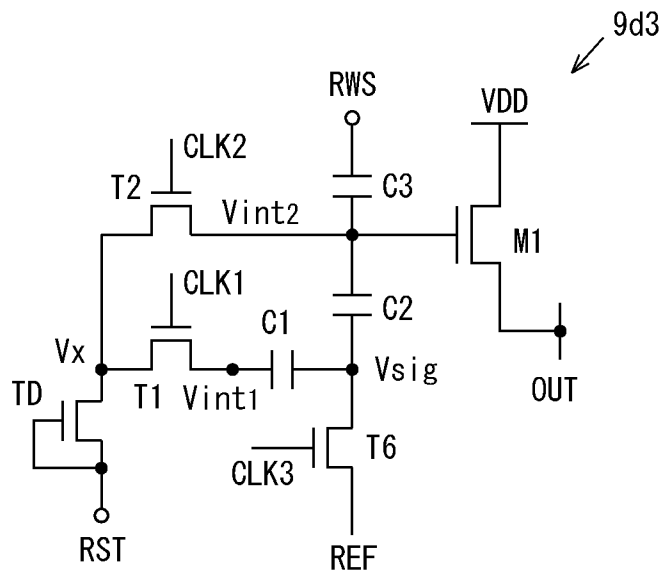
[図45]



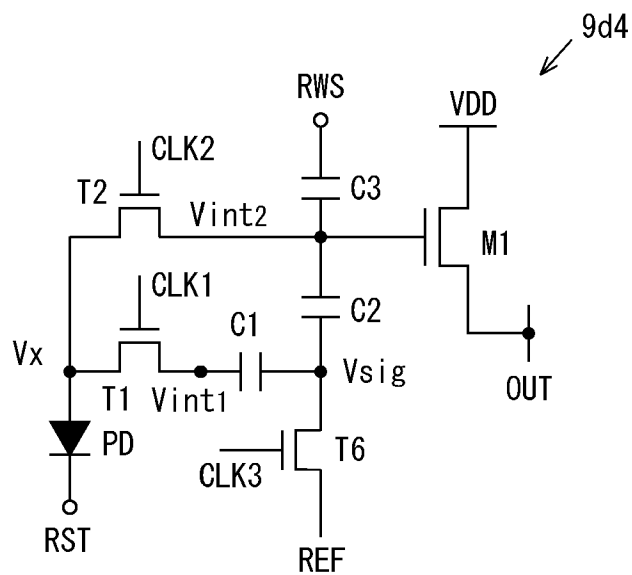
[図46]



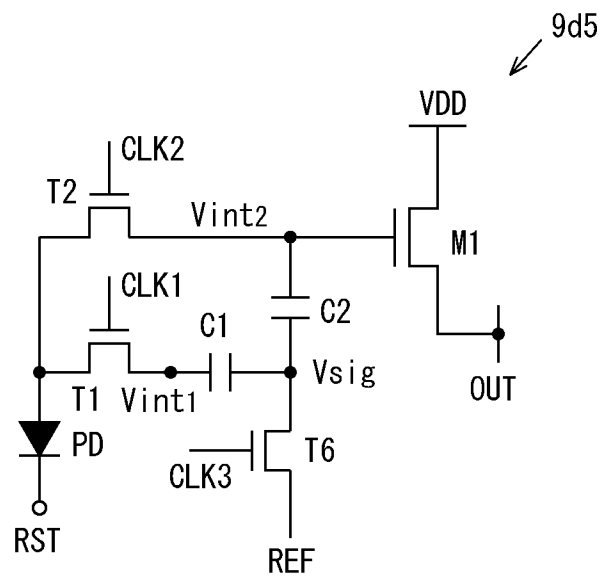
[図47]



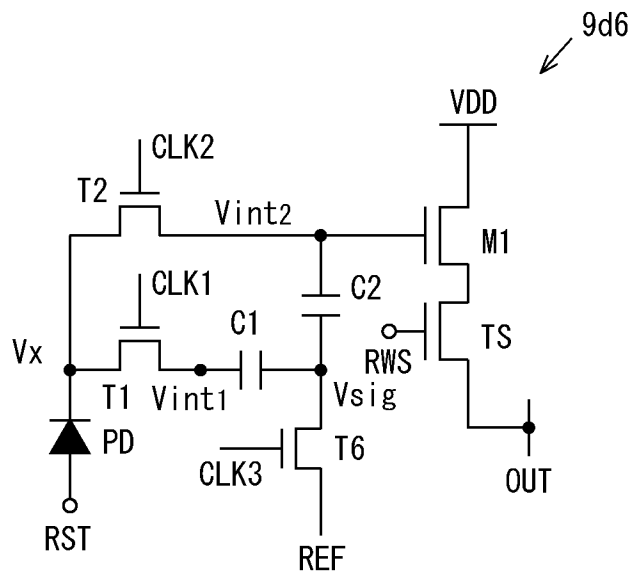
[図48]



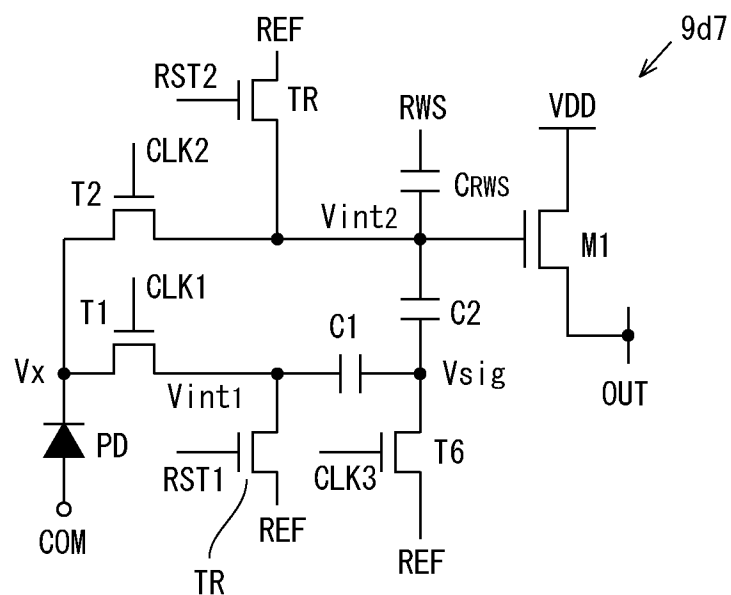
[図49]



[図50]

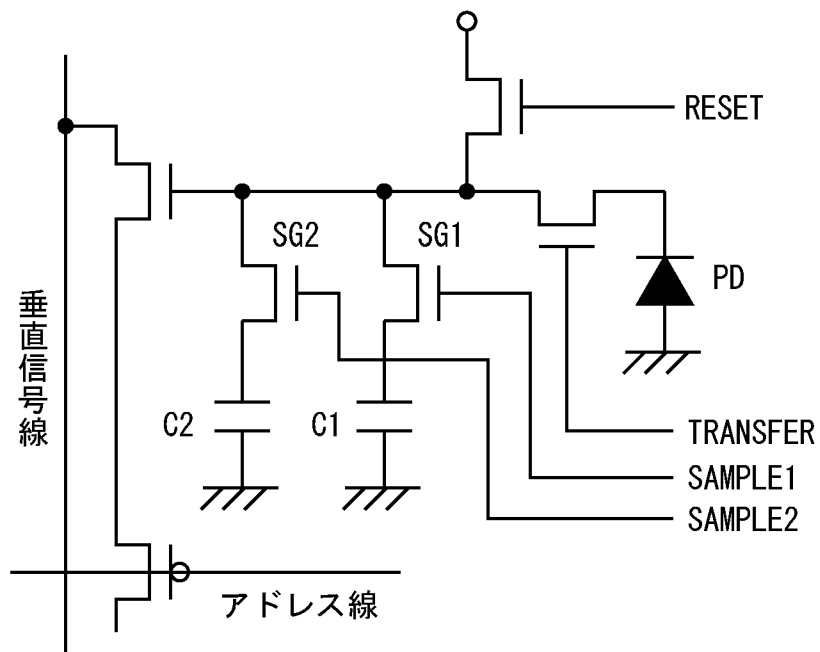


[図51]



[illegible]

[図54]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/066902

A. CLASSIFICATION OF SUBJECT MATTER

G06F3/042(2006.01)i, G02F1/1368(2006.01)i, G06F3/041(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F3/042, G02F1/1368, G06F3/041, G09G3/20, G09G3/34, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2009/119417 A1 (Sony Corp.), 01 October 2009 (01.10.2009), entire text; all drawings & US 2010/0128004 A1 & EP 2151740 A1 & CN 101689083 A & KR 10-2011-0001853 A	1, 6-10 2-5
Y A	JP 2005-176105 A (Canon Inc.), 30 June 2005 (30.06.2005), paragraphs [0002] to [0012]; fig. 6 to 8 & US 2005/0128324 A1	1, 6-10 2-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
16 August, 2011 (16.08.11)

Date of mailing of the international search report
30 August, 2011 (30.08.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F3/042(2006.01)i, G02F1/1368(2006.01)i, G06F3/041(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i, G09G3/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F3/042, G02F1/1368, G06F3/041, G09G3/20, G09G3/34, G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2009/119417 A1 (ソニー株式会社) 2009.10.01, 全文, 全図 & US 2010/0128004 A1 & EP 2151740 A1 & CN 101689083 A & KR 10-2011-0001853 A	1, 6-10 2-5
Y A	JP 2005-176105 A (キヤノン株式会社) 2005.06.30, 段落 0 0 0 2 - 0 0 1 2, 図 6 - 8 & US 2005/0128324 A1	1, 6-10 2-5

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 8 . 2 0 1 1

国際調査報告の発送日

3 0 . 0 8 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

森田 充功

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 2 1

5 E

3 6 5 5