(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年2月18日(18.02.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/028750 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 27/32* (2006.01)
G09F 9/30 (2006.01) *H01L 51/50* (2006.01)
H01L 21/336 (2006.01) *H05B 33/14* (2006.01)

(21) 国際出願番号： PCT/IB2020/057052

(22) 国際出願日： 2020年7月27日(27.07.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-147798 2019年8月9日(09.08.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

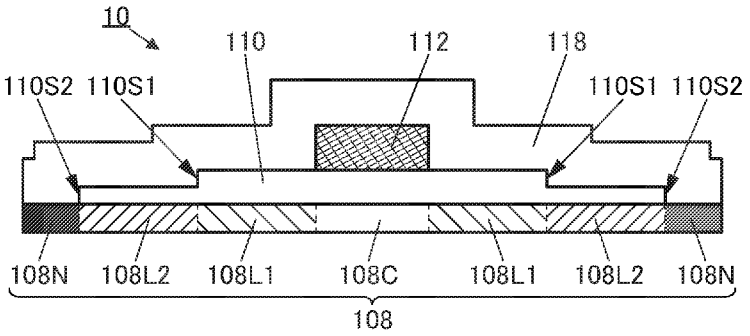
(72) 発明者: 後藤尚人 (GOTO, Naoto). 池澤直樹 (IKEZAWA, Naoki). 中田昌孝 (NAKADA, Masataka). 佐藤亜美 (SATO, Ami); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 三澤千恵子 (MISAWA, Chieko).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置、および半導体装置の作製方法

図1A



(57) **Abstract:** The present invention provides a semiconductor device which has good electrical characteristics. The present invention provides a semiconductor device which has high reliability. A semiconductor device according to the present invention comprises a semiconductor layer, a first insulating layer on the semiconductor layer, and an electroconductive layer on the first insulating layer. The semiconductor layer has a first region, a pair of second regions, a pair of third regions, and a pair of fourth regions. The first region is sandwiched between the second regions; the first region and the second regions are sandwiched between the third regions; and the first region, the second regions and the third regions are sandwiched between the fourth regions. The first region has a region that overlaps with the first insulating layer and the electroconductive layer; the second regions and the third regions respectively have regions that overlap with the first insulating layer but do not overlap with the electroconductive layer; and fourth regions do not overlap with the first insulating layer and the electroconductive layer. The film thicknesses of the first insulating layer in the regions overlapping with the second regions are generally equal to the film thickness of the first insulating layer in the region overlapping with the first region. The film thicknesses of the first insulating layer in the regions overlapping with the third regions are thinner than the film thicknesses of the first insulating layer in the regions overlapping with the second regions.

WO 2021/028750 A1

[続葉有]

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約:電気特性の良好な半導体装置を提供する。信頼性の高い半導体装置を提供する。 半導体層と、半導体層上の第１の絶縁層と、第１の絶縁層上の導電層と、を有する半導体装置とする。半導体層は、第１の領域と、一対の第２の領域と、一対の第３の領域と、一対の第４の領域と、を有する。第２の領域は、第１の領域を挟み、第３の領域は、第１の領域及び第２の領域を挟み、第４の領域は、第１の領域、第２の領域及び第３の領域を挟む。第１の領域は、第１の絶縁層及び導電層と重なる領域を有し、第２の領域及び第３の領域はそれぞれ、第１の絶縁層と重なる領域を有し、かつ導電層と重ならず、第４の領域は、第１の絶縁層及び導電層のいずれとも重ならない。第２の領域と重なる領域の第１の絶縁層の膜厚は、第１の領域と重なる領域の第１の絶縁層の膜厚と概略等しい。第３の領域と重なる領域の第１の絶縁層の膜厚は、第２の領域と重なる領域の第１の絶縁層の膜厚より薄い。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

［０００１］

本発明の一態様は、半導体装置に関する。本発明の一態様は、表示装置に関する。本発明の一態様は、半導体装置、または表示装置の作製方法に関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野として、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。半導体装置は、半導体特性を利用することで機能しうる装置全般を指す。

背景技術

［０００３］

トランジスタに適用可能な半導体材料として、金属酸化物を用いた酸化物半導体が注目されている。例えば、特許文献１では、複数の酸化物半導体層を積層し、当該複数の酸化物半導体層の中で、チャネルとなる酸化物半導体層がインジウム及びガリウムを含み、且つインジウムの割合をガリウムの割合よりも大きくすることで、電界効果移動度（単に移動度、または μＦＥという場合がある）を高めた半導体装置が開示されている。

［０００４］

半導体層に用いることができる金属酸化物は、スパッタリング法などを用いて形成できるため、大型の表示装置を構成するトランジスタの半導体層に用いることができる。また、多結晶シリコンや非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能なため、設備投資を抑えられる。また、金属酸化物を用いたトランジスタは、非晶質シリコンを用いた場合に比べて高い電界効果移動度を有するため、駆動回路を設けた高性能の表示装置を実現できる。

［０００５］

表示装置においては、画面サイズが大型化する傾向にあり、対角６０インチ以上さらには、対角１２０インチ以上の画面サイズも視野に入れた開発が行われている。加えて、画面の解像度もフルハイビジョン（画素数１９２０×１０８０、または「２Ｋ」などとも言われる。）、ウルトラハイビジョン（画素数３８４０×２１６０、または「４Ｋ」などとも言われる。）、スーパーハイビジョン（画素数７６８０×４３２０、または「８Ｋ」などとも言われる。）と高精細化の傾向にある。

［０００６］

画面サイズの大型化や高精細化は、表示部内の配線抵抗を増大させる傾向にある。特許文献２では、非晶質シリコントランジスタを用いた液晶表示装置において、配線抵抗の増大を抑えるために、銅（Ｃｕ）を使用して低抵抗の配線層を形成する技術が開示されている。

［先行技術文献］

［特許文献］

［０００７］

［特許文献１］特開２０１４－７３９９号公報

［特許文献２］特開２００４－１６３９０１号公報

発明の概要

発明が解決しようとする課題

［０００８］

本発明の一態様は、電気特性の良好な半導体装置を提供することを課題の一とする。または、本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。または、本発明の一態様は、電気特性の良好な半導体装置の作製方法を提供することを課題の一とする。または、本発明の一態様は、信頼性の高い半導体装置の作製方法を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置の作製方法を提供することを課題の一とする。

［０００９］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から抽出することが可能である。

課題を解決するための手段

［００１０］

本発明の一態様は、半導体層と、半導体層上の第１の絶縁層と、第１の絶縁層上の導電層と、を有する半導体装置である。半導体層は、第１の領域と、一対の第２の領域と、一対の第３の領域と、一対の第４の領域と、を有する。第２の領域は、第１の領域を挟み、第３の領域は、第１の領域及び第２の領域を挟み、第４の領域は、第１の領域、第２の領域及び第３の領域を挟む。第１の領域は、第１の絶縁層及び導電層と重なる領域を有し、第２の領域及び第３の領域はそれぞれ、第１の絶縁層と重なる領域を有し、かつ導電層と重ならず、第４の領域は、第１の絶縁層及び導電層のいずれとも重ならない。第２の領域と重なる領域の第１の絶縁層の膜厚は、第１の領域と重なる領域の第１の絶縁層の膜厚と概略等しい。第３の領域と重なる領域の第１の絶縁層の膜厚は、第２の領域と重なる領域の第１の絶縁層の膜厚より薄い。

［００１１］

前述の半導体装置において、さらに第２の絶縁層を有し、第２の絶縁層は、第１の絶縁層の上面及び側面、並びに第４の領域の上面と接することが好ましい。

［００１２］

前述の半導体装置において、第１の絶縁層は、酸化物または酸化窒化物を有し、第２の絶縁層は、酸化物または酸化窒化物を有することが好ましい。

［００１３］

前述の半導体装置において、第１の絶縁層は、酸化物または酸化窒化物を有し、第２の絶縁層は、窒化物または窒化酸化物を有することが好ましい。

［００１４］

前述の半導体装置において、第３の領域及び第４の領域はそれぞれ、第１の元素を有することが好ましい。第３の領域の第１の元素の濃度は、第２の領域の第１の元素の濃度より高く、第４の領域の第１の元素の濃度は、第３の領域の第１の元素の濃度より高いことが好ましい。また、第１の元素は、水素、ホウ素、窒素、リンのいずれか一以上であることが好ましい。

［００１５］

前述の半導体装置において、第２の領域の抵抗は、第１の領域の抵抗より低く、第３の領域の抵

抗は、第２の領域の抵抗より低く、第４の領域の抵抗は、第３の領域の抵抗より低いことが好ましい。

［００１６］

前述の半導体装置において、第３の領域の抵抗は、第２の領域の抵抗の２倍以上１×１０^{3}倍以下であることが好ましい。

［００１７］

前述の半導体装置において、第３の領域と重なる部分の第１の絶縁層の膜厚は、第２の領域と重なる部分の第１の絶縁層の膜厚の０．２倍以上０．９倍以下であることが好ましい。

［００１８］

前述の半導体装置において、第２の領域の幅及び第３の領域の幅はそれぞれ、５０ｎｍ以上１μｍ以下であることが好ましい。

［００１９］

前述の半導体装置において、半導体層は、インジウムと、元素Ｍと、亜鉛と、を有し、元素Ｍは、アルミニウム、ガリウム、イットリウム、及びスズの一以上であることが好ましい。

［００２０］

本発明の一態様は、島状の半導体層を形成する工程と、半導体層上に、絶縁膜を形成する工程と、絶縁膜上に、導電膜を形成する工程と、導電膜上に、端部が半導体層の端部より内側に位置する第１のレジストマスクを形成する工程と、第１のレジストマスクを用いて、導電膜をエッチングし、端部が第１のレジストマスクの端部より内側に位置する導電層を形成する工程と、第１のレジストマスクを用いて、絶縁膜をエッチングし、第１の絶縁層を形成する工程と、第１のレジストマスクを縮小させ、端部が導電層の端部より外側に位置する第２のレジストマスクを形成する工程と、第２のレジストマスクを用いて、第１の絶縁層の上部の一部をエッチングし、第２の絶縁層を形成する工程と、第２のレジストマスクを除去する工程と、導電層、第２の絶縁層、及び半導体層上に、第３の絶縁層を形成する工程と、第２の絶縁層及び第３の絶縁層を介して、半導体層に第１の元素を供給する工程と、を有する半導体装置の作製方法である。ここで、第１の元素は、水素、ホウ素、窒素、リンの一以上である。

［００２１］

前述の半導体装置の作製方法において、第１の元素を供給する工程は、第３の絶縁層を形成する工程の後に大気暴露することなく連続して行われることが好ましい。

［００２２］

前述の半導体装置の作製方法において、導電層を形成する工程は、ウェットエッチング法を用い、第１の絶縁層を形成する工程及び第２の絶縁層を形成する工程はそれぞれ、ドライエッチング法を用いることが好ましい。

発明の効果

［００２３］

本発明の一態様によれば、電気特性の良好な半導体装置を提供できる。または、信頼性の高い半導体装置を提供できる。または、新規な半導体装置を提供できる。または、電気特性の良好な半導体装置の作製方法を提供できる。または、信頼性の高い半導体装置の作製方法を提供できる。または、新規な半導体装置の作製方法を提供できる。

［００２４］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から抽出することが可能である。

図面の簡単な説明

［００２５］

図１Ａ、図１Ｂ、図１Ｃは半導体装置の構成例を示す図である。

図２Ａ、図２Ｂ、図２Ｃは半導体装置の構成例を示す図である。

図３Ａ、図３Ｂは半導体装置の構成例を示す図である。

図４Ａ、図４Ｂは半導体装置の構成例を示す図である。

図５Ａは半導体装置の上面図である。図５Ｂ、図５Ｃは半導体装置の断面図である。

図６Ａ、図６Ｂは半導体装置の断面図である。

図７Ａは半導体装置の上面図である。図７Ｂ、図７Ｃは半導体装置の断面図である。

図８Ａ、図８Ｂ、図８Ｃは半導体装置の断面図である。

図９Ａは半導体装置の上面図である。図９Ｂ、図９Ｃは半導体装置の断面図である。

図１０Ａ、図１０Ｂは半導体装置の断面図である。

図１１Ａ、図１１Ｂ、図１１Ｃは半導体装置の断面図である。

図１２は半導体装置の断面図である。

図１３Ａは半導体装置の上面図である。図１３Ｂ、図１３Ｃは半導体装置の断面図である。

図１４は半導体装置の断面図である。

図１５Ａ、図１５Ｂ、図１５Ｃ、図１５Ｄは半導体装置の作製方法を説明する断面図である。

図１６Ａ、図１６Ｂ、図１６Ｃは半導体装置の作製方法を説明する断面図である。

図１７Ａ、図１７Ｂ、図１７Ｃは半導体装置の作製方法を説明する断面図である。

図１８Ａ、図１８Ｂ、図１８Ｃは半導体装置の作製方法を説明する断面図である。

図１９Ａ、図１９Ｂ、図１９Ｃ、図１９Ｄは半導体装置の作製方法を説明する断面図である。

図２０Ａ、図２０Ｂ、図２０Ｃは半導体装置の作製方法を説明する断面図である。

図２１は半導体装置の作製方法を説明する断面図である。

図２２Ａ、図２２Ｂ、図２２Ｃは表示装置の上面図である。

図２３は表示装置の断面図である。

図２４は表示装置の断面図である。

図２５は表示装置の断面図である。

図２６は表示装置の断面図である。

図２７Ａは表示装置のブロック図である。図２７Ｂ、図２７Ｃは表示装置の回路図である。

図２８Ａ、図２８Ｃ、図２８Ｄは表示装置の回路図である。図２８Ｂは表示装置のタイミングチャートである。

図２９Ａは表示モジュールの構成例を示す図である。図２９Ｂは表示モジュールの断面概略図である。

図３０Ａは電子機器の構成例を示す図である。図３０Ｂは電子機器の断面概略図である。

図３１Ａ、図３１Ｂ、図３１Ｃ、図３１Ｄ、図３１Ｅは電子機器の構成例を示す図である。

図３２Ａ、図３２Ｂ、図３２Ｃ、図３２Ｄ、図３２Ｅ、図３２Ｆ、図３２Ｇは電子機器の構成例を示す図である。

図３３Ａ、図３３Ｂ、図３３Ｃ、図３３Ｄは電子機器の構成例を示す図である。

図３４Ａ、図３４Ｂは断面ＳＴＥＭ像である。

図３５Ａ、図３５Ｂは断面ＳＴＥＭ像である。

図３６Ａ、図３６Ｂは断面ＳＴＥＭ像である。

図３７Ａ、図３７Ｂは金属酸化物膜の抵抗を示す図である。

図３８Ａ、図３８Ｂは金属酸化物膜の抵抗を示す図である。

図３９Ａ、図３９Ｂは金属酸化物膜の抵抗を示す図である。

発明を実施するための形態

［００２６］

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

［００２７］

本明細書で説明する各図において、各構成要素の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。

［００２８］

本明細書等で用いる「第１」、「第２」、「第３」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。

［００２９］

本明細書等において、「上に」、「下に」などの配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成要素同士の位置関係は、各構成要素を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

［００３０］

本明細書等において、トランジスタが有するソースとドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、ソースやドレインの用語は、入れ替えて用いることができるものとする。

［００３１］

本明細書等において、トランジスタのチャネル長方向とは、ソース領域とドレイン領域間を最短距離で結ぶ直線に平行な方向のうちの１つをいう。すなわち、チャネル長方向は、トランジスタがオン状態のときに半導体層を流れる電流の方向のうちの１つに相当する。また、チャネル幅方向とは、当該チャネル長方向に直交する方向をいう。なお、トランジスタの構造や形状によっては、チャネル長方向及びチャネル幅方向は１つに定まらない場合がある。

［００３２］

本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

［００３３］

本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」や「絶縁層」という用語は、「導電膜」や「絶縁膜」という用語に相互に交換することが可能な場合がある。

［００３４］

本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層の端部が下層の端部より内側に位置することや、上層の端部が下層の端部より外側に位置することもあり、この場合も「上面形状が概略一致」という。

［００３５］

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、ｎチャネル型トランジスタでは、ゲートとソースの間の電圧V_{gs}がしきい値電圧V_{th}よりも低い（ｐチャネル型トランジスタでは、V_{th}よりも高い）状態をいう。

［００３６］

本明細書等において、表示装置の一態様である表示パネルは表示面に画像等を表示（出力）する機能を有するものである。したがって表示パネルは出力装置の一態様である。

［００３７］

本明細書等では、表示パネルの基板に、例えばＦＰＣ（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）もしくはＴＣＰ（Ｔａｐｅ　Ｃａｒｒｉｅｒ　Ｐａｃｋａｇｅ）などのコネクターが取り付けられたもの、または基板にＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）方式等によりＩＣが実装されたものを、表示パネルモジュール、表示モジュール、または単に表示パネルなどと呼ぶ場合がある。

［００３８］

なお、本明細書等において、表示装置の一態様であるタッチパネルは表示面に画像等を表示する機能と、表示面に指やスタイラスなどの被検知体が触れる、押圧する、または近づくことなどを検出するタッチセンサとしての機能と、を有する。したがってタッチパネルは入出力装置の一態様である。

［００３９］

タッチパネルは、例えばタッチセンサ付き表示パネル（または表示装置）、タッチセンサ機能つき表示パネル（または表示装置）とも呼ぶことができる。タッチパネルは、表示パネルとタッチセンサパネルとを有する構成とすることもできる。または、表示パネルの内部または表面にタッチセンサとしての機能を有する構成とすることもできる。

［００４０］

本明細書等では、タッチパネルの基板に、コネクターやＩＣが実装されたものを、タッチパネルモジュール、表示モジュール、または単にタッチパネルなどと呼ぶ場合がある。

［００４１］

（実施の形態１）

本実施の形態では、本発明の一態様の半導体装置、及びその作製方法について説明する。以下で

は半導体装置の一例として、チャネル形成領域に酸化物半導体を用いたトランジスタの構成例及びその作製方法例について説明する。

［００４２］

＜構成例１＞

〔構成例１－１〕

トランジスタ１０のチャネル長方向の断面概略図を、図１Ａに示す。

［００４３］

トランジスタ１０は、半導体層１０８と、絶縁層１１０と、導電層１１２を有する。絶縁層１１０は、ゲート絶縁層として機能する。導電層１１２は、ゲート電極として機能する。トランジスタ１０は、半導体層１０８上にゲート電極が設けられる、いわゆるトップゲート型のトランジスタである。

［００４４］

半導体層１０８は、領域１０８Ｃと、一対の領域１０８Ｌ１と、一対の領域１０８Ｌ２と、一対の領域１０８Ｎと、を有する。領域１０８Ｃは、導電層１１２及び絶縁層１１０と重なる領域を有し、チャネル形成領域として機能する。一対の領域１０８Ｌ１は、領域１０８Ｃを挟んで設けられる。一対の領域１０８Ｌ２は、領域１０８Ｃ及び一対の領域１０８Ｌ１を挟んで設けられる。また、領域１０８Ｌ１及び領域１０８Ｌ２は、導電層１１２と重ならず、かつ絶縁層１１０と重なる領域を有する。一対の領域１０８Ｎは、領域１０８Ｃ、一対の領域１０８Ｌ１及び一対の領域１０８Ｌ２を挟んで設けられる。領域１０８Ｎは、導電層１１２及び絶縁層１１０のいずれとも重ならない。

［００４５］

領域１０８Ｎは、領域１０８Ｃよりも抵抗が低く、ソース領域及びドレイン領域として機能する。領域１０８Ｌ１及び領域１０８Ｌ２はそれぞれ、領域１０８Ｃよりも抵抗が低く、かつ領域１０８Ｎよりも抵抗が高いことが好ましい。領域１０８Ｌ１及び領域１０８Ｌ２は、ドレイン電界を緩和するためのバッファ領域としての機能を有する。領域１０８Ｌ１及び領域１０８Ｌ２は、所謂、ＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）領域として機能する。

［００４６］

チャネル形成領域として機能する領域１０８Ｃと、ソース領域またはドレイン領域として機能する領域１０８Ｎの間に、ＬＤＤ領域として機能する領域１０８Ｌ１及び領域１０８Ｌ２を設けることにより、ドレイン領域の電界を緩和することができるため、ドレイン領域の電界に起因したトランジスタのしきい値電圧の変動を低減することができる。

［００４７］

領域１０８Ｎの電気抵抗は低いほど好ましく、例えば領域１０８Ｎのシート抵抗の値は、１Ω／□以上1×10^{3}Ω／□未満が好ましく、さらには１Ω／□以上8×10^{2}Ω／□以下が好ましい。

［００４８］

チャネルが形成されていない状態における領域１０８Ｃの電気抵抗は高いほど好ましい。例えば領域１０８Ｃのシート抵抗の値は、1×10^{7}Ω／□以上が好ましく、さらには1×10^{8}Ω／□以上が好ましく、さらには1×10^{9}Ω／□以上が好ましい。

［００４９］

領域１０８Ｌ１及び領域１０８Ｌ２のシート抵抗の値はそれぞれ、例えば、1×10^{3}Ω／□以上1×10^{9}Ω／□以下が好ましく、さらには1×10^{3}Ω／□以上1×10^{8}Ω／□以下が好まし

く、さらには１×１０^{3}Ω／□以上１×１０^{7}Ω／□以下が好ましく、さらには１×１０^{3}Ω／□以上１×１０^{6}Ω／□以下が好ましく、さらには１×１０^{3}Ω／□以上１×１０^{5}Ω／□以下が好ましい。前述の範囲の抵抗とすることで、電気特性が良好でかつ信頼性の高いトランジスタとすることができる。なお、シート抵抗は、抵抗の値から算出できる。前述の範囲の抵抗を有する領域１０８Ｌ１及び領域１０８Ｌ２を、領域１０８Ｎと領域１０８Ｃの間に設けることで、トランジスタ１００のソースードレイン耐圧を高めることができる。

［００５０］

チャネルが形成されていない状態における領域１０８Ｃの電気抵抗は、領域１０８Ｎの電気抵抗の１×１０^{6}倍以上１×１０^{12}倍以下が好ましく、さらには１×１０^{6}倍以上１×１０^{11}倍以下が好ましく、さらには１×１０^{6}倍以上１×１０^{10}倍以下が好ましい。

［００５１］

チャネルが形成されていない状態における領域１０８Ｃの電気抵抗は、領域１０８Ｌ１及び領域１０８Ｌ２それぞれの電気抵抗の１×１０^{0}倍以上１×１０^{9}倍以下が好ましく、さらには１×１０^{1}倍以上１×１０^{8}倍以下が好ましく、さらには１×１０^{2}倍以上１×１０^{7}倍以下が好ましい。

［００５２］

領域１０８Ｌ１及び領域１０８Ｌ２の電気抵抗はそれぞれ、領域１０８Ｎの電気抵抗の１×１０^{0}倍以上１×１０^{9}倍以下が好ましく、さらには１×１０^{1}倍以上１×１０^{8}倍以下が好ましく、さらには１×１０^{1}倍以上１×１０^{7}倍以下が好ましい。

［００５３］

半導体層１０８におけるキャリア濃度は、領域１０８Ｃが最も低く、領域１０８Ｎが最も高いことが好ましい。領域１０８Ｃと領域１０８Ｎの間に、領域１０８Ｌ１及び領域１０８Ｌ２を設けることで、例えば作製工程中に領域１０８Ｎから水素などの不純物が拡散する場合であっても、領域１０８Ｃのキャリア濃度を極めて低く保つことができる。

［００５４］

チャネル形成領域として機能する領域１０８Ｃにおけるキャリア濃度は低いほど好ましく、１×１０^{18}ｃｍ$^{-3}$以下であることが好ましく、１×１０^{17}ｃｍ$^{-3}$以下であることがより好ましく、１×１０^{16}ｃｍ$^{-3}$以下であることがさらに好ましく、１×１０^{13}ｃｍ$^{-3}$以下であることがさらに好ましく、１×１０^{12}ｃｍ$^{-3}$以下であることがさらに好ましい。なお、領域１０８Ｃのキャリア濃度の下限値については、特に限定は無いが、例えば、１×１０$^{-9}$ｃｍ$^{-3}$とすることができる。

［００５５］

一方、領域１０８Ｎにおけるキャリア濃度は、例えば５×１０^{18}ｃｍ$^{-3}$以上、好ましくは１×１０^{19}ｃｍ$^{-3}$以上、より好ましくは５×１０^{19}ｃｍ$^{-3}$以上とすることができる。領域１０８Ｎにおけるキャリア濃度の上限値については、特に限定は無いが、例えば５×１０^{21}ｃｍ$^{-3}$、または１×１０^{22}ｃｍ$^{-3}$等とすることができる。

［００５６］

領域１０８Ｌ１及び領域１０８Ｌ２におけるキャリア濃度はそれぞれ、領域１０８Ｃと領域１０８Ｎの間の値とすることができる。例えば、１×１０^{14}ｃｍ$^{-3}$以上１×１０^{20}ｃｍ$^{-3}$未満の範囲の値とすればよい。

［００５７］

なお、領域１０８Ｌ１及び領域１０８Ｌ２中のキャリア濃度はそれぞれ均一でなくてもよく、領

域１０８Ｎ側から領域１０８Ｃ側にかけてキャリア濃度が低くなるような勾配を有する場合がある。また、領域１０８Ｌ１及び領域１０８Ｌ２中の水素濃度が、領域１０８Ｎ側から領域１０８Ｃ側にかけて低くなるような勾配を有していてもよい。

［００５８］

領域１０８Ｌ２は、領域１０８Ｌ１より抵抗が低いことがさらに好ましい。つまり、半導体層１０８の抵抗は、領域１０８Ｃ側から領域１０８Ｎ側に向かって段階的に低くなることが好ましい。領域１０８Ｃ、領域１０８Ｌ１、領域１０８Ｌ２、領域１０８Ｎの順に抵抗が低くなることにより、ドレイン領域の電界を効果的に緩和することができ、トランジスタのしきい値電圧の変動をより低減することができる。

［００５９］

領域１０８Ｌ１は領域１０８Ｌ２より抵抗が高いことに加えて、領域１０８Ｌ１のシート抵抗の値は、例えば、$1\times10^{4}\Omega/\square$以上$1\times10^{9}\Omega/\square$以下が好ましく、さらには$1\times10^{4}\Omega/\square$以上$1\times10^{8}\Omega/\square$以下が好ましく、さらには$1\times10^{4}\Omega/\square$以上$1\times10^{7}\Omega/\square$以下が好ましく、さらには$1\times10^{4}\Omega/\square$以上$1\times10^{6}\Omega/\square$以下が好ましく、さらには$1\times10^{4}\Omega/\square$以上$1\times10^{5}\Omega/\square$以下が好ましい。また、領域１０８Ｌ２のシート抵抗の値は、例えば、$1\times10^{3}\Omega/\square$以上$1\times10^{8}\Omega/\square$以下が好ましく、さらには$1\times10^{3}\Omega/\square$以上$1\times10^{7}\Omega/\square$以下が好ましく、さらには$1\times10^{3}\Omega/\square$以上$1\times10^{6}\Omega/\square$以下が好ましく、さらには$1\times10^{3}\Omega/\square$以上$1\times10^{5}\Omega/\square$以下が好ましく、さらには$1\times10^{3}\Omega/\square$以上$1\times10^{4}\Omega/\square$以下が好ましい。

［００６０］

領域１０８Ｌ２の抵抗に対する領域１０８Ｌ１の抵抗は、２倍以上1×10^{3}倍以下が好ましく、さらには３倍以上1×10^{2}倍以下が好ましく、さらには４倍以上１０倍以下が好ましい。前述の範囲の抵抗を有する領域１０８Ｌ１及び領域１０８Ｌ２を、領域１０８Ｎと領域１０８Ｃの間に設けることで、トランジスタ１００のソースードレイン耐圧を高めることができる。

［００６１］

領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎはそれぞれ、第１の元素を含む領域である。第１の元素として、例えば水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、ヒ素、アルミニウム、マグネシウム、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上を用いることができる。第１の元素として、特に水素、ホウ素、窒素、リンの一以上を好適に用いることができる。なお、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎはそれぞれ、第１の元素を複数有してもよい。

［００６２］

半導体層１０８中の第１の元素の濃度は、領域１０８Ｃ、領域１０８Ｌ１、領域１０８Ｌ２、領域１０８Ｎの順に高いことが好ましい。半導体層１０８中の第１の元素の濃度は、例えば、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）や、Ｘ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ Ｐｈｏｔｏｅｌｅｃｔｒｏｎ Ｓｐｅｃｔｒｏｓｃｏｐｙ）等の分析法により分析できる。ＸＰＳ分析を用いる場合には、表面側または裏面側からのイオンスパッタリングとＸＰＳ分析を組み合わせることで、深さ方向の濃度分布を知ることができる。なお、第１の元素の濃度が低い場合は、分析で第１の元素が検出されない、または検出下限以下となる場合がある。特に、領域１０８Ｃは第１の元素の濃度が低いことから、分析で第１の元素

が検出されない、または検出下限以下となる場合がある。同様に、領域１０８Ｌ１においても、分析で第１の元素が検出されない、または検出下限以下となる場合がある。

［００６３］

領域１０８Ｌ１と重なる領域の絶縁層１１０の膜厚は、領域１０８Ｃと重なる領域の絶縁層１１０の膜厚と概略等しいことが好ましい。また、領域１０８Ｌ２と重なる領域の絶縁層１１０の膜厚は、領域１０８Ｌ１と重なる領域の絶縁層１１０の膜厚より薄いことが好ましい。つまり、絶縁層１１０の膜厚は、領域１０８Ｃ側から領域１０８Ｎ側に向かって段階的に薄くなる、段差を有する形状（以下、階段状とも記す）であることが好ましい。

［００６４］

絶縁層１１０が階段状の形状を有することで、領域１０８Ｃ、領域１０８Ｌ１、領域１０８Ｌ２、領域１０８Ｎに添加する第１の元素の量を制御でき、半導体層１０８の抵抗を領域１０８Ｃ、領域１０８Ｌ１、領域１０８Ｌ２、領域１０８Ｎの順に低くすることができる。また、絶縁層１１０が階段状の形状を有することで、絶縁層１１０上に形成される層（例えば、絶縁層１１８）の被覆性が向上し、該層に段切れや鬆といった不具合が発生することを抑制できる。

［００６５］

なお、本明細書等において、Ａの膜厚がＢの膜厚と概略等しいとは、Ａの膜厚に対するＢの膜厚の比が、０．８以上１．２以下を指す。

［００６６］

図１Ａに示すように、絶縁層１１０の端部は、半導体層１０８の端部よりも内側に位置する。また、絶縁層１１０は、第１の側面１１０Ｓ１と、第２の側面１１０Ｓ２とを有する。チャネル長方向の断面視において、第１の側面１１０Ｓ１及び第２の側面１１０Ｓ２はそれぞれ、半導体層１０８上に位置する。また、チャネル長方向の断面視において、第１の側面１１０Ｓ１は導電層１１２の端部より外側に位置し、第２の側面１１０Ｓ２は第１の側面１１０Ｓ１より外側に位置する。

［００６７］

半導体層１０８と接する絶縁層１１０は、酸化物または酸化窒化物を有することが好ましい。また、絶縁層１１０は、化学量論的組成よりも過剰に酸素を含有する領域を有することがより好ましい。別言すると、絶縁層１１０は、酸素を放出することが可能な絶縁膜を有する。例えば、酸素雰囲気下にて絶縁層１１０を形成すること、絶縁層１１０の成膜後に酸素雰囲気下での熱処理を行うこと、絶縁層１１０の成膜後に酸素雰囲気下でプラズマ処理等を行うこと、または、絶縁層１１０上に酸素雰囲気下で酸化物膜または酸化窒化物膜を成膜することなどにより、絶縁層１１０中に酸素を供給することもできる。なお、上記酸素を供給する各処理において、酸素に代えて、または酸素に加えて、酸化性ガス（例えば一酸化二窒素や、オゾンなど）を用いてもよい。

［００６８］

絶縁層１１０は、例えば、スパッタリング法、化学気相堆積（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、真空蒸着法、パルスレーザー堆積（ＰＬＤ：Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法等を用いて形成することができる。また、ＣＶＤ法は、プラズマ化学気相堆積（ＰＥＣＶＤ：Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＣＶＤ）法や、熱ＣＶＤ法などがある。

［００６９］

特に、絶縁層１１０は、ＰＥＣＶＤ（プラズマＣＶＤ）法により形成することが好ましい。

［００７０］

半導体層１０８は、半導体特性を示す金属酸化物（以下、酸化物半導体ともいう）を含む。半導体層１０８は、少なくともインジウムと酸素とを含むことが好ましい。半導体層１０８がインジウムの酸化物を含むことで、キャリア移動度を高めることができる。例えばアモルファスシリコンを用いた場合よりも大きな電流を流すことのできるトランジスタを実現できる。

［００７１］

半導体層１０８に用いる半導体材料の結晶性については特に限定されず、非晶質半導体、単結晶半導体、または単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体または結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

［００７２］

半導体層１０８は、金属酸化物を有することが好ましい。または、半導体層１０８は、シリコンを有していてもよい。シリコンとして、アモルファスシリコン、結晶性のシリコン（低温ポリシリコン、単結晶シリコンなど）などが挙げられる。

［００７３］

半導体層１０８として、金属酸化物を用いる場合、例えば、インジウムと、元素Ｍ（Ｍは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、及びマグネシウムの一以上）と、亜鉛と、を有することが好ましい。特に、元素Ｍは、アルミニウム、ガリウム、イットリウム、及びスズの一以上であることが好ましい。また、元素Ｍは、ガリウム及びスズのいずれか一方または双方を有することがさらに好ましい。

［００７４］

半導体層１０８として、例えば、インジウム（Ｉｎ）、ガリウム（Ｇａ）、及び亜鉛（Ｚｎ）を含む酸化物（以下、ＩＧＺＯとも記す）を好適に用いることができる。半導体層１０８として、例えば、金属元素の原子数比がＩｎ：Ｇａ：Ｚｎ＝１：１：１またはその近傍の酸化物を好適に用いることができる。

［００７５］

半導体層１０８として、インジウム、ガリウム、及び亜鉛に加えて、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムのうち、一つ以上を含む酸化物を用いることもできる。特に、半導体層として、インジウム、ガリウム、及び亜鉛に加えて、スズ、アルミニウム、またはシリコンを含む酸化物を用いると、高い電界効果移動度が実現されたトランジスタとすることができるため好ましい。

［００７６］

半導体層１０８がＩｎ－Ｍ－Ｚｎ酸化物の場合、Ｉｎ－Ｍ－Ｚｎ酸化物を成膜するために用いるスパッタリングターゲットは、元素Ｍに対するＩｎの原子数比が１以上であることが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２、Ｉｎ：Ｍ：Ｚｎ＝２：１：３、Ｉｎ：Ｍ：Ｚｎ＝３：１：２、

Ｉｎ：Ｍ：Ｚｎ＝４：２：３、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１、Ｉｎ：Ｍ：Ｚｎ＝５：１：３、Ｉｎ：Ｍ：Ｚｎ＝１０：１：３、Ｉｎ：Ｍ：Ｚｎ＝５：１：６、Ｉｎ：Ｍ：Ｚｎ＝５：１：７、Ｉｎ：Ｍ：Ｚｎ＝５：１：８、Ｉｎ：Ｍ：Ｚｎ＝６：１：６、Ｉｎ：Ｍ：Ｚｎ＝５：２：５等が挙げられる。なお、上記において、元素Ｍとして２種類以上の元素を含む場合、上記原子数比における元素Ｍの割合は、当該２以上の金属元素の原子数の和に対応するものとする。

［００７７］

スパッタリングターゲットは、多結晶の酸化物を含むターゲットを用いると、結晶性を有する半導体層を形成しやすくなるため好ましい。なお、成膜される半導体層の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス４０％の変動を含む。例えば、半導体層に用いるスパッタリングターゲットの組成がＩｎ：Ｍ：Ｚｎ＝４：２：４．１［原子数比］の場合、成膜される半導体層の組成は、Ｉｎ：Ｍ：Ｚｎ＝４：２：３［原子数比］の近傍となる場合がある。

［００７８］

なお、原子数比がＩｎ：Ｍ：Ｚｎ＝４：２：３またはその近傍と記載する場合、Ｉｎを４としたとき、元素Ｍが１以上３以下であり、Ｚｎが２以上４以下である場合を含む。また、原子数比がＩｎ：Ｍ：Ｚｎ＝５：１：６またはその近傍であると記載する場合、Ｉｎを５としたときに、Ｍが０．１より大きく２以下であり、Ｚｎが５以上７以下である場合を含む。また、原子数比がＩｎ：Ｍ：Ｚｎ＝１：１：１またはその近傍であると記載する場合、Ｉｎを１としたときに、元素Ｍが０．１より大きく２以下であり、Ｚｎが０．１より大きく２以下である場合を含む。

［００７９］

ここで、半導体層１０８の組成について説明する。半導体層１０８は、少なくともインジウムと酸素を含む金属酸化物を含むことが好ましい。また、半導体層１０８は、これらに加えて亜鉛を含んでいてもよい。また、半導体層１０８は、ガリウムを含んでいてもよい。

［００８０］

半導体層１０８の組成は、トランジスタ１０の電気的特性や、信頼性に大きく影響する。例えば、半導体層１０８中のインジウムの含有量を多くすることで、キャリア移動度が向上し、電界効果移動度の高いトランジスタを実現することができる。

［００８１］

ここで、トランジスタの信頼性を評価する指標の１つとして、ゲートに電界を印加した状態で保持する、ゲートバイアスストレス試験（ＧＢＴ：Ｇａｔｅ　Ｂｉａｓ　Ｓｔｒｅｓｓ　Ｔｅｓｔ）がある。その中でも、ソース電位及びドレイン電位に対して、ゲートに正の電位を与えた状態で、高温下で保持する試験をＰＢＴＳ（Ｐｏｓｉｔｉｖｅ　Ｂｉａｓ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｓｔｒｅｓｓ）試験、ゲートに負の電位を与えた状態で、高温下で保持する試験をＮＢＴＳ（Ｎｅｇａｔｉｖｅ　Ｂｉａｓ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｓｔｒｅｓｓ）試験と呼ぶ。また、白色ＬＥＤ光などの光を照射した状態で行うＰＢＴＳ試験及びＮＢＴＳ試験を、それぞれＰＢＴＩＳ（Ｐｏｓｉｔｉｖｅ　Ｂｉａｓ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｉｌｌｕｍｉｎａｔｉｏｎ　Ｓｔｒｅｓｓ）試験、ＮＢＴＩＳ（Ｎｅｇａｔｉｖｅ　Ｂｉａｓ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｉｌｌｕｍｉｎａｔｉｏｎ　Ｓｔｒｅｓｓ）試験と呼ぶ。

［００８２］

特に、酸化物半導体を用いたｎ型のトランジスタにおいては、トランジスタをオン状態（電流を

流す状態）とする際にゲートに正の電位が与えられるため、ＰＢＴＳ試験でのしきい値電圧の変動量が、トランジスタの信頼性の指標として着目すべき重要な項目の１つとなる。

［００８３］

ここで、半導体層１０８の組成として、ガリウムを含まない、またはガリウムの含有率の低い金属酸化物膜を用いることで、ＰＢＴＳ試験でのしきい値電圧の変動量を小さくすることができる。また、ガリウムを含む場合には、半導体層１０８の組成として、インジウムの含有量よりも、ガリウムの含有量を小さくすることが好ましい。これにより、信頼性の高いトランジスタを実現することができる。

［００８４］

ＰＢＴＳ試験でのしきい値電圧の変動の１つの要因として、半導体層とゲート絶縁層の界面、または界面近傍における欠陥準位が挙げられる。欠陥準位密度が大きいほど、ＰＢＴＳ試験での劣化が顕著になる。半導体層の、ゲート絶縁層と接する部分におけるガリウムの含有量を小さくすることで、当該欠陥準位の生成を抑制することができる。

［００８５］

ガリウムを含まない、またはガリウムの含有量を小さくすることでＰＢＴＳ劣化を抑制できる理由として、例えば以下のようなことが考えられる。半導体層１０８に含まれるガリウムは、他の金属元素（例えばインジウムや亜鉛）と比較して、酸素を誘引しやすい性質を有する。そのため、ガリウムを多く含む金属酸化物膜と、酸化物を含む絶縁層１１０との界面において、ガリウムが絶縁層１１０中の余剰酸素と結合することで、キャリア（ここでは電子）トラップサイトを生じさせやすくなることが推察される。そのため、ゲートに正の電位を与えた際に、半導体層とゲート絶縁層との界面にキャリアがトラップされることで、しきい値電圧が変動することが考えられる。

［００８６］

より具体的には、半導体層１０８にＩｎ－Ｇａ－Ｚｎ酸化物を用いた場合、Ｉｎの原子数比が、Ｇａの原子数比よりも高い金属酸化物膜を、半導体層１０８に適用することができる。また、Ｚｎの原子数比が、Ｇａの原子数比よりも高い金属酸化物膜を用いることが、より好ましい。言い換えると、金属元素の原子数比が、Ｉｎ＞Ｇａ、且つＺｎ＞Ｇａを満たす金属酸化物膜を、半導体層１０８に適用することが好ましい。

［００８７］

例えば、半導体層１０８として、金属元素の原子数比が、Ｉｎ：Ｇａ：Ｚｎ＝２：１：３、Ｉｎ：Ｇａ：Ｚｎ＝３：１：２、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３、Ｉｎ：Ｇａ：Ｚｎ＝４：２：４．１、Ｉｎ：Ｇａ：Ｚｎ＝５：１：３、Ｉｎ：Ｇａ：Ｚｎ＝１０：１：３、Ｉｎ：Ｇａ：Ｚｎ＝５：１：６、Ｉｎ：Ｇａ：Ｚｎ＝５：１：７、Ｉｎ：Ｇａ：Ｚｎ＝５：１：８、Ｉｎ：Ｇａ：Ｚｎ＝６：１：６、Ｉｎ：Ｇａ：Ｚｎ＝５：２：５、またはこれらの近傍である、金属酸化物膜を用いることができる。

［００８８］

半導体層１０８として、インジウム及びガリウムを含む金属酸化物膜を用いた場合、金属酸化物に含まれる金属元素の原子数に対する、ガリウムの原子数の割合（原子数比）を、０より大きく５０％未満、好ましくは０．０５％以上３０％以下、より好ましくは０．１％以上１５％以下、より好ましくは０．１％以上５％以下とすることができる。なお、半導体層１０８にガリウムを含有させることで、酸素欠損（以下、V_Oとも記す）が生じにくくなるといった効果を奏する。

［００８９］

半導体層１０８に、ガリウムを含まない金属酸化物膜を適用してもよい。例えば、Ｉｎ－Ｚｎ酸化物を半導体層１０８に適用することができる。このとき、金属酸化物膜に含まれる金属元素の原子数に対するＩｎの原子数比を高くすることで、トランジスタの電界効果移動度を高めることができる。一方、金属酸化物に含まれる金属元素の原子数に対するＺｎの原子数比を高くすることで、結晶性の高い金属酸化物膜となるため、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。また、半導体層１０８には、酸化インジウムなどの、ガリウム及び亜鉛を含まない金属酸化物膜を適用してもよい。ガリウムを全く含まない金属酸化物膜を用いることで、特にＰＢＴＳ試験におけるしきい値電圧の変動を極めて小さなものとすることができる。

［００９０］

例えば、半導体層１０８に、インジウムと亜鉛を含む酸化物を用いることができる。このとき、金属元素の原子数比が、例えばＩｎ：Ｚｎ＝２：３、Ｉｎ：Ｚｎ＝４：１、またはこれらの近傍の金属酸化物膜を用いることができる。

［００９１］

特に、半導体層１０８には、Ｉｎの原子数比が元素Ｍの原子数比よりも高い金属酸化物膜を適用することが好ましい。また、Ｚｎの原子数比が元素Ｍの原子数比よりも高い金属酸化物膜を適用することが好ましい。

［００９２］

半導体層１０８には、結晶性を有する金属酸化物膜を用いることが好ましい。例えば、後述するＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）構造、ｎｃ（ｎａｎｏ　ｃｒｙｓｔａｌ）構造、多結晶構造、微結晶構造等を有する金属酸化物膜を用いることができる。結晶性を有する金属酸化物膜を半導体層１０８に用いることにより、半導体層１０８中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

［００９３］

半導体層１０８として、結晶性が高いほど、膜中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物膜を用いることで、大きな電流を流すことのできるトランジスタを実現することができる。

［００９４］

半導体層１０８は、組成の異なる層、または結晶性の異なる層、または不純物濃度の異なる層を積層した積層構造としてもよい。

［００９５］

金属酸化物膜をスパッタリング法により成膜する場合、成膜時の基板温度（ステージ温度）が高いほど、結晶性の高い金属酸化物膜を成膜することができる。また、成膜時に用いる成膜ガス全体に対する酸素ガスの流量の割合（酸素流量比ともいう）が高いほど、結晶性の高い金属酸化物膜を成膜することができる。このように、成膜される金属酸化物膜の結晶性は、基板温度と成膜ガスにおける酸素流量比によって制御することができる。

［００９６］

導電層１１２は、低抵抗な材料を用いることが好ましい。導電層１１２に低抵抗な材料を用いることにより寄生抵抗を低減し、高いオン電流を有するトランジスタとすることができ、オン電流が高い半導体装置とすることができる。例えば、導電層１１２として、金属または合金を含む導電膜

を用いると、電気抵抗が抑制できるため好ましい。なお、導電層１１２に酸化物を含む導電膜を用いてもよい。また、大型の表示装置、高精細の表示装置において配線抵抗を低減することにより信号遅延を抑制し、高速駆動が可能となる。導電層１１２として、銅、銀、金、またはアルミニウム等を用いることができる。特に、銅は低抵抗であることに加え、量産性に優れるため好ましい。

［００９７］

導電層１１２は積層構造としてもよい。導電層１１２を積層構造とする場合には、低抵抗な第１導電層の上部または下部、またはその両方に、第２の導電層を設ける。第２の導電層として、第１の導電層よりも酸化されにくい（耐酸化性を有する）導電性材料を用いることが好ましい。また、第２の導電層として、第１の導電層の成分の拡散を抑制する材料を用いることが好ましい。第２の導電層として、例えば、酸化インジウム、インジウム亜鉛酸化物、インジウムスズ酸化物（ＩＴＯ）、シリコンを含有したインジウムスズ酸化物（ＩＴＳＯ）、酸化亜鉛等の金属酸化物、または窒化チタン、窒化タンタル、窒化モリブデン、窒化タングステン等の金属窒化物を好適に用いることができる。

［００９８］

トランジスタ１０は、さらに絶縁層１１８を有することが好ましい。絶縁層１１８は、トランジスタ１０を保護する保護層として機能する。絶縁層１１８は、例えば酸化物、酸化窒化物、窒化酸化物または窒化物などの無機絶縁材料を用いることができる。より具体的には、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、ハフニウムアルミネートなどの無機絶縁材料を用いることができる。また、絶縁層１１８を２層以上の積層構造としてもよい。

［００９９］

なお、本明細書中において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０１００］

また、本明細書中において、それぞれ同じ元素を含む酸化窒化物と窒化酸化物とが記載された場合に、酸化窒化物には、窒化酸化物よりも、酸素の含有量が多いこと、及び、窒素の含有量が少ないことのうち、いずれか一方または両方を満たす材料が含まれる。同様に、窒化酸化物には、酸化窒化物よりも酸素の含有量が少ないこと、及び、窒素の含有量が多いことのうち、いずれか一方または両方を満たす材料が含まれる。例えば、酸化窒化シリコンと窒化酸化シリコンとが記載された場合に、酸化窒化シリコンには、窒化酸化シリコンよりも酸素の含有量が多く、且つ、窒素の含有量が少ない材料が含まれる。同様に、窒化酸化シリコンには、酸化窒化シリコンよりも酸素の含有量が少なく、且つ、窒素の含有量が多い材料が含まれる。

［０１０１］

絶縁層１１８は、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎに対する第１の元素の供給源として機能してもよい。例えば、絶縁層１１８は、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎに対する水素の供給源として機能することができる。領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎはそれぞれ絶縁層１１８との距離が異なることにより、絶縁層１１８から供給される水素の量を異ならせることができる。具体的には、絶縁層１１８との距離は、領域１０８Ｌ１、

領域１０８Ｌ２、領域１０８Ｎの順に短くなり、添加される水素の量をこの順に多くすることができる。つまり、領域１０８Ｌ１、領域１０８Ｌ２、領域１０８Ｎの順に、その抵抗を低くすることができる。また、絶縁層１１８は、半導体層１０８の領域１０８Ｎに接する。絶縁層１１８を領域１０８Ｎに接して設けることにより、特に領域１０８Ｎの抵抗を低くすることができる。なお、領域１０８Ｃは、絶縁層１１８との間に導電層１１２及び絶縁層１１０を有することから、水素が添加されづらく、領域１０８Ｃの抵抗が低くなることを抑制できる。

［０１０２］

第１の元素として水素を用いる場合、絶縁層１１８は水素を含むガスを有する混合ガスを用いて形成してもよい。これにより、絶縁層１１８の形成時に露出している領域１０８Ｎに水素を効果的に供給でき、領域１０８Ｎの抵抗をより低くすることができる。水素を含むガスとして、例えば、水素（H_2）、アンモニア（NH_3）、シラン（SiH_4）などを用いることができる。

［０１０３］

本発明の一態様であるトランジスタ１０は、領域１０８Ｃと領域１０８Ｎの間に領域１０８Ｌ１及び領域１０８Ｌ２を有することで、高いドレイン耐圧と、高いオン電流とを兼ね備えるとともに、信頼性の高いトランジスタとすることができる。

［０１０４］

〔構成例１－２〕

前述のトランジスタ１０と異なる構成例を、図１Ｂに示す。図１Ｂは、トランジスタ１０Ａのチャネル長方向の断面概略図である。トランジスタ１０Ａは、導電層１０６を有する点で、トランジスタ１０と主に相違している。

［０１０５］

導電層１０６は、絶縁層１０３を介して半導体層１０８、絶縁層１１０及び導電層１１２と重畳する領域を有する。導電層１０６は、第１のゲート電極（バックゲート電極ともいう）として機能する。また絶縁層１０３は、第１のゲート絶縁層として機能する。このとき、導電層１１２が第２のゲート電極（トップゲート電極ともいう）、絶縁層１１０が第２のゲート絶縁層として機能する。

［０１０６］

例えば、トランジスタ１０Ａは、導電層１１２及び導電層１０６に同じ電位を与えることにより、オン状態のときに流すことのできる電流を大きくすることができる。また、トランジスタ１０Ａは、導電層１１２及び導電層１０６の一方に、しきい値電圧を制御するための電位を与え、他方にトランジスタ１０Ａのオン状態及びオフ状態を制御する電位を与えることもできる。また、導電層１１２及び導電層１０６の一方と、ソースとを電気的に接続することにより、トランジスタ１０Ａの電気特性を安定させることもできる。

［０１０７］

第２のゲート絶縁層として機能する絶縁層１０３は、絶縁層１０３の被形成面側から半導体層１０８等に不純物が拡散することを抑制するバリア層として機能することが好ましい。当該不純物として、例えば、導電層１０６に含まれる金属成分がある。また、絶縁層１０３は、耐圧が高いこと、膜の応力が小さいこと、水素や水を放出しにくいこと、水素や水を拡散しにくいこと、欠陥が少ないこと、のうち、１つ以上を満たすことが好ましく、これら全てを満たすことがさらに好ましい。絶縁層１０３には、絶縁層１１０に用いることができる絶縁膜を用いることができる。

［０１０８］

導電層１０６には、導電層１１２に用いることができる導電膜を用いることができる。

［０１０９］

なお、図１（Ｂ）では、導電層１０６の端部が、導電層１１２の端部と概略一致する例を示しているが、本発明の一態様はこれに限られない。導電層１０６の端部が、導電層１１２の端部より外側に位置してもよい。また、導電層１０６の端部が、導電層１１２の端部より内側に位置してもよい。なお、本明細書等において、「端部が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層の端部が下層の端部より内側に位置することや、上層の端部が下層の端部より外側に位置することもあり、この場合も「端部が概略一致」という。

［０１１０］

〔構成例１－３〕

前述のトランジスタ１０Ａと異なる構成例を、図１Ｃに示す。図１Ｃは、トランジスタ１０Ｂのチャネル長方向の断面概略図である。トランジスタ１０Ｂは、絶縁層１０３が積層構造を有する点で、トランジスタ１０Ａと主に相違している。

［０１１１］

図１Ｃでは、絶縁層１０３が、導電層１０６側から、絶縁層１０３ａ、絶縁層１０３ｂ、及び絶縁層１０３ｃがこの順に積層された３層構造を有する構成例を示している。絶縁層１０３ａは導電層１０６と接する。また、絶縁層１０３ｃは半導体層１０８と接する。

［０１１２］

絶縁層１０３が有する３つの絶縁膜のうち、絶縁層１０３の被形成面側に位置する絶縁層１０３ａには、窒素を含む絶縁膜を用いることが好ましい。一方、半導体層１０８と接する絶縁層１０３ｃには、酸素を含む絶縁膜を用いることが好ましい。また、絶縁層１０３が有する３つの絶縁膜は、それぞれプラズマＣＶＤ装置を用いて、大気に触れることなく連続して成膜することが好ましい。

［０１１３］

絶縁層１０３ａは、これよりも下側からの不純物の拡散を防止できる、緻密な膜であることが好ましい。絶縁層１０３ａは、絶縁層１０３ａの被形成面側の部材（例えば基板など）に含まれる金属元素、水素、水などを、ブロックできる膜であることが好ましい。そのため、絶縁層１０３ａには、絶縁層１０３ｂよりも成膜速度の低い条件で成膜した絶縁膜を適用することができる。

［０１１４］

絶縁層１０３ａには、例えば窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、窒化ハフニウム膜などの窒素を含む絶縁膜を用いることができる。特に、絶縁層１０３ａとして、プラズマＣＶＤ装置を用いて成膜した、緻密な窒化シリコン膜を用いることが好ましい。このような窒素を含む絶縁膜を用いることで、厚さが薄い場合であっても、被形成面側から不純物が拡散することを好適に抑制することができる。

［０１１５］

半導体層１０８と接する絶縁層１０３ｃは、酸化物または酸化窒化物を含む絶縁膜により形成されていることが好ましい。特に絶縁層１０３ｃには、酸化物膜または酸化窒化物膜を用いることが好ましい。また、絶縁層１０３ｃは、その表面に水などの不純物が吸着しにくい、緻密な絶縁膜を用いることが好ましい。また、可能な限り欠陥が少なく、水や水素などの不純物が低減された絶縁

膜を用いることが好ましい。

［０１１６］

絶縁層１０３ｃは、化学量論的組成よりも過剰に酸素を含有する領域を有することがより好ましい。別言すると、絶縁層１０３ｃは、加熱により酸素を放出することが可能な絶縁膜とすることが好ましい。例えば、酸素雰囲気下にて絶縁層１０３ｃを形成すること、成膜後の絶縁層１０３ｃに対して酸素雰囲気下での熱処理を行うこと、絶縁層１０３ｃの成膜後に酸素雰囲気下でプラズマ処理等を行うこと、または、絶縁層１０３ｃ上に酸素雰囲気下で酸化物膜または酸化窒化物膜を成膜することなどにより、絶縁層１０３ｃ中に酸素を供給することもできる。なお、上記酸素を供給する各処理において、酸素に代えて、または酸素に加えて、酸化性ガス（例えば一酸化二窒素や、オゾンなど）を用いてもよい。または、絶縁層１０３ｃ上に加熱により酸素を放出することが可能な絶縁膜を成膜した後に加熱処理を行うことで、当該絶縁膜から絶縁層１０３ｃ中に酸素を供給してもよい。

［０１１７］

また、半導体層１０８となる金属酸化物膜を、酸素を含む雰囲気下でスパッタリング法により形成する際に、絶縁層１０３ｃ中に酸素を供給することができる。そして、半導体層となる金属酸化物膜を形成した後に、加熱処理を行うことで、絶縁層１０３ｃ中の酸素を当該金属酸化物膜に供給し、金属酸化物膜中の酸素欠損（V_O）を低減することができる。

［０１１８］

絶縁層１０３ｃとして、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を用いることができる。特に、絶縁層１０３ｃとして、酸化シリコン膜または酸化窒化シリコン膜を用いることが好ましい。

［０１１９］

絶縁層１０３ａと、絶縁層１０３ｃの間に位置する絶縁層１０３ｂは、応力が小さく、成膜速度の高い条件で成膜された絶縁膜を用いることが好ましい。例えば、絶縁層１０３ｂは、絶縁層１０３ａ及び絶縁層１０３ｃよりも応力が小さい膜であることが好ましい。また、絶縁層１０３ｂは、絶縁層１０３ａ及び絶縁層１０３ｃよりも成膜速度の高い条件で成膜される膜であることが好ましい。

［０１２０］

絶縁層１０３ｂは、水素や水をできるだけ放出しない絶縁膜を用いることが好ましい。このような絶縁膜を用いることで、加熱処理や工程中にかかる熱などにより、絶縁層１０３ｂから絶縁層１０３ｃを介して半導体層１０８に水素や水が拡散することを防ぎ、領域１０８Ｃにおけるキャリア濃度を低くすることができる。

［０１２１］

さらに、絶縁層１０３ｂは、酸素を吸引しにくい絶縁膜を用いることが好ましい。言い換えると、酸素が拡散しにくい絶縁膜を用いることが好ましい。これにより、絶縁層１０３ｃから半導体層１０８（または半導体層１０８となる金属酸化物膜）に酸素を供給するための熱処理を行う際に、絶縁層１０３ｃから絶縁層１０３ｂ側に酸素が拡散することで、半導体層１０８に供給される酸素の量が低減してしまうことを抑制することができる。

［０１２２］

絶縁層１０３ｂとして、例えば窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、窒化アルミニウム膜、窒化ハフニウム膜を一種以上含む絶縁層を用いることができる。特に、絶縁層１０３ｂとして、窒化酸化シリコン膜または窒化シリコン膜を用いることが好ましい。

［０１２３］

絶縁層１０３を構成する絶縁層１０３ａ、絶縁層１０３ｂ、及び絶縁層１０３ｃのうち、絶縁層１０３ｂの厚さを最も厚くすることが好ましい。なお、絶縁層１０３の厚さ（総厚）は、絶縁層１０３に要求される比誘電率の値と、絶縁層１０３に要求される絶縁耐圧の性能などを考慮し、各絶縁膜の比誘電率の値と各絶縁膜の厚さに基づいて決定することができる。すなわち、各絶縁膜の厚さは、上記要求を満たす範囲で互いに調整することができる。

［０１２４］

特に、絶縁層１０３ｂは、絶縁層１０３ａよりも厚いことが好ましい。絶縁層１０３ｂを絶縁層１０３ａよりも厚くすることで、絶縁層１０３ａとして加熱により水素を放出しやすい膜を用いた場合であっても、絶縁層１０３ｃに到達しうる水素の量を低減することができる。また、絶縁層１０３ａを絶縁層１０３ｂよりも薄くすることで、絶縁層１０３ａの体積を相対的に小さくできるため、絶縁層１０３ａが放出しうる水素の量自体を低減することができる。

［０１２５］

また、絶縁層１０３ｂは、絶縁層１０３ｃよりも厚いことが好ましい。絶縁層１０３ｃが厚すぎる場合、絶縁層１０３ｃ中に酸素を供給する処理を行った場合に、加熱により絶縁層１０３ｃから放出されずに残留する酸素の量が多くなるため、結果として半導体層１０８（または半導体層１０８となる金属酸化物膜）に供給しうる酸素の量が減ってしまう恐れがある。そのため、絶縁層１０３ｃを絶縁層１０３ｂよりも薄くする（体積を小さくする）ことで、加熱後に絶縁層１０３ｃ中に残留する酸素の量を低減できる。その結果、絶縁層１０３ｃに供給された酸素のうち、半導体層１０８に供給される酸素の割合を大きくできるため、半導体層１０８に供給される酸素の量を効果的に増やすことができる。

［０１２６］

また、最も厚い絶縁層１０３ｂを成膜速度の高い条件で形成し、これよりも薄い絶縁層１０３ａ及び絶縁層１０３ｃを、成膜速度の低い条件で緻密な膜となるように形成することで、信頼性を損なうことなく、絶縁層１０３の成膜時間を短縮でき、生産性を高めることができる。

［０１２７］

ここで、絶縁層１０３ａには、少なくともシリコンと、窒素と、を含む絶縁膜、代表的には窒化シリコン膜、または窒化酸化シリコン膜を用いることが好ましい。また、絶縁層１０３ｂには、少なくともシリコンと、窒素と、酸素と、を含む絶縁膜、代表的には窒化酸化シリコン膜または酸化窒化シリコン膜を用いることが好ましい。また、絶縁層１０３ｃには、少なくともシリコンと、酸素と、を含む絶縁膜、代表的には酸化シリコン膜、または酸化窒化シリコン膜を用いることが好ましい。このとき、絶縁層１０３ｂに含まれる酸素の量は、絶縁層１０３ａよりも多く、且つ、絶縁層１０３ｃよりも少ないことが好ましい。さらに、絶縁層１０３ｂに含まれる窒素の量は、絶縁層１０３ａよりも少なく、且つ、絶縁層１０３ｃよりも多いことが好ましい。

［０１２８］

絶縁層１０３ａ、絶縁層１０３ｂ、及び絶縁層１０３ｃに含まれる酸素及び窒素の含有量は、二次イオン質量分析法（ＳＩＭＳ）や、Ｘ線光電子分光法（ＸＰＳ）等の分析法により分析することができる。膜中の目的の元素の含有率が高い（例えば０．５ａｔｏｍｓ／ｃｍ^{3}以上、または１ａｔｏｍｓ／ｃｍ^{3}以上）場合には、ＸＰＳが適している。一方、膜中の目的の元素の含有率が低い（例えば０．５ａｔｏｍｓ／ｃｍ^{3}以下、または１ａｔｏｍｓ／ｃｍ^{3}以下）場合には、ＳＩＭＳが適している。膜中の元素の含有量を比較する際には、ＳＩＭＳとＸＰＳの両方の分析手法を用いた複合解析を行うことがより好ましい。

［０１２９］

絶縁層１０３ａ、絶縁層１０３ｂ、及び絶縁層１０３ｃの膜密度が異なる場合、絶縁層１０３の断面における透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｙ）像などにおいて、コントラストの違いとして観察され、これらを区別できる場合がある。なお、組成や膜密度が近い場合などでは、これらの境界が不明瞭となる場合がある。

［０１３０］

絶縁層１０３は、２層または４層以上であってもよい。例えば、絶縁層１０３を絶縁層１０３ａと絶縁層１０３ｃとの２層構造とすることができる。

［０１３１］

〔構成例１－４〕

前述のトランジスタ１０と異なる構成例を、図２Ａに示す。図２Ａは、トランジスタ１０Ｃのチャネル長方向の断面概略図である。トランジスタ１０Ｃは、絶縁層１１０が積層構造を有する点で、トランジスタ１０と主に相違している。

［０１３２］

図２Ａは、絶縁層１１０が、半導体層１０８側から絶縁層１１０ａ、絶縁層１１０ｂ、及び絶縁層１１０ｃがこの順に積層された３層構造を有する例を示している。

［０１３３］

絶縁層１１０ａは、領域１０８Ｃ、領域１０８Ｌ１及び領域１０８Ｌ２と接する領域を有する。絶縁層１１０ｃは、導電層１１２と接する領域を有する。絶縁層１１０ｂは、絶縁層１１０ａと絶縁層１１０ｃの間に位置する。

［０１３４］

絶縁層１１０ａ、絶縁層１１０ｂ、及び絶縁層１１０ｃは、それぞれ酸化物または酸化窒化物を含む絶縁膜であることが好ましい。また、絶縁層１１０ａ、絶縁層１１０ｂ及び絶縁層１１０ｃは、それぞれ同じ成膜装置を用いて、大気に触れることなく連続して成膜することが好ましい。連続して成膜することにより、絶縁層１１０ａ、絶縁層１１０ｂ及び絶縁層１１０ｃそれぞれの界面に水などの不純物が付着することを抑制できる。

［０１３５］

絶縁層１１０ａ、絶縁層１１０ｂ、及び絶縁層１１０ｃとして、例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を用いることができる。

［０１３６］

絶縁層１１０ａ、絶縁層１１０ｂ及び絶縁層１１０ｃは、例えば、スパッタリング法、ＣＶＤ法、

真空蒸着法、ＰＬＤ法、ＡＬＤ法等を用いて形成することができる。また、ＣＶＤ法は、プラズマＣＶＤ法や、熱ＣＶＤ法などがある。

［０１３７］

特に、絶縁層１１０ａ、絶縁層１１０ｂ及び絶縁層１１０ｃは、プラズマＣＶＤ法により形成することが好ましい。

［０１３８］

絶縁層１１０ａは、半導体層１０８上に成膜されるため、出来るだけ半導体層１０８にダメージを与えない条件で成膜された膜であることが好ましい。例えば、成膜速度（成膜レートともいう）が十分に低い条件で成膜することができる。半導体層１０８にダメージを与えない条件で絶縁層１１０ａを形成することにより、半導体層１０８と絶縁層１１０の界面における欠陥準位密度が低減され、高い信頼性を有するトランジスタ１０Ｃとすることができる。

［０１３９］

例えば、絶縁層１１０ａとして、プラズマＣＶＤ法により酸化窒化シリコン膜を形成する場合、低電力の条件で形成することにより、半導体層１０８に与えるダメージを極めて小さくすることができる。

［０１４０］

酸化窒化シリコン膜の成膜に用いる成膜ガスには、例えばシラン、ジシランなどのシリコンを含む堆積性ガスと、酸素、オゾン、一酸化二窒素、二酸化窒素などの酸化性ガスと、を含む原料ガスを用いることができる。また原料ガスに加えて、アルゴン、ヘリウム、または窒素などの希釈ガスを含んでもよい。

［０１４１］

例えば、成膜ガスの全流量に対する堆積性ガスの流量の割合（以下、単に流量比ともいう）を小さくすることで、成膜速度を低くでき、緻密で欠陥の少ない膜を成膜することができる。

［０１４２］

絶縁層１１０ｂは、絶縁層１１０ａよりも成膜速度の高い条件で成膜された膜であることが好ましい。これにより、生産性を向上させることができる。

［０１４３］

例えば絶縁層１１０ｂは、絶縁層１１０ａよりも堆積性ガスの流量比を増やした条件とすることで、成膜速度を高めた条件で成膜することができる。

［０１４４］

絶縁層１１０ｃは、その表面の欠陥が低減され、水などの大気中に含まれる不純物が吸着しにくい、極めて緻密な膜であることが好ましい。例えば、絶縁層１１０ａと同様に、成膜速度が十分に低い条件で成膜することができる。

［０１４５］

また、絶縁層１１０ｃは絶縁層１１０ｂ上に成膜するため、絶縁層１１０ａと比較して絶縁層１１０ｃの成膜時に半導体層１０８へ与える影響は小さい。そのため、絶縁層１１０ｃは、絶縁層１１０ａよりも高い電力の条件で成膜することができる。堆積性ガスの流量比を減らし、比較的高い電力で成膜することで、緻密で表面の欠陥が低減された膜とすることができる。

［０１４６］

すなわち、成膜速度が、絶縁層１１０ｂが最も速く、絶縁層１１０ａ、絶縁層１１０ｃの順で遅

くなるような条件で成膜された積層膜を、絶縁層１１０に用いることができる。また、絶縁層１１０は、ウェットエッチングまたはドライエッチングにおける同一条件下でのエッチング速度が、絶縁層１１０ｂが最も速く、絶縁層１１０ａ、絶縁層１１０ｃの順で遅くなる。

［０１４７］

また、絶縁層１１０ｂは、絶縁層１１０ａ及び絶縁層１１０ｃよりも厚く形成することが好ましい。成膜速度が最も速い絶縁層１１０ｂを厚く形成することで、絶縁層１１０の成膜工程に係る時間を短縮することができる。

［０１４８］

なお、絶縁層１１０ａ、絶縁層１１０ｂ及び絶縁層１１０ｃは同種の材料の絶縁膜を用いることができるため、絶縁層１１０ａと絶縁層１１０ｂの境界、及び絶縁層１１０ｂと絶縁層１１０ｃの境界を明確に確認できない場合がある。したがって、図２Ａ等では、これらの境界を破線で明示している。なお、絶縁層１１０ａと絶縁層１１０ｂは、膜密度が異なるため、絶縁層１１０の断面における透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｙ）像などにおいて、これらの境界をコントラストの違いとして観察することができる場合がある。同様に、絶縁層１１０ｂと絶縁層１１０ｃの境界もコントラストの違いとして観察することができる場合がある。

［０１４９］

なお、図２Ａでは、領域１０８Ｃと接する領域の絶縁層１１０、及び領域１０８Ｌ１と接する領域の絶縁層１１０がそれぞれ、絶縁層１１０ａ、絶縁層１１０ｂ及び絶縁層１１０ｃの積層構造を有し、領域１０８Ｌ２と重なる領域の絶縁層１１０が、絶縁層１１０ａ、及び絶縁層１１０ｂの積層構造を有する構成を示したが、本発明の一態様はこれに限られない。図２Ｂに示すトランジスタ１０Ｄのように、領域１０８Ｌ２と重なる領域の絶縁層１１０が、絶縁層１１０ａ、絶縁層１１０ｂ及び絶縁層１１０ｃの積層構造を有してもよい。図２Ｃに示すトランジスタ１０Ｅのように、領域１０８Ｌ２と重なる領域の絶縁層１１０が、絶縁層１１０ａの単層構造を有してもよい。

［０１５０］

なお、絶縁層１１０は、絶縁層１１０ａと、絶縁層１１０ａ上の絶縁層１１０ｃとの２層構造としてもよい。または、絶縁層１１０は単層構造としてもよい。絶縁層１１０として、目的に応じて前述の絶縁層１１０ａ、絶縁層１１０ｂ又は絶縁層１１０ｃのいずれかを適宜選択することができる。

［０１５１］

〔構成例１－５〕

前述のトランジスタ１０と異なる構成例を、図３Ａに示す。図３Ａは、トランジスタ１０Ｆのチャネル長方向の断面概略図である。トランジスタ１０Ｆは、絶縁層１１０と導電層１１２の間に金属酸化物層１１４を有する点で、トランジスタ１０と主に相違している。

［０１５２］

金属酸化物層１１４は、絶縁層１１０中に酸素を供給する機能を有する。また、導電層１１２に酸化されやすい金属または合金を含む導電膜を用いた場合、金属酸化物層１１４は、絶縁層１１０中の酸素により導電層１１２が酸化されることを防ぐバリア層として機能する。

［０１５３］

金属酸化物層１１４は、導電層１１２に含まれる水素や水が絶縁層１１０側に拡散することを防

ぐバリア膜としても機能する。金属酸化物層１１４は、例えば少なくとも絶縁層１１０よりも酸素及び水素を透過しにくい材料を用いることができる。

［０１５４］

金属酸化物層１１４により、導電層１１２にアルミニウムや銅などの酸素を吸引しやすい金属材料を用いた場合であっても、絶縁層１１０から導電層１１２へ酸素が拡散することを防ぐことができる。また、導電層１１２が水素を含む場合であっても、導電層１１２から絶縁層１１０を介して半導体層１０８へ水素が拡散することを防ぐことができる。その結果、領域１０８Ｃにおけるキャリア濃度を極めて低いものとすることができる。

［０１５５］

金属酸化物層１１４は、絶縁性材料または導電性材料を用いることができる。金属酸化物層１１４が絶縁性を有する場合には、金属酸化物層１１４はゲート絶縁層の一部として機能する。一方、金属酸化物層１１４が導電性を有する場合には、金属酸化物層１１４はゲート電極の一部として機能する。

［０１５６］

金属酸化物層１１４として、酸化シリコンよりも誘電率の高い絶縁性材料を用いることが好ましい。特に、酸化アルミニウム膜、酸化ハフニウム膜、またはハフニウムアルミネート膜等を用いると、駆動電圧を低減できるため好ましい。

［０１５７］

金属酸化物層１１４として、金属酸化物を用いることができる。例えば、酸化インジウム、インジウム亜鉛酸化物、インジウムスズ酸化物（ＩＴＯ）、シリコンを含有したインジウムスズ酸化物（ＩＴＳＯ）等のインジウムを有する酸化物を用いることができる。インジウムを含む導電性酸化物は、導電性が高いため好ましい。また、ＩＴＳＯはシリコンを含有することにより結晶化しづらく、平坦性が高いことから、ＩＴＳＯ上に形成される膜との密着性が高くなる。金属酸化物層１１４は、酸化亜鉛、ガリウムを含有した酸化亜鉛等の金属酸化物を用いることができる。また、金属酸化物層１１４として、これらを積層した構造を用いてもよい。

［０１５８］

金属酸化物層１１４は、半導体層１０８と同一の元素を一以上含む酸化物材料を用いることが好ましい。特に、上記半導体層１０８に適用可能な酸化物半導体材料を用いることが好ましい。このとき、金属酸化物層１１４として、半導体層１０８と同じスパッタリングターゲットを用いて形成した金属酸化物膜を適用することで、装置を共通化できるため好ましい。

［０１５９］

または、半導体層１０８と金属酸化物層１１４の両方に、インジウム及びガリウムを含む金属酸化物材料を用いる場合、半導体層１０８よりもガリウムの組成（含有割合）が高い材料を用いると、酸素に対するブロッキング性をより高めることができるため好ましい。このとき、半導体層１０８には、金属酸化物層１１４よりもインジウムの組成が高い材料を用いることで、トランジスタ１００の電界効果移動度を高めることができる。

［０１６０］

金属酸化物層１１４は、スパッタリング装置を用いて形成することが好ましい。例えば、スパッタリング装置を用いて酸化物膜を形成する場合、酸素ガスを含む雰囲気で形成することで、絶縁層１１０や半導体層１０８中に好適に酸素を添加できる。

［０１６１］

なお、金属酸化物層１１４を、絶縁層１１０に対して酸素を供給する目的で形成する場合、金属酸化物層１１４となる金属酸化物膜を成膜したのちに除去してもよい。また、金属酸化物層１１４は、不要であれば設けなくてもよい。

［０１６２］

〔構成例１－６〕

前述のトランジスタ１０と異なる構成例を、図３Ｂに示す。図３Ｂは、トランジスタ１０Ｇのチャネル長方向の断面概略図である。トランジスタ１０Ｇは、領域１０８Ｎと領域１０８Ｌ２の間に、領域１０８Ｌ３を有する点で、トランジスタ１０と主に相違している。

［０１６３］

半導体層１０８は、領域１０８Ｃと、一対の領域１０８Ｌ１と、一対の領域１０８Ｌ２と、一対の領域１０８Ｌ３と、一対の領域１０８Ｎと、を有する。領域１０８Ｌ３は、領域１０８Ｃ、一対の領域１０８Ｌ１、及び一対の領域１０８Ｌ２を挟んで設けられる。また、領域１０８Ｌ３は、導電層１１２と重ならず、かつ絶縁層１１０と重なる領域を有する。領域１０８Ｃ、領域１０８Ｌ１、及び領域１０８Ｌ２については前述の記載を参照できるため、詳細な説明は省略する。

［０１６４］

領域１０８Ｌ１、領域１０８Ｌ２及び領域１０８Ｌ３はそれぞれ、領域１０８Ｃよりも抵抗が低く、かつ領域１０８Ｎよりも抵抗が高いことが好ましい。領域１０８Ｌ１、領域１０８Ｌ２及び領域１０８Ｌ３は、ＬＤＤ領域として機能する。

［０１６５］

領域１０８Ｌ３は、領域１０８Ｌ２より抵抗が低いことがさらに好ましい。領域１０８Ｃ、領域１０８Ｌ１、領域１０８Ｌ２、領域１０８Ｌ３、領域１０８Ｎの順に抵抗が低くなることにより、ドレイン領域の電界を効果的に緩和することができ、トランジスタのしきい値電圧の変動をより低減することができる。

［０１６６］

領域１０８Ｌ３と重なる領域の絶縁層１１０の膜厚は、領域１０８Ｌ２と重なる領域の絶縁層１１０の膜厚より薄いことが好ましい。つまり、絶縁層１１０は、その膜厚が領域１０８Ｃ側から領域１０８Ｎ側に向かって段階的に薄くなる、階段状の形状であることが好ましい。絶縁層１１０が階段状の形状を有することにより、半導体層１０８の抵抗を領域１０８Ｃ、領域１０８Ｌ１、領域１０８Ｌ２、領域１０８Ｌ３、領域１０８Ｎの順に低くすることができる。

［０１６７］

図３Ｂに示すように、絶縁層１１０は、第１の側面１１０Ｓ１と、第２の側面１１０Ｓ２と、第３の側面１１０Ｓ３とを有する。チャネル長方向の断面視において、第１の側面１１０Ｓ１、第２の側面１１０Ｓ２及び第３の側面１１０Ｓ３はそれぞれ、半導体層１０８上に位置する。また、チャネル長方向の断面視において、第１の側面１１０Ｓ１は導電層１１２の端部より外側に位置し、第２の側面１１０Ｓ２は第１の側面１１０Ｓ１より外側に位置し、第３の側面１１０Ｓ３は第２の側面１１０Ｓ２より外側に位置する。

［０１６８］

〔構成例１－７〕

図１Ａ乃至図１Ｃ、図２Ａ乃至図２Ｃ、及び図３Ａでは領域１０８Ｃと領域１０８Ｎの間に２個

のＬＤＤ領域（領域１０８Ｌ１及び領域１０８Ｌ２）を有する構成を、図３Ｂでは３個のＬＤＤ領域（領域１０８Ｌ１、領域１０８Ｌ２及び領域１０８Ｌ３）を有する構成を示したが、本発明の一態様はこれに限られない。領域１０８Ｃと領域１０８Ｎの間に、ｐ個（ｐは２以上）のＬＤＤ領域を有する構成とすることができる。

［０１６９］

図４Ａは、トランジスタ１０Ｈのチャネル長方向の断面概略図である。トランジスタ１０Ｈは、領域１０８Ｃと領域１０８Ｎの間に、領域１０８Ｌ１乃至領域１０８Ｌｐを有する構成を示している。

［０１７０］

図４Ａに示すように、絶縁層１１０は、第１の側面１１０Ｓ１乃至第ｐの側面１１０Ｓｐを有する。チャネル長方向の断面視において、第１の側面１１０Ｓ１乃至第ｐの側面１１０Ｓｐはそれぞれ、半導体層１０８上に位置する。また、チャネル長方向の断面視において、第１の側面１１０Ｓ１は導電層１１２の端部より外側に位置し、第２の側面１１０Ｓ２は第１の側面１１０Ｓ１より外側に位置し、第ｐの側面１１０Ｓｐは第ｐ－１の側面１１０Ｓｐ－１より外側に位置する。

［０１７１］

なお、絶縁層１１０が階段状の形状ではなく、絶縁層１１０の膜厚が、領域１０８Ｃ側から領域１０８Ｎ側に向かって連続的に薄くなってもよい。図４Ｂは、トランジスタ１０Ｉのチャネル長方向の断面概略図である。図４Ｂに示すように、絶縁層１１０の側面１１０Ｓはスロープ状の形状を有してもよい。また、トランジスタ１０Ｉは、絶縁層１１０の膜厚が、領域１０８Ｃ側から領域１０８Ｎ側に向かって連続的に薄くなるとともに、領域１０８Ｌ１から領域１０８Ｌｐに向かって連続的に抵抗が低くなる構成を示している。

［０１７２］

＜構成例２＞

以下では、より具体的なトランジスタの構成例について、説明する。

［０１７３］

〔構成例２－１〕

図５Ａは、トランジスタ１００の上面図であり、図５Ｂは、図５Ａに示す一点鎖線Ａ１－Ａ２における切断面の断面図に相当し、図５Ｃは、図５Ａに示す一点鎖線Ｂ１－Ｂ２における切断面の断面図に相当する。なお、図５Ａにおいて、トランジスタ１００の構成要素の一部（保護層等）を省略して図示している。また、一点鎖線Ａ１－Ａ２方向はチャネル長方向、一点鎖線Ｂ１－Ｂ２方向はチャネル幅方向に相当する。また、トランジスタの上面図については、以降の図面においても図５Ａと同様に、構成要素の一部を省略して図示するものとする。

［０１７４］

図５Ｂ中の一点鎖線で囲った領域Ｐの拡大図を、図６Ａに示す。図５Ｃ中の一点鎖線で囲った領域Ｒの拡大図を図６Ｂに示す。

［０１７５］

トランジスタ１００は、基板１０２上に設けられ、半導体層１０８、絶縁層１１０、導電層１１２、絶縁層１１８等を有する。島状の半導体層１０８は、基板１０２上に設けられる。絶縁層１１０は、基板１０２の上面の一部、半導体層１０８の側面、及び半導体層１０８の上面の一部を覆って設けられる。導電層１１２は、絶縁層１１０上に設けられ、半導体層１０８と重畳する部分を有

する。

［０１７６］

導電層１１２の端部は、絶縁層１１０の端部よりも内側に位置する。言い換えると、絶縁層１１０は、少なくとも半導体層１０８上において、導電層１１２の端部よりも外側に突出した部分を有する。

［０１７７］

絶縁層１１０の端部の一部は、半導体層１０８上に位置する。絶縁層１１０は、導電層１１２と重畳し、ゲート絶縁層として機能する部分と、導電層１１２と重ならない部分（すなわち、領域１０８Ｌ１または領域１０８Ｌ２と重なる部分）とを有する。

［０１７８］

半導体層１０８は、領域１０８Ｃと、一対の領域１０８Ｌ１と、一対の領域１０８Ｌ２と、一対の領域１０８Ｎと、を有する。領域１０８Ｃは、導電層１１２及び絶縁層１１０と重なる領域を有し、チャネル形成領域として機能する。領域１０８Ｌ１は、領域１０８Ｃを挟んで設けられる。領域１０８Ｌ２は、領域１０８Ｃ及び一対の領域１０８Ｌ１を挟んで設けられる。また、領域１０８Ｌ１及び領域１０８Ｌ２は、導電層１１２と重ならず、かつ絶縁層１１０と重なる領域を有する。領域１０８Ｎは、領域１０８Ｃ、一対の領域１０８Ｌ１及び一対の領域１０８Ｌ２を挟んで設けられる。領域１０８Ｎは、導電層１１２及び絶縁層１１０のいずれとも重ならない。

［０１７９］

領域１０８Ｌ１及び領域１０８Ｌ２は、半導体層１０８のうち、絶縁層１１０と重なり、且つ導電層１１２とは重ならない領域である。図６Ａでは、トランジスタ１００のチャネル長方向における領域１０８Ｃの幅を幅Ｌ０、領域１０８Ｌ１の幅を幅Ｌ１、領域１０８Ｌ２の幅を幅Ｌ２で示している。また、領域１０８Ｃと重なる領域の絶縁層１１０の膜厚を膜厚ＴＮ０、領域１０８Ｌ１と重なる領域の絶縁層１１０の膜厚を膜厚ＴＮ１、領域１０８Ｌ２と重なる領域の絶縁層１１０の膜厚を膜厚ＴＮ２で示している。

［０１８０］

膜厚ＴＮ１は、膜厚ＴＮ０と概略等しいことが好ましい。膜厚ＴＮ１に対する、膜厚ＴＮ２は０．２倍以上０．９倍以下が好ましく、さらには０．３倍以上０．８倍以下が好ましく、さらには０．４倍以上０．７倍以下が好ましい。前述の範囲の膜厚とすることで、領域１０８Ｌ１及び領域１０８Ｌ２の抵抗を制御できる。

［０１８１］

後述するように、領域１０８Ｌ１及び領域１０８Ｌ２を自己整合的に形成することが可能となるため、領域１０８Ｌ１及び領域１０８Ｌ２を形成するためのフォトマスクを必要とせず、作製コストを低減できる。また、自己整合的に領域１０８Ｌ１及び領域１０８Ｌ２を形成することにより、領域１０８Ｌ１、領域１０８Ｌ２及び導電層１１２の相対的な位置ずれが生じることがないため、半導体層１０８中の領域１０８Ｌ１及び領域１０８Ｌ２の幅を概略一致させることができる。

［０１８２］

チャネル形成領域として機能する領域１０８Ｃと低抵抗な領域１０８Ｎの間に、ゲートの電界が掛からない（または領域１０８Ｃよりも掛かりにくい）オフセット領域として機能する領域１０８Ｌ１及び領域１０８Ｌ２をばらつきなく安定して形成できる。その結果、トランジスタのソース－ドレイン耐圧を向上させることができ、信頼性の高いトランジスタを実現できる。また、領域１０

８Ｃと領域１０８Ｎの境界での電流密度を緩和でき、チャネルとソース又はドレインの境界における発熱が抑制され、信頼性の高いトランジスタ、半導体装置とすることができる。

［０１８３］

領域１０８Ｌ１の幅Ｌ１及び領域１０８Ｌ２の幅Ｌ２はそれぞれ、５０ｎｍ以上１μｍ以下が好ましく、さらには７０ｎｍ以上７００ｎｍ以下が好ましく、さらに１００ｎｍ以上５００ｎｍ以下が好ましい。領域１０８Ｌ１及び領域１０８Ｌ２を設けることにより、ドレイン付近に電界が集中することが緩和され、特にドレイン電圧が高い状態でのトランジスタの劣化を抑制できる。特に、幅Ｌ１と幅Ｌ２の合計の幅を、絶縁層１１０の厚さよりも大きくすることで、効果的にドレイン付近への電界集中を抑制することができる。一方、幅Ｌ１と幅Ｌ２の合計の幅が２μｍよりも長いとソースードレイン抵抗が高まり、トランジスタの駆動速度が遅くなる場合がある。幅Ｌ１及び幅Ｌ２を前述の範囲とすることで、信頼性が高く、かつ駆動速度の速いトランジスタ、半導体装置とすることができる。なお、幅Ｌ１及び幅Ｌ２はそれぞれ、半導体層１０８の厚さ、絶縁層１１０の厚さ、トランジスタ１００を駆動する際のソースードレイン間に印加する電圧の大きさに応じて決定することができる。

［０１８４］

絶縁層１１０が有する第１の側面１１０Ｓ１、及び第２の側面１１０Ｓ２はそれぞれ、テーパ形状を有することが好ましい。第１の側面１１０Ｓ１、及び第２の側面１１０Ｓ２がテーパ形状を有することにより、絶縁層１１０上に形成される層（例えば、絶縁層１１８）の被覆性が向上し、該層に段切れや鬆といった不具合が発生することを抑制できる。なお、図５Ａに示す上面図において、絶縁層１１０の端部、第１の側面１１０Ｓ１、及び第２の側面１１０Ｓ２を破線で示している。

［０１８５］

図６Ａ及び図６Ｂに示す角度θ１及び角度θ２について、説明する。角度θ１は、第１の側面１１０Ｓ１の下端が接する絶縁層１１０の上面を絶縁層１１０の内部に延伸した面と、第１の側面１１０Ｓ１がなす角度である。角度θ２は、絶縁層１１０の底面と、第２の側面１１０Ｓ２がなす角度である。角度θ１及び角度θ２はそれぞれ、３０度以上９０度未満が好ましく、さらには３５度以上８５度以下が好ましく、さらには４０度以上８０度以下が好ましくさらには４５度以上８０度以下が好ましく、さらには５０度以上８０度以下が好ましい。前述の範囲の角度とすることで、絶縁層１１０上に設けられる絶縁層１１８の被覆性を高めることができる。

［０１８６］

なお、本明細書等において、テーパ角とは、目的の層を、断面（例えば基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角をいう。

［０１８７］

領域１０８Ｎにおける第１の元素の濃度は、絶縁層１１８に近いほど濃度が高くなるような濃度勾配を有することが好ましい。これにより、領域１０８Ｎ全体に亘って均一な濃度とした場合に比べて、領域１０８Ｎ内の第１の元素の総量を低くできるため、作製工程中の熱などの影響により領域１０８Ｃに拡散しうる第１の元素の量を低く保つことができる。また、領域１０８Ｎの上部ほど低抵抗となるため、導電層１２０ａ（または導電層１２０ｂ）との接触抵抗をより効果的に低減できる。

［０１８８］

領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎに第１の元素を添加する処理は、導電層１

１２及び絶縁層１１０をマスクとして行うことができる。これにより、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎを自己整合的に形成できる。

［０１８９］

領域１０８Ｎは、第１の元素の濃度が、１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以上、１×１０^{23}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以上、５×１０^{22}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}以上、１×１０^{22}ａｔｏｍｓ／ｃｍ^{3}以下である領域を含むことが好ましい。

［０１９０］

第１の元素としてホウ素、リン、マグネシウム、アルミニウム、シリコンなどの酸化されやすい元素を用いる場合、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎそれぞれにおいて、第１の元素が酸化された状態で存在していることが好ましい。このような酸化されやすい元素は、半導体層１０８中の酸素と結合して酸化した状態で安定に存在しうるため、後の工程で高い温度（例えば４００℃以上、６００℃以上、または８００℃以上）がかかった場合であっても、脱離することが抑制される。また、第１の元素が半導体層１０８中の酸素を奪うことで、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎに酸素欠損（V_O）が生成される。この酸素欠損（V_O）に膜中の水素が入った欠陥（以下、V_OHとも記す）はキャリア供給源となり、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎの抵抗が低くなる。

［０１９１］

ここで、半導体層１０８について、及び半導体層１０８中に形成されうる酸素欠損について説明する。

［０１９２］

半導体層１０８のチャネル形成領域に形成される酸素欠損は、トランジスタ特性に影響を与えるため問題となる。例えば、半導体層１０８中に酸素欠損が形成されると、該酸素欠損に水素が結合し、キャリア供給源となりうる。チャネル形成領域中にキャリア供給源が生成されると、トランジスタ１００の電気特性の変動、代表的にはしきい値電圧のシフトが生じる。したがって、チャネル形成領域においては、酸素欠損が少ないほど好ましい。

［０１９３］

そこで、本発明の一態様においては、半導体層１０８のチャネル形成領域近傍の絶縁膜、具体的には、チャネル形成領域の上方に位置する絶縁層１１０、及び下方に位置する絶縁層１０３が、酸化物膜または酸化窒化物膜を含む構成である。作製工程中の熱などにより絶縁層１０３及び絶縁層１１０からチャネル形成領域へ酸素を移動させることで、チャネル形成領域中の酸素欠損を低減することが可能となる。

［０１９４］

半導体層１０８は、元素Ｍに対するＩｎの原子数比が１より大きい領域を有することが好ましい。Ｉｎの含有率が高いほど、トランジスタの電界効果移動度を向上させることができる。

［０１９５］

ここで、Ｉｎ、Ｇａ、Ｚｎを含む金属酸化物の場合、Ｉｎと酸素の結合力は、Ｇａと酸素の結合力よりも弱いため、Ｉｎの含有率が高い場合には、金属酸化物膜中に酸素欠損が形成されやすい。また、Ｇａに代えて、元素Ｍを用いた場合でも同様の傾向がある。金属酸化物膜中に酸素欠損が多く存在すると、トランジスタの電気特性の低下や、信頼性の低下が生じる。

［０１９６］

しかしながら本発明の一態様では、金属酸化物を含む半導体層１０８のチャネル形成領域中に極めて多くの酸素を供給できるため、Ｉｎの含有率が高い金属酸化物材料を用いることが可能となる。これにより、極めて高い電界効果移動度と、安定した電気特性と、高い信頼性とを兼ね備えたトランジスタを実現できる。

［０１９７］

例えば、元素Mに対するＩｎの原子数比が１．５以上、または２以上、または３以上、または３．５以上、または４以上である金属酸化物を、好適に用いることができる。

［０１９８］

特に、半導体層１０８のＩｎ、M、及びＺｎの原子数の比を、Ｉｎ：Ｍ：Ｚｎ＝４：２：３またはその近傍とすることが好ましい。または、Ｉｎ、M、及びＺｎの原子数の比を、Ｉｎ：Ｍ：Ｚｎ＝５：１：６またはその近傍とすることが好ましい。また、半導体層１０８の組成として、半導体層１０８のＩｎ、元素M、及びＺｎの原子数の比を概略等しくしてもよい。すなわち、Ｉｎ、元素M、及びＺｎの原子数の比が、Ｉｎ：Ｍ：Ｚｎ＝１：１：１またはその近傍の材料を含んでいてもよい。

［０１９９］

例えば、上記の電界効果移動度が高いトランジスタを、ゲート信号を生成するゲートドライバに用いることで、額縁幅の狭い（狭額縁ともいう）表示装置を提供できる。また、上記の電界効果移動度が高いトランジスタを、ソースドライバ（特に、ソースドライバが有するシフトレジスタの出力端子に接続されるデマルチプレクサ）に用いることで、表示装置に接続される配線数が少ない表示装置を提供できる。

［０２００］

なお、半導体層１０８が、元素Mに対するＩｎの原子数比が１より大きい領域を有していても、半導体層１０８の結晶性が高い場合、電界効果移動度が低くなる場合がある。半導体層１０８の結晶性は、例えば、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）を用いて分析する、あるいは、透過型電子顕微鏡（ＴＥＭ）を用いて分析することで解析できる。

［０２０１］

ここで、半導体層１０８のチャネル形成領域は、不純物濃度が低く、欠陥準位密度を低く（酸素欠損を少なく）することにより、膜中のキャリア濃度を低くすることができる。このような金属酸化物膜を半導体層のチャネル形成領域に用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、このような金属酸化物膜を用いたトランジスタは、オフ電流が著しく小さい特性を得ることができる。

［０２０２］

半導体層１０８に結晶性の高い金属酸化物膜を用いると、半導体層１０８の加工時や、絶縁層１１０の成膜時のダメージを抑制することができ、信頼性の高いトランジスタを実現できる。一方、半導体層１０８に結晶性の比較的低い金属酸化物膜を用いることで、電気伝導性が向上し、電界効果移動度の高いトランジスタを実現できる。

［０２０３］

半導体層１０８は、後述するＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）構造を有する金属酸化物膜、ｎｃ（ｎａｎｏ　ｃｒｙｓｔａｌ）構造を有する金属酸化物膜、またはC

ＡＡＣ構造とｎｃ構造とが混在した金属酸化物膜を用いることが好ましい。

［０２０４］

半導体層１０８は、２層以上の積層構造を有していてもよい。

［０２０５］

例えば、組成の異なる２以上の金属酸化物膜を積層した半導体層１０８を用いることができる。例えば、Ｉｎ－Ｍ－Ｚｎ酸化物を用いた場合に、Ｉｎ、元素Ｍ、及びＺｎの原子数の比が、Ｉｎ：Ｍ：Ｚｎ＝５：１：６、Ｉｎ：Ｍ：Ｚｎ＝４：２：３、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝２：２：１、Ｉｎ：Ｍ：Ｚｎ＝１：３：４、Ｉｎ：Ｍ：Ｚｎ＝１：３：２、またはそれらの近傍であるスパッタリングターゲットで形成する膜のうち、２以上を積層して用いることが好ましい。

［０２０６］

結晶性の異なる２以上の金属酸化物膜を積層した半導体層１０８を用いることができる。その場合、同じ酸化物ターゲットを用い、成膜条件を異ならせることで、大気に触れることなく連続して形成されることが好ましい。

［０２０７］

このとき、半導体層１０８として、ｎｃ構造を有する金属酸化物膜と、ＣＡＡＣ構造を有する金属酸化物膜の積層構造とすることができる。または、ｎｃ構造を有する金属酸化物膜と、ｎｃ構造を有する金属酸化物膜の積層構造としてもよい。なお、当該金属酸化物膜に好適に用いることができる金属酸化物の機能、または材料の構成については、後述するＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）の記載を援用できる。

［０２０８］

例えば、先に形成する第１の金属酸化物膜の成膜時の酸素流量比を、後に形成する第２の金属酸化物膜の成膜時の酸素流量比よりも小さくする。または、第１の金属酸化物膜の成膜時に、酸素を流さない条件とする。これにより、第２の金属酸化物膜の成膜時に、酸素を効果的に供給できる。また、第１の金属酸化物膜は第２の金属酸化物膜よりも結晶性が低く、電気伝導性の高い膜とすることができる。一方、上部に設けられる第２の金属酸化物膜を第１の金属酸化物膜よりも結晶性の高い膜とすることで、半導体層１０８の加工時や、絶縁層１１０の成膜時のダメージを抑制できる。

［０２０９］

より具体的には、第１の金属酸化物膜の成膜時の酸素流量比を、０％以上５０％未満、好ましくは０％以上３０％以下、より好ましくは０％以上２０％以下、代表的には１０％とする。また第２の金属酸化物膜の成膜時の酸素流量比を、５０％以上１００％以下、好ましくは６０％以上１００％以下、より好ましくは８０％以上１００％以下、さらに好ましくは９０％以上１００％以下、代表的には１００％とする。また、第１の金属酸化物膜と第２の金属酸化物膜とで、成膜時の圧力、温度、電力等の条件を異ならせてもよいが、酸素流量比以外の条件を同じとすることで、成膜工程にかかる時間を短縮できるため好ましい。

［０２１０］

このような構成とすることで、電気特性に優れ、且つ信頼性の高いトランジスタ１００を実現できる。

［０２１１］

図５Ａ及び図５Ｂに示すように、トランジスタ１００は、絶縁層１１８上に導電層１２０ａ及び

導電層１２０ｂを有していてもよい。導電層１２０ａ及び導電層１２０ｂはソース電極またはドレイン電極として機能する。導電層１２０ａ及び導電層１２０ｂは、それぞれ絶縁層１１８に設けられた開口部１４１ａまたは開口部１４１ｂを介して、領域１０８Ｎに電気的に接続される。

［０２１２］

以上が、構成例２－１についての説明である。

［０２１３］

以下では、上記構成例２－１と一部の構成が異なるトランジスタの構成例について説明する。なお、以下では、上記構成例２－１と重複する部分は説明を省略する場合がある。また、以下で示す図面において、上記構成例と同様の機能を有する部分についてはハッチングパターンを同じくし、符号を付さない場合もある。

［０２１４］

〔構成例２－２〕

図７Ａは、トランジスタ１００Ａの上面図であり、図７Ｂはトランジスタ１００Ａのチャネル長方向の断面図であり、図７Ｃはトランジスタ１００Ａのチャネル幅方向の断面図である。図７Ｂ中の一点鎖線で囲った領域Ｐの拡大図を図８Ａ、領域Ｑの拡大図を図８Ｂに示す。図７Ｃ中の一点鎖線で囲った領域Ｒの拡大図を図８Ｃに示す。

［０２１５］

トランジスタ１００Ａは、基板１０２と半導体層１０８の間に、絶縁層１０３及び導電層１０６を有する点で、トランジスタ１００と主に相違している。導電層１０６は、領域１０８Ｃと重畳する領域を有する。

［０２１６］

トランジスタ１００Ａにおいて、導電層１０６は、第１のゲート電極（ボトムゲート電極ともいう）としての機能を有し、導電層１１２は、第２のゲート電極（トップゲート電極ともいう）としての機能を有する。また、絶縁層１０３の一部は第１のゲート絶縁層として機能し、絶縁層１１０の一部は、第２のゲート絶縁層として機能する。

［０２１７］

半導体層１０８の、導電層１１２及び導電層１０６の少なくとも一方と重畳する部分は、チャネル形成領域として機能する。なお以下では説明を容易にするため、半導体層１０８の導電層１１２と重畳する部分をチャネル形成領域と呼ぶ場合があるが、実際には導電層１１２と重畳せずに、導電層１０６と重畳する部分にもチャネルが形成しうる。

［０２１８］

図７Ａ及び図７Ｃに示すように、導電層１０６は、絶縁層１１０、及び絶縁層１０３に設けられた開口部１４２を介して、導電層１１２と電気的に接続されていてもよい。これにより、導電層１０６と、導電層１１２には、同じ電位を与えることができる。

［０２１９］

導電層１０６は、導電層１１２、導電層１２０ａ、または導電層１２０ｂに用いることができる材料を用いることができる。特に導電層１０６に銅を含む材料を用いると、配線抵抗を低減できるため好ましい。また、導電層１０６にタングステンやモリブデンなどの高融点金属を含む材料を用いると、後の工程において高い温度で処理を行なうことができる。

［０２２０］

図７Ａ及び図７Ｃに示すように、チャネル幅方向において、導電層１１２及び導電層１０６が、半導体層１０８の端部よりも外側に突出していることが好ましい。このとき、図７Ｃに示すように、半導体層１０８のチャネル幅方向の全体が、絶縁層１１０と絶縁層１０３を介して、導電層１１２と、導電層１０６に覆われた構成となる。

［０２２１］

このような構成とすることで、半導体層１０８を一対のゲート電極によって生じる電界で、電気的に取り囲むことができる。このとき特に、導電層１０６と導電層１１２に同じ電位を与えることが好ましい。これにより、半導体層１０８にチャネルを誘起させるための電界を効果的に印加できるため、トランジスタ１００Ａのオン電流を増大させることができる。そのため、トランジスタ１００Ａを微細化することも可能となる。

［０２２２］

なお、導電層１１２と導電層１０６とを接続しない構成としてもよい。このとき、一対のゲート電極の一方に定電位を与え、他方にトランジスタ１００Ａを駆動するための信号を与えてもよい。このとき、一方のゲート電極に与える電位により、トランジスタ１００Ａを他方のゲート電極で駆動する際のしきい値電圧を制御することもできる。

［０２２３］

絶縁層１０３は積層構造とすることができる。図７Ｂ及び図７Ｃには、絶縁層１０３が、導電層１０６側から、絶縁層１０３ａ、絶縁層１０３ｂ及び絶縁層１０３ｃがこの順に積層された３層構造を有する例を示している。絶縁層１０３ａは導電層１０６と接する。また、絶縁層１０３ｃは半導体層１０８と接する。絶縁層１０３については前述の記載を参照できるため、詳細な説明は省略する。

［０２２４］

なお、導電層１０６として、絶縁層１０３に拡散しにくい金属膜または合金膜を用いる場合などでは、絶縁層１０３ａ及び絶縁層１０３ｂを設けずに、絶縁層１０３ｃの単層構成としてもよい。

［０２２５］

トランジスタ１００Ａは、絶縁層１０３ｃと、絶縁層１１８が接する領域を有する。絶縁層１０３ｃと絶縁層１１８が接する領域を有することにより、絶縁層１１８が有する酸素が絶縁層１０３ｃを介して半導体層１０８に拡散し、半導体層１０８中の酸素欠陥を低減することができる。

［０２２６］

以上が、構成例２－２についての説明である。

［０２２７］

〔構成例２－３〕

トランジスタ１００Ａと異なる構成を、図９Ａ乃至図９Ｃに示す。図９Ａは、トランジスタ１００Ｂの上面図であり、図９Ｂはトランジスタ１００Ｂのチャネル長方向の断面図であり、図９Ｃはトランジスタ１００Ｂのチャネル幅方向の断面図である。図９Ｂ中の一点鎖線で囲った領域Ｑの拡大図を図１０Ａに示す。図９Ｃ中の一点鎖線で囲った領域Ｒの拡大図を、図１０Ｂに示す。図９Ｂ中の一点鎖線で囲った領域Ｐの拡大図は、図８Ａを参照できる。

［０２２８］

図１０Ａ及び図１０Ｂに示すように、トランジスタ１００Ｂは、絶縁層１１８と絶縁層１０３ｂが接する領域を有する点で、トランジスタ１００Ａと主に相違している。半導体層１０８と重なら

ない領域の絶縁層１１８は、絶縁層１０３ｃと接して設けられる。また、絶縁層１０３ｃの端部は、半導体層１０８の端部と概略一致する。例えば、絶縁層１１０を形成する際に、絶縁層１０３ｃとなる絶縁膜の一部を除去し絶縁層１０３ｃを形成することで、絶縁層１０３ｃの端部と半導体層１０８の端部を概略一致させることができる。

［０２２９］

以上が、構成例２－３についての説明である。

［０２３０］

〔構成例２－４〕

図１１Ａは、トランジスタ１００Ｃの断面図である。図１１Ａでは、一点鎖線よりも左側にチャネル長方向の断面を、右側にチャネル幅方向の断面を並べて明示している。

［０２３１］

トランジスタ１００Ｃは、絶縁層１１８が積層構造を有する点で、トランジスタ１００Ｂと主に相違している。絶縁層１１８は２層以上の積層構造とすることができる。絶縁層１１８を積層構造とする場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

［０２３２］

図１１Ａは、絶縁層１１８が絶縁層１１８ａと、絶縁層１１８ａ上の絶縁層１１８ｂの２層構造である例を示している。絶縁層１１８ａ及び絶縁層１１８ｂとして、絶縁層１１８に用いることができる材料を用いることができる。絶縁層１１８ａと絶縁層１１８ｂは同じ材料を用いてもよいし、異なる材料を用いてもよい。なお、絶縁層１１８ａ及び絶縁層１１８ｂは同種の材料の絶縁膜を用いることができるため、絶縁層１１８ａ及び絶縁層１１８ｂそれぞれの界面が明確に確認できない場合がある。したがって、図１１Ａでは、絶縁層１１８ａと絶縁層１１８ｂの界面を破線で示している。

［０２３３］

トランジスタ１００Ｃと異なる構成を、図１１Ｂ及び図１１Ｃに示す。図１１Ｂは、トランジスタ１００Ｄの断面図である。図１１Ｃは、トランジスタ１００Ｅの断面図である。図１１Ｂ及び図１１Ｃではそれぞれ、一点鎖線よりも左側にチャネル長方向の断面を、右側にチャネル幅方向の断面を並べて明示している。

［０２３４］

トランジスタ１００Ｄ及びトランジスタ１００Ｅは、絶縁層１１８ａと絶縁層１１８ｂで異なる材料を用いる構成を示している。

［０２３５］

トランジスタ１００Ｄは、絶縁層１１８ａの酸素に対するバリア性が、絶縁層１１８ｂよりも高い構成を示している。例えば、絶縁層１１８ａに窒化物または窒化酸化物を用い、絶縁層１１８ｂに酸化物または酸化窒化物を用いることができる。

［０２３６］

トランジスタ１００Ｅは、絶縁層１１８ｂの酸素に対するバリア性が、絶縁層１１８ａよりも高い構成を示している。例えば、絶縁層１１８ａに酸化物または酸化窒化物を用い、絶縁層１１８ｂに窒化物または窒化酸化物を用いることができる。

［０２３７］

絶縁層１１８を形成した後に、高い温度がかかる処理を行なう際、トランジスタの外部や領域１

０８Ｎの近傍の膜から多量の酸素が領域１０８Ｎに供給され、領域１０８Ｎの抵抗が上昇してしまう場合がある。そのため、高い温度のかかる処理を行なう際には、酸素に対するバリア性の高い絶縁層で半導体層１０８を覆った状態で処理することが好ましい。

［０２３８］

以上が、構成例２－４についての説明である。

［０２３９］

〔構成例２－５〕

図１２は、トランジスタ１００Ｆの断面図である。図１２では、一点鎖線よりも左側にチャネル長方向の断面を、右側にチャネル幅方向の断面を並べて明示している。

［０２４０］

トランジスタ１００Ｆは、絶縁層１１０と導電層１１２の間に金属酸化物層１１４を有する点で、トランジスタ１００Ｃと主に相違している。金属酸化物層１１４として用いることができる材料については、前述の記載を参照できるため、詳細な説明は省略する。

［０２４１］

図１２では、導電層１１２の端部と金属酸化物層１１４の端部が概略一致する例を示している。導電層１１２を形成する際に金属酸化物層１１４も形成することで、導電層１１２の端部と金属酸化物層１１４の端部を概略一致させることができる。なお、導電層１１２の端部と金属酸化物層１１４の端部が概略一致しなくてもよい。例えば、導電層１１２の端部が、金属酸化物層１１４の端部よりも内側に位置してもよい。

［０２４２］

以上が、構成例２－５についての説明である。

［０２４３］

〔構成例２－６〕

トランジスタ１００Ｂと異なる構成を、図１３Ａ乃至図１３Ｃに示す。図１３Ａは、トランジスタ１００Ｇの上面図であり、図１３Ｂはトランジスタ１００Ｇのチャネル長方向の断面図であり、図１３Ｃはトランジスタ１００Ｇのチャネル幅方向の断面図である。図１３Ｂ中の一点鎖線で囲った領域Ｐの拡大図を図１４に示す。

［０２４４］

図１３Ｂ、図１３Ｃ及び図１４に示すように、領域１０８Ｎと領域１０８Ｌ２の間に、領域１０８Ｌ３を有する点で、トランジスタ１００Ｂと主に相違している。

［０２４５］

図１４では、トランジスタ１００Ｇのチャネル長方向における領域１０８Ｃの幅を幅Ｌ０、領域１０８Ｌ１の幅を幅Ｌ１、領域１０８Ｌ２の幅を幅Ｌ２、領域１０８Ｌ３の幅を幅Ｌ３で示している。また、領域１０８Ｃと重なる領域の絶縁層１１０の膜厚を膜厚ＴＮ０、領域１０８Ｌ１と重なる領域の絶縁層１１０の膜厚を膜厚ＴＮ１、領域１０８Ｌ２と重なる領域の絶縁層１１０の膜厚を膜厚ＴＮ２、領域１０８Ｌ３と重なる領域の絶縁層１１０の膜厚を膜厚ＴＮ３で示している。

［０２４６］

膜厚ＴＮ０は、膜厚ＴＮ１と概略等しいことが好ましい。また、膜厚ＴＮ１に対する、膜厚ＴＮ２は０．２倍以上０．９倍以下が好ましく、さらには０．３倍以上０．８倍以下が好ましく、さらには０．４倍以上０．７倍以下が好ましい。膜厚ＴＮ１に対する、膜厚ＴＮ３は０．１倍以上０．

６倍以下が好ましく、さらには０．１５倍以上０．５倍以下が好ましく、さらには０．２倍以上０．４倍以下が好ましい。前述の範囲の膜厚とすることで、領域１０８Ｌ１、領域１０８Ｌ２及び領域１０８Ｌ３の抵抗を制御できる。

［０２４７］

幅Ｌ１、幅Ｌ２及び幅Ｌ３はそれぞれ、５０ｎｍ以上１μｍ以下が好ましく、さらには７０ｎｍ以上７００ｎｍ以下が好ましく、さらに１００ｎｍ以上５００ｎｍ以下が好ましい。特に、幅Ｌ１、幅Ｌ２及び幅Ｌ３の合計の幅を、絶縁層１１０の厚さよりも大きくすることで、効果的にドレイン付近への電界集中を抑制することができる。一方、幅Ｌ１、幅Ｌ２及び幅Ｌ３の合計の幅が２μｍよりも長いとソースードレイン抵抗が高まり、トランジスタの駆動速度が遅くなる場合がある。幅Ｌ１、幅Ｌ２及び幅Ｌ３を前述の範囲とすることで、信頼性が高く、かつ駆動速度の速いトランジスタ、半導体装置とすることができる。なお、幅Ｌ１、幅Ｌ２及び幅Ｌ３はそれぞれ、半導体層１０８の厚さ、絶縁層１１０の厚さ、トランジスタ１００を駆動する際のソースードレイン間に印加する電圧の大きさに応じて決定することができる。

［０２４８］

絶縁層１１０が有する第１の側面１１０Ｓ１、第２の側面１１０Ｓ２、及び第３の側面１１０Ｓ３はそれぞれ、テーパ形状を有することが好ましい。第１の側面１１０Ｓ１、第２の側面１１０Ｓ２、及び第３の側面１１０Ｓ３がテーパ形状を有することにより、絶縁層１１０上に形成される層（例えば、絶縁層１１８）の被覆性が向上し、該層に段切れや鬆といった不具合が発生することを抑制できる。

［０２４９］

図１４に、第１の側面１１０Ｓ１の下端が接する面と、第１の側面１１０Ｓ１がなす角度θ１、第２の側面１１０Ｓ２の下端が接する面と、第２の側面１１０Ｓ２がなす角度θ２、及び第３の側面１１０Ｓ３の下端が接する面と、第３の側面１１０Ｓ３がなす角度θ３を示す。角度θ１、角度θ２及び角度θ３はそれぞれ、３０度以上９０度未満が好ましく、さらには３５度以上８５度以下が好ましく、さらには４０度以上８０度以下が好ましく、さらには４５度以上７５度以下が好ましい。前述の範囲の角度とすることで、絶縁層１１０上に設けられる絶縁層１１８の被覆性を高めることができる。

［０２５０］

図１４に示す角度θ１、角度θ２及び角度θ３について、説明する。角度θ１は、第１の側面１１０Ｓ１の下端が接する絶縁層１１０の上面を絶縁層１１０の内部に延伸した面と、第１の側面１１０Ｓ１がなす角度である。角度θ２は、第２の側面１１０Ｓ２の下端が接する絶縁層１１０の上面を絶縁層１１０の内部に延伸した面と、第２の側面１１０Ｓ２がなす角度である。角度θ３は、絶縁層１１０の底面と、第３の側面１１０Ｓ３がなす角度である。角度θ１、角度θ２及び角度θ３はそれぞれ、３０度以上９０度未満が好ましく、さらには３５度以上８５度以下が好ましく、さらには４０度以上８０度以下が好ましく、さらには４５度以上７５度以下が好ましい。前述の範囲の角度とすることで、絶縁層１１０上に設けられる絶縁層１１８の被覆性を高めることができる。

［０２５１］

以上が、構成例２－６についての説明である。

［０２５２］

＜作製方法例１＞

以下では、本発明の一態様の半導体装置の作製方法について、図面を参照して説明する。ここでは、上記構成例で例示したトランジスタ１００Ｃを例に挙げて説明する。

［０２５３］

なお、半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スパッタリング法、化学気相堆積（ＣＶＤ）法、真空蒸着法、パルスレーザー堆積（ＰＬＤ）法、原子層堆積（ＡＬＤ）法等を用いて形成できる。ＣＶＤ法は、プラズマ化学気相堆積（ＰＥＣＶＤ）法や、熱ＣＶＤ法などがある。また、熱ＣＶＤ法のひとつに、有機金属化学気相堆積（ＭＯＣＶＤ：Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　ＣＶＤ）法がある。

［０２５４］

半導体装置を構成する薄膜（絶縁膜、半導体膜、導電膜等）は、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ、スリットコート、ロールコート、カーテンコート、ナイフコート等の方法により形成できる。

［０２５５］

半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いて加工できる。それ以外に、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

［０２５６］

フォトリソグラフィ法は、代表的には以下の２つの方法がある。一つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう一つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

［０２５７］

フォトリソグラフィ法において、露光に用いる光は、例えばｉ線（波長３６５ｎｍ）、ｇ線（波長４３６ｎｍ）、ｈ線（波長４０５ｎｍ）、またはこれらを混合させた光を用いることができる。そのほか、紫外線やＫｒＦレーザ光、またはＡｒＦレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（ＥＵＶ：Ｅｘｔｒｅｍｅ　Ｕｌｔｒａ－ｖｉｏｌｅｔ）光やＸ線を用いてもよい。また、露光に用いる光に代えて、電子ビームを用いることもできる。極端紫外光、Ｘ線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

［０２５８］

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。

［０２５９］

図１５Ａ乃至図１５Ｄ、図１６Ａ乃至図１６Ｃ、図１７Ａ乃至図１７Ｃ、図１８Ａ乃至図１８Ｃの各図には、トランジスタ１００Ｃの作製工程の各段階における断面を示している。各図において、中央の破線より左側にチャネル長方向、右側にチャネル幅方向の断面を並べて示している。

［０２６０］

〔導電層１０６の形成〕

基板１０２上に導電膜を成膜し、これをエッチングにより加工して、第１のゲート電極として機能する導電層１０６を形成する。このとき、導電層１０６の端部がテーパ形状となるように加工することが好ましい。これにより、次に形成する絶縁層１０３の段差被覆性を高めることができる。

［０２６１］

また、導電層１０６となる導電膜として、銅を含む導電膜を用いることで、配線抵抗を小さくすることができる。例えば、本発明の一態様である半導体装置を大型の表示装置に適用する場合や、解像度の高い表示装置とする場合には、銅を含む導電膜を用いることが好ましい。また、導電層１０６に銅を含む導電膜を用いた場合であっても、絶縁層１０３により銅が半導体層１０８側に拡散することが抑制されるため、信頼性の高いトランジスタを実現できる。

［０２６２］

〔絶縁層１０３の形成〕

続いて、基板１０２及び導電層１０６を覆って絶縁層１０３を形成する（図１５Ａ）。絶縁層１０３は、ＰＥＣＶＤ法、ＡＬＤ法、スパッタリング法等を用いて形成できる。

［０２６３］

ここでは、絶縁層１０３として、絶縁層１０３ａ、絶縁層１０３ｂ、及び絶縁層１０３ｃ、を積層して形成する。特に、絶縁層１０３を構成する各絶縁層は、ＰＥＣＶＤ法により形成することが好ましい。絶縁層１０３の形成は、前述の構成例１の記載を参照できるため、詳細な説明は省略する。

［０２６４］

絶縁層１０３を形成した後に、絶縁層１０３に対して酸素を供給する処理を行ってもよい。例えば、酸素雰囲気下でのプラズマ処理または加熱処理などを行うことができる。または、プラズマイオンドーピング法やイオン注入法により、絶縁層１０３に酸素を供給してもよい。

［０２６５］

〔半導体層１０８の形成〕

続いて、絶縁層１０３上に、半導体層１０８となる金属酸化物膜１０８ｆを成膜する（図１５Ｂ）。

［０２６６］

金属酸化物膜１０８ｆは、金属酸化物ターゲットを用いたスパッタリング法により形成することが好ましい。

［０２６７］

金属酸化物膜１０８ｆは、可能な限り欠陥の少ない緻密な膜とすることが好ましい。また、金属酸化物膜１０８ｆは、可能な限り水素や水などの不純物が低減され、高純度な膜であることが好ましい。特に、金属酸化物膜１０８ｆとして、結晶性を有する金属酸化物膜を用いることが好ましい。

［０２６８］

金属酸化物膜１０８ｆを成膜する際に、酸素ガスと不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）を混合させてもよい。なお、金属酸化物膜を成膜する際の成膜ガス全体に占める酸素ガスの割合（以下、酸素流量比ともいう）が高いほど、金属酸化物膜の結晶性を高めることができ、信頼性の高いトランジスタを実現できる。一方、酸素流量比が低いほど、金属酸化物膜の結晶性が低くなり、オン電流が高められたトランジスタとすることができる。

［０２６９］

半導体層１０８を積層構造とする場合、同じスパッタリングターゲットを用いて同じ成膜室で連続して成膜することで、界面を良好なものとすることができるため好ましい。特に、各金属酸化物膜の成膜条件として、成膜時の圧力、温度、電力等の条件を異ならせてもよいが、酸素流量比以外の条件を同じとすることで、成膜工程にかかる時間を短縮できるため好ましい。また、異なる組成の金属酸化物膜を積層する場合には、大気に暴露することなく、連続して成膜することが好ましい。

［０２７０］

金属酸化物膜１０８ｆは、ＣＡＡＣ構造を有する金属酸化物膜、ｎｃ構造を有する金属酸化物膜、またはＣＡＡＣ構造とｎｃ構造とが混在した金属酸化物膜となるように、成膜条件を設定することが好ましい。なお、成膜される金属酸化物膜がＣＡＡＣ構造となる成膜条件、及びｎｃ構造となる成膜条件は、それぞれ使用するスパッタリングターゲットの組成によって異なるため、その組成に応じて、基板温度や酸素流量比の他、圧力や電力などを適宜設定すればよい。

［０２７１］

金属酸化物膜１０８ｆの成膜時の基板温度は、室温以上４５０℃以下が好ましく、さらには室温以上３００℃以下が好ましく、さらには室温以上２００℃以下が好ましく、さらには室温以上１４０℃以下が好ましい。例えば基板１０２に大型のガラス基板や、樹脂基板を用いた場合には、基板温度を室温以上１４０℃未満とすると、生産性が高くなり好ましい。また、基板温度を室温とする、または加熱しない状態で、金属酸化物膜を成膜することで、結晶性を低くすることができる。

［０２７２］

金属酸化物膜１０８ｆを成膜する前に、絶縁層１０３の表面に吸着した水や水素、有機物等を脱離させるための処理や、絶縁層１０３中に酸素を供給する処理を行うことが好ましい。例えば、減圧雰囲気下にて７０℃以上２００℃以下の温度で加熱処理を行うことができる。または、酸素を含む雰囲気でプラズマ処理を行ってもよい。酸素を含む雰囲気、例えば、一酸化二窒素ガスを含む雰囲気でプラズマ処理を行うことにより、絶縁層１０３に酸素を供給することができる。また、一酸化二窒素ガスを含む雰囲気でプラズマ処理を行うと、絶縁層１０３の表面の有機物を好適に除去できる。このような処理の後、絶縁層１０３の表面を大気に暴露することなく、連続して金属酸化物膜１０８ｆを成膜することが好ましい。

［０２７３］

続いて、金属酸化物膜１０８ｆを加工し、島状の半導体層１０８を形成する（図１５Ｃ）。

［０２７４］

金属酸化物膜１０８ｆの加工には、ウェットエッチング法及びドライエッチング法のいずれか一方または双方を用いればよい。このとき、半導体層１０８と重ならない絶縁層１０３ｃの一部をエッチングし、除去してもよい。絶縁層１０３ｃの一部を除去することにより、半導体層１０８と絶縁層１０３ｃは、上面形状が概略一致する。また、絶縁層１０３ｃの一部を除去することにより絶縁層１０３ｂの一部が露出し、後に形成される絶縁層１１８と絶縁層１０３ｂが接する構成とすることができる。

［０２７５］

金属酸化物膜１０８ｆの成膜後、または金属酸化物膜１０８ｆを半導体層１０８に加工した後、金属酸化物膜または半導体層１０８中の水素または水を除去するために加熱処理を行ってもよい。加熱処理により、金属酸化物膜１０８ｆまたは半導体層１０８中に含まれる、または表面に吸着した水素または水を除去することができる。また、加熱処理により、金属酸化物膜１０８ｆまたは半

導体層１０８の膜質が向上する（例えば欠陥の低減、結晶性の向上など）場合がある。

［０２７６］

加熱処理により、絶縁層１０３から金属酸化物膜１０８ｆ、または半導体層１０８に酸素を供給することもできる。絶縁層１０３から酸素を供給する場合、半導体層１０８に加工する前に加熱処理を行うことがより好ましい。

［０２７７］

加熱処理の温度は、代表的には、１５０℃以上基板の歪み点未満、または２５０℃以上４５０℃以下、または３００℃以上４５０℃以下とすることができる。なお、金属酸化物膜１０８ｆの成膜後、または金属酸化物膜１０８ｆを半導体層１０８に加工した後に、加熱処理を行わなくてもよい。また、加熱処理は金属酸化物膜の成膜後であればどの段階で行ってもよい。また、後の加熱処理または熱が加わる工程と兼ねてもよい。

［０２７８］

加熱処理は、希ガス、または窒素を含む雰囲気で行うことができる。または、当該雰囲気で加熱した後、酸素を含む雰囲気で加熱してもよい。窒素を含む雰囲気、又は酸素を含む雰囲気として、超乾燥空気（ＣＤＡ：Ｃｌｅａｎ　Ｄｒｙ　Ａｉｒ）を用いてもよい。なお、上記加熱処理の雰囲気に水素、水などが含まれないことが好ましい。露点が－６０℃以下、好ましくは－１００℃以下にまで高純度化したガスを用いることで半導体層１０８に水素、水などが取り込まれることを可能な限り防ぐことができる。該加熱処理は、電気炉、急速加熱（ＲＴＡ：Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌｉｎｇ）装置等を用いることができる。ＲＴＡ装置を用いることで、加熱処理時間を短縮できる。

［０２７９］

なお、半導体層１０８の形成後は速やかに絶縁膜１１０ｆを形成することが好ましい。半導体層１０８の表面が露出した状態では、半導体層１０８の表面に水が吸着する場合がある。半導体層１０８の表面に水が吸着すると、その後の加熱処理等により半導体層１０８中に水素が拡散し、V_OHが形成される場合がある。V_OHはキャリア発生源となりうることから、半導体層１０８の吸着水は少ないことが好ましい。

［０２８０］

〔絶縁膜１１０ｆの形成〕

続いて、絶縁層１０３及び半導体層１０８を覆って、絶縁膜１１０ｆを形成する（図１５Ｄ）。

［０２８１］

絶縁膜１１０ｆは、後に絶縁層１１０となる膜である。絶縁膜１１０ｆは、例えば酸化シリコン膜、酸化窒化シリコン膜などの酸化物膜または酸化窒化物膜を、プラズマ化学気相堆積装置（ＰＥＣＶＤ装置、またはプラズマＣＶＤ装置という）を用いて形成することが好ましい。また、マイクロ波を用いたＰＥＣＶＤ法を用いて形成してもよい。

［０２８２］

絶縁膜１１０ｆの形成後に、加熱処理を行ってもよい。加熱処理を行うことで、絶縁膜１１０ｆ中の不純物及び絶縁膜１１０ｆ表面の吸着水を除去できる。加熱処理は、窒素、酸素、希ガスのうち一以上を含む雰囲気下にて、２００℃以上４００℃以下の温度で行うことができる。なお、絶縁膜１１０ｆの形成後に、加熱処理を行わなくてもよい。また、加熱処理は絶縁膜１１０ｆの形成後であればどの段階で行ってもよい。また、後の加熱処理または熱が加わる工程と兼ねてもよい。

［０２８３］

絶縁膜１１０ｆの成膜前に、半導体層１０８の表面に対してプラズマ処理を行なうことが好ましい。当該プラズマ処理により、半導体層１０８の表面に吸着する水などの不純物を低減することができる。そのため、半導体層１０８と絶縁膜１１０ｆとの界面における不純物を低減できるため、信頼性の高いトランジスタを実現できる。特に、半導体層１０８の形成から、絶縁膜１１０ｆの成膜までの間に半導体層１０８の表面が大気に曝される場合には好適である。プラズマ処理は、例えば酸素、オゾン、窒素、一酸化二窒素、アルゴンなどの雰囲気下で行うことができる。また、プラズマ処理と絶縁膜１１０ｆの成膜とは、大気に曝すことなく連続して行われることが好ましい。

［０２８４］

ここで、絶縁膜１１０ｆを成膜した後に、加熱処理を行うことが好ましい。加熱処理により、絶縁膜１１０ｆ中に含まれる、または表面に吸着した水素または水を除去することができる。また、絶縁膜１１０ｆ中の欠陥を低減することができる。

［０２８５］

加熱処理の条件は、上記を援用することができる。

［０２８６］

絶縁膜１１０ｆを形成した後、または、上記水素または水を除去する加熱処理を行なった後に、絶縁膜１１０ｆに対して酸素を供給する処理を行なってもよい。例えば、プラズマ処理または加熱処理などを、酸素を含む雰囲気下で行うことができる。または、プラズマイオンドーピング法やイオン注入法などにより、絶縁膜１１０ｆに酸素を供給してもよい。プラズマ処理には、例えば、ＰＥＣＶＤ装置を好適に用いることができる。ＰＥＣＶＤ装置を用いて絶縁膜１１０ｆを形成する場合、絶縁膜１１０ｆの形成の後に、真空中で連続してプラズマ処理を行うことが好ましい。絶縁膜１１０ｆの形成と、プラズマ処理を真空中で連続して行うことにより、生産性を高めることができる。

［０２８７］

絶縁膜１１０ｆに酸素を供給する処理を行った後に加熱処理を行う場合は、絶縁膜１１０ｆ上に膜（例えば、金属酸化物膜１１４ｆ）が形成された後に加熱処理を行うことが好ましい。絶縁膜１１０ｆが露出した状態で加熱処理を行うと、絶縁膜１１０ｆに供給された酸素が絶縁膜１１０ｆより外へ脱離してしまう場合がある。絶縁膜１１０ｆ上に膜（例えば、金属酸化物膜１１４ｆ）が形成した後に加熱処理を行うことで、絶縁膜１１０ｆに供給された酸素が絶縁膜１１０ｆより外へ脱離することを抑制できる。

［０２８８］

〔開口部１４２の形成〕

続いて、絶縁層１１０、及び絶縁層１０３の一部を除去し、導電層１０６に達する開口部１４２を形成する（図１６Ａ）。これにより開口部１４２を介して、導電層１０６と、後に形成する導電層１１２とを電気的に接続することができる。

［０２８９］

〔導電膜１１２ｆの形成〕

続いて、導電層１１２となる導電膜１１２ｆを成膜する（図１６Ｂ）。導電膜１１２ｆは、金属または合金のスパッタリングターゲットを用いたスパッタリング法により成膜することが好ましい。

［０２９０］

〔絶縁層１１０、導電層１１２の形成〕

続いて、導電膜１１２ｆ上にレジストマスク１１５を形成する（図１６Ｂ）。その後、レジストマスク１１５に覆われていない領域の導電膜１１２ｆを除去し、導電層１１２を形成する（図１６Ｃ）。

［０２９１］

導電層１１２の形成には、ウェットエッチング法を好適に用いることができる。ウェットエッチング法には、例えば、過酸化水素を有するエッチャントを用いることができる。例えば、リン酸、酢酸、硝酸、塩酸又は硫酸の一以上を有するエッチャントを用いることができる。特に、導電層１１２に銅を有する材料を用いる場合は、リン酸、酢酸及び硝酸を有するエッチャントを好適に用いることができる。

［０２９２］

図１６Ｃに示すように、導電層１１２の端部が、レジストマスク１１５の輪郭よりも内側に位置するように加工する。導電層１１２の形成には、ウェットエッチング法を用いると好適である。エッチング時間を調整することにより、領域１０８Ｃの幅Ｌ０を制御できる。

［０２９３］

導電層１１２の形成には異なるエッチング条件または手法を用いて、少なくとも２回に分けてエッチングしてもよい。例えば、異方性のエッチング法を用いて導電膜１１２ｆをエッチングした後に、等方性のエッチング法を用いて導電膜１１２ｆの側面をエッチングして、端面を後退させてもよい（サイドエッチングともいう）。これにより、平面視において、絶縁層１１０よりも内側に位置する導電層１１２を形成できる。

［０２９４］

続いて、レジストマスク１１５に覆われていない領域において、絶縁膜１１０ｆを除去し、絶縁層１１０Ａを形成する（図１７Ａ）。絶縁層１１０Ａの形成には、異方性エッチングを用いることが好ましい。特に、ドライエッチング法を好適に用いることができる。ドライエッチング法を用いることにより、レジストマスク１１５の端部と、絶縁層１１０Ａの端部を概略一致させることができる。

［０２９５］

続いて、レジストマスク１１５を縮小させ、レジストマスク１１５ａを形成する（図１７Ｂ）。図１７Ｂでは、縮小させた後のレジストマスク１１５ａとともに、縮小させる前のレジストマスク１１５を破線で示している。レジストマスク１１５ａの端部は、導電層１１２の端部より外側に位置することが好ましい。つまり、レジストマスク１１５ａの端部は、導電層１１２の端部と絶縁層１１０Ａの端部の間に位置することが好ましい。

［０２９６］

レジストマスク１１５ａの形成には、アッシング法を好適に用いることができる。例えば、アッシング法として、酸素、オゾンなどのガスを高周波などでプラズマ化し、そのプラズマを利用してレジストマスクと反応させるプラズマアッシング法を用いてもよい。または、酸素、オゾンなどのガスに紫外線などの光を照射し、ガスとレジストマスクの反応を促進させる光励起アッシングを用いてもよい。なお、アッシング法を用いることにより平面視におけるレジストマスク１１５の面積が小さくなるとともに、レジストマスク１１５の膜厚が薄くなってもよい。

［０２９７］

続いて、レジストマスク１１５ａに覆われていない領域において、絶縁層１１０Ａの一部を除去し、絶縁層１１０を形成する（図１７Ｃ）。絶縁層１１０の形成には、異方性エッチングを用いることが好ましい。特に、ドライエッチング法を好適に用いることができる。このとき、絶縁層１１０Ａの露出している領域を全て除去せず、当該領域の絶縁層１１０Ａの上部の一部を除去（以下、ハーフエッチングともいう）することで膜厚が薄くなるように加工することが好ましい。このように、絶縁層の加工に用いたレジストマスクを縮小させ、縮小させたレジストマスクを用いて当該絶縁層を再度加工することにより、階段状の形状を有する絶縁層１１０を形成できる。また、レジストマスクを縮小させる量を調整することにより、領域１０８Ｌ２の幅Ｌ２を制御できる。

［０２９８］

絶縁層１１０の形成にハーフエッチングを用いることから、予め絶縁層１１０Ａとなる膜のエッチング速度を確認し、所望の膜厚ＴＮ２になるまでのエッチング時間を算出しておくことが好ましい。算出したエッチング時間でハーフエッチングを行うことにより、絶縁層１１０を精度高く形成できる。また、絶縁層１１０の形成にドライエッチング法を用いることにより、膜厚ＴＮ２を細かく調整できるため、電気特性が良好でかつ信頼性の高いトランジスタとすることができる。

［０２９９］

絶縁層１１０の形成後、レジストマスク１１５を除去する。

［０３００］

ここで、不純物を除去するために洗浄を行ってもよい。洗浄を行うことにより絶縁層１１０及び半導体層１０８の露出した領域に付着した不純物を除去し、トランジスタの電気特性、信頼性が低下することを抑制できる。不純物は、例えば絶縁膜１１０ｆのエッチング時に付着する、エッチングガスまたはエッチャントの成分、もしくは導電膜１１２ｆの成分、金属酸化物膜１１４ｆの成分などがある。

［０３０１］

洗浄方法は、洗浄液など用いたウェット洗浄、またはプラズマ処理などを用いることができる。また、これらの洗浄を適宜組み合わせて行ってもよい。ウェット洗浄は、シュウ酸、リン酸、アンモニア水、またはフッ化水素酸などを含む洗浄液を用いることができる。

［０３０２］

〔絶縁層１１８の形成〕

続いて、絶縁層１０３、半導体層１０８、絶縁層１１０及び導電層１１２を覆って、絶縁層１１８を形成する。ここでは、絶縁層１１８が、絶縁層１１８ａと、絶縁層１１８ｂとの積層構造を有する構成について、説明する。

［０３０３］

絶縁層１０３、半導体層１０８、絶縁層１１０及び導電層１１２を覆って、絶縁層１１８ａを形成する（図１８Ａ）。

［０３０４］

絶縁層１１８ａは、水素を含む成膜ガスを用いたプラズマＣＶＤ法により形成することが好ましい。例えば、シランガスとアンモニアガスとを含む成膜ガスを用いて、窒化シリコン膜を成膜する。シランガスに加えてアンモニアガスを用いることで、膜中に多くの水素を含有させることができる。また、成膜時においても、半導体層１０８の露出した部分に水素を供給することが可能となる。水素を供給することで、半導体層１０８中に極めて低抵抗な領域１０８Ｎを形成できる。

［０３０５］

続いて、導電層１１２をマスクとして、絶縁層１１０及び絶縁層１１８ａを介して半導体層１０８に第１の元素１４０を供給（添加、または注入ともいう）する（図１８Ｂ）。半導体層１０８に第１の元素１４０を供給することにより、導電層１１２に覆われない領域の半導体層１０８の抵抗が低下し、領域１０８Ｌ１、領域１０８Ｌ２及び領域１０８Ｎを形成できる。このとき、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎの上に設けられた絶縁層１１８ａ及び絶縁層１１０の合計の膜厚は、領域１０８Ｌ１、領域１０８Ｌ２、領域１０８Ｎの順に薄くなる。したがって、領域１０８Ｌ１、領域１０８Ｌ２、領域１０８Ｎの順に、供給される第１の元素１４０の量が多くなり、この順に抵抗を低くすることができる。絶縁層１１０の膜厚、絶縁層１１８ａの膜厚、及び第１の元素１４０を供給する条件を調整することにより、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎそれぞれの抵抗を制御することができる。

［０３０６］

半導体層１０８の導電層１１２と重なる領域１０８Ｃに、第１の元素１４０ができるだけ供給されないように、導電層１１２の材料や厚さを考慮し、第１の元素１４０を供給する条件を決定することが好ましい。これにより、半導体層１０８の導電層１１２と重なる領域に、不純物濃度が十分に低減された領域１０８Ｃを形成することができる。

［０３０７］

第１の元素１４０として用いることができる元素については、前述の記載を参照できるため、詳細な説明は省略する。

［０３０８］

第１の元素１４０の供給は、プラズマ処理を好適に用いることができる。プラズマ処理を用いる場合、添加する第１の元素１４０を含むガス雰囲気にてプラズマを発生させて、プラズマ処理を行うことによって、第１の元素１４０を添加することができる。プラズマを発生させる装置として、ドライエッチング装置、アッシング装置、プラズマＣＶＤ装置、高密度プラズマＣＶＤ装置等を用いることができる。

［０３０９］

第１の元素１４０の供給は、絶縁層１１８ａを形成した後に大気暴露することなく連続して行ってもよい。例えば、プラズマＣＶＤ装置を用いることで、絶縁層１１８ａの形成後に大気暴露することなく連続して第１の元素１４０の供給を行うことができる。連続して行うことで、半導体装置の生産性を高めることができる。

［０３１０］

プラズマ処理を行う場合、第１の元素１４０を供給するガスとして、第１の元素を含むガスを用いることができる。特に水素を含むガスを用いることが好ましく、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｎに水素を添加することで、各々の抵抗を制御することができる。第１の元素１４０を含むガスとして、例えば、水素（H_2）、アンモニア（NH_3）、シラン（SiH_4）を好適に用いることができる。

［０３１１］

プラズマ処理時の基板温度は、室温以上４５０℃以下が好ましく、さらには１５０℃以上４００℃以下が好ましく、さらには２００℃以上３５０℃以下が好ましい。前述の範囲の基板温度とすることで、半導体層１０８を構成する材料と第１の元素１４０との反応が促進され、半導体層１０

８の抵抗を低くすることができる。

［０３１２］

プラズマ処理時の処理室内の圧力は、５０Ｐａ以上１５００Ｐａ以下が好ましく、さらには１００Ｐａ以上１０００Ｐａ以下が好ましく、さらには１２０Ｐａ以上５００Ｐａ以下が好ましく、さらには１５０Ｐａ以上３００Ｐａ以下が好ましい。前述の範囲の圧力とすることで、プラズマを安定して発生させることができる。

［０３１３］

プラズマ処理の条件を適宜選択することにより、半導体層１０８に添加される第１の元素１４０の量を調整し、抵抗の値を制御することができる。また、第１の元素１４０は、絶縁層１１８ａ及び絶縁層１１０を介して半導体層１０８に添加されることから、所望の抵抗となるように絶縁層１１８ａの厚さ、及び絶縁層１１０の厚さを調整することが好ましい。

［０３１４］

または、第１の元素１４０の供給は、第１の元素１４０を含むガスを用いた加熱による熱拡散を利用した処理を用いてもよい。

［０３１５］

または、第１の元素１４０の供給は、プラズマイオンドーピング法、またはイオン注入法を用いてもよい。これらの方法は、深さ方向の濃度プロファイルを、イオンの加速電圧とドーズ量等により、高い精度で制御することができる。プラズマイオンドーピング法を用いることで、生産性を高めることができる。また質量分離を用いたイオン注入法を用いることで、供給される第１の元素の純度を高めることができる。また、第１の元素１４０として、特にホウ素、リン、アルミニウム、マグネシウム、またはシリコンの一以上を好適に用いることができる。

［０３１６］

第１の元素１４０の供給処理において、半導体層１０８と絶縁層１１０との界面、または半導体層１０８中の当該界面に近い部分、または絶縁層１１０中の当該界面に近い部分が、最も高い濃度となるように、処理条件を制御することが好ましい。これにより、一度の処理で半導体層１０８と絶縁層１１０の両方に、最適な濃度の第１の元素１４０を供給することができる。

［０３１７］

プラズマイオンドーピング法、またはイオン注入法を用いる場合、第１の元素１４０を供給するガスとして、前述の第１の元素を含むガスを用いることができる。ホウ素を供給する場合、代表的にはB_2H_6ガスやBF_3ガスなどを用いることができる。またリンを供給する場合には、代表的にはPH_3ガスを用いることができる。また、これらの原料ガスを希ガスで希釈した混合ガスを用いてもよい。その他、第１の元素１４０を供給するガスとして、CH_4、N_2、NH_3、AlH_3、$AlCl_3$、SiH_4、Si_2H_6、F_2、HF、H_2、$(C_5H_5)_2Mg$、及び希ガス等を用いることができる。また、イオン源は気体に限られず、固体や液体を加熱して気化させたものを用いてもよい。

［０３１８］

第１の元素１４０の添加は、絶縁層１１０及び半導体層１０８の組成や密度、厚さなどを考慮して、加速電圧やドーズ量などの条件を設定することで制御することができる。

［０３１９］

例えば、イオン注入法またはプラズマイオンドーピング法でホウ素の添加を行う場合、加速電圧は例えば５ｋＶ以上１００ｋＶ以下、好ましくは７ｋＶ以上７０ｋＶ以下、より好ましくは１０ｋ

Ｖ以上５０ｋＶ以下の範囲とすることができる。またドーズ量は、例えば1×10^{13}ｉｏｎｓ／ｃｍ^{2}以上1×10^{17}ｉｏｎｓ／ｃｍ^{2}以下、好ましくは1×10^{14}ｉｏｎｓ／ｃｍ^{2}以上5×10^{16}ｉｏｎｓ／ｃｍ^{2}以下、より好ましくは1×10^{15}ｉｏｎｓ／ｃｍ^{2}以上、3×10^{16}ｉｏｎｓ／ｃｍ^{2}以下の範囲とすることができる。

［０３２０］

また、イオン注入法またはプラズマイオンドーピング法でリンイオンの添加を行う場合、加速電圧は、例えば１０ｋＶ以上１００ｋＶ以下、好ましくは３０ｋＶ以上９０ｋＶ以下、より好ましくは４０ｋＶ以上８０ｋＶ以下の範囲とすることができる。またドーズ量は、例えば1×10^{13}ｉｏｎｓ／ｃｍ^{2}以上1×10^{17}ｉｏｎｓ／ｃｍ^{2}以下、好ましくは1×10^{14}ｉｏｎｓ／ｃｍ^{2}以上5×10^{16}ｉｏｎｓ／ｃｍ^{2}以下、より好ましくは1×10^{15}ｉｏｎｓ／ｃｍ^{2}以上3×10^{16}ｉｏｎｓ／ｃｍ^{2}以下の範囲とすることができる。

［０３２１］

本発明の一態様では、絶縁層１１０及び絶縁層１１８ａを介して第１の元素１４０を半導体層１０８に供給することができる。そのため、半導体層１０８が結晶性を有する場合であっても、第１の元素１４０の供給の際に半導体層１０８が受けるダメージが軽減され、結晶性が損なわれてしまうことを抑制できる。そのため、結晶性の低下により電気抵抗が増大してしまうような場合には好適である。

［０３２２］

ここでは、絶縁層１１８ａを形成した後に第１の元素１４０を半導体層１０８に供給する作製方法を示したが、本発明の一態様はこれに限られない。絶縁層１１８ａを形成する前に第１の元素１４０を半導体層１０８に供給してもよい。また、絶縁層１１８ｂを形成した後に第１の元素１４０を半導体層１０８に供給してもよい。

［０３２３］

続いて、絶縁層１１８ａを覆って、絶縁層１１８ｂを形成する（図１８Ｃ）。

［０３２４］

絶縁層１１８ａの形成、第１の元素１４０の供給、及び絶縁層１１８ｂの形成にプラズマＣＶＤ装置を用いることにより、これらの処理を連続して処理することができる。プラズマＣＶＤ装置内で連続して処理することにより、絶縁層１１８ａと絶縁層１１８ｂとの界面に不純物が付着することを抑制できる。また、半導体装置の生産性を高めることができる。

［０３２５］

絶縁層１１８をプラズマＣＶＤ法により形成する場合、成膜温度が高すぎると、領域１０８Ｎ等に含まれる不純物によっては、当該不純物が領域１０８Ｃを含む周辺部に拡散する恐れがある。その結果、領域１０８Ｃの抵抗が低下することや、領域１０８Ｎの抵抗が上昇してしまうなどの恐れがある。絶縁層１１８の成膜温度は、例えば１５０℃以上４００℃以下が好ましく、さらには１８０℃以上３６０℃以下が好ましく、さらには２００℃以上２５０℃以下とすることが好ましい。絶縁層１１８を低温で成膜することにより、チャネル長の短いトランジスタであっても、良好な電気特性を付与できる。

［０３２６］

絶縁層１１８の形成後に加熱処理を行なってもよい。

［０３２７］

〔開口部１４１ａ、開口部１４１ｂの形成〕

続いて、絶縁層１１８の一部を除去することで、領域１０８Ｎに達する開口部１４１ａ及び開口部１４１ｂを形成する。

［０３２８］

〔導電層１２０ａ、導電層１２０ｂの形成〕

続いて、開口部１４１ａ及び開口部１４１ｂを覆うように、絶縁層１１８上に導電膜を成膜し、当該導電膜を加工することで、導電層１２０ａ及び導電層１２０ｂを形成する（図１１Ａ）。

［０３２９］

以上の工程により、トランジスタ１００Ｃを作製できる。

［０３３０］

＜作製方法例２＞

以下では、トランジスタ１００Ｆで例示した、導電層１１２と絶縁層１１０の間に金属酸化物層１１４を有する構成を例に挙げて説明する。

［０３３１］

絶縁膜１１０ｆを形成するところまでは、前述の＜作製方法例１＞と同様である（図１５Ａ乃至図１５Ｄ参照）。

［０３３２］

〔金属酸化物膜１１４ｆの形成〕

続いて、絶縁膜１１０ｆを覆って、金属酸化物膜１１４ｆを形成する（図１９Ａ）。

［０３３３］

金属酸化物膜１１４ｆは、後に金属酸化物層１１４となる膜である。金属酸化物膜１１４ｆは、例えば酸素を含む雰囲気下でスパッタリング法により形成することが好ましい。これにより、金属酸化物膜１１４ｆの成膜時に絶縁膜１１０ｆに酸素を供給できる。

［０３３４］

金属酸化物膜１１４ｆを、上記半導体層１０８の場合と同様の金属酸化物を含む酸化物ターゲットを用いたスパッタリング法により形成する場合には、上記を援用できる。

［０３３５］

金属酸化物膜１１４ｆは、成膜ガスに酸素を用い、金属ターゲットを用いた反応性スパッタリング法により、金属酸化物膜を形成してもよい。金属ターゲットにアルミニウムを用いた場合には、酸化アルミニウム膜を成膜できる。

［０３３６］

金属酸化物膜１１４ｆの成膜時に、成膜装置の成膜室内に導入する成膜ガスの全流量に対する酸素流量の割合（酸素流量比）、または成膜室内の酸素分圧が高いほど、絶縁層１１０中に供給される酸素を増やすことができ、好ましい。酸素流量比または酸素分圧は、例えば、０％より高く１００％以下、好ましくは１０％以上１００％以下、より好ましくは２０％以上１００％以下、さらに好ましくは３０％以上１００％以下、さらに好ましくは４０％以上１００％以下とする。特に、酸素流量比１００％とし、酸素分圧を１００％にできるだけ近づけることが好ましい。

［０３３７］

このように、酸素を含む雰囲気下でスパッタリング法により金属酸化物膜１１４ｆを形成することにより、金属酸化物膜１１４ｆの成膜時に、絶縁膜１１０ｆへ酸素を供給するとともに、絶縁膜

１１０ｆから酸素が脱離することを防ぐことができる。その結果、絶縁膜１１０ｆに極めて多くの酸素を閉じ込めることができる。そして、後の加熱処理によって、半導体層１０８のチャネル形成領域に多くの酸素が供給され、チャネル形成領域中の酸素欠損を低減でき、信頼性の高いトランジスタを実現できる。

［０３３８］

金属酸化物膜１１４ｆの成膜時の基板温度は、室温以上４５０℃以下が好ましく、さらには室温以上３００℃以下が好ましく、さらには室温以上２００℃以下が好ましく、さらには室温以上１４０℃以下が好ましい。例えば基板１０２に大型のガラス基板や、樹脂基板を用いた場合には、基板温度を室温以上１４０℃未満とすると、生産性が高くなり好ましい。また、金属酸化物膜１１４ｆの成膜時の基板温度が高いと金属酸化物膜１１４ｆの結晶性が高くなり、エッチング速度が遅くなる場合がある。基板温度が低いと金属酸化物膜１１４ｆの結晶性が低くなり、エッチング速度が速くなる場合がある。金属酸化物膜１１４ｆを加工する際に用いるエッチャントに対して望ましいエッチング速度となるよう、金属酸化物膜１１４ｆの成膜温度を適宜選択してもよい。

［０３３９］

金属酸化物膜１１４ｆの形成後に、加熱処理を行うことで、絶縁膜１１０ｆから半導体層１０８に酸素を供給してもよい。加熱処理は、窒素、酸素、希ガスのうち一以上を含む雰囲気下にて、２００℃以上４００℃以下の温度で行うことができる。なお、金属酸化物膜１１４ｆの形成後に、加熱処理を行わなくてもよい。また、加熱処理は金属酸化物膜１１４ｆの成膜後であればどの段階で行ってもよい。また、後の加熱処理または熱が加わる工程と兼ねてもよい。

［０３４０］

〔開口部１４２の形成〕

続いて、金属酸化物膜１１４ｆ、絶縁層１１０ｆ、及び絶縁層１０３の一部を除去し、導電層１０６に達する開口部１４２を形成する。これにより開口部１４２を介して、導電層１０６と、後に形成する導電層１１２とを電気的に接続することができる。

［０３４１］

〔導電膜１１２ｆの形成〕

続いて、導電層１１２となる導電膜１１２ｆを成膜する（図１９Ｂ）。導電膜１１２ｆについては前述の記載を参照できるため、詳細な説明は省略する。

［０３４２］

〔絶縁層１１０、金属酸化物層１１４、導電層１１２の形成〕

続いて、導電膜１１２ｆ上にレジストマスク（図示せず）を形成し、当該レジストマスクに覆われていない領域の導電膜１１２ｆ及び金属酸化物膜１１４ｆを除去し、導電層１１２及び金属酸化物層１１４を形成する（図１９Ｃ）。

［０３４３］

導電層１１２及び金属酸化物層１１４の形成には、ウェットエッチング法を好適に用いることができる。ウェットエッチング法については前述の記載を参照できるため、詳細な説明は省略する。

［０３４４］

導電層１１２及び金属酸化物層１１４の形成には異なるエッチング条件または手法を用いて、少なくとも２回に分けてエッチングしてもよい。例えば、異方性のエッチング法を用いて導電膜１１２ｆ及び金属酸化物膜１１４ｆをエッチングした後に、等方性のエッチング法を用いて導電膜１１

２ｆ及び金属酸化物膜１１４ｆの側面をエッチングして、端面を後退させてもよい（サイドエッチングともいう）。これにより、平面視において、絶縁層１１０よりも内側に位置する導電層１１２及び金属酸化物膜１１４を形成できる。

［０３４５］

続いて、レジストマスクに覆われていない領域において、絶縁膜１１０ｆを除去し、絶縁層１１０を形成する（図１９Ｄ）。絶縁層１１０の形成については前述の記載を参照できるため、詳細な説明は省略する。

［０３４６］

絶縁層１１０の形成後、レジストマスクを除去する。

［０３４７］

ここで、不純物を除去するために洗浄を行ってもよい。洗浄については前述の記載を参照できるため、詳細な説明は省略する。

［０３４８］

以降、絶縁層１１８の形成より後の工程は、＜作製方法例１＞の記載を参照できるため、詳細は省略する。

［０３４９］

以上の工程により、トランジスタ１００Ｆを作製できる。

［０３５０］

＜作製方法例３＞

以下では、トランジスタ１００Ｇで例示した、領域１０８Ｎと領域１０８Ｃの間に、領域１０８Ｌ１、領域１０８Ｌ２、及び領域１０８Ｌ３を有する構成を例に挙げて説明する。

［０３５１］

絶縁層１１０Ａを形成するところまでは、前述の＜作製方法例１＞と同様である（図１５Ａ乃至図１５Ｄ、図１６Ａ乃至図１６Ｃ、図１７Ａ参照）。

［０３５２］

〔絶縁層１１０の形成〕

続いて、レジストマスク１１５を縮小させ、レジストマスク１１５ａを形成する（図２０Ａ）。図２０Ａでは、縮小させた後のレジストマスク１１５ａとともに、縮小させる前のレジストマスク１１５を破線で示している。レジストマスク１１５ａの端部は、導電層１１２の端部より外側に位置することが好ましい。つまり、レジストマスク１１５ａの端部は、導電層１１２の端部と絶縁層１１０Ａの端部の間に位置することが好ましい。

［０３５３］

レジストマスク１１５ａの形成には、アッシング法を好適に用いることができる。アッシング法を用いることにより平面視におけるレジストマスク１１５の面積が小さくなるとともに、レジストマスク１１５の膜厚が薄くなってもよい。

［０３５４］

続いて、レジストマスク１１５ａに覆われていない領域において、絶縁層１１０Ａの上部の一部を除去し、絶縁層１１０Ｂを形成する（図２０Ｂ）。絶縁層１１０Ｂの形成には、異方性エッチングを用いることが好ましい。特に、ドライエッチング法を好適に用いることができる。

［０３５５］

続いて、レジストマスク１１５ａを縮小させ、レジストマスク１１５ｂを形成する（図２０Ｃ）。図２０Ｃでは、縮小させた後のレジストマスク１１５ｂとともに、縮小させる前のレジストマスク１１５ａを破線で示している。レジストマスク１１５ｂの端部は、導電層１１２の端部より外側に位置することが好ましい。つまり、レジストマスク１１５ｂの端部は、導電層１１２の端部と絶縁層１１０Ｂの端部の間に位置することが好ましい。

［０３５６］

レジストマスク１１５ｂの形成には、アッシング法を好適に用いることができる。アッシング法を用いることにより平面視におけるレジストマスク１１５ａの面積が小さくなるとともに、レジストマスク１１５ａの膜厚が薄くなってもよい。

［０３５７］

続いて、レジストマスク１１５ｂに覆われていない領域において、絶縁層１１０Ｂの上部の一部を除去し、絶縁層１１０を形成する（図２１）。絶縁層１１０の形成には、異方性エッチングを用いることが好ましい。特に、ドライエッチング法を好適に用いることができる。

［０３５８］

レジストマスク１１５及びレジストマスク１１５ａを縮小させる量をそれぞれ調整することにより、領域１０８Ｌ１の幅Ｌ１、及び領域１０８Ｌ２の幅Ｌ２及び領域１０８Ｌ３の幅Ｌ３を制御できる。

［０３５９］

絶縁層１１０の形成後、レジストマスク１１５ｂを除去する。

［０３６０］

ここで、不純物を除去するために洗浄を行ってもよい。洗浄については前述の記載を参照できるため、詳細な説明は省略する。

［０３６１］

以降、絶縁層１１８の形成より後の工程は、＜作製方法例１＞の記載を参照できるため、詳細は省略する。

［０３６２］

以上の工程により、トランジスタ１００Ｇを作製できる。

［０３６３］

＜半導体装置の構成要素＞

次に、本実施の形態の半導体装置に含まれる構成要素について、詳細に説明する。

［０３６４］

〔基板〕

基板１０２の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、シリコンや炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、ＳＯＩ基板、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板１０２として用いてもよい。また、これらの基板上に半導体素子が設けられたものを、基板１０２として用いてもよい。

［０３６５］

基板１０２として、可撓性基板を用い、可撓性基板上に直接、トランジスタ１００等を形成してもよい。または、基板１０２とトランジスタ１００等の間に剥離層を設けてもよい。剥離層は、そ

の上に半導体装置を一部あるいは全部完成させた後、基板１０２より分離し、他の基板に転載するために用いることができる。その際、トランジスタ１００等は耐熱性の劣る基板や可撓性の基板にも転載できる。

［０３６６］

〔絶縁層１０３〕

絶縁層１０３は、スパッタリング法、ＣＶＤ法、蒸着法、パルスレーザー堆積（ＰＬＤ）法等を適宜用いて形成できる。また、絶縁層１０３は、例えば、酸化物絶縁膜、酸化窒化物絶縁膜、窒化酸化物絶縁膜または窒化物絶縁膜を単層または積層して形成できる。なお、半導体層１０８との界面特性を向上させるため、絶縁層１０３において少なくとも半導体層１０８と接する領域は酸化物絶縁膜または酸化窒化物膜で形成することが好ましい。また、絶縁層１０３には、加熱により酸素を放出する膜を用いることが好ましい。

［０３６７］

絶縁層１０３として、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはＧａ－Ｚｎ酸化物などを用いればよく、単層または積層で設けることができる。

［０３６８］

絶縁層１０３の半導体層１０８に接する側に窒化シリコン膜などの酸化物膜または酸化窒化物膜以外の膜を用いた場合、半導体層１０８と接する表面に対して酸素プラズマ処理などの前処理を行い、当該表面、または表面近傍を酸化することが好ましい。

［０３６９］

〔導電膜〕

導電層１０６、ソース電極またはドレイン電極の一方として機能する導電層１２０ａ、及びソース電極またはドレイン電極の他方として機能する導電層１２０ｂは、クロム、銅、アルミニウム、金、銀、亜鉛、モリブデン、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルトから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いてそれぞれ形成できる。

［０３７０］

導電層１０６、導電層１２０ａ、及び導電層１２０ｂには、Ｉｎ－Ｓｎ酸化物、Ｉｎ－W酸化物、Ｉｎ－W－Ｚｎ酸化物、Ｉｎ－Ｔｉ酸化物、Ｉｎ－Ｔｉ－Ｓｎ酸化物、Ｉｎ－Ｚｎ酸化物、Ｉｎ－Ｓｎ－Ｓｉ酸化物、Ｉｎ－Ｇａ－Ｚｎ酸化物等の酸化物導電体または金属酸化物膜を適用することもできる。

［０３７１］

ここで、酸化物導電体（ＯＣ：ＯｘｉｄｅＣｏｎｄｕｃｔｏｒ）について説明を行う。例えば、半導体特性を有する金属酸化物に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体ということができる。

［０３７２］

導電層１０６等として、上記酸化物導電体（金属酸化物）を含む導電膜と、金属または合金を含む導電膜の積層構造としてもよい。金属または合金を含む導電膜を用いることで、配線抵抗を小さくすることができる。このとき、ゲート絶縁膜として機能する絶縁層と接する側には酸化物導電体

を含む導電膜を適用することが好ましい。

［０３７３］

導電層１０６、導電層１２０ａ、導電層１２０ｂには、上述の金属元素の中でも、特にチタン、タングステン、タンタル、及びモリブデンの中から選ばれるいずれか一つまたは複数を有すると好適である。特に、窒化タンタル膜を用いると好適である。当該窒化タンタル膜は、導電性を有し、且つ、銅、酸素、または水素に対して、高いバリア性を有し、且つ自身からの水素の放出が少ないため、半導体層１０８と接する導電膜、または半導体層１０８の近傍の導電膜として、好適に用いることができる。

［０３７４］

〔絶縁層１１０〕

トランジスタ１００等のゲート絶縁膜として機能する絶縁層１１０は、ＰＥＣＶＤ法、スパッタリング法等により形成できる。絶縁層１１０は、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜、酸化イットリウム膜、酸化ジルコニウム膜、酸化ガリウム膜、酸化タンタル膜、酸化マグネシウム膜、酸化ランタン膜、酸化セリウム膜および酸化ネオジム膜を一種以上含む絶縁層を用いることができる。なお、絶縁層１１０を、２層の積層構造または３層以上の積層構造としてもよい。

［０３７５］

半導体層１０８と接する絶縁層１１０は、酸化物絶縁膜または酸化窒化物膜であることが好ましく、化学量論的組成よりも過剰に酸素を含有する領域を有することがより好ましい。別言すると、絶縁層１１０は、酸素を放出することが可能な絶縁膜である。例えば、酸素雰囲気下にて絶縁層１１０を形成すること、成膜後の絶縁層１１０に対して酸素雰囲気下での熱処理を行うこと、絶縁層１１０の成膜後に酸素雰囲気下で、プラズマ処理等を行うこと、または、絶縁層１１０上に酸素雰囲気下で酸化物膜または酸化窒化物膜を成膜することなどにより、絶縁層１１０中に酸素を供給することもできる。なお、上記酸素を供給する各処理において、酸素に代えて、または酸素に加えて、酸化性ガス（例えば一酸化二窒素や、オゾンなど）を用いてもよい。

［０３７６］

絶縁層１１０として、酸化シリコンや酸化窒化シリコンと比べて比誘電率の高い酸化ハフニウム等の材料を用いることもできる。これにより絶縁層１１０の膜厚を厚くしトンネル電流によるリーク電流を抑制できる。特に結晶性を有する酸化ハフニウムは、非晶質の酸化ハフニウムと比べて高い比誘電率を備えるため好ましい。

［０３７７］

〔半導体層〕

半導体層１０８がＩｎ－Ｍ－Ｚｎ酸化物の場合、Ｉｎ－Ｍ－Ｚｎ酸化物を成膜するために用いるスパッタリングターゲットは、元素Ｍに対するＩｎの原子数比が１以上であることが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２、Ｉｎ：Ｍ：Ｚｎ＝２：１：３、Ｉｎ：Ｍ：Ｚｎ＝３：１：２、Ｉｎ：Ｍ：Ｚｎ＝４：２：３、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１、Ｉｎ：Ｍ：Ｚｎ＝５：１：６、Ｉｎ：Ｍ：Ｚｎ＝５：１：７、Ｉｎ：Ｍ：Ｚｎ＝５：１：８、Ｉｎ：Ｍ：Ｚｎ＝６：１：６、Ｉｎ：Ｍ：Ｚｎ＝５：２：５等が挙げられる。

［０３７８］

スパッタリングターゲットに多結晶の酸化物を含むターゲットを用いると、結晶性を有する半導体層１０８を形成しやすくなるため好ましい。なお、成膜される半導体層１０８の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス４０％の変動を含む。例えば、半導体層１０８に用いるスパッタリングターゲットの組成がＩｎ：Ｇａ：Ｚｎ＝４：２：４．１［原子数比］の場合、成膜される半導体層１０８の組成は、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３［原子数比］の近傍となる場合がある。

［０３７９］

なお、原子数比がＩｎ：Ｇａ：Ｚｎ＝４：２：３またはその近傍と記載する場合、Ｉｎを４としたとき、Ｇａが１以上３以下であり、Ｚｎが２以上４以下である場合を含む。また、原子数比がＩｎ：Ｇａ：Ｚｎ＝５：１：６またはその近傍であると記載する場合、Ｉｎを５としたときに、Ｇａが０．１より大きく２以下であり、Ｚｎが５以上７以下である場合を含む。また、原子数比がＩｎ：Ｇａ：Ｚｎ＝１：１：１またはその近傍であると記載する場合、Ｉｎを１としたときに、Ｇａが０．１より大きく２以下であり、Ｚｎが０．１より大きく２以下である場合を含む。

［０３８０］

半導体層１０８は、エネルギーギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上である。このように、シリコンよりもエネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減できる。

［０３８１］

半導体層１０８には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物は、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０３８２］

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

［０３８３］

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

［０３８４］

よって、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（ＳＩＭＳ）により得られる水素濃度を、1×10^{20}ａｔｏ

ｍｓ／ｃｍ^{3}未満、好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０３８５］

チャネル形成領域の金属酸化物のキャリア濃度は、１×１０^{18}ｃｍ$^{-3}$以下であることが好ましく、１×１０^{17}ｃｍ$^{-3}$未満であることがより好ましく、１×１０^{16}ｃｍ$^{-3}$未満であることがさらに好ましく、１×１０^{13}ｃｍ$^{-3}$未満であることがさらに好ましく、１×１０^{12}ｃｍ$^{-3}$未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、１×１０$^{-9}$ｃｍ$^{-3}$とすることができる。

［０３８６］

半導体層１０８は、非単結晶構造であることが好ましい。非単結晶構造は、例えば、後述するＣＡＡＣ構造、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、ＣＡＡＣ構造は最も欠陥準位密度が低い。

［０３８７］

以下では、ＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）について説明する。ＣＡＡＣは結晶構造の一例を表す。

［０３８８］

ＣＡＡＣ構造とは、複数のナノ結晶（最大径が１０ｎｍ未満である結晶領域）を有する薄膜などの結晶構造の一つであり、各ナノ結晶はｃ軸が特定の方向に配向し、かつａ軸及びｂ軸は配向性を有さずに、ナノ結晶同士が粒界を形成することなく連続的に連結しているといった特徴を有する結晶構造である。特にＣＡＡＣ構造を有する薄膜は、各ナノ結晶のｃ軸が、薄膜の厚さ方向、被形成面の法線方向、または薄膜の表面の法線方向に配向しやすいといった特徴を有する。

［０３８９］

ＣＡＡＣ－ＯＳ（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）は結晶性の高い酸化物半導体である。一方、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、ＣＡＡＣ－ＯＳを有する酸化物半導体は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する酸化物半導体は熱に強く、信頼性が高い。

［０３９０］

ここで、結晶学において、単位格子を構成するａ軸、ｂ軸、及びｃ軸の３つの軸（結晶軸）について、特異的な軸をｃ軸とした単位格子を取ることが一般的である。特に層状構造を有する結晶では、層の面方向に平行な２つの軸をａ軸及びｂ軸とし、層に交差する軸をｃ軸とすることが一般的である。このような層状構造を有する結晶の代表的な例として、六方晶系に分類されるグラファイトがあり、その単位格子のａ軸及びｂ軸は劈開面に平行であり、ｃ軸は劈開面に直交する。例えば層状構造である$YbFe_2O_4$型の結晶構造をとる$InGaZnO_4$の結晶は六方晶系に分類することができ、その単位格子のａ軸及びｂ軸は層の面方向に平行となり、ｃ軸は層（すなわちａ軸及びｂ軸）に直交する。

［０３９１］

微結晶構造を有する酸化物半導体膜（微結晶酸化物半導体膜）は、ＴＥＭによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、１ｎｍ以上１００ｎｍ以下、または１ｎｍ以上１０ｎｍ以下の大きさであることが多い。特に、１ｎｍ以上１０ｎｍ以下、または１ｎｍ以上３ｎｍ以下の微結晶であるナノ結晶（ｎｃ：ｎａｎｏｃｒｙｓｔａｌ）を有する酸化物半導体膜を、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜と呼ぶ。また、ｎｃ－ＯＳ膜は、例えば、ＴＥＭによる観察像では、結晶粒界を明確に確認できない場合がある。

［０３９２］

ｎｃ－ＯＳ膜は、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。また、ｎｃ－ＯＳ膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、ｎｃ－ＯＳ膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、ｎｃ－ＯＳ膜に対し、結晶部よりも大きい径のＸ線を用いるＸＲＤ装置を用いて構造解析を行うと、ｏｕｔ－ｏｆ－ｐｌａｎｅ法による解析では、結晶面を示すピークが検出されない。また、ｎｃ－ＯＳ膜に対し、結晶部よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ膜に対し、結晶部の大きさと近いか結晶部より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、円を描くように（リング状に）輝度の高い領域が観測され、当該領域内に複数のスポットが観測される場合がある。

［０３９３］

ｎｃ－ＯＳ膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低い。ただし、ｎｃ－ＯＳ膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、ｎｃ－ＯＳ膜は、ＣＡＡＣ－ＯＳ膜と比べて欠陥準位密度が高くなる。従って、ｎｃ－ＯＳ膜はＣＡＡＣ－ＯＳ膜と比べて、キャリア濃度が高く、電子移動度が高くなる場合がある。従って、ｎｃ－ＯＳ膜を用いたトランジスタは、高い電界効果移動度を示す場合がある。

［０３９４］

ｎｃ－ＯＳ膜は、ＣＡＡＣ－ＯＳ膜と比較して、成膜時の酸素流量比を小さくすることで形成できる。また、ｎｃ－ＯＳ膜は、ＣＡＡＣ－ＯＳ膜と比較して、成膜時の基板温度を低くすることでも形成できる。例えば、ｎｃ－ＯＳ膜は、基板温度を比較的低温（例えば１３０℃以下の温度）とした状態、または基板を加熱しない状態でも成膜できるため、大型のガラス基板や、樹脂基板などを使う場合に適しており、生産性を高めることができる。

［０３９５］

金属酸化物の結晶構造の一例について説明する。なお、以下では、Ｉｎ－Ｇａ－Ｚｎ酸化物ターゲット（Ｉｎ：Ｇａ：Ｚｎ＝４：２：４．１［原子数比］）を用いて、スパッタリング法にて成膜された金属酸化物を一例として説明する。上記ターゲットを用いて、基板温度を１００℃以上１３０℃以下として、スパッタリング法により形成した金属酸化物は、ｎｃ（ｎａｎｏ　ｃｒｙｓｔａｌ）構造及びＣＡＡＣ構造のいずれか一方の結晶構造、またはこれらが混在した構造をとりやすい。一方、基板温度を室温（Ｒ．Ｔ．）として、スパッタリング法により形成した金属酸化物は、ｎｃの結晶構造をとりやすい。なお、ここでいう室温（Ｒ．Ｔ．）とは、基板を加熱しない場合の温度

を含む。

［０３９６］

＜金属酸化物の構成＞

以下では、本発明の一態様で開示されるトランジスタに用いることができるＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）－ＯＳの構成について説明する。

［０３９７］

なお、本明細書等において、ＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）、及びＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）と記載する場合がある。なお、ＣＡＡＣは結晶構造の一例を表し、ＣＡＣは機能、または材料の構成の一例を表す。

［０３９８］

ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅに付与できる。ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

［０３９９］

ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

［０４００］

ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅにおいて、導電性領域と、絶縁性領域とは、それぞれ０．５ｎｍ以上１０ｎｍ以下、好ましくは０．５ｎｍ以上３ｎｍ以下のサイズで材料中に分散している場合がある。

［０４０１］

ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、異なるバンドギャップを有する成分により構成される。例えば、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

［０４０２］

すなわち、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、マトリックス複合材（ｍａ

ｔｒｉｘ　ｃｏｍｐｏｓｉｔｅ）、または金属マトリックス複合材（ｍｅｔａｌ　ｍａｔｒｉｘ　ｃｏｍｐｏｓｉｔｅ）と呼称することもできる。

［０４０３］

以上が、構成要素についての説明である。

［０４０４］

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

［０４０５］

（実施の形態２）

本実施の形態では、先の実施の形態で例示したトランジスタを有する表示装置の一例について説明する。

［０４０６］

＜構成例＞

図２２Ａに、表示装置７００の上面図を示す。表示装置７００は、シール材７１２により貼り合された第１の基板７０１と第２の基板７０５を有する。また第１の基板７０１、第２の基板７０５、及びシール材７１２で封止される領域において、第１の基板７０１上に画素部７０２、ソースドライバ回路部７０４、及びゲートドライバ回路部７０６が設けられる。また画素部７０２には、複数の表示素子が設けられる。

［０４０７］

第１の基板７０１の第２の基板７０５と重ならない部分に、ＦＰＣ７１６（ＦＰＣ：Ｆｌｅｘｉｂｌｅ　ｐｒｉｎｔｅｄ　ｃｉｒｃｕｉｔ）が接続されるＦＰＣ端子部７０８が設けられている。ＦＰＣ７１６によって、ＦＰＣ端子部７０８及び信号線７１０を介して、画素部７０２、ソースドライバ回路部７０４、及びゲートドライバ回路部７０６のそれぞれに各種信号等が供給される。

［０４０８］

ゲートドライバ回路部７０６は、複数設けられていてもよい。また、ゲートドライバ回路部７０６及びソースドライバ回路部７０４は、それぞれ半導体基板等に別途形成され、パッケージされたＩＣチップの形態であってもよい。当該ＩＣチップは、第１の基板７０１上、またはＦＰＣ７１６に実装できる。

［０４０９］

画素部７０２、ソースドライバ回路部７０４及びゲートドライバ回路部７０６が有するトランジスタに、本発明の一態様の半導体装置であるトランジスタを適用できる。

［０４１０］

画素部７０２に設けられる表示素子として、液晶素子、発光素子などが挙げられる。液晶素子として、透過型の液晶素子、反射型の液晶素子、半透過型の液晶素子などを用いることができる。また、発光素子として、ＬＥＤ（Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）、ＯＬＥＤ（Ｏｒｇａｎｉｃ　ＬＥＤ）、ＱＬＥＤ（Ｑｕａｎｔｕｍ－ｄｏｔ　ＬＥＤ）、半導体レーザなどの、自発光性の発光素子が挙げられる。また、シャッター方式または光干渉方式のＭＥＭＳ（Ｍｉｃｒｏ　Ｅｌｅｃｔｒｏ　Ｍｅｃｈａｎｉｃａｌ　Ｓｙｓｔｅｍｓ）素子や、マイクロカプセル方式、電気泳動方式、エレクトロウェッティング方式、または電子粉流体（登録商標）方式等を適用した表示素子などを用いることもできる。

［０４１１］

図２２Ｂに示す表示装置７００Ａは、第１の基板７０１に代えて、可撓性を有する樹脂層７４３が適用され、フレキシブルディスプレイとして用いることができる表示装置の例である。

［０４１２］

表示装置７００Ａは、画素部７０２が矩形形状でなく、角部が円弧状の形状を有している。また、図２２Ｂ中の領域Ｐ１に示すように、画素部７０２、及び樹脂層７４３の一部が切りかかれた切欠き部を有する。一対のゲートドライバ回路部７０６は、画素部７０２を挟んで両側に設けられる。またゲートドライバ回路部７０６は、画素部７０２の角部において、円弧状の輪郭に沿って設けられている。

［０４１３］

樹脂層７４３は、ＦＰＣ端子部７０８が設けられる部分が突出した形状を有している。また樹脂層７４３のＦＰＣ端子部７０８を含む一部は、図２２Ｂ中の領域Ｐ２で裏側に折り返すことができる。樹脂層７４３の一部を折り返すことで、ＦＰＣ７１６を画素部７０２の裏側に重ねて配置した状態で、表示装置７００Ａを電子機器に実装することができ、電子機器の省スペース化を図ることができる。

［０４１４］

表示装置７００Ａに接続されるＦＰＣ７１６には、ＩＣ７１７が実装されている。ＩＣ７１７は、例えばソースドライバ回路としての機能を有する。このとき、表示装置７００Ａにおけるソースドライバ回路部７０４は、保護回路、バッファ回路、デマルチプレクサ回路等の少なくとも一を含む構成とすることができる。

［０４１５］

図２２Ｃに示す表示装置７００Ｂは、大型の画面を有する電子機器に好適に用いることができる表示装置である。表示装置７００Ｂは、例えばテレビジョン装置、モニタ装置、パーソナルコンピュータ（ノート型またはデスクトップ型を含む）、タブレット端末、デジタルサイネージなどに好適に用いることができる。

［０４１６］

表示装置７００Ｂは、複数のソースドライバＩＣ７２１と、一対のゲートドライバ回路部７２２を有する。

［０４１７］

複数のソースドライバＩＣ７２１は、それぞれＦＰＣ７２３に取り付けられている。また、複数のＦＰＣ７２３は、一方の端子が第１の基板７０１に、他方の端子がプリント基板７２４にそれぞれ接続されている。ＦＰＣ７２３を折り曲げることで、プリント基板７２４を画素部７０２の裏側に配置して、電子機器に実装することができ、電子機器の省スペース化を図ることができる。

［０４１８］

一方、ゲートドライバ回路部７２２は、第１の基板７０１上に形成されている。これにより、狭額縁の電子機器を実現できる。

［０４１９］

このような構成とすることで、大型で且つ高解像度の表示装置を実現できる。例えば画面サイズが対角３０インチ以上、４０インチ以上、５０インチ以上、または６０インチ以上の表示装置を実現できる。また、解像度が４Ｋ２Ｋ、または８Ｋ４Ｋなどといった極めて高解像度の表示装置を実

現できる。

［０４２０］

＜断面構成例＞

以下では、表示素子として液晶素子を用いる構成、及びＥＬ素子を用いる構成について、図２３乃至図２６を用いて説明する。なお、図２３乃至図２５は、それぞれ図２２Ａに示す一点鎖線Ｑ－Ｒにおける断面図である。また図２６は、図２２Ｂに示した表示装置７００Ａ中の一点鎖線Ｓ－Ｔにおける断面図である。図２３及び図２４は、表示素子として液晶素子を用いた構成であり、図２５及び図２６は、ＥＬ素子を用いた構成である。

［０４２１］

〔表示装置の共通部分に関する説明〕

図２３乃至図２６に示す表示装置は、引き回し配線部７１１と、画素部７０２と、ソースドライバ回路部７０４と、ＦＰＣ端子部７０８と、を有する。引き回し配線部７１１は、信号線７１０を有する。画素部７０２は、トランジスタ７５０及び容量素子７９０を有する。ソースドライバ回路部７０４は、トランジスタ７５２を有する。図２４では、容量素子７９０が無い場合を示している。

［０４２２］

トランジスタ７５０及びトランジスタ７５２は、実施の形態１で例示したトランジスタを適用できる。

［０４２３］

本実施の形態で用いるトランジスタは、高純度化し、酸素欠損の形成を抑制した酸化物半導体膜を有する。該トランジスタは、オフ電流を低くできる。よって、画像信号等の電気信号の保持時間を長くでき、画像信号等の書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくできるため、消費電力を低減する効果を奏する。

［０４２４］

本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを表示装置に用いることで、画素部のスイッチングトランジスタと、駆動回路部に使用するドライバトランジスタを同一基板上に形成できる。すなわち、シリコンウェハ等により形成された駆動回路を適用しない構成も可能であり、表示装置の部品点数を削減できる。また、画素部においても、高速駆動が可能なトランジスタを用いることで、高画質な画像を提供できる。

［０４２５］

図２３、図２５、及び図２６に示す容量素子７９０は、トランジスタ７５０が有する第１のゲート電極と同一の膜を加工して形成される下部電極と、半導体層と同一の金属酸化物を加工して形成される上部電極と、を有する。上部電極は、トランジスタ７５０のソース領域及びドレイン領域と同様に低抵抗化されている。また、下部電極と上部電極の間には、トランジスタ７５０の第１のゲート絶縁層として機能する絶縁膜の一部が設けられる。すなわち、容量素子７９０は、一対の電極間に誘電体膜として機能する絶縁膜が挟持された積層型の構造である。また、上部電極には、トランジスタのソース電極及びドレイン電極と同一の膜を加工して得られる配線が接続されている。

［０４２６］

トランジスタ７５０、トランジスタ７５２、及び容量素子７９０上には平坦化絶縁膜７７０が設けられている。

［０４２７］

画素部７０２が有するトランジスタ７５０と、ソースドライバ回路部７０４が有するトランジスタ７５２とは、異なる構造のトランジスタを用いてもよい。例えば、いずれか一方にトップゲート型のトランジスタを適用し、他方にボトムゲート型のトランジスタを適用した構成としてもよい。なお、上記ゲートドライバ回路部７０６についてもソースドライバ回路部７０４と同様である。

［０４２８］

信号線７１０は、トランジスタ７５０、７５２のソース電極及びドレイン電極等と同じ導電膜で形成されている。このとき、銅元素を含む材料等の低抵抗な材料を用いると、配線抵抗に起因する信号遅延等が少なく、大画面での表示が可能となるため好ましい。

［０４２９］

ＦＰＣ端子部７０８は、一部が接続電極として機能する配線７６０、異方性導電膜７８０、及びＦＰＣ７１６を有する。配線７６０は、異方性導電膜７８０を介してＦＰＣ７１６が有する端子と電気的に接続される。ここでは、配線７６０は、トランジスタ７５０、７５２のソース電極及びドレイン電極等と同じ導電膜で形成されている。

［０４３０］

第１の基板７０１及び第２の基板７０５として、例えばガラス基板、またはプラスチック基板等の可撓性を有する基板を用いることができる。第１の基板７０１に可撓性を有する基板を用いる場合には、第１の基板７０１とトランジスタ７５０等の間に、水や水素に対するバリア性を有する絶縁層を設けることが好ましい。

［０４３１］

第２の基板７０５側には、遮光膜７３８と、着色膜７３６と、これらに接する絶縁膜７３４と、が設けられる。

［０４３２］

〔液晶素子を用いる表示装置の構成例〕

図２３に示す表示装置７００は、液晶素子７７５及びスペーサ７７８を有する。液晶素子７７５は、導電層７７２、導電層７７４、及びこれらの間に液晶層７７６を有する。導電層７７４は、第２の基板７０５側に設けられ、共通電極としての機能を有する。また、導電層７７２は、トランジスタ７５０が有するソース電極またはドレイン電極と電気的に接続される。導電層７７２は、平坦化絶縁膜７７０上に形成され、画素電極として機能する。

［０４３３］

導電層７７２には、可視光に対して透光性の材料、または反射性の材料を用いることができる。透光性の材料は、例えば、インジウム、亜鉛、スズ等を含む酸化物材料を用いるとよい。反射性の材料は、例えば、アルミニウム、銀等を含む材料を用いるとよい。

［０４３４］

導電層７７２に反射性の材料を用いると、表示装置７００は反射型の液晶表示装置となる。一方、導電層７７２に透光性の材料を用いると、透過型の液晶表示装置となる。反射型の液晶表示装置の場合、視認側に偏光板を設ける。一方、透過型の液晶表示装置の場合、液晶素子を挟むように一対の偏光板を設ける。

［０４３５］

図２４に示す表示装置７００は、横電界方式（例えば、ＦＦＳモード）の液晶素子７７５を用い

る例を示す。導電層７７２上に絶縁層７７３を介して、共通電極として機能する導電層７７４が設けられる。導電層７７２と導電層７７４の間に生じる電界によって、液晶層７７６の配向状態を制御できる。

［０４３６］

図２４において、導電層７７４、絶縁層７７３、導電層７７２の積層構造により保持容量を構成できる。そのため、別途容量素子を設ける必要がなく、開口率を高めることができる。

［０４３７］

図２３及び図２４には図示しないが、液晶層７７６と接する配向膜を設ける構成としてもよい。また、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）、及びバックライト、サイドライトなどの光源を適宜設けることができる。

［０４３８］

液晶層７７６には、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（ＰＤＬＣ：Ｐｏｌｙｍｅｒ Ｄｉｓｐｅｒｓｅｄ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）、高分子ネットワーク型液晶（ＰＮＬＣ：Ｐｏｌｙｍｅｒ Ｎｅｔｗｏｒｋ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）、強誘電性液晶、反強誘電性液晶等を用いることができる。また、横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。

［０４３９］

液晶素子のモードは、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＶＡ（Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モード、ＡＳＭ（Ａｘｉａｌｌｙ Ｓｙｍｍｅｔｒｉｃ ａｌｉｇｎｅｄ Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌｌｙ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＥＣＢ（Ｅｌｅｃｔｒｉｃａｌｌｙ Ｃｏｎｔｒｏｌｌｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ゲストホストモードなどを用いることができる。

［０４４０］

液晶層７７６に高分子分散型液晶や、高分子ネットワーク型液晶などを用いた、散乱型の液晶を用いることもできる。このとき、着色膜７３６を設けずに白黒表示を行う構成としてもよいし、着色膜７３６を用いてカラー表示を行う構成としてもよい。

［０４４１］

液晶素子の駆動方法として、継時加法混色法に基づいてカラー表示を行う、時間分割表示方式（フィールドシーケンシャル駆動方式ともいう）を適用してもよい。その場合、着色膜７３６を設けない構成とすることができる。時間分割表示方式を用いた場合、例えばＲ（赤色）、Ｇ（緑色）、Ｂ（青色）のそれぞれの色を呈する副画素を設ける必要がないため、画素の開口率を向上させることや、精細度を高められるなどの利点がある。

［０４４２］

〔発光素子を用いる表示装置〕

図２５に示す表示装置７００は、発光素子７８２を有する。発光素子７８２は、導電層７７２、ＥＬ層７８６、及び導電膜７８８を有する。ＥＬ層７８６は、有機化合物、または量子ドットなどの無機化合物を有する。

［０４４３］

有機化合物に用いることができる材料として、蛍光性材料または燐光性材料などが挙げられる。また、量子ドットに用いることができる材料として、コロイド状量子ドット材料、合金型量子ドット材料、コア・シェル型量子ドット材料、コア型量子ドット材料、などが挙げられる。

［０４４４］

図２５に示す表示装置７００には、平坦化絶縁膜７７０上に導電層７７２の一部を覆う絶縁膜７３０が設けられる。ここで、発光素子７８２は透光性の導電膜７８８を有し、トップエミッション型の発光素子である。なお、発光素子７８２は、導電層７７２側に光を射出するボトムエミッション構造や、導電層７７２側及び導電膜７８８側の双方に光を射出するデュアルエミッション構造としてもよい。

［０４４５］

着色膜７３６は発光素子７８２と重なる位置に設けられ、遮光膜７３８は絶縁膜７３０と重なる位置、引き回し配線部７１１、及びソースドライバ回路部７０４に設けられている。また、着色膜７３６及び遮光膜７３８は、絶縁膜７３４で覆われている。また、発光素子７８２と絶縁膜７３４の間は封止膜７３２で充填されている。なお、ＥＬ層７８６を画素毎に島状または画素列毎に縞状に形成する、すなわち塗り分けにより形成する場合においては、着色膜７３６を設けない構成としてもよい。

［０４４６］

図２６には、フレキシブルディスプレイに好適に適用できる表示装置の構成を示している。図２６は、図２２Ｂに示した表示装置７００Ａ中の一点鎖線Ｓ－Ｔにおける断面図である。

［０４４７］

図２６に示す表示装置７００Ａは、図２５で示した第１の基板７０１に代えて、支持基板７４５、接着層７４２、樹脂層７４３、及び絶縁層７４４が積層された構成を有する。トランジスタ７５０や容量素子７９０等は、樹脂層７４３上に設けられた絶縁層７４４上に設けられている。

［０４４８］

支持基板７４５は、有機樹脂やガラス等を含み、可撓性を有する程度に薄い基板である。樹脂層７４３は、ポリイミドやアクリルなどの有機樹脂を含む層である。絶縁層７４４は、酸化シリコン、酸化窒化シリコン、窒化シリコン等の無機絶縁膜を含む。樹脂層７４３と支持基板７４５とは、接着層７４２によって貼りあわされている。樹脂層７４３は、支持基板７４５よりも薄いことが好ましい。

［０４４９］

図２６に示す表示装置７００は、図２５で示した第２の基板７０５に代えて保護層７４０を有する。保護層７４０は、封止膜７３２と貼りあわされている。保護層７４０は、ガラス基板や樹脂フィルムなどを用いることができる。また、保護層７４０として、偏光板、散乱板などの光学部材や、タッチセンサパネルなどの入力装置、またはこれらを２つ以上積層した構成を適用してもよい。

［０４５０］

発光素子７８２が有するＥＬ層７８６は、絶縁膜７３０及び導電層７７２上に島状に設けられている。ＥＬ層７８６を、副画素毎に発光色が異なるように作り分けることで、着色膜７３６を用いずにカラー表示を実現できる。また、発光素子７８２を覆って、保護層７４１が設けられている。保護層７４１は発光素子７８２に水などの不純物が拡散することを防ぐ機能を有する。保護層７４１は、無機絶縁膜を用いることが好ましい。また、無機絶縁膜と有機絶縁膜をそれぞれ一以上含む

積層構造とすることがより好ましい。

［０４５１］

図２６では、折り曲げ可能な領域Ｐ２を示している。領域Ｐ２では、支持基板７４５、接着層７４２のほか、絶縁層７４４等の無機絶縁膜が設けられていない部分を有する。また、領域Ｐ２において、配線７６０を覆って樹脂層７４６が設けられている。折り曲げ可能な領域Ｐ２に無機絶縁膜をできるだけ設けず、且つ、金属または合金を含む導電層と、有機材料を含む層のみを積層した構成とすることで、曲げた際にクラックが生じることを防ぐことができる。また、領域Ｐ２に支持基板７４５を設けないことで、極めて小さい曲率半径で、表示装置７００Ａの一部を曲げることができる。

［０４５２］

〔表示装置に入力装置を設ける構成例〕

図２３乃至図２６に示す表示装置に入力装置を設けてもよい。当該入力装置として、例えば、タッチセンサ等が挙げられる。

［０４５３］

例えばセンサの方式は、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、感圧方式など様々な方式を用いることができる。または、これら２つ以上を組み合わせて用いてもよい。

［０４５４］

なお、タッチパネルの構成は、入力装置を一対の基板の間に形成する、所謂インセル型のタッチパネル、入力装置を表示装置上に形成する、所謂オンセル型のタッチパネル、または表示装置に貼り合わせて用いる、所謂アウトセル型のタッチパネルなどがある。

［０４５５］

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせて実施できる。

［０４５６］

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

［０４５７］

（実施の形態３）

本実施の形態では、本発明の一態様の半導体装置を有する表示装置について、図２７を用いて説明を行う。

［０４５８］

図２７Ａに示す表示装置は、画素部５０２と、駆動回路部５０４と、保護回路５０６と、端子部５０７と、を有する。なお、保護回路５０６は、設けない構成としてもよい。

［０４５９］

画素部５０２や駆動回路部５０４が有するトランジスタに、本発明の一態様のトランジスタを適用できる。また保護回路５０６にも、本発明の一態様のトランジスタを適用してもよい。

［０４６０］

画素部５０２は、Ｘ行Ｙ列（Ｘ、Ｙはそれぞれ独立に２以上の自然数）に配置された複数の表示素子を駆動する複数の画素回路５０１を有する。

［０４６１］

駆動回路部５０４は、ゲート線ＧＬ＿１乃至ＧＬ＿Ｘに走査信号を出力するゲートドライバ５０４ａ、データ線ＤＬ＿１乃至ＤＬ＿Ｙにデータ信号を供給するソースドライバ５０４ｂなどの駆動回路を有する。ゲートドライバ５０４ａは、少なくともシフトレジスタを有する構成とすればよい。またソースドライバ５０４ｂは、例えば複数のアナログスイッチなどを用いて構成される。また、シフトレジスタなどを用いてソースドライバ５０４ｂを構成してもよい。

［０４６２］

端子部５０７は、外部の回路から表示装置に電源、制御信号、及び画像信号等を入力するための端子が設けられた部分をいう。

［０４６３］

保護回路５０６は、自身が接続する配線に一定の範囲外の電位が与えられたときに、該配線と別の配線とを導通状態にする回路である。図２７Ａに示す保護回路５０６は、例えば、ゲートドライバ５０４ａと画素回路５０１の間の配線であるゲート線ＧＬ＿１乃至ＧＬ＿Ｘ、またはソースドライバ５０４ｂと画素回路５０１の間の配線であるデータ線ＤＬ＿１乃至ＤＬ＿Ｙ等の各種配線に接続される。

［０４６４］

ゲートドライバ５０４ａとソースドライバ５０４ｂは、それぞれ画素部５０２と同じ基板上に設けられていてもよいし、ゲートドライバ回路またはソースドライバ回路が別途形成された基板（例えば、単結晶半導体または多結晶半導体で形成された駆動回路基板）をＣＯＧやＴＡＢ（Ｔａｐｅ Ａｕｔｏｍａｔｅｄ Ｂｏｎｄｉｎｇ）によって基板に実装する構成としてもよい。

［０４６５］

図２７Ａに示す複数の画素回路５０１は、例えば、図２７Ｂ及び図２７Ｃに示す構成とすることができる。

［０４６６］

図２７Ｂに示す画素回路５０１は、液晶素子５７０と、トランジスタ５５０と、容量素子５６０と、を有する。また画素回路５０１には、データ線ＤＬ＿ｎ、ゲート線ＧＬ＿ｍ、電位供給線ＶＬ等が接続されている。

［０４６７］

液晶素子５７０の一対の電極の一方の電位は、画素回路５０１の仕様に応じて適宜設定される。液晶素子５７０は、書き込まれるデータにより配向状態が設定される。なお、複数の画素回路５０１のそれぞれが有する液晶素子５７０の一対の電極の一方に共通の電位（コモン電位）を与えてもよい。また、各行の画素回路５０１の液晶素子５７０の一対の電極の一方に異なる電位を与えてもよい。

［０４６８］

図２７Ｃに示す画素回路５０１は、トランジスタ５５２、トランジスタ５５４と、容量素子５６２と、発光素子５７２と、を有する。また画素回路５０１には、データ線ＤＬ＿ｎ、ゲート線ＧＬ＿ｍ、電位供給線ＶＬ＿ａ、電位供給線ＶＬ＿ｂ等が接続されている。

［０４６９］

なお、電位供給線ＶＬ＿ａ及び電位供給線ＶＬ＿ｂの一方には、高電源電位（ＶＤＤ）が与えられ、他方には、低電源電位（ＶＳＳ）が与えられる。トランジスタ５５４のゲートに与えられる電

位に応じて、発光素子５７２に流れる電流が制御されることにより、発光素子５７２からの発光輝度が制御される。

［０４７０］

本実施の形態で例示した構成例、及びそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせて実施できる。

［０４７１］

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

［０４７２］

（実施の形態４）

以下では、画素に表示される階調を補正するためのメモリを備える画素回路と、これを有する表示装置について説明する。実施の形態１で例示したトランジスタは、以下で例示する画素回路に用いられるトランジスタに適用できる。

［０４７３］

＜回路構成＞

図２８Ａに、画素回路４００の回路図を示す。画素回路４００は、トランジスタＭ１、トランジスタＭ２、容量Ｃ１、及び回路４０１を有する。また画素回路４００には、配線Ｓ１、配線Ｓ２、配線Ｇ１、及び配線Ｇ２が接続される。

［０４７４］

トランジスタＭ１は、ゲートが配線Ｇ１と、ソース及びドレインの一方が配線Ｓ１と、ソース及びドレインの他方が容量Ｃ１の一方の電極と、それぞれ接続する。トランジスタＭ２は、ゲートが配線Ｇ２と、ソース及びドレインの一方が配線Ｓ２と、ソース及びドレインの他方が容量Ｃ１の他方の電極、及び回路４０１と、それぞれ接続する。

［０４７５］

回路４０１は、少なくとも一の表示素子を含む回路である。表示素子として様々な素子を用いることができるが、代表的には有機ＥＬ素子やＬＥＤ素子などの発光素子、液晶素子、またはＭＥＭＳ（Ｍｉｃｒｏ　Ｅｌｅｃｔｒｏ　Ｍｅｃｈａｎｉｃａｌ　Ｓｙｓｔｅｍｓ）素子等を適用できる。

［０４７６］

トランジスタＭ１と容量Ｃ１とを接続するノードをノードＮ１、トランジスタＭ２と回路４０１とを接続するノードをノードＮ２とする。

［０４７７］

画素回路４００は、トランジスタＭ１をオフ状態とすることで、ノードＮ１の電位を保持できる。また、トランジスタＭ２をオフ状態とすることで、ノードＮ２の電位を保持できる。また、トランジスタＭ２をオフ状態とした状態で、トランジスタＭ１を介してノードＮ１に所定の電位を書き込むことで、容量Ｃ１を介した容量結合により、ノードＮ１の電位の変位に応じてノードＮ２の電位を変化させることができる。

［０４７８］

ここで、トランジスタＭ１、トランジスタＭ２のうちの一方または両方に、実施の形態１で例示した、酸化物半導体が適用されたトランジスタを適用できる。そのため極めて低いオフ電流により、ノードＮ１及びノードＮ２の電位を長期間に亘って保持できる。なお、各ノードの電位を保持する

期間が短い場合（具体的には、フレーム周波数が３０Ｈｚ以上である場合等）には、シリコン等の半導体を適用したトランジスタを用いてもよい。

［０４７９］

＜駆動方法例＞

続いて、図２８Ｂを用いて、画素回路４００の動作方法の一例を説明する。図２８Ｂは、画素回路４００の動作に係るタイミングチャートである。なおここでは説明を容易にするため、配線抵抗などの各種抵抗や、トランジスタや配線などの寄生容量、及びトランジスタのしきい値電圧などの影響は考慮しない。

［０４８０］

図２８Ｂに示す動作では、１フレーム期間を期間Ｔ１と期間Ｔ２とに分ける。期間Ｔ１はノードＮ２に電位を書き込む期間であり、期間Ｔ２はノードＮ１に電位を書き込む期間である。

［０４８１］

〔期間Ｔ１〕

期間Ｔ１では、配線Ｇ１と配線Ｇ２の両方に、トランジスタをオン状態にする電位を与える。また、配線Ｓ１には固定電位である電位V_{ref}を供給し、配線Ｓ２には第１データ電位V_{w}を供給する。

［０４８２］

ノードＮ１には、トランジスタＭ１を介して配線Ｓ１から電位V_{ref}が与えられる。また、ノードＮ２には、トランジスタＭ２を介して配線Ｓ２から第１データ電位V_{w}が与えられる。したがって、容量Ｃ１には電位差$V_{w}-V_{ref}$が保持された状態となる。

［０４８３］

〔期間Ｔ２〕

続いて期間Ｔ２では、配線Ｇ１にはトランジスタＭ１をオン状態とする電位を与え、配線Ｇ２にはトランジスタＭ２をオフ状態とする電位を与える。また、配線Ｓ１には第２データ電位V_{data}を供給する。配線Ｓ２には所定の定電位を与える、またはフローティング状態としてもよい。

［０４８４］

ノードＮ１には、トランジスタＭ１を介して配線Ｓ１から第２データ電位V_{data}が与えられる。このとき、容量Ｃ１による容量結合により、第２データ電位V_{data}に応じてノードＮ２の電位が電位ｄＶだけ変化する。すなわち、回路４０１には、第１データ電位V_{w}と電位ｄＶを足した電位が入力されることとなる。なお、図２８Ｂでは電位ｄＶが正の値であるように示しているが、負の値であってもよい。すなわち、第２データ電位V_{data}が電位V_{ref}より低くてもよい。

［０４８５］

ここで、電位ｄＶは、容量Ｃ１の容量値と、回路４０１の容量値によって概ね決定される。容量Ｃ１の容量値が回路４０１の容量値よりも十分に大きい場合、電位ｄＶは第２データ電位V_{data}に近い電位となる。

［０４８６］

このように、画素回路４００は、２種類のデータ信号を組み合わせて表示素子を含む回路４０１に供給する電位を生成できるため、画素回路４００内で階調の補正を行うことが可能となる。

［０４８７］

画素回路４００は、配線Ｓ１及び配線Ｓ２に供給可能な最大電位を超える電位を生成することも可能となる。例えば発光素子を用いた場合では、ハイダイナミックレンジ（ＨＤＲ）表示等を行う

ことができる。また、液晶素子を用いた場合では、オーバードライブ駆動等を実現できる。

［０４８８］

＜適用例＞

〔液晶素子を用いた例〕

図２８Ｃに示す画素回路４００ＬＣは、回路４０１ＬＣを有する。回路４０１ＬＣは、液晶素子ＬＣと、容量Ｃ２とを有する。

［０４８９］

液晶素子ＬＣは、一方の電極が容量Ｃ１の他方の電極、トランジスタＭ２のソース及びドレインの他方の電極、及び容量Ｃ２の一方の電極と接続され、他方の電極が電位V_{com2}が与えられる配線と接続する。容量Ｃ２は、他方の電極が電位V_{com1}が与えられる配線と接続する。

［０４９０］

容量Ｃ２は保持容量として機能する。なお、容量Ｃ２は不要であれば省略できる。

［０４９１］

画素回路４００ＬＣは、液晶素子ＬＣに高い電圧を供給できるため、例えばオーバードライブ駆動により高速な表示を実現すること、駆動電圧の高い液晶材料を適用することなどができる。また、配線Ｓ１または配線Ｓ２に補正信号を供給することで、使用温度や液晶素子ＬＣの劣化状態等に応じて階調を補正することもできる。

［０４９２］

〔発光素子を用いた例〕

図２８Ｄに示す画素回路４００ＥＬは、回路４０１ＥＬを有する。回路４０１ＥＬは、発光素子ＥＬ、トランジスタＭ３、及び容量Ｃ２を有する。

［０４９３］

トランジスタＭ３は、ゲートが容量Ｃ２の一方の電極と、ソース及びドレインの一方が電位V_Hが与えられる配線と、他方が発光素子ＥＬの一方の電極と、それぞれ接続される。容量Ｃ２は、他方の電極が電位V_{com}が与えられる配線と接続する。発光素子ＥＬは、他方の電極が電位V_Lが与えられる配線と接続する。

［０４９４］

トランジスタＭ３は、発光素子ＥＬに供給する電流を制御する機能を有する。容量Ｃ２は保持容量として機能する。容量Ｃ２は不要であれば省略できる。

［０４９５］

なお、ここでは発光素子ＥＬのアノード側がトランジスタＭ３と接続する構成を示しているが、カソード側にトランジスタＭ３を接続してもよい。そのとき、電位V_Hと電位V_Lの値を適宜変更できる。

［０４９６］

画素回路４００ＥＬは、トランジスタＭ３のゲートに高い電位を与えることで、発光素子ＥＬに大きな電流を流すことができるため、例えばＨＤＲ表示などを実現できる。また、配線Ｓ１または配線Ｓ２に補正信号を供給することで、トランジスタＭ３や発光素子ＥＬの電気特性のばらつきの補正を行うこともできる。

［０４９７］

なお、図２８Ｃ及び図２８Ｄで例示した回路に限られず、別途トランジスタや容量などを追加し

た構成としてもよい。

［０４９８］

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

［０４９９］

（実施の形態５）

本実施の形態では、本発明の一態様を用いて作製できる表示モジュールについて説明する。

［０５００］

図２９Ａに示す表示モジュール６０００は、上部カバー６００１と下部カバー６００２の間に、ＦＰＣ６００５が接続された表示装置６００６、フレーム６００９、プリント基板６０１０、及びバッテリー６０１１を有する。

［０５０１］

例えば、本発明の一態様を用いて作製された表示装置を、表示装置６００６に用いることができる。表示装置６００６により、極めて消費電力の低い表示モジュールを実現できる。

［０５０２］

上部カバー６００１及び下部カバー６００２は、表示装置６００６のサイズに合わせて、形状や寸法を適宜変更できる。

［０５０３］

表示装置６００６はタッチパネルとしての機能を有していてもよい。

［０５０４］

フレーム６００９は、表示装置６００６の保護機能、プリント基板６０１０の動作により発生する電磁波を遮断する機能、放熱板としての機能等を有していてもよい。

［０５０５］

プリント基板６０１０は、電源回路、ビデオ信号及びクロック信号を出力するための信号処理回路、バッテリー制御回路等を有する。

［０５０６］

図２９Ｂは、光学式のタッチセンサを備える表示モジュール６０００の断面概略図である。

［０５０７］

表示モジュール６０００は、プリント基板６０１０に設けられた発光部６０１５及び受光部６０１６を有する。また、上部カバー６００１と下部カバー６００２により囲まれた領域に一対の導光部（導光部６０１７ａ、導光部６０１７ｂ）を有する。

［０５０８］

表示装置６００６は、フレーム６００９を間に介してプリント基板６０１０やバッテリー６０１１と重ねて設けられている。表示装置６００６とフレーム６００９は、導光部６０１７ａ、導光部６０１７ｂに固定されている。

［０５０９］

発光部６０１５から発せられた光６０１８は、導光部６０１７ａにより表示装置６００６の上部を経由し、導光部６０１７ｂを通って受光部６０１６に達する。例えば指やスタイラスなどの被検知体により、光６０１８が遮られることにより、タッチ操作を検出できる。

［０５１０］

発光部６０１５は、例えば表示装置６００６の隣接する２辺に沿って複数設けられる。受光部６０１６は、発光部６０１５と対向する位置に複数設けられる。これにより、タッチ操作がなされた位置の情報を取得できる。

［０５１１］

発光部６０１５は、例えばＬＥＤ素子などの光源を用いることができ、特に、赤外線を発する光源を用いることが好ましい。受光部６０１６は、発光部６０１５が発する光を受光し、電気信号に変換する光電素子を用いることができる。好適には、赤外線を受光可能なフォトダイオードを用いることができる。

［０５１２］

光６０１８を透過する導光部６０１７ａ、導光部６０１７ｂにより、発光部６０１５と受光部６０１６とを表示装置６００６の下側に配置することができ、外光が受光部６０１６に到達してタッチセンサが誤動作することを抑制できる。特に、可視光を吸収し、赤外線を透過する樹脂を用いると、タッチセンサの誤動作をより効果的に抑制できる。

［０５１３］

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

［０５１４］

（実施の形態６）

本実施の形態では、本発明の一態様の表示装置を適用可能な、電子機器の例について説明する。

［０５１５］

図３０Ａに示す電子機器６５００は、スマートフォンとして用いることができる携帯情報端末機である。

［０５１６］

電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、及び光源６５０８等を有する。表示部６５０２はタッチパネル機能を備える。

［０５１７］

表示部６５０２に、本発明の一態様の表示装置を適用できる。

［０５１８］

図３０Ｂは、筐体６５０１のマイク６５０６側の端部を含む断面概略図である。

［０５１９］

筐体６５０１の表示面側には透光性を有する保護部材６５１０が設けられ、筐体６５０１と保護部材６５１０に囲まれた空間内に、表示パネル６５１１、光学部材６５１２、タッチセンサパネル６５１３、プリント基板６５１７、バッテリー６５１８等が配置されている。

［０５２０］

保護部材６５１０には、表示パネル６５１１、光学部材６５１２、及びタッチセンサパネル６５１３が図示しない接着層により固定されている。

［０５２１］

表示部６５０２よりも外側の領域において、表示パネル６５１１の一部が折り返されている。また、当該折り返された部分に、ＦＰＣ６５１５が接続されている。ＦＰＣ６５１５には、ＩＣ６５

１６が実装されている。またＦＰＣ６５１５は、プリント基板６５１７に設けられた端子に接続されている。

［０５２２］

表示パネル６５１１には本発明の一態様のフレキシブルディスプレイパネルを適用できる。そのため、極めて軽量な電子機器を実現できる。また、表示パネル６５１１が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリー６５１８を搭載することもできる。また、表示パネル６５１１の一部を折り返して、画素部の裏側にＦＰＣ６５１５との接続部を配置することにより、狭額縁の電子機器を実現できる。

［０５２３］

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

［０５２４］

（実施の形態７）

本実施の形態では、本発明の一態様を用いて作製された表示装置を備える電子機器について説明する。

［０５２５］

以下で例示する電子機器は、表示部に本発明の一態様の表示装置を備えるものである。したがって、高い解像度が実現された電子機器である。また高い解像度と、大きな画面が両立された電子機器とすることができる。

［０５２６］

本発明の一態様の電子機器の表示部には、例えばフルハイビジョン、４Ｋ２Ｋ、８Ｋ４Ｋ、１６Ｋ８Ｋ、またはそれ以上の解像度を有する映像を表示させることができる。

［０５２７］

電子機器として、例えば、テレビジョン装置、ノート型のパーソナルコンピュータ、モニタ装置、デジタルサイネージ、パチンコ機、ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

［０５２８］

本発明の一態様が適用された電子機器は、家屋やビルの内壁または外壁、自動車等の内装または外装等が有する平面または曲面に沿って組み込むことができる。

［０５２９］

図３１Ａは、ファインダー８１００を取り付けた状態のカメラ８０００の外観を示す図である。

［０５３０］

カメラ８０００は、筐体８００１、表示部８００２、操作ボタン８００３、シャッターボタン８００４等を有する。またカメラ８０００には、着脱可能なレンズ８００６が取り付けられている。

［０５３１］

なおカメラ８０００は、レンズ８００６と筐体とが一体となっていてもよい。

［０５３２］

カメラ８０００は、シャッターボタン８００４を押す、またはタッチパネルとして機能する表示部８００２をタッチすることにより撮像できる。

［０５３３］

筐体８００１は、電極を有するマウントを有し、ファインダー８１００のほか、ストロボ装置等を接続できる。

［０５３４］

ファインダー８１００は、筐体８１０１、表示部８１０２、ボタン８１０３等を有する。

［０５３５］

筐体８１０１は、カメラ８０００のマウントと係合するマウントにより、カメラ８０００に取り付けられている。ファインダー８１００はカメラ８０００から受信した映像等を表示部８１０２に表示させることができる。

［０５３６］

ボタン８１０３は、電源ボタン等としての機能を有する。

［０５３７］

カメラ８０００の表示部８００２、及びファインダー８１００の表示部８１０２に、本発明の一態様の表示装置を適用できる。なお、ファインダーが内蔵されたカメラ８０００であってもよい。

［０５３８］

図３１Ｂは、ヘッドマウントディスプレイ８２００の外観を示す図である。

［０５３９］

ヘッドマウントディスプレイ８２００は、装着部８２０１、レンズ８２０２、本体８２０３、表示部８２０４、ケーブル８２０５等を有している。また装着部８２０１には、バッテリー８２０６が内蔵されている。

［０５４０］

ケーブル８２０５は、バッテリー８２０６から本体８２０３に電力を供給する。本体８２０３は無線受信機等を備え、受信した映像情報を表示部８２０４に表示させることができる。また、本体８２０３はカメラを備え、使用者の眼球やまぶたの動きの情報を入力手段として用いることができる。

［０５４１］

装着部８２０１には、使用者に触れる位置に、使用者の眼球の動きに伴って流れる電流を検知可能な複数の電極が設けられ、視線を認識する機能を有していてもよい。また、当該電極に流れる電流により、使用者の脈拍をモニタする機能を有していてもよい。また、装着部８２０１には、温度センサ、圧力センサ、加速度センサ等の各種センサを有していてもよく、使用者の生体情報を表示部８２０４に表示する機能や、使用者の頭部の動きに合わせて表示部８２０４に表示する映像を変化させる機能を有していてもよい。

［０５４２］

表示部８２０４に、本発明の一態様の表示装置を適用できる。

［０５４３］

図３１Ｃ、図３１Ｄ及び図３１Ｅは、ヘッドマウントディスプレイ８３００の外観を示す図である。ヘッドマウントディスプレイ８３００は、筐体８３０１と、表示部８３０２と、バンド状の固定具８３０４と、一対のレンズ８３０５と、を有する。

［０５４４］

使用者は、レンズ８３０５を通して、表示部８３０２の表示を視認できる。なお、表示部８３０

２を湾曲して配置させると、使用者が高い臨場感を感じることができるため好ましい。また、表示部８３０２の異なる領域に表示された別の画像を、レンズ８３０５を通して視認することで、視差を用いた３次元表示等を行うこともできる。なお、表示部８３０２を１つ設ける構成に限られず、表示部８３０２を２つ設け、使用者の片方の目につき１つの表示部を配置してもよい。

［０５４５］

なお、表示部８３０２に、本発明の一態様の表示装置を適用できる。本発明の一態様の半導体装置を有する表示装置は、極めて精細度が高いため、図３１Ｅのようにレンズ８３０５を用いて拡大したとしても、使用者に画素が視認されることなく、より現実感の高い映像を表示できる。

［０５４６］

図３２Ａ乃至図３２Ｇに示す電子機器は、筐体９０００、表示部９００１、スピーカ９００３、操作キー９００５（電源スイッチ、又は操作スイッチを含む）、接続端子９００６、センサ９００７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン９００８、等を有する。

［０５４７］

図３２Ａ乃至図３２Ｇに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有していてもよい。また、電子機器にカメラ等を設け、静止画や動画を撮影し、記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

［０５４８］

図３２Ａ乃至図３２Ｇに示す電子機器の詳細について、以下説明を行う。

［０５４９］

図３２Ａは、テレビジョン装置９１００を示す斜視図である。テレビジョン装置９１００は、大画面、例えば、５０インチ以上、または１００インチ以上の表示部９００１を組み込むことが可能である。

［０５５０］

図３２Ｂは、携帯情報端末９１０１を示す斜視図である。携帯情報端末９１０１は、例えばスマートフォンとして用いることができる。なお、携帯情報端末９１０１は、スピーカ９００３、接続端子９００６、センサ９００７等を設けてもよい。また、携帯情報端末９１０１は、文字や画像情報をその複数の面に表示できる。図３２Ｂでは３つのアイコン９０５０を表示した例を示している。また、破線の矩形で示す情報９０５１を表示部９００１の他の面に表示することもできる。情報９０５１の一例として、電子メール、ＳＮＳ、電話などの着信の通知、電子メールやＳＮＳなどの題名、送信者名、日時、時刻、バッテリーの残量、アンテナ受信の強度などがある。または、情報９０５１が表示されている位置にはアイコン９０５０などを表示してもよい。

［０５５１］

図３２Ｃは、携帯情報端末９１０２を示す斜視図である。携帯情報端末９１０２は、表示部９０

０１の３面以上に情報を表示する機能を有する。ここでは、情報９０５２、情報９０５３、情報９０５４がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末９１０２を収納した状態で、携帯情報端末９１０２の上方から観察できる位置に表示された情報９０５３を確認することもできる。使用者は、携帯情報端末９１０２をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

［０５５２］

図３２Ｄは、腕時計型の携帯情報端末９２００を示す斜視図である。携帯情報端末９２００は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部９００１はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末９２００は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末９２００は、接続端子９００６により、他の情報端末と相互にデータ伝送を行うことや、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

［０５５３］

図３２Ｅ、図３２Ｆ及び図３２Ｇは、折り畳み可能な携帯情報端末９２０１を示す斜視図である。また、図３２Ｅは携帯情報端末９２０１を展開した状態、図３２Ｇは折り畳んだ状態、図３２Ｆは図３２Ｅと図３２Ｇの一方から他方に変化する途中の状態の斜視図である。携帯情報端末９２０１は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末９２０１が有する表示部９００１は、ヒンジ９０５５によって連結された３つの筐体９０００に支持されている。例えば、表示部９００１は、曲率半径１ｍｍ以上１５０ｍｍ以下で曲げることができる。

［０５５４］

図３３Ａにテレビジョン装置の一例を示す。テレビジョン装置７１００は、筐体７１０１に表示部７５００が組み込まれている。ここでは、スタンド７１０３により筐体７１０１を支持した構成を示している。

［０５５５］

図３３Ａに示すテレビジョン装置７１００の操作は、筐体７１０１が備える操作スイッチや、別体のリモコン操作機７１１１により行うことができる。または、表示部７５００にタッチパネルを適用し、これに触れることでテレビジョン装置７１００を操作してもよい。リモコン操作機７１１１は、操作ボタンの他に表示部を有していてもよい。

［０５５６］

なお、テレビジョン装置７１００は、テレビ放送の受信機や、ネットワーク接続のための通信装置を有していてもよい。

［０５５７］

図３３Ｂに、ノート型パーソナルコンピュータ７２００を示す。ノート型パーソナルコンピュータ７２００は、筐体７２１１、キーボード７２１２、ポインティングデバイス７２１３、外部接続ポート７２１４等を有する。筐体７２１１に、表示部７５００が組み込まれている。

［０５５８］

図３３Ｃ及び図３３Ｄに、デジタルサイネージ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｇｅ：電子看板）の一例を示す。

［０５５９］

図３３Ｃに示すデジタルサイネージ７３００は、筐体７３０１、表示部７５００、及びスピーカ７３０３等を有する。さらに、ＬＥＤランプ、操作キー（電源スイッチ、または操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

［０５６０］

図３３Ｄは円柱状の柱７４０１に取り付けられたデジタルサイネージ７４００である。デジタルサイネージ７４００は、柱７４０１の曲面に沿って設けられた表示部７５００を有する。

［０５６１］

表示部７５００が広いほど、一度に提供できる情報量を増やすことができ、また人の目につきやすいため、例えば広告の宣伝効果を高める効果を奏する。

［０５６２］

表示部７５００にタッチパネルを適用し、使用者が操作できる構成とすることが好ましい。これにより、広告用途だけでなく、路線情報や交通情報、商用施設の案内情報など、使用者が求める情報を提供するための用途にも用いることができる。

［０５６３］

図３３Ｃ及び図３３Ｄに示すように、デジタルサイネージ７３００またはデジタルサイネージ７４００は、ユーザが所持するスマートフォン等の情報端末機７３１１と無線通信により連携可能であることが好ましい。例えば、表示部７５００に表示される広告の情報を情報端末機７３１１の画面に表示させることや、情報端末機７３１１を操作することで、表示部７５００の表示を切り替えることができる。

［０５６４］

デジタルサイネージ７３００またはデジタルサイネージ７４００に、情報端末機７３１１を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数のユーザが同時にゲームに参加し、楽しむことができる。

［０５６５］

図３３Ａ乃至図３３Ｄにおける表示部７５００に、本発明の一態様の表示装置を適用できる。

［０５６６］

本実施の形態の電子機器は表示部を有する構成としたが、表示部を有さない電子機器にも本発明の一態様を適用できる。

［０５６７］

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施できる。

［実施例１］

［０５６８］

本実施例では、図７に示すトランジスタ１００Ａの形状を模した試料（ｓａｍｐｌｅ　Ａ）、及び図１３に示すトランジスタ１００Ｇの形状を模した試料（ｓａｍｐｌｅ　Ｂ）を作製し、断面形状を評価した。

［０５６９］

＜試料の作製＞

まず、ガラス基板上に厚さ３０ｎｍのチタン膜と、厚さ１００ｎｍの銅膜をこの順にスパッタリ

ング法により形成し、これを加工して第１のゲート電極（ボトムゲート）を得た。

［０５７０］

次に、第１のゲート絶縁層として、厚さ３００ｎｍの窒化シリコン層と、厚さ１００ｎｍの第１の酸化窒化シリコン層をこの順に成膜した。第１のゲート絶縁層は、ＰＥＣＶＤ装置を用いて成膜した。

［０５７１］

続いて、第１の酸化窒化シリコン層上に、厚さ２５ｎｍの金属酸化物膜を成膜した。金属酸化物膜は、Ｉｎ－Ｇａ－Ｚｎ酸化物ターゲット（Ｉｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］）を用いたスパッタリング法により成膜した。成膜時の圧力を０．６Ｐａ、電源電力を２．５ｋＷ、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、成膜ガスの総流量に対する酸素ガスの流量の割合（酸素流量比）を３０％とした。

［０５７２］

続いて、金属酸化物膜を島状に加工し、金属酸化物層を形成した。

［０５７３］

続いて、窒素雰囲気下、３７０℃で１時間の加熱処理を行った後、窒素と酸素との混合ガス（窒素ガス流量：酸素ガス流量＝４：１）雰囲気下で、３７０℃で１時間の加熱処理を行った。加熱処理にはオーブン装置を用いた。

［０５７４］

続いて、第２のゲート絶縁層として厚さ１３０ｎｍの第２の酸化窒化シリコン膜を成膜した。第２のゲート絶縁層は、ＰＥＣＶＤ装置を用いて成膜した。

［０５７５］

続いて、窒素雰囲気下、３７０℃で１時間の加熱処理を行った。加熱処理にはオーブン装置を用いた。

［０５７６］

続いて、第２の酸化窒化シリコン膜上に、厚さ１００ｎｍのモリブデン膜を成膜した。モリブデン膜は、スパッタリング法により成膜した。

［０５７７］

続いて、モリブデン膜上に第１のレジストマスクを形成し、モリブデン層を形成した。モリブデン層の形成にはウェットエッチング法を用いた。エッチャントは、混酸Ａｌエッチング液を用いた。このとき、モリブデン層の端部は、第１のレジストマスクの端部より内側になるようにエッチング時間を調整した。

［０５７８］

続いて、第１のレジストマスクをマスクにして、第２の酸化窒化シリコン膜を加工した。

［０５７９］

続いて、第１のレジストマスクを縮小させて、第２のレジストマスクを形成した。第１のレジストマスクの縮小には、アッシング法を用いた。

［０５８０］

続いて、第２のレジストマスクをマスクにして、第２の酸化窒化シリコン膜を加工し、第２の酸化窒化シリコン層を得た。ここまでの工程で作製した試料をｓａｍｐｌｅ　Ａとした。

［０５８１］

続いて、ｓａｍｐｌｅ　Ｂは、第２のレジストマスクを縮小させて、第３のレジストマスクを形成した。第２のレジストマスクの縮小には、アッシング法を用いた。

［０５８２］

続いて、ｓａｍｐｌｅ　Ｂは、第３のレジストマスクをマスクにして、第２の酸化窒化シリコン膜を加工し、第２の酸化窒化シリコン層を得た。

［０５８３］

以上の工程により、ｓａｍｐｌｅ　Ａ及びｓａｍｐｌｅ　Ｂを得た。

［０５８４］

＜断面観察＞

次に、ｓａｍｐｌｅ　Ａ及びｓａｍｐｌｅ　Ｂを集束イオンビーム（ＦＩＢ：Ｆｏｃｕｓｅｄ　Ｉｏｎ　Ｂｅａｍ）により薄片化し、断面をＳＴＥＭで観察した。

［０５８５］

ｓａｍｐｌｅ　Ａの断面のＳＴＥＭ像を図３４Ａに、ｓａｍｐｌｅ　Ｂの断面のＳＴＥＭ像を図３４Ｂに示す。図３４Ａ及び図３４Ｂはそれぞれ、倍率１８００倍の透過電子（ＴＥ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ）像である。

［０５８６］

ｓａｍｐｌｅ　Ａの第２の酸化窒化シリコン層の端部付近を拡大したＳＴＥＭ像を、図３５Ａ及び図３５Ｂに示す。ｓａｍｐｌｅ　Ｂの第２の酸化窒化シリコン層の端部付近を拡大したＳＴＥＭ像を、図３６Ａ及び図３６Ｂに示す。図３５Ａ、図３５Ｂ、図３６Ａ及び図３６Ｂはそれぞれ、倍率１０万倍の透過電子（ＴＥ）像である。

［０５８７］

なお、図３５Ｂには図３５Ａと同じＳＴＥＭ像を、図３６Ｂには図３６Ａと同じＳＴＥＭ像を示している。図３５Ｂ及び図３６Ｂにはそれぞれ、領域１０８Ｌ１の幅Ｌ１、領域１０８Ｌ２の幅Ｌ２、領域１０８Ｌ３の幅Ｌ３、領域１０８Ｌ１と重なる領域の第２の酸化窒化シリコン層の膜厚ＴＮ１、領域１０８Ｌ２と重なる領域の第２の酸化窒化シリコン層の膜厚ＴＮ２、及び領域１０８Ｌ３と重なる領域の第２の酸化窒化シリコン層の膜厚ＴＮ３の測定を行った箇所を示している。

［０５８８］

図３４Ａ、図３４Ｂ、図３５Ａ、図３５Ｂ、図３６Ａ及び図３６Ｂにおいて、ガラス基板をＧｌａｓｓ、銅層をＣｕ、窒化シリコン層をＳｉＮ、第１の酸化窒化シリコン層をＳｉＯＮ－１、金属酸化物層をＯＳ、第２の酸化窒化シリコン層をＳｉＯＮ－２、モリブデン層をＭｏ、フォトレジストをＰＲと記している。

［０５８９］

図３４Ａ、図３４Ｂ、図３５Ａ、図３５Ｂ、図３６Ａ及び図３６Ｂに示すように、第２の酸化窒化シリコン層の形状が階段状になっていることを確認できた。

［０５９０］

ｓａｍｐｌｅ　Ａ、ｓａｍｐｌｅ　Ｂそれぞれの領域１０８Ｌ１の幅Ｌ１、領域１０８Ｌ２の幅Ｌ２、領域１０８Ｌ３の幅Ｌ３、領域１０８Ｌ１と重なる領域の第２の酸化窒化シリコン層の膜厚ＴＮ１、領域１０８Ｌ２と重なる領域の第２の酸化窒化シリコン層の膜厚ＴＮ２、及び領域１０８Ｌ３と重なる領域の第２の酸化窒化シリコン層の膜厚ＴＮ３を、表１に示す。なお、表１において、ｓａｍｐｌｅ　Ａは領域１０８Ｌ３を設けていないため、幅Ｌ３及び膜厚ＴＮ３の値を示していな

い。

［０５９１］

［表１］

	sample A	sample B
L1	399nm	254nm
L2	181nm	181nm
L3	-	181nm
TN0	133nm	133nm
TN1	129nm	131nm
TN2	83.3nm	87.3nm
TN3	-	35.7nm

［０５９２］

図３４Ａ、図３４Ｂ、図３５Ａ、図３５Ｂ、図３６Ａ、図３６Ｂ、及び表１に示すように、ｓａｍｐｌｅ　Ａでは領域１０８Ｌ１及び領域１０８Ｌ２を有するトランジスタの形状を、ｓａｍｐｌｅ　Ｂでは領域１０８Ｌ１、領域１０８Ｌ２及び領域１０８Ｌ３を有するトランジスタの形状を確認することができた。また、ｓａｍｐｌｅ　Ａにおいて、膜厚ＴＮ０に対する膜厚ＴＮ１の比が０．９７であり、膜厚ＴＮ０と膜厚ＴＮ１が概略等しいことを確認できた。ｓａｍｐｌｅ　Ｂにおいても、膜厚ＴＮ０に対する膜厚ＴＮ１の比が０．９９であり、膜厚ＴＮ０と膜厚ＴＮ１が概略等しいことを確認できた。

［実施例２］

［０５９３］

本実施例では、領域１０８Ｃ、領域１０８Ｌ１、領域１０８Ｌ２、領域１０８Ｌ３、領域１０８Ｎに相当する試料を作製し、これらの抵抗を評価した。

［０５９４］

＜試料の作製＞

まず、ガラス基板上に、厚さ２４０ｎｍの第１の窒化シリコン膜と、厚さ６０ｎｍの第２の窒化シリコン膜と、厚さ１００ｎｍの第１の酸化窒化シリコン膜をこの順に成膜した。

［０５９５］

続いて、第１の酸化窒化シリコン膜上に、厚さ２５ｎｍの金属酸化物膜を成膜した。金属酸化物膜は、Ｉｎ－Ｇａ－Ｚｎ酸化物ターゲット（Ｉｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］）を用いたスパッタリング法により成膜した。成膜時の圧力を０．６Ｐａ、電源電力を２．５ｋＷ、基板温度を室温とした。成膜ガスとして酸素ガス及びアルゴンガスの混合ガスを用い、酸素流量比を３０％とした。

［０５９６］

続いて、ＣＤＡ雰囲気下で、３４０℃で１時間の加熱処理を行った。加熱処理にはオーブン装置を用いた。

［０５９７］

続いて、金属酸化物膜上に、第２の酸化窒化シリコン膜を成膜した。ここで、試料間で第２の酸

化窒化シリコン膜の膜厚を異ならせた。第２の酸化窒化シリコンの膜厚は、２０ｎｍ、４０ｎｍ、６０ｎｍ、８０ｎｍ、１００ｎｍ、１４０ｎｍとした。また、第２の酸化窒化シリコン膜を形成しない試料も作製した。なお、第２の酸化窒化シリコン膜は、実施の形態１で示した第１の元素１４０を供給する際に半導体層１０８上に設けられている絶縁層に相当する。第２の酸化窒化シリコン膜は、例えば、図１８Ｂに示す絶縁層１１０及び絶縁層１１８ａに相当する。

［０５９８］

続いて、ＣＤＡ雰囲気下で、３４０℃で１時間の加熱処理を行った。加熱処理にはオーブン装置を用いた。なお、第２の酸化窒化シリコン膜を形成しない試料は、当該加熱処理を行わなかった。

［０５９９］

続いて、アンモニアガスを用いてプラズマ処理を行った。ここで、試料間でプラズマ処理時の基板温度、及びプラズマ処理の処理時間を異ならせた。プラズマ処理時の基板温度は、２４０℃、３５０℃とした。プラズマ処理の処理時間は、１５ｓｅｃ、３０ｓｅｃ、６０ｓｅｃ、９０ｓｅｃとした。また、プラズマ処理を行わない試料も作製した。

［０６００］

続いて、窒素雰囲気下で、１時間の加熱処理を行った。加熱処理にはオーブン装置を用いた。ここで、試料間で加熱処理の温度を異ならせた。加熱処理の温度は、２５０℃、３００℃、３５０℃とした。また、加熱処理を行わない試料も作製した。

［０６０１］

続いて、第２の酸化窒化シリコン膜に、金属酸化物膜に達する開口を形成し、端子を設けた。

［０６０２］

＜シート抵抗測定＞

続いて、上記で作製した試料のシート抵抗を測定し、金属酸化物膜の抵抗を評価した。

［０６０３］

各試料の金属酸化物膜のシート抵抗の値を、図３７Ａ、図３７Ｂ、図３８Ａ、図３８Ｂ、図３９Ａ、及び図３９Ｂに示す。

［０６０４］

図３７Ａ、図３７Ｂ、図３８Ａ、及び図３８Ｂにおいて、横軸はプラズマ処理の処理時間を示し、縦軸は金属酸化物膜のシート抵抗Ｒｓを示す。なお、図３７Ａは、プラズマ処理時の基板温度を３５０℃、かつプラズマ処理後の加熱処理を行わなかった試料の結果を抜粋して示している。図３７Ｂは、プラズマ処理時の基板温度を２４０℃、かつプラズマ処理後の加熱処理を行わなかった試料の結果を抜粋して示している。図３８Ａは、プラズマ処理時の基板温度を３５０℃、かつプラズマ処理後の加熱処理の温度を２５０℃とした試料の結果を抜粋して示している。図３８Ｂは、プラズマ処理時の基板温度を２４０℃、かつプラズマ処理後の加熱処理の温度を２５０℃とした試料の結果を抜粋して示している。

［０６０５］

図３９Ａ、及び図３９Ｂにおいて、横軸は第２の酸化窒化シリコン膜の膜厚（ＳｉＯＮ膜厚）を示し、縦軸は金属酸化物膜のシート抵抗Ｒｓを示す。なお、図３９Ａは、プラズマ処理時の基板温度を３５０℃、かつプラズマ処理の処理時間を６０ｓｅｃとした試料の結果を抜粋して示している。図３９Ｂは、プラズマ処理時の基板温度を２４０℃、かつプラズマ処理の処理時間を６０ｓｅｃとした試料の結果を抜粋して示している。

［０６０６］

図３７Ａ、図３７Ｂ、図３８Ａ及び図３８Ｂに示すように、プラズマ処理の処理時間が長くなるほど、金属酸化物膜の抵抗が低くなることを確認できた。また、プラズマ処理時の基板温度を２４０℃とした試料と比較して、３５０℃とした試料は金属酸化物膜の抵抗が低くなることが分かった。図３９Ａ及び図３９Ｂに示すように、プラズマ処理後に加熱処理を行うことにより金属酸化物膜の抵抗が高くなり、加熱処理の温度が高いと金属酸化物膜の抵抗が高くなる傾向を確認できた。また、第２の酸化窒化シリコン膜の膜厚が薄くなるほど、金属酸化物膜の抵抗が低くなることを確認できた。なお、第２の酸化窒化シリコン膜を形成せずにプラズマ処理を行った試料では、金属酸化物膜の抵抗が高い傾向となった。第２の酸化窒化シリコン膜を形成しなかった試料は金属酸化物膜が露出した状態でプラズマ処理を行っており、金属酸化物膜にダメージが加わったことにより抵抗が高くなったと考えられる。

［０６０７］

以上の結果から、第２の酸化窒化シリコン膜の膜厚、プラズマ処理の処理条件を調整することにより、金属酸化物膜の抵抗を制御できることが分かった。なお、本実施例ではプラズマ処理の後に加熱処理を行ったが、加熱処理を熱が加わる処理に置き換えることができる。本実施例に示すようにプラズマ処理後の加熱処理の温度で金属酸化物膜の抵抗が異なるため、プラズマ処理後の熱が加わる処理の温度を考慮した上で、第２の酸化窒化シリコン膜の膜厚、プラズマ処理の処理条件を調整することで、金属酸化物膜の抵抗を制御できることが分かった。

［符号の説明］

［０６０８］

Ｃ１：容量、Ｃ２：容量、ＤＬ＿Ｙ：データ線、ＤＬ＿１：データ線、Ｇ１：配線、Ｇ２：配線、ＧＬ＿Ｘ：ゲート線、ＧＬ＿１：ゲート線、Ｍ１：トランジスタ、Ｍ２：トランジスタ、Ｍ３：トランジスタ、Ｎ１：ノード、Ｎ２：ノード、Ｐ１：領域、Ｐ２：領域、Ｓ１：配線、Ｓ２：配線、Ｔ１：期間、Ｔ２：期間、ＴＮ０：膜厚、ＴＮ１：膜厚、ＴＮ２：膜厚、ＴＮ３：膜厚、１０：トランジスタ、１０Ａ：トランジスタ、１０Ｂ：トランジスタ、１０Ｃ：トランジスタ、１０Ｄ：トランジスタ、１０Ｅ：トランジスタ、１０Ｆ：トランジスタ、１０Ｇ：トランジスタ、１０Ｈ：トランジスタ、１０Ｉ：トランジスタ、１００：トランジスタ、１００Ａ：トランジスタ、１００Ｂ：トランジスタ、１００Ｃ：トランジスタ、１００Ｄ：トランジスタ、１００Ｅ：トランジスタ、１００Ｆ：トランジスタ、１００Ｇ：トランジスタ、１０２：基板、１０３：絶縁層、１０３ａ：絶縁層、１０３ｂ：絶縁層、１０３ｃ：絶縁層、１０６：導電層、１０８：半導体層、１０８Ｃ：領域、１０８ｆ：金属酸化物膜、１０８Ｌ１：領域、１０８Ｌ２：領域、１０８Ｌ３：領域、１０８Ｌｐ：領域、１０８Ｎ：領域、１１０：絶縁層、１１０ａ：絶縁層、１１０Ａ：絶縁層、１１０ｂ：絶縁層、１１０Ｂ：絶縁層、１１０ｃ：絶縁層、１１０ｆ：絶縁膜、１１０Ｓ１：第１の側面、１１０Ｓ２：第２の側面、１１０Ｓ３：第３の側面、１１０Ｓｐ：第ｐの側面、１１２：導電層、１１２ｆ：導電膜、１１４：金属酸化物層、１１４ｆ：金属酸化物膜、１１５：レジストマスク、１１５ａ：レジストマスク、１１５ｂ：レジストマスク、１１８：絶縁層、１１８ａ：絶縁層、１１８ｂ：絶縁層、１２０ａ：導電層、１２０ｂ：導電層、１４０：第１の元素、１４１ａ：開口部、１４１ｂ：開口部、１４２：開口部、４００：画素回路、４００ＥＬ：画素回路、４００ＬＣ：画素回路、４０１：回路、４０１ＥＬ：回路、４０１ＬＣ：回路、５０１：画素回路、５０２：画素部、５０４：駆動回路部、５０４ａ：ゲートドライバ、５０４ｂ：ソースドライバ、５０６：保護

回路、５０７：端子部、５５０：トランジスタ、５５２：トランジスタ、５５４：トランジスタ、５６０：容量素子、５６２：容量素子、５７０：液晶素子、５７２：発光素子、７００：表示装置、７００Ａ：表示装置、７００Ｂ：表示装置、７０１：基板、７０２：画素部、７０４：ソースドライバ回路部、７０５：基板、７０６：ゲートドライバ回路部、７０８：ＦＰＣ端子部、７１０：信号線、７１１：配線部、７１２：シール材、７１６：ＦＰＣ、７１７：ＩＣ、７２１：ソースドライバＩＣ、７２２：ゲートドライバ回路部、７２３：ＦＰＣ、７２４：プリント基板、７３０：絶縁膜、７３２：封止膜、７３４：絶縁膜、７３６：着色膜、７３８：遮光膜、７４０：保護層、７４１：保護層、７４２：接着層、７４３：樹脂層、７４４：絶縁層、７４５：支持基板、７４６：樹脂層、７５０：トランジスタ、７５２：トランジスタ、７６０：配線、７７０：平坦化絶縁膜、７７２：導電層、７７３：絶縁層、７７４：導電層、７７５：液晶素子、７７６：液晶層、７７８：スペーサ、７８０：異方性導電膜、７８２：発光素子、７８６：ＥＬ層、７８８：導電膜、７９０：容量素子、６０００：表示モジュール、６００１：上部カバー、６００２：下部カバー、６００５：ＦＰＣ、６００６：表示装置、６００９：フレーム、６０１０：プリント基板、６０１１：バッテリー、６０１５：発光部、６０１６：受光部、６０１７ａ：導光部、６０１７ｂ：導光部、６０１８：光、６５００：電子機器、６５０１：筐体、６５０２：表示部、６５０３：電源ボタン、６５０４：ボタン、６５０５：スピーカ、６５０６：マイク、６５０７：カメラ、６５０８：光源、６５１０：保護部材、６５１１：表示パネル、６５１２：光学部材、６５１３：タッチセンサパネル、６５１５：ＦＰＣ、６５１６：ＩＣ、６５１７：プリント基板、６５１８：バッテリー、７１００：テレビジョン装置、７１０１：筐体、７１０３：スタンド、７１１１：リモコン操作機、７２００：ノート型パーソナルコンピュータ、７２１１：筐体、７２１２：キーボード、７２１３：ポインティングデバイス、７２１４：外部接続ポート、７３００：デジタルサイネージ、７３０１：筐体、７３０３：スピーカ、７３１１：情報端末機、７４００：デジタルサイネージ、７４０１：柱、７５００：表示部、８０００：カメラ、８００１：筐体、８００２：表示部、８００３：操作ボタン、８００４：シャッターボタン、８００６：レンズ、８１００：ファインダー、８１０１：筐体、８１０２：表示部、８１０３：ボタン、８２００：ヘッドマウントディスプレイ、８２０１：装着部、８２０２：レンズ、８２０３：本体、８２０４：表示部、８２０５：ケーブル、８２０６：バッテリー、８３００：ヘッドマウントディスプレイ、８３０１：筐体、８３０２：表示部、８３０４：固定具、８３０５：レンズ、９０００：筐体、９００１：表示部、９００３：スピーカ、９００５：操作キー、９００６：接続端子、９００７：センサ、９００８：マイクロフォン、９０５０：アイコン、９０５１：情報、９０５２：情報、９０５３：情報、９０５４：情報、９０５５：ヒンジ、９１００：テレビジョン装置、９１０１：携帯情報端末、９１０２：携帯情報端末、９２００：携帯情報端末、９２０１：携帯情報端末

請求の範囲

［請求項１］

半導体層と、前記半導体層上の第１の絶縁層と、前記第１の絶縁層上の導電層と、を有し、

前記半導体層は、第１の領域と、一対の第２の領域と、一対の第３の領域と、一対の第４の領域と、を有し、

前記第２の領域は、前記第１の領域を挟み、

前記第３の領域は、前記第１の領域及び前記第２の領域を挟み、

前記第４の領域は、前記第１の領域、前記第２の領域及び前記第３の領域を挟み、

前記第１の領域は、前記第１の絶縁層及び前記導電層と重なる領域を有し、

前記第２の領域及び前記第３の領域はそれぞれ、前記第１の絶縁層と重なる領域を有し、かつ前記導電層と重ならず、

前記第４の領域は、前記第１の絶縁層及び前記導電層のいずれとも重ならず、

前記第２の領域と重なる領域の前記第１の絶縁層の膜厚は、前記第１の領域と重なる領域の前記第１の絶縁層の膜厚と概略等しく、

前記第３の領域と重なる領域の前記第１の絶縁層の膜厚は、前記第２の領域と重なる領域の前記第１の絶縁層の膜厚より薄い半導体装置。

［請求項２］

請求項１において、

さらに第２の絶縁層を有し、

前記第２の絶縁層は、前記第１の絶縁層の上面及び側面、並びに前記第４の領域の上面と接する半導体装置。

［請求項３］

請求項２において、

前記第１の絶縁層は、酸化物または酸化窒化物を有し、

前記第２の絶縁層は、酸化物または酸化窒化物を有する半導体装置。

［請求項４］

請求項２において、

前記第１の絶縁層は、酸化物または酸化窒化物を有し、

前記第２の絶縁層は、窒化物または窒化酸化物を有する半導体装置。

［請求項５］

請求項１乃至請求項４のいずれか一において、

前記第３の領域及び前記第４の領域はそれぞれ、第１の元素を有し、

前記第３の領域の前記第１の元素の濃度は、前記第２の領域の前記第１の元素の濃度より高く、

前記第４の領域の前記第１の元素の濃度は、前記第３の領域の前記第１の元素の濃度より高く、

前記第１の元素は、水素、ホウ素、窒素、リンのいずれか一以上である半導体装置。

［請求項６］

請求項１乃至請求項５のいずれか一において、

前記第２の領域の抵抗は、前記第１の領域の抵抗より低く、

前記第３の領域の抵抗は、前記第２の領域の抵抗より低く、

前記第４の領域の抵抗は、前記第３の領域の抵抗より低い半導体装置。

［請求項７］

請求項１乃至請求項６のいずれか一において、

前記第３の領域の抵抗は、前記第２の領域の抵抗の２倍以上１×１０^{3}倍以下である半導体装置。

［請求項８］

請求項１乃至請求項７のいずれか一において、

前記第３の領域と重なる部分の前記第１の絶縁層の膜厚は、前記第２の領域と重なる部分の前記第１の絶縁層の膜厚の０．２倍以上０．９倍以下である半導体装置。

［請求項９］

請求項１乃至請求項８のいずれか一において、

前記第２の領域の幅及び前記第３の領域の幅はそれぞれ、５０ｎｍ以上１μｍ以下である半導体装置。

［請求項１０］

請求項１乃至請求項９のいずれか一において、

前記半導体層は、インジウムと、元素Ｍと、亜鉛と、を有し、

前記元素Ｍは、アルミニウム、ガリウム、イットリウム、及びスズの一以上である半導体装置。

［請求項１１］

島状の半導体層を形成する工程と、

前記半導体層上に、絶縁膜を形成する工程と、

前記絶縁膜上に、導電膜を形成する工程と、

前記導電膜上に、端部が前記半導体層の端部より内側に位置する第１のレジストマスクを形成する工程と、

前記第１のレジストマスクを用いて、前記導電膜をエッチングし、端部が前記第１のレジストマスクの端部より内側に位置する導電層を形成する工程と、

前記第１のレジストマスクを用いて、前記絶縁膜をエッチングし、第１の絶縁層を形成する工程と、

前記第１のレジストマスクを縮小させ、端部が前記導電層の端部より外側に位置する第２のレジストマスクを形成する工程と、

前記第２のレジストマスクを用いて、前記第１の絶縁層の上部の一部をエッチングし、第２の絶縁層を形成する工程と、

前記第２のレジストマスクを除去する工程と、

前記導電層、前記第２の絶縁層、及び前記半導体層上に、第３の絶縁層を形成する工程と、

前記第２の絶縁層及び前記第３の絶縁層を介して、前記半導体層に第１の元素を供給する工程と、を有し、

前記第１の元素は、水素、ホウ素、窒素、リンの一以上である半導体装置の作製方法。

［請求項１２］

請求項１１において、

前記第１の元素を供給する工程は、前記第３の絶縁層を形成する工程の後に大気暴露することなく連続して行われる半導体装置の作製方法。

［請求項１３］

請求項１１または請求項１２において、

前記導電層を形成する工程は、ウェットエッチング法を用い、

前記第１の絶縁層を形成する工程及び前記第２の絶縁層を形成する工程はそれぞれ、ドライエッチング法を用いる半導体装置の作製方法。

図1A

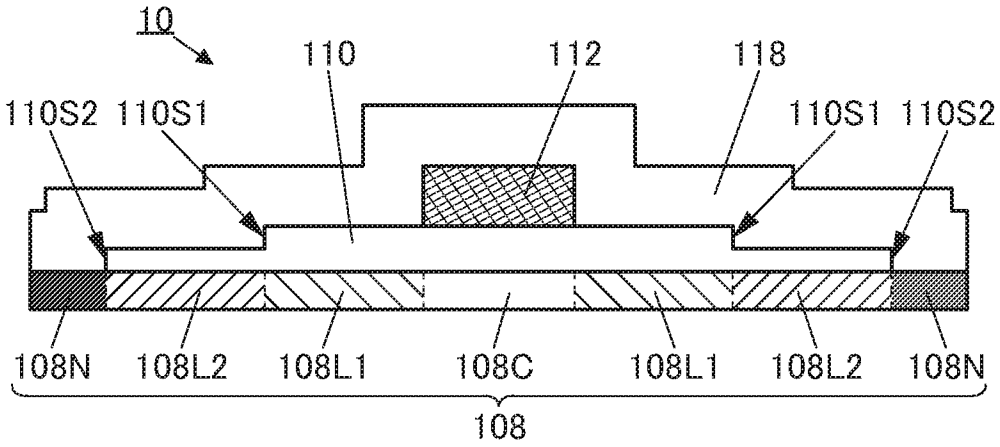

10
110
112
118
110S2
110S1
110S1
110S2
108N
108L2
108L1
108C
108L1
108L2
108N
108

図1B

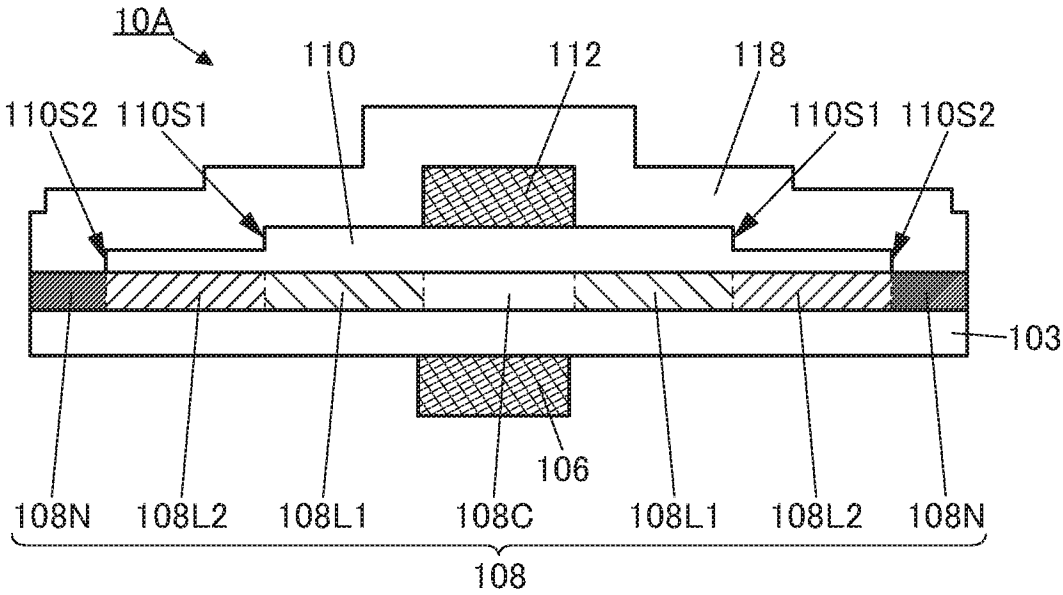

10A
110
112
118
110S2
110S1
110S1
110S2
103
106
108N
108L2
108L1
108C
108L1
108L2
108N
108

図1C

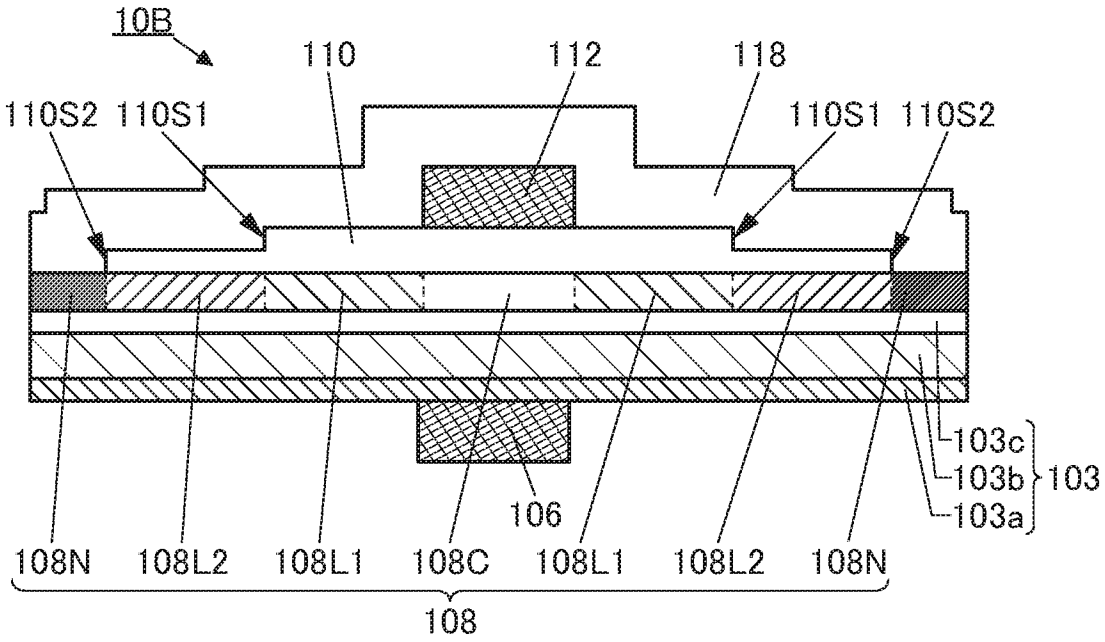

10B
110
112
118
110S2
110S1
110S1
110S2
103c
103b
103a
103
106
108N
108L2
108L1
108C
108L1
108L2
108N
108

図2A

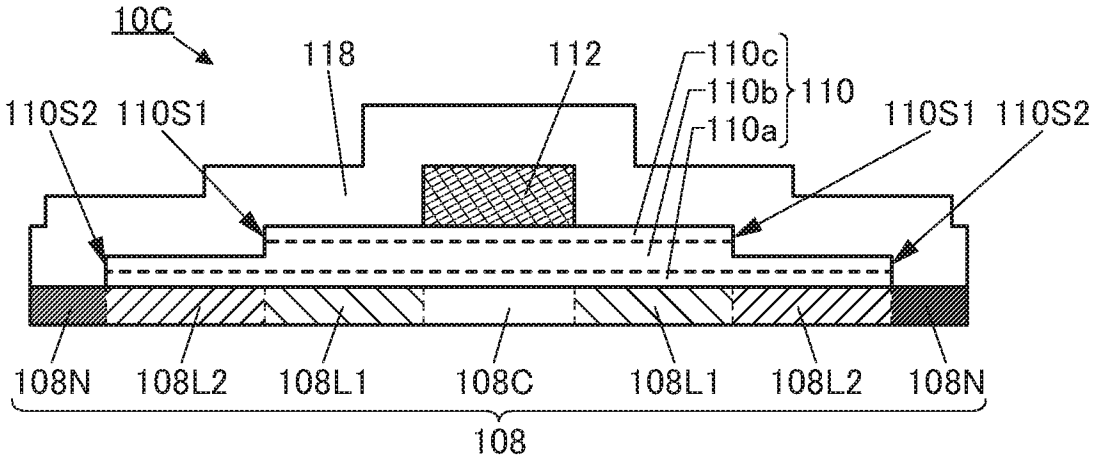

10C
118
112
110c
110b
110a
110
110S2
110S1
110S1
110S2
108N
108L2
108L1
108C
108L1
108L2
108N
108

図2B

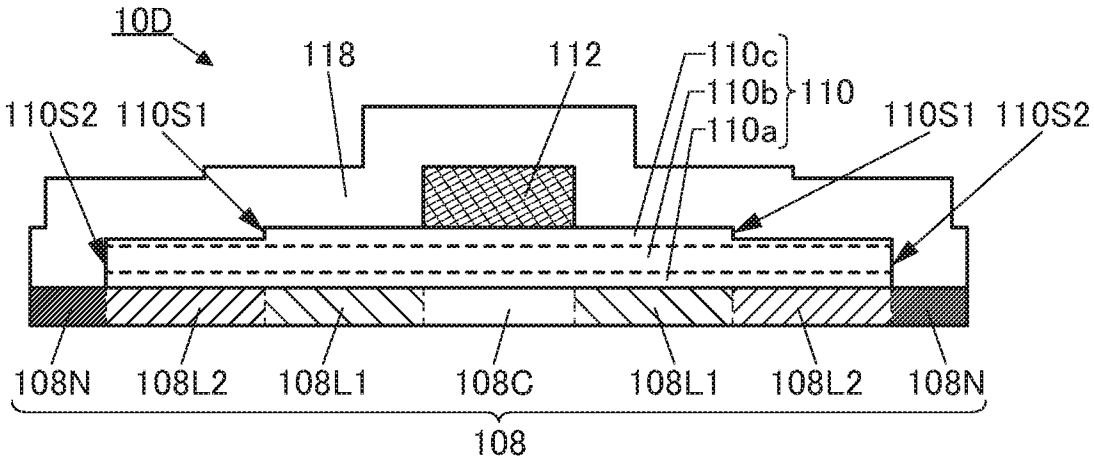

10D
118
112
110c
110b
110a
110
110S2
110S1
110S1
110S2
108N
108L2
108L1
108C
108L1
108L2
108N
108

図2C

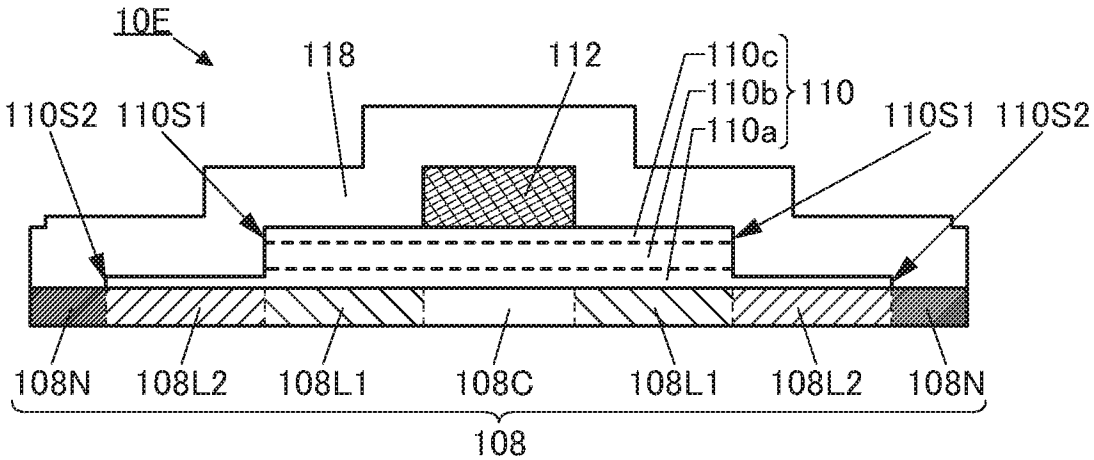

10E
118
112
110c
110b
110a
110
110S2
110S1
110S1
110S2
108N
108L2
108L1
108C
108L1
108L2
108N
108

図3A

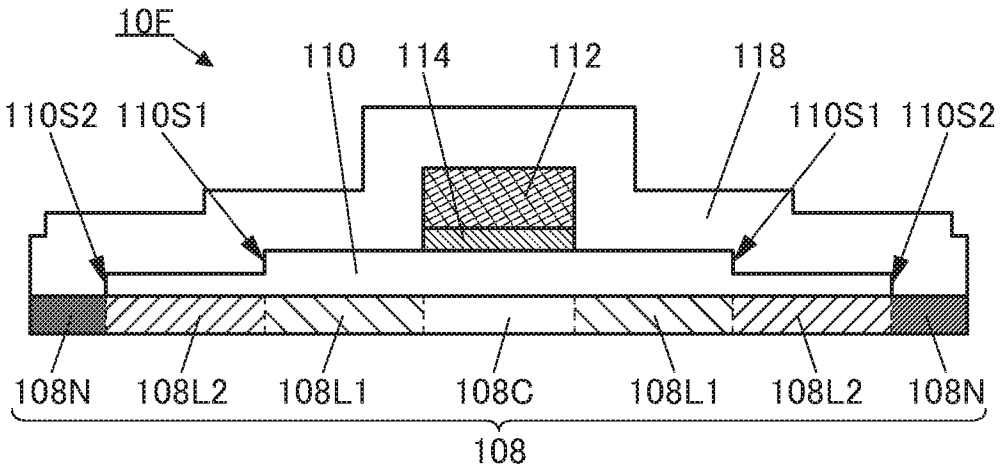

10E
110
114
112
118
110S2
110S1
110S1
110S2
108N
108L2
108L1
108C
108L1
108L2
108N
108

図3B

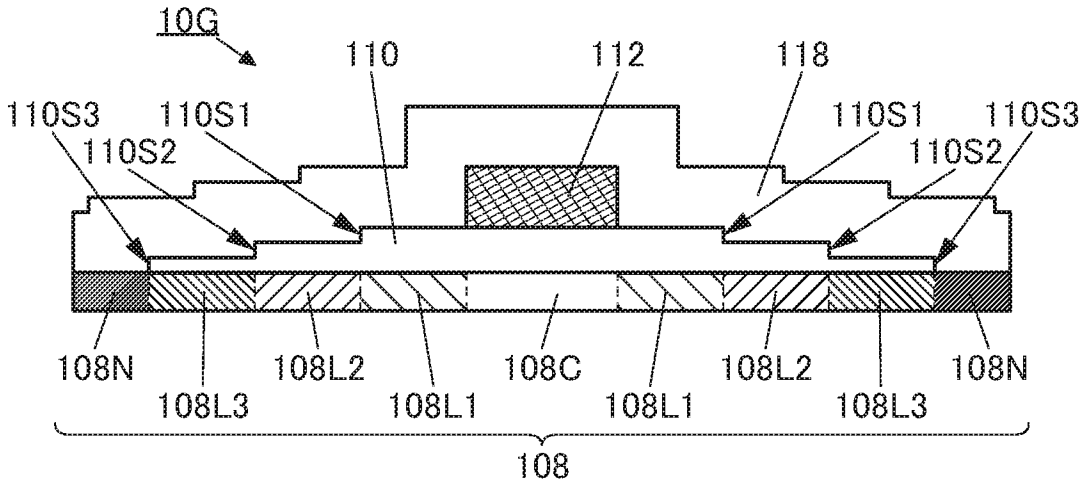

10G
110
112
118
110S3
110S1
110S2
110S1
110S3
110S2
108N
108L3
108L2
108L1
108C
108L1
108L2
108L3
108N
108

図4A

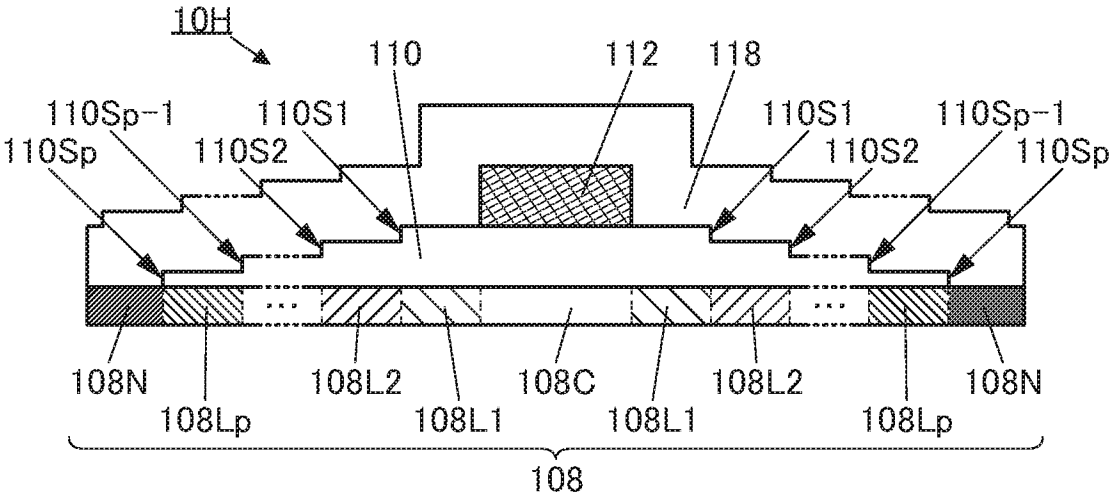

10H
110
112
118
110Sp-1
110S1
110S1
110Sp-1
110Sp
110S2
110S2
110Sp
108N
108Lp
108L2
108L1
108C
108L1
108L2
108Lp
108N
108

図4B

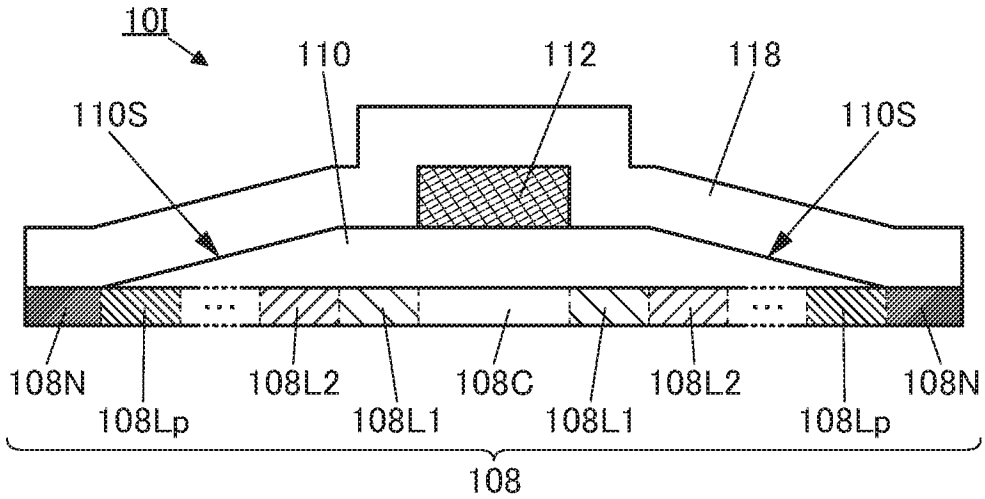

10I
110
112
118
110S
110S
108N
108Lp
108L2
108L1
108C
108L1
108L2
108Lp
108N
108

図5A

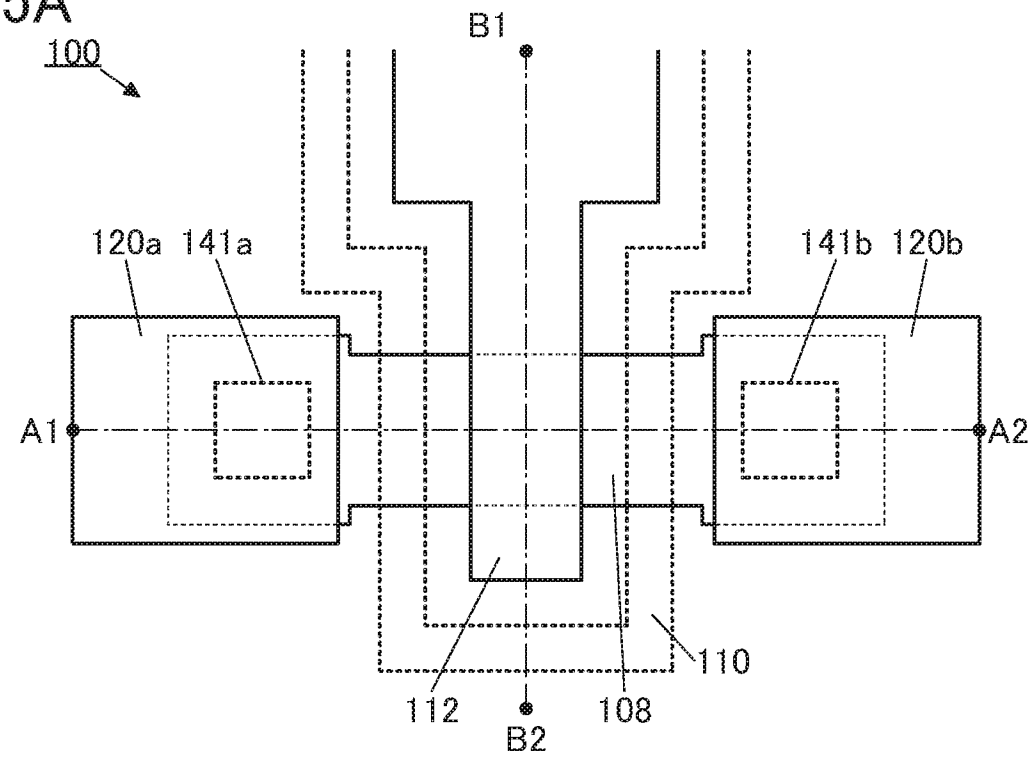

100
B1
120a
141a
141b
120b
A1
A2
110
112
108
B2

図5B

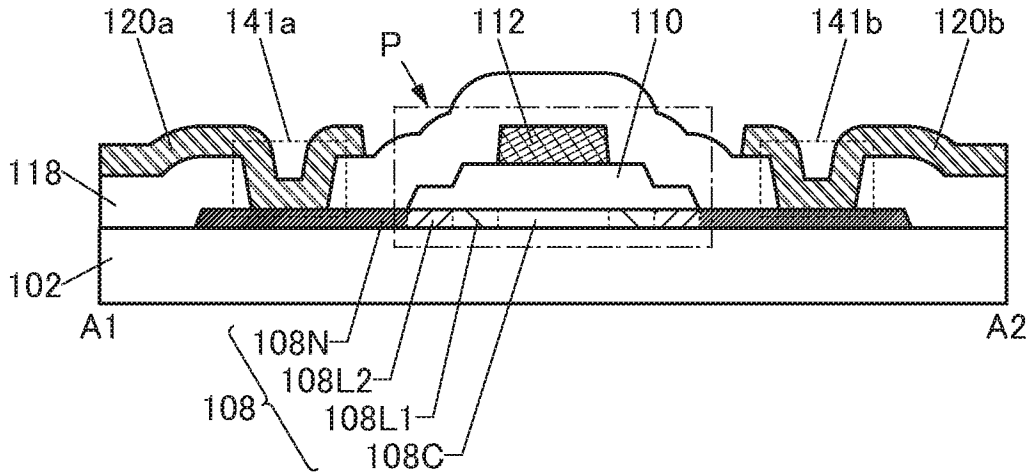

120a
141a
P
112
110
141b
120b
118
102
A1
A2
108N
108L2
108
108L1
108C

図5C

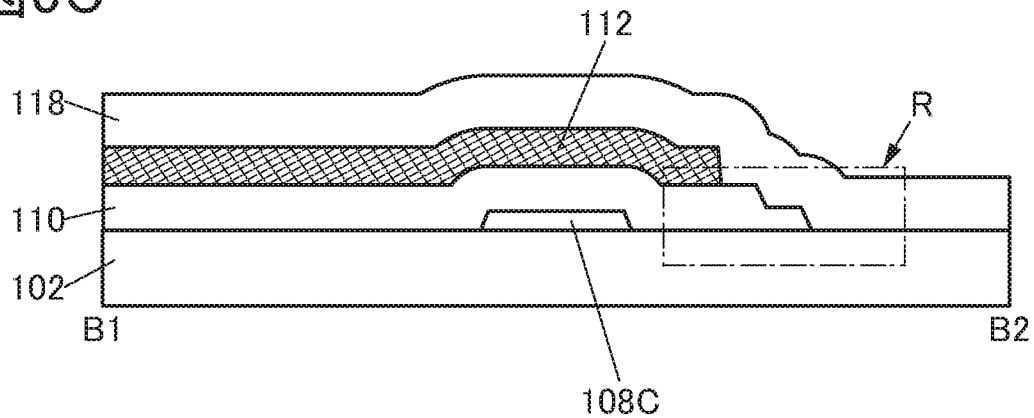

112
118
R
110
102
B1
B2
108C

図6A

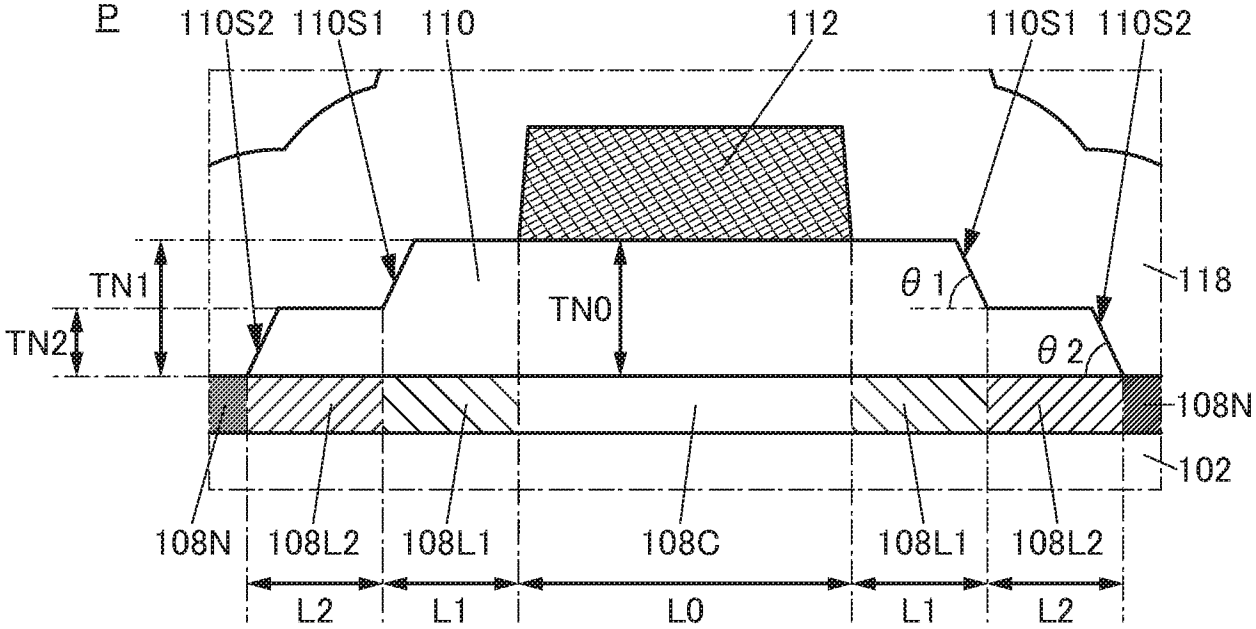

P
110S2
110S1
110
112
110S1
110S2
TN1
TN2
TN0
θ1
θ2
118
108N
102
108N
108L2
108L1
108C
108L1
108L2
L2
L1
L0
L1
L2

図6B

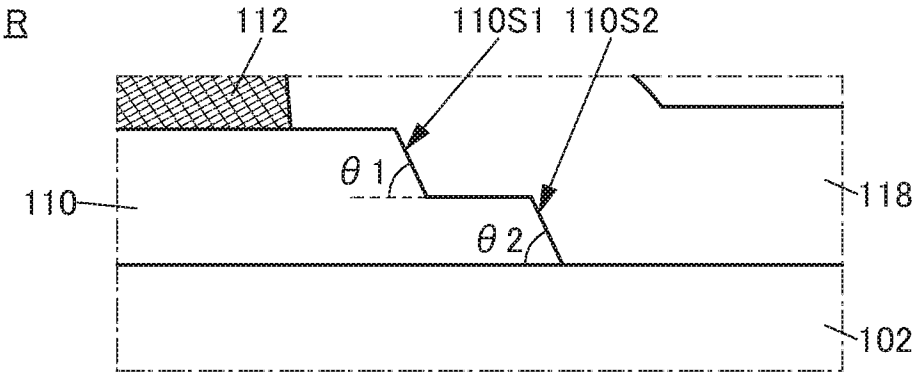

R
112
110S1
110S2
θ1
θ2
110
118
102

図7A

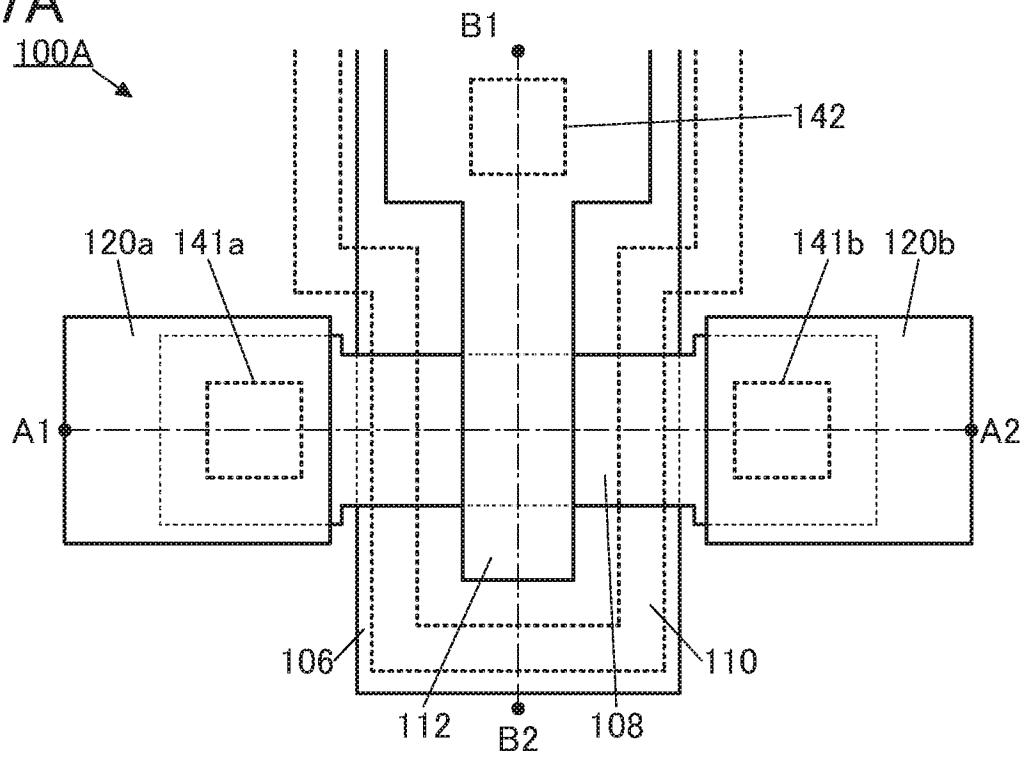

100A
B1
142
120a
141a
141b
120b
A1
A2
106
110
112
B2
108

図7B

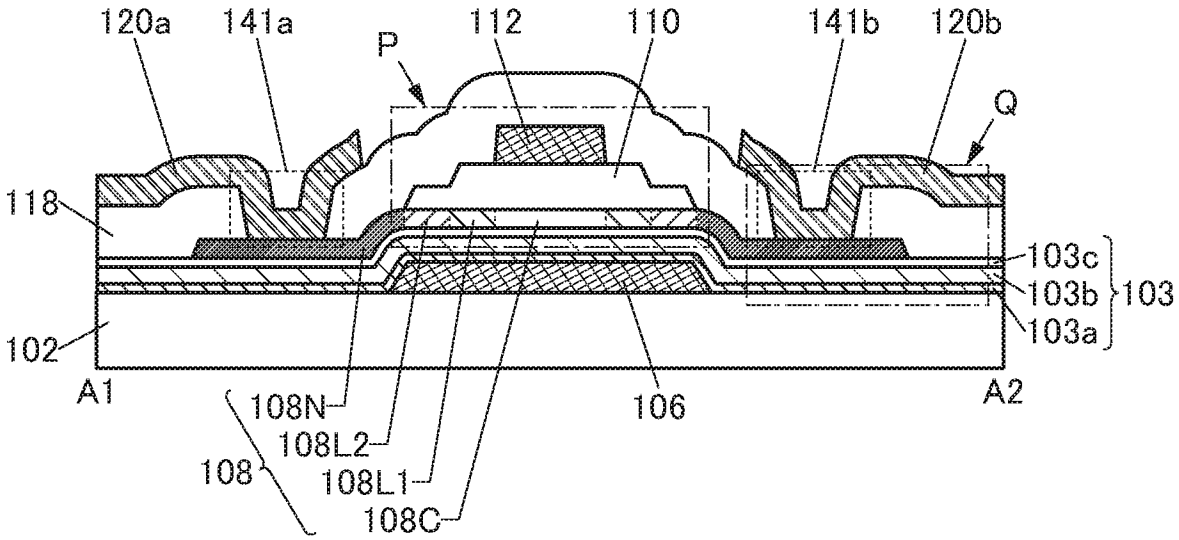

120a
141a
P
112
110
141b
120b
Q
118
103c
103b
103
103a
102
A1
A2
108N
108L2
108
108L1
108C
106

図7C

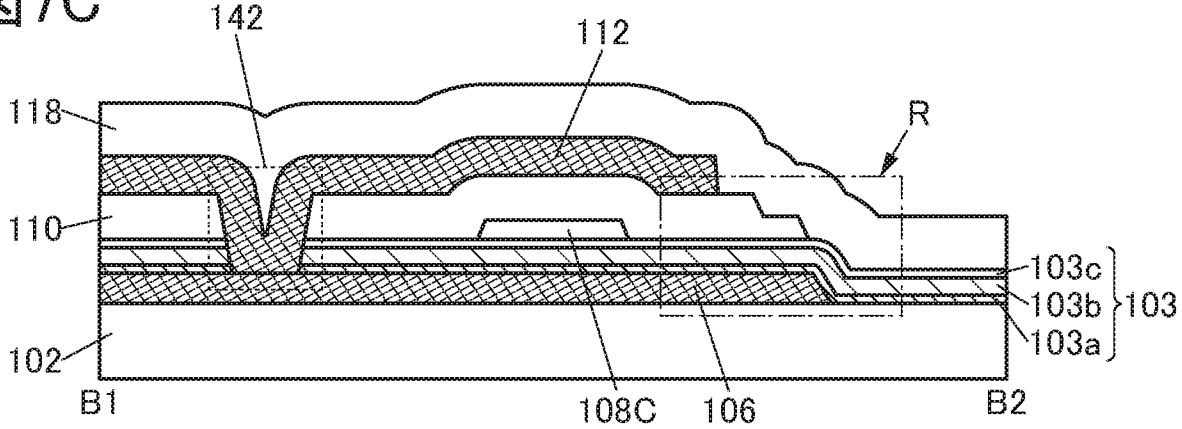

142
112
118
R
110
103c
103b
103
103a
102
B1
B2
108C
106

図8A

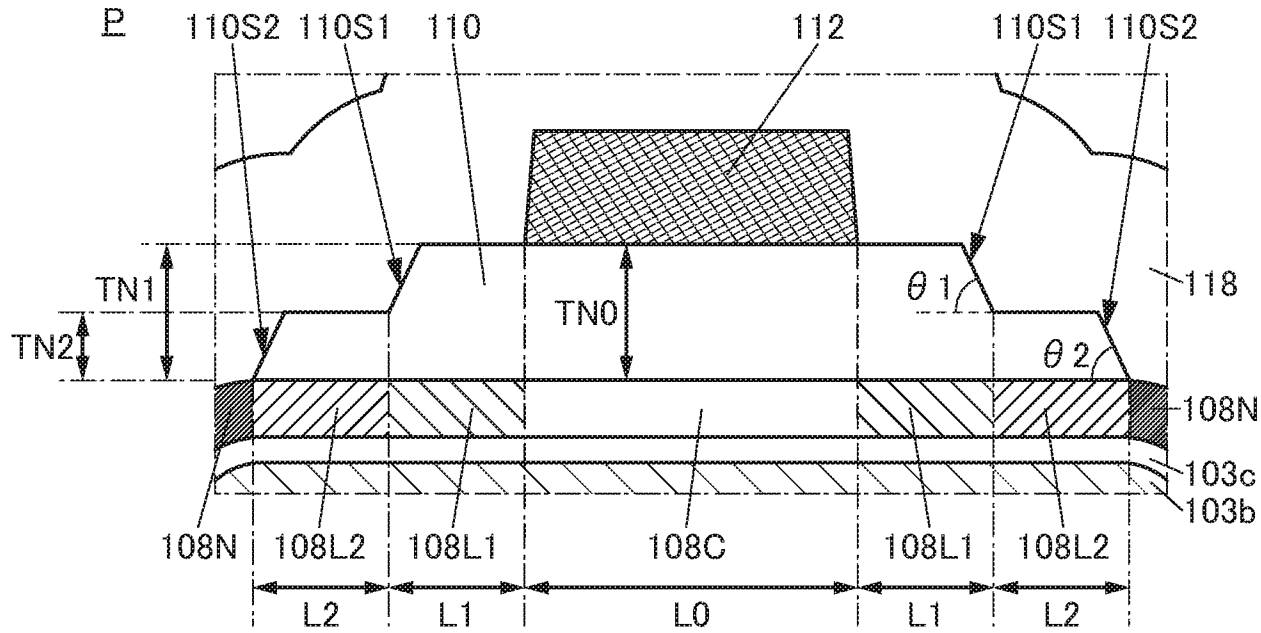

P
110S2
110S1
110
112
110S1
110S2
TN1
TN2
TN0
θ1
θ2
118
108N
103c
103b
108N
108L2
108L1
108C
108L1
108L2
L2
L1
L0
L1
L2

図8B

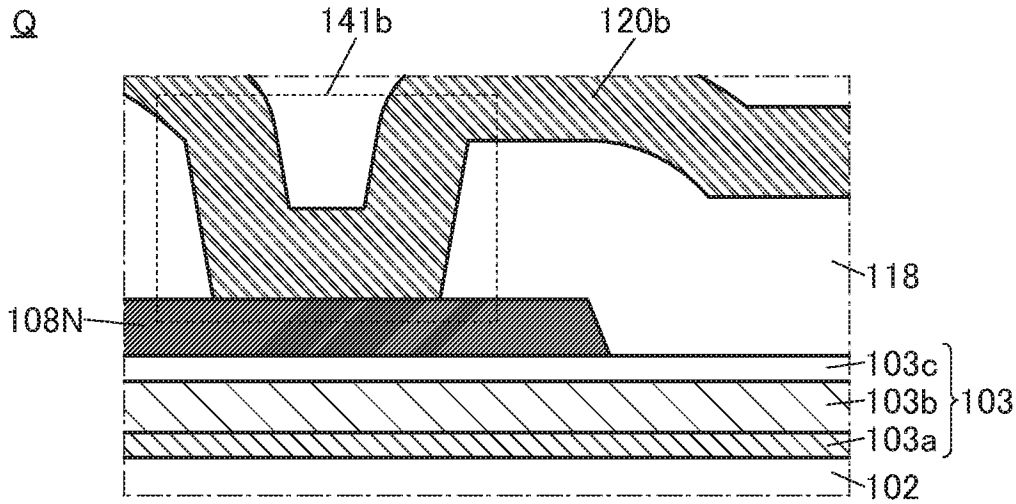

Q
141b
120b
118
108N
103c
103b
103a
103
102

図8C

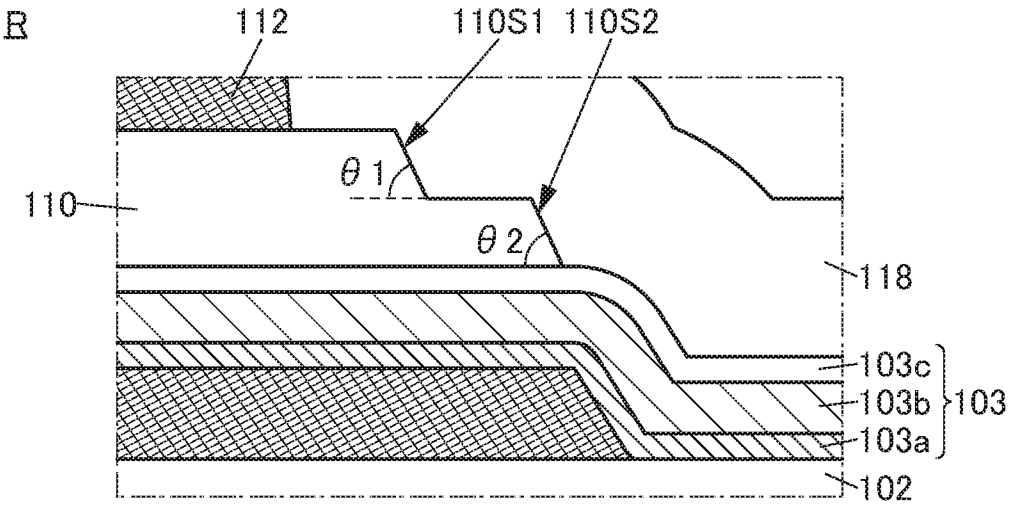

R
112
110S1
110S2
θ1
110
θ2
118
103c
103b
103a
103
102

図9A

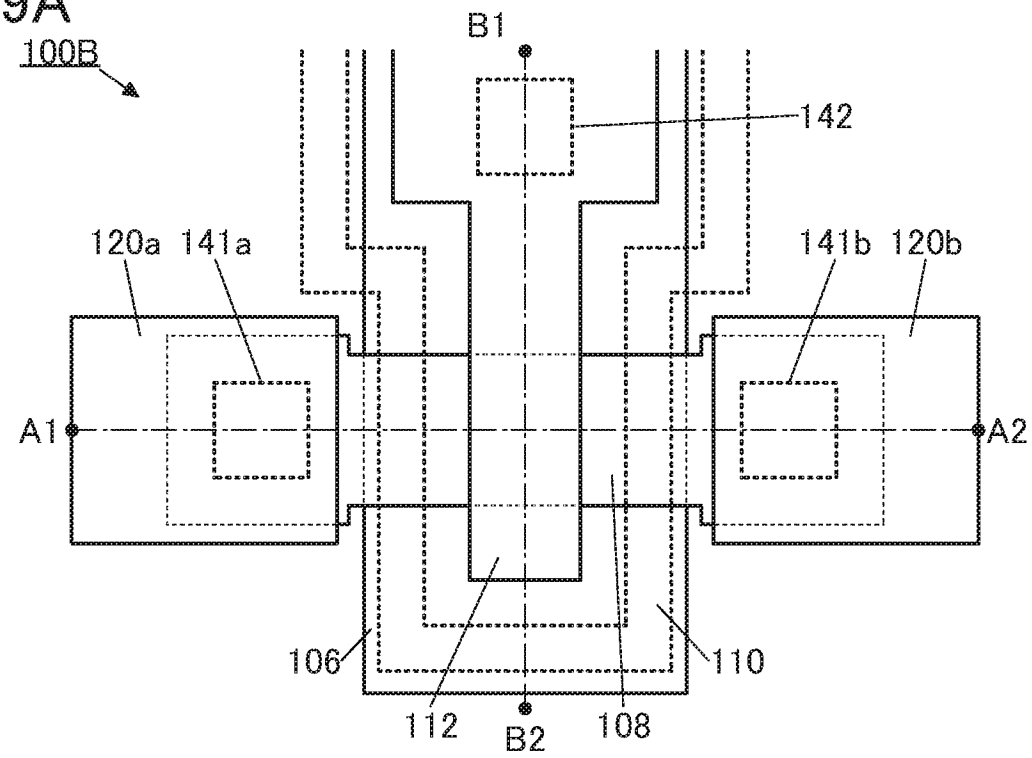

100B
B1
142
120a
141a
141b
120b
A1
A2
106
110
112
B2
108

図9B

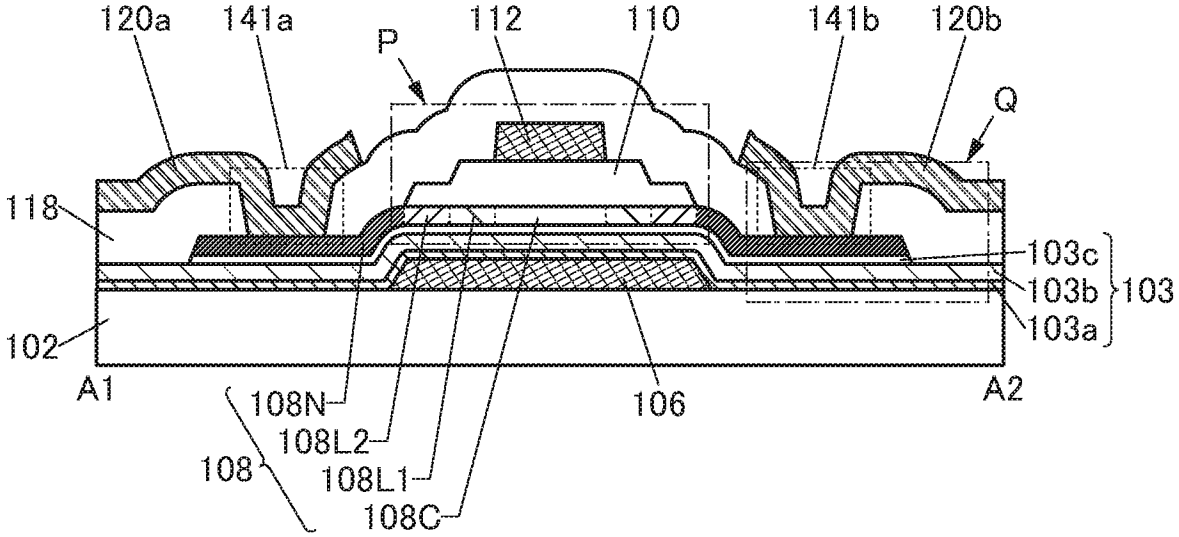

120a
141a
P
112
110
141b
120b
Q
118
103c
103b
103
103a
102
A1
A2
108N
108L2
108
108L1
108C
106

図9C

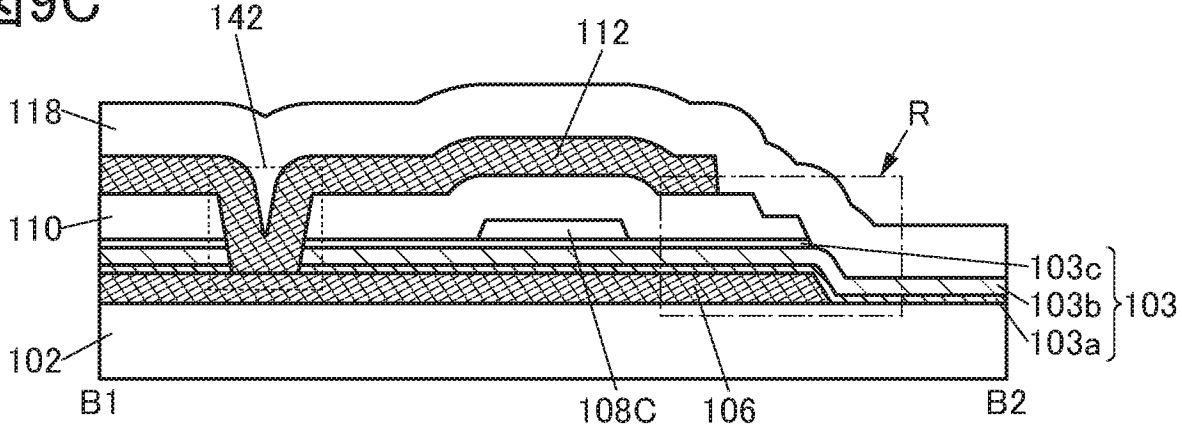

142
112
118
R
110
103c
103b
103
103a
102
B1
B2
108C
106

図10A

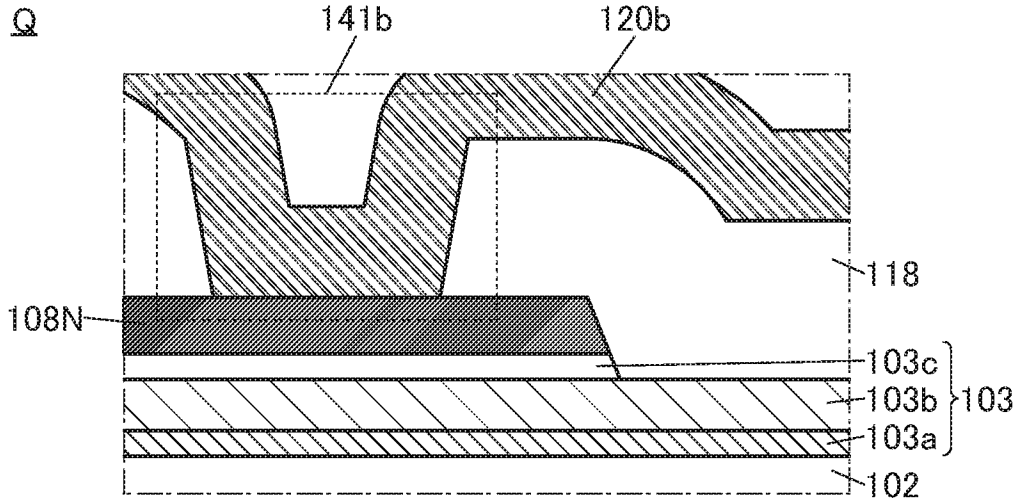

Q
141b
120b
118
108N
103c
103b
103
103a
102

図10B

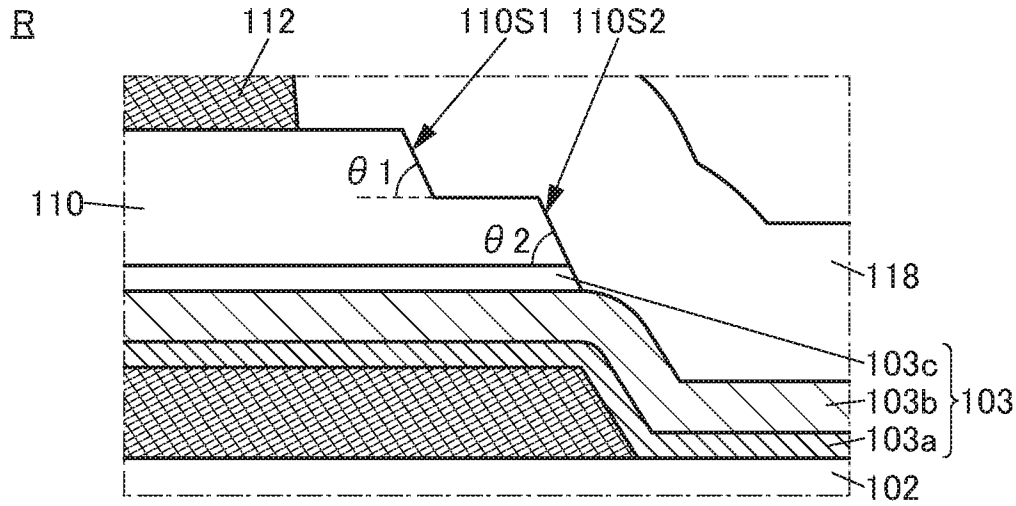

R
112
110S1
110S2
θ1
110
θ2
118
103c
103b
103
103a
102

図11A

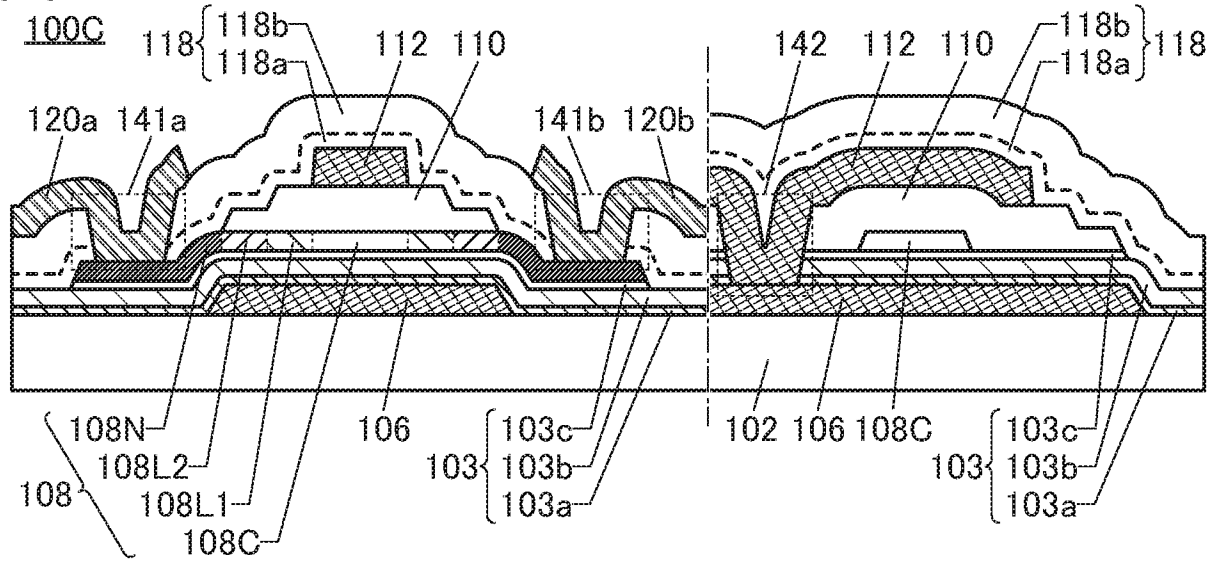


図11B

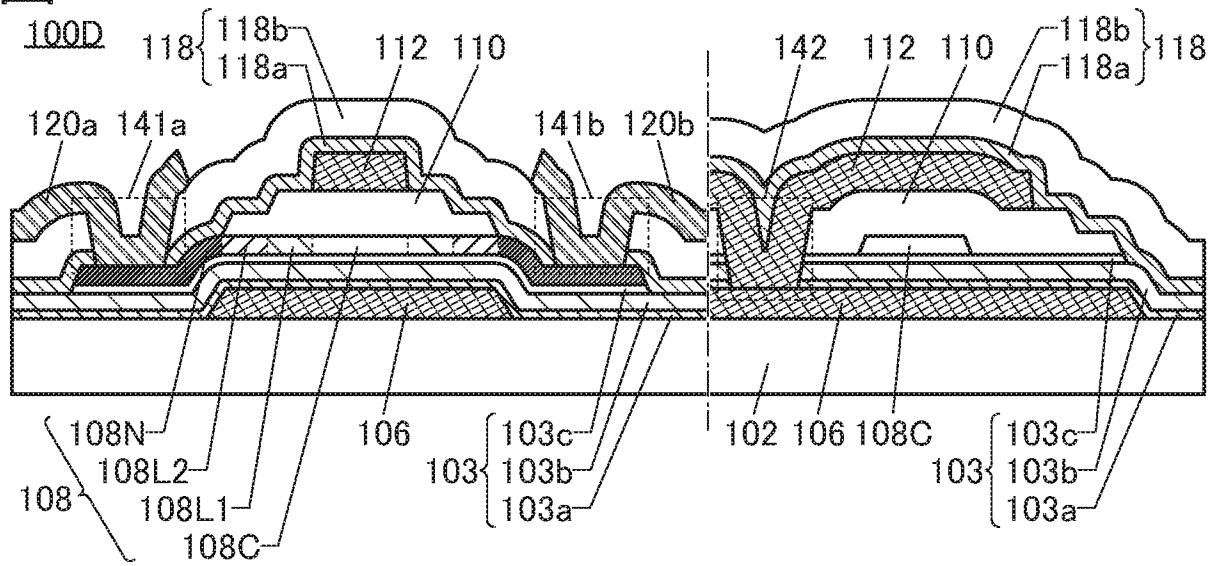


図11C

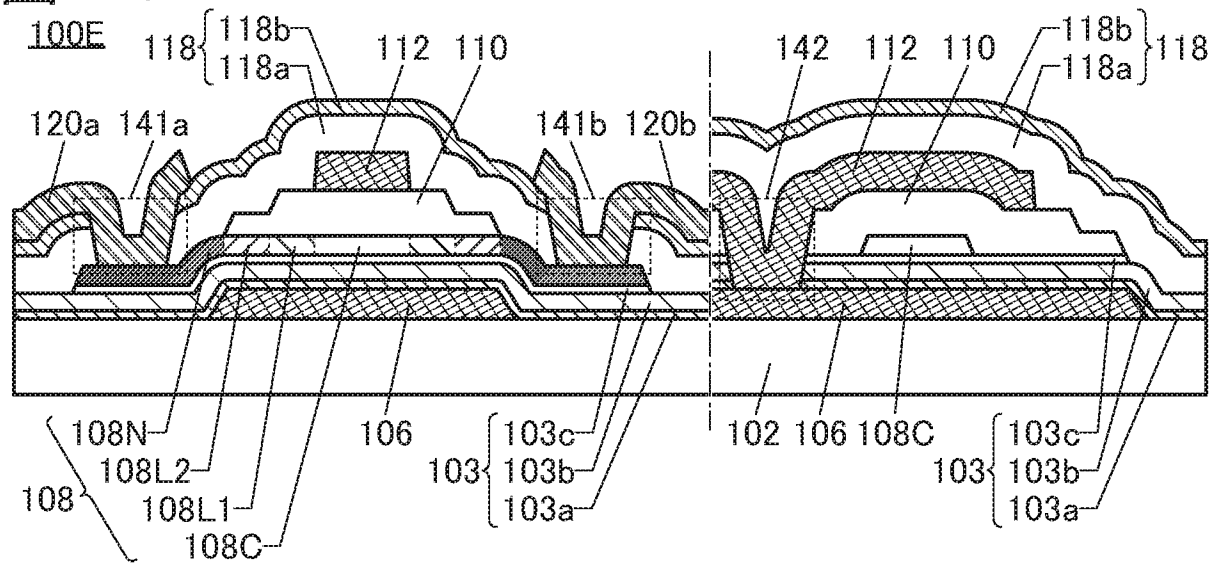


図12

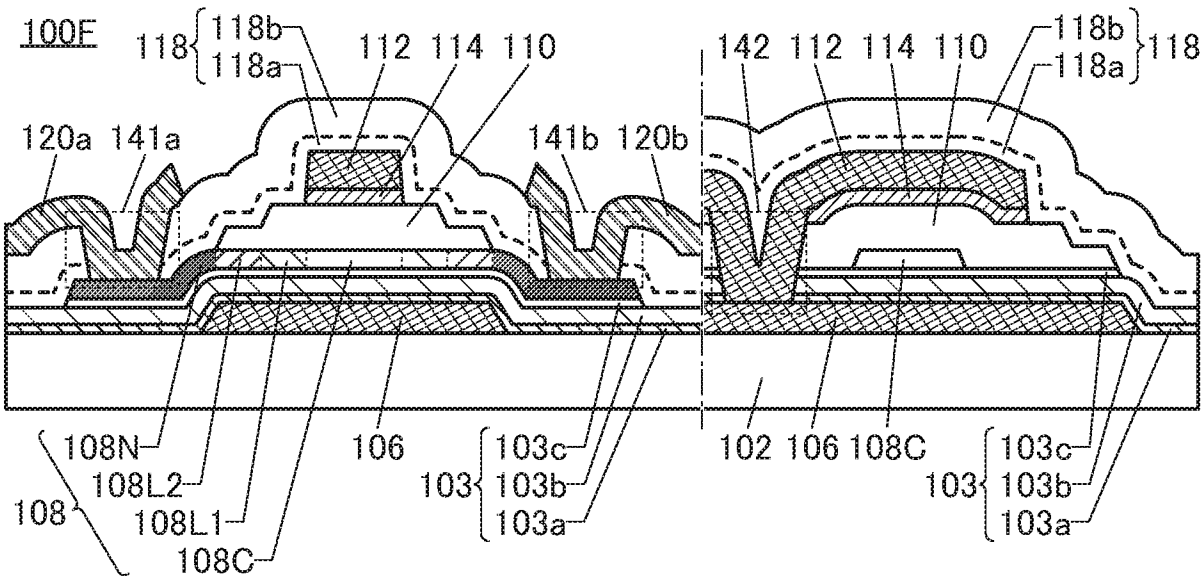

100E
118
118b
118a
112
114
110
142
112
114
110
118b
118a
118
120a
141a
141b
120b
108N
108L2
108L1
108C
108
106
103
103c
103b
103a
102
106
108C
103
103c
103b
103a

図13A

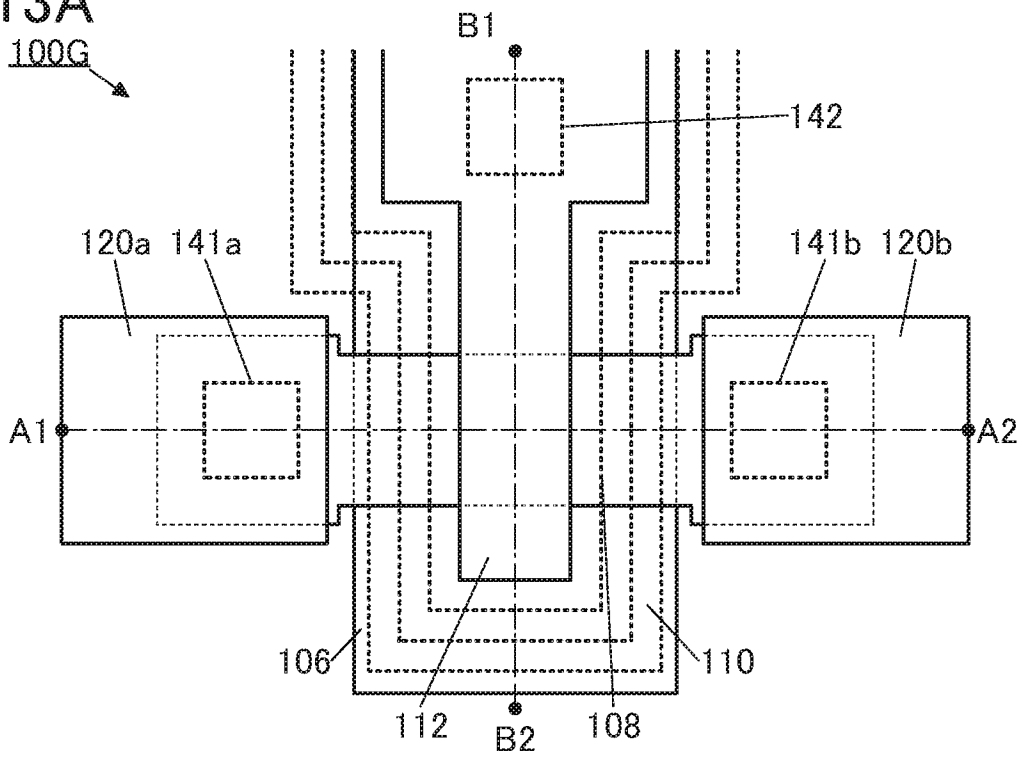


図13B

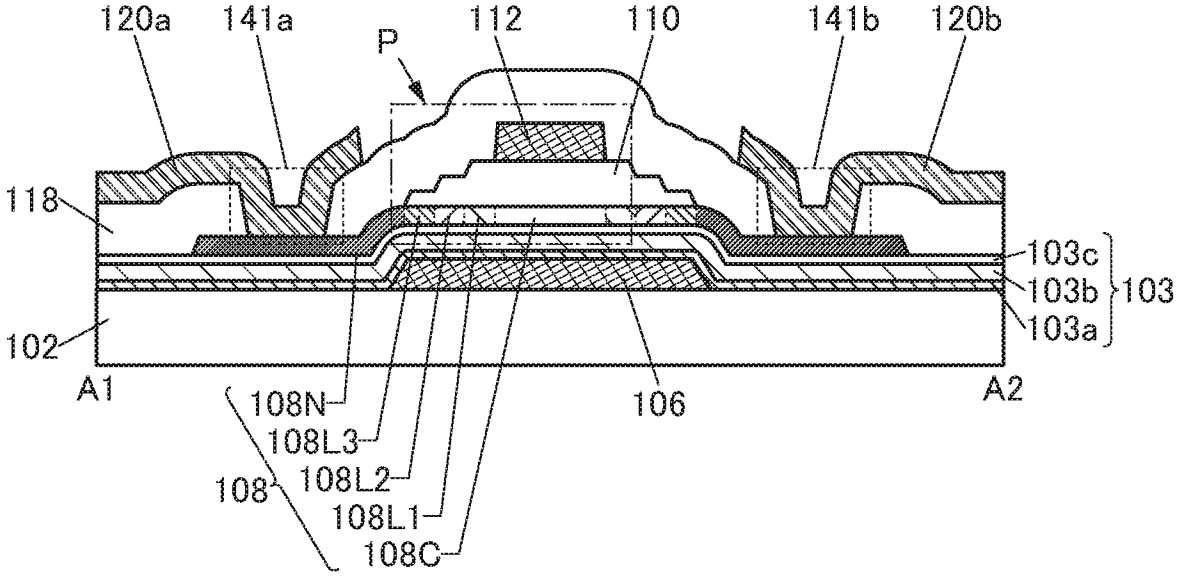


図13C

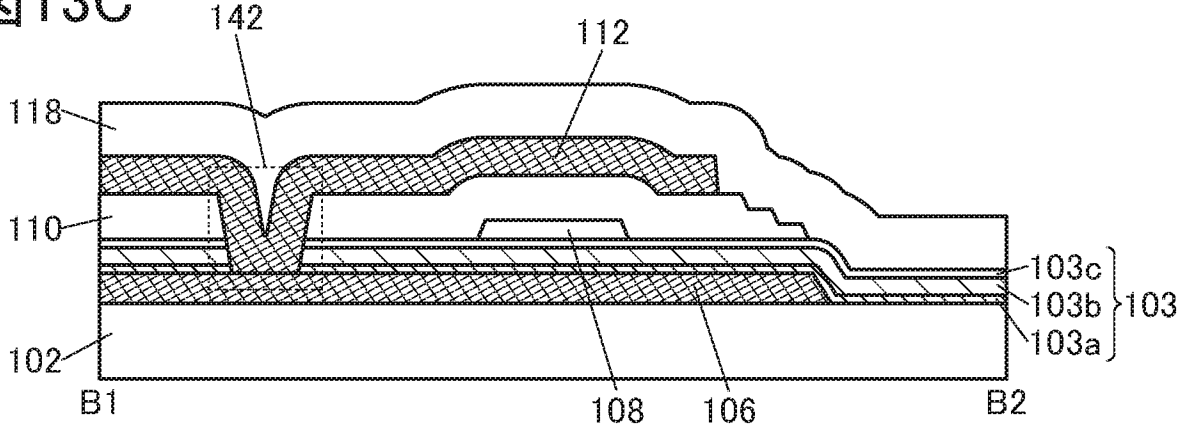


図14

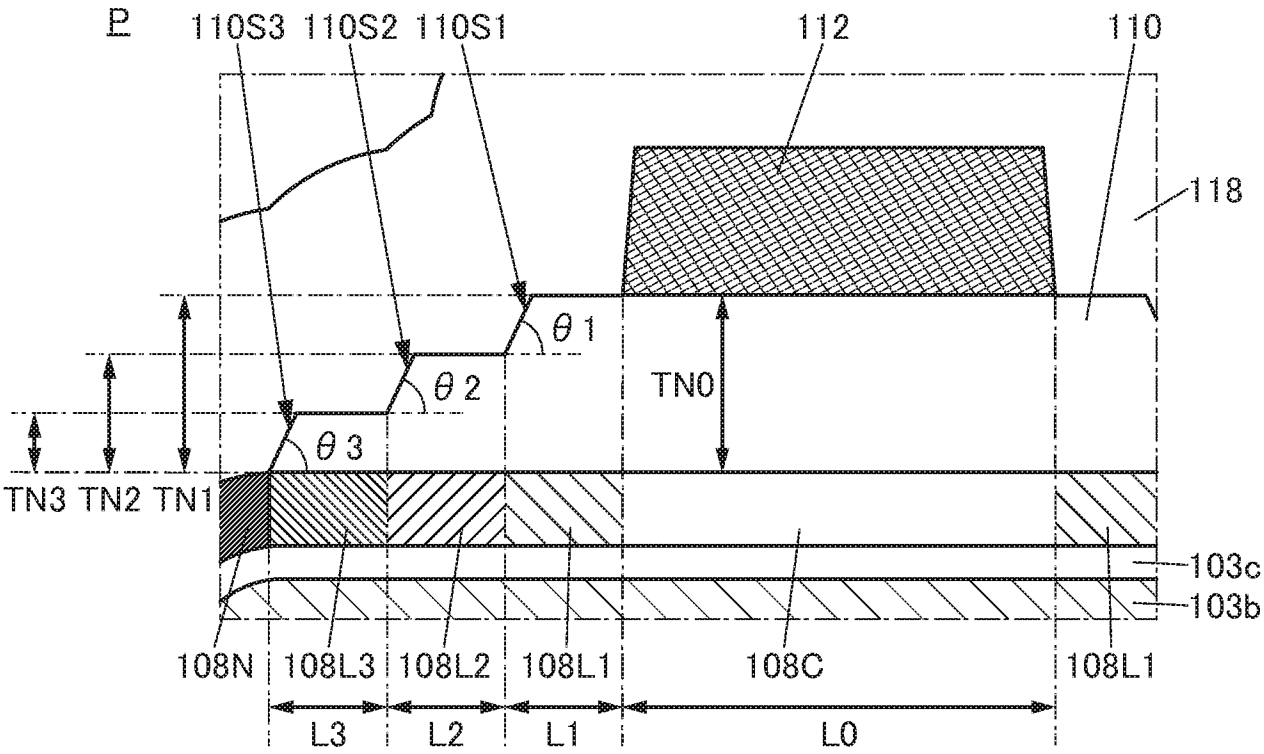

P
110S3
110S2
110S1
112
110
118
θ1
θ2
θ3
TN0
TN3 TN2 TN1
103c
103b
108N
108L3
108L2
108L1
108C
108L1
L3
L2
L1
L0

図15A

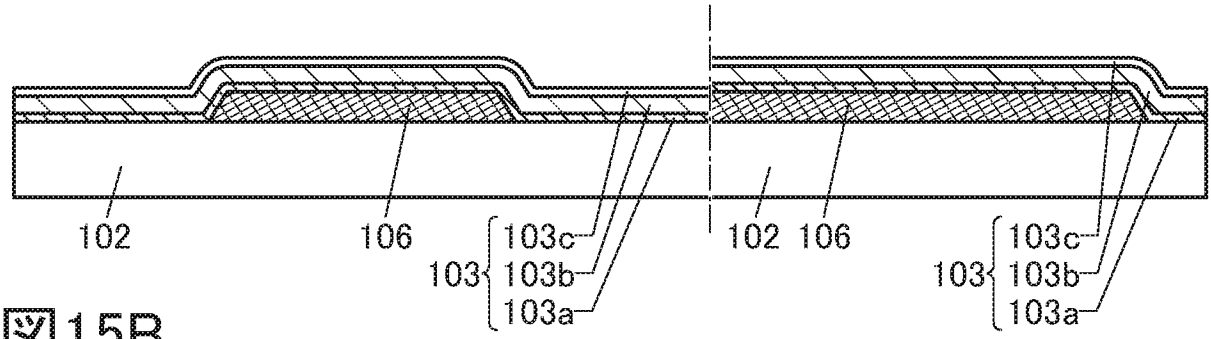


図15B

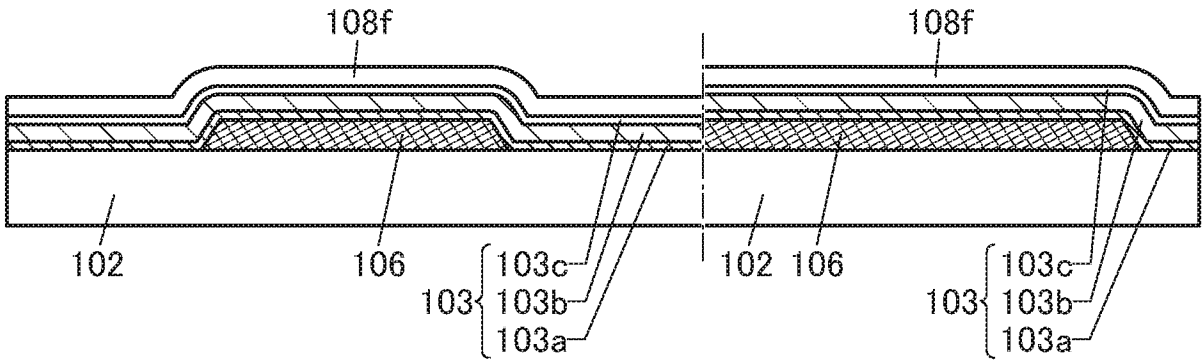


図15C

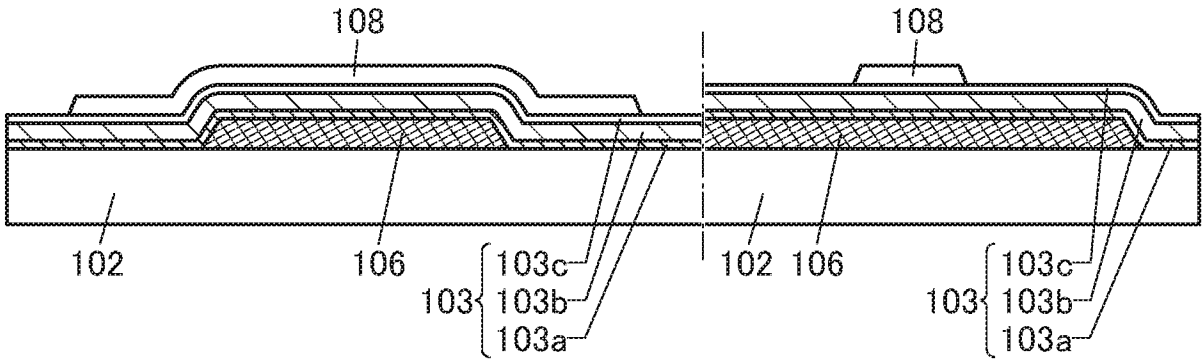


図15D

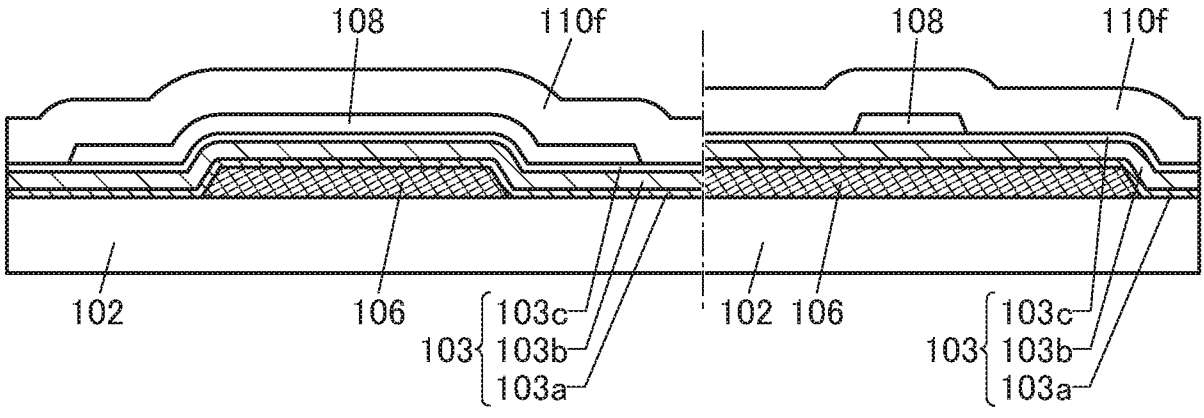


図16A

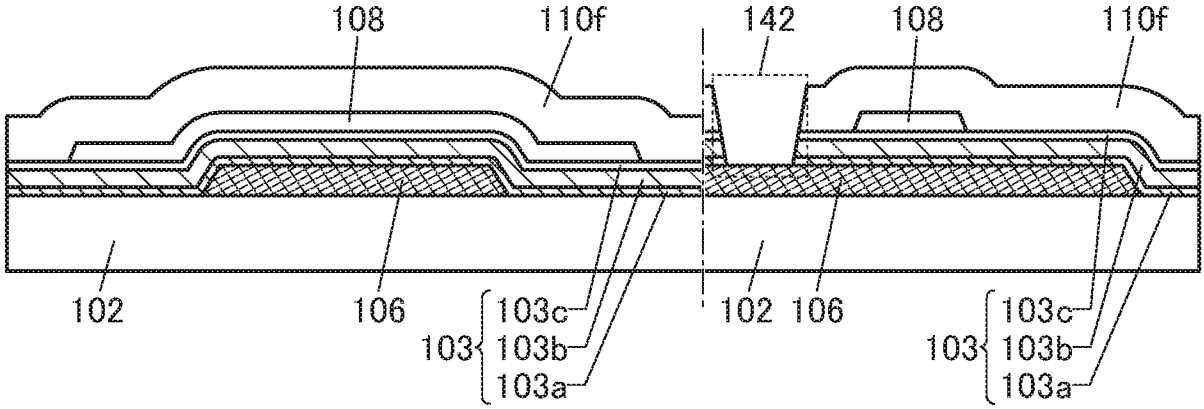


図16B

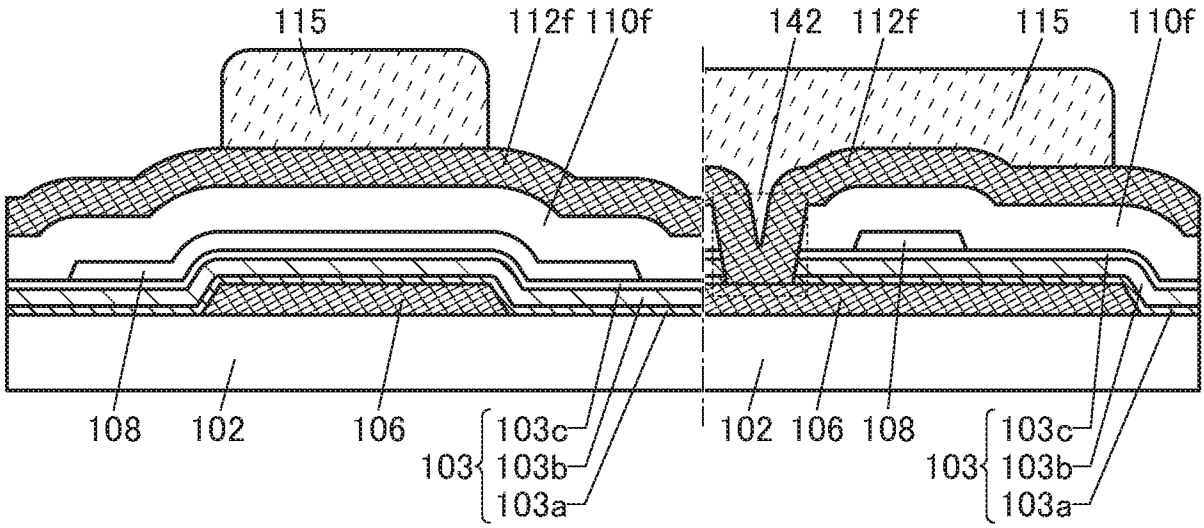


図16C

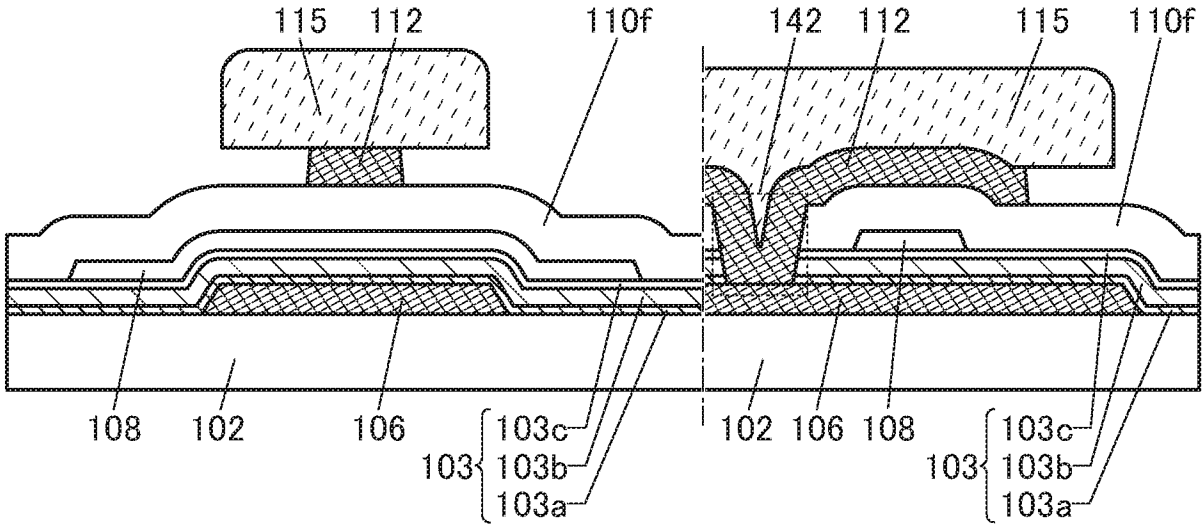


図17A

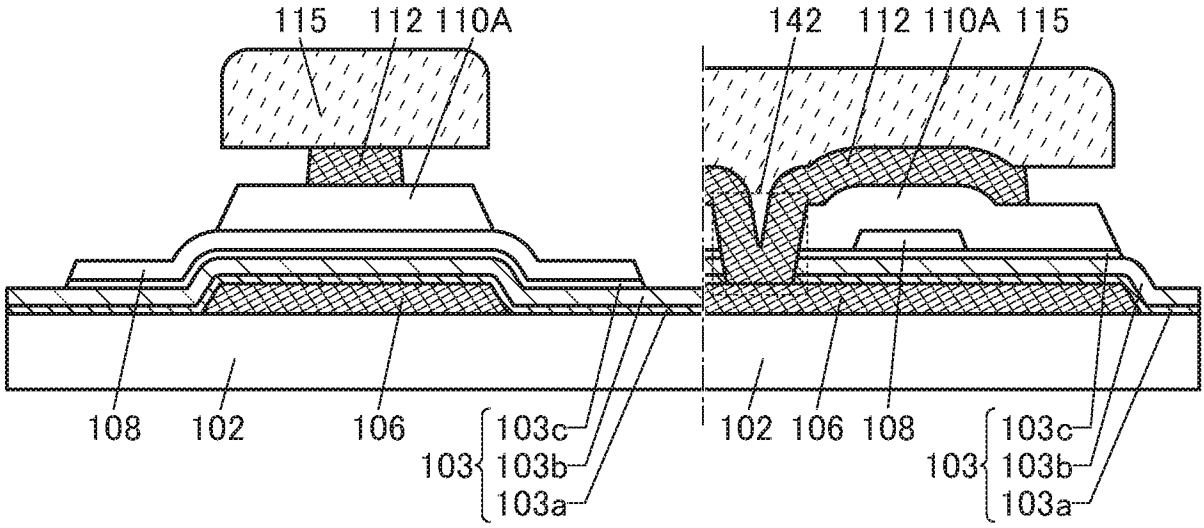


図17B

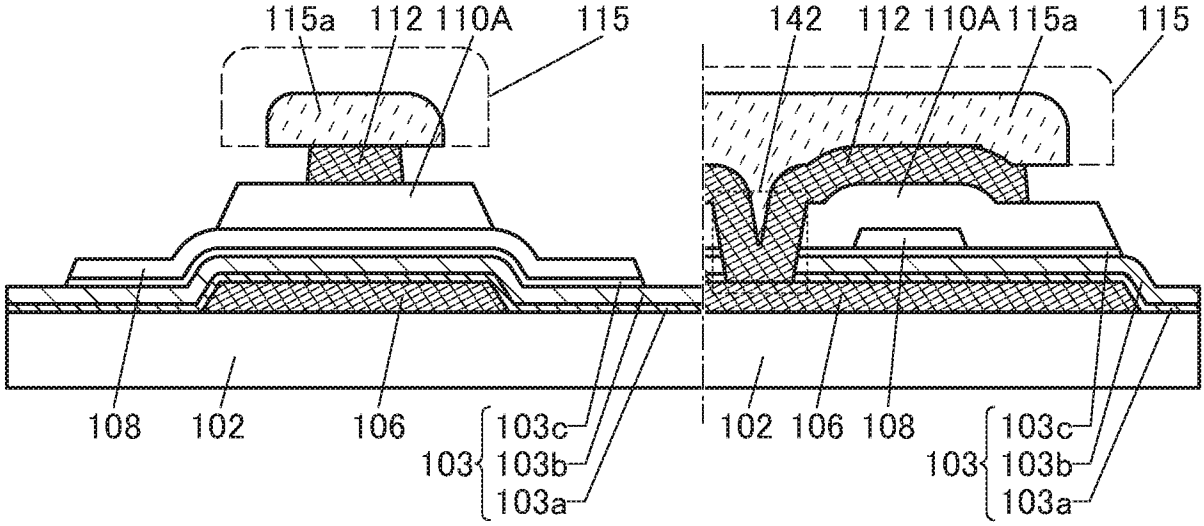


図17C

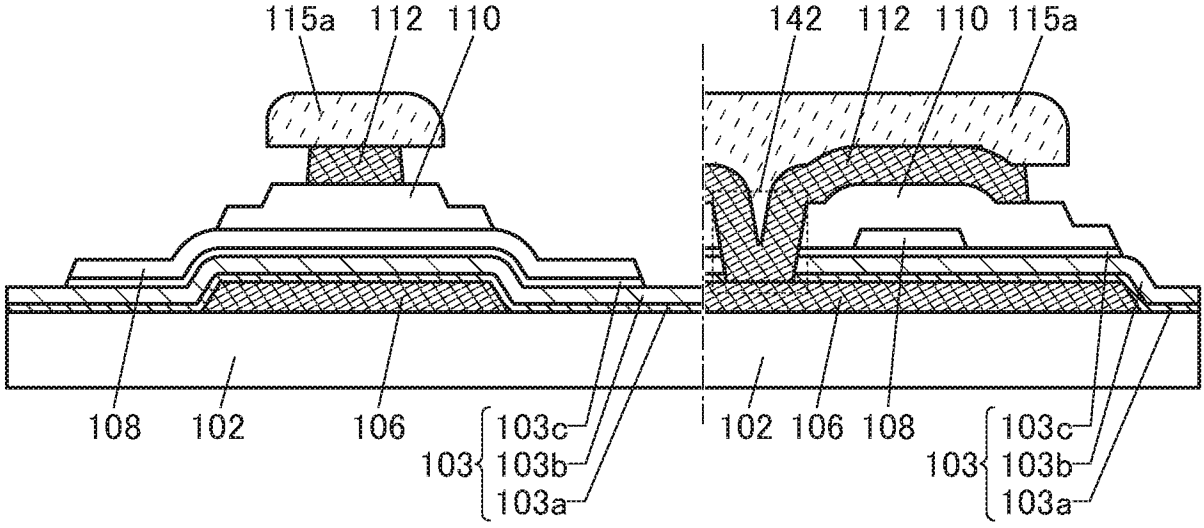


図18A

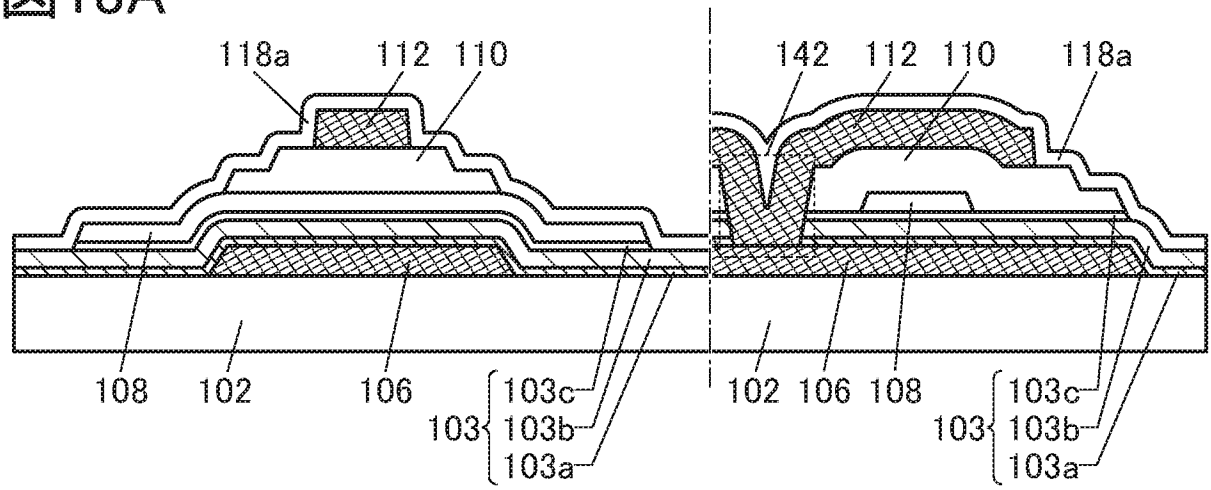


図18B

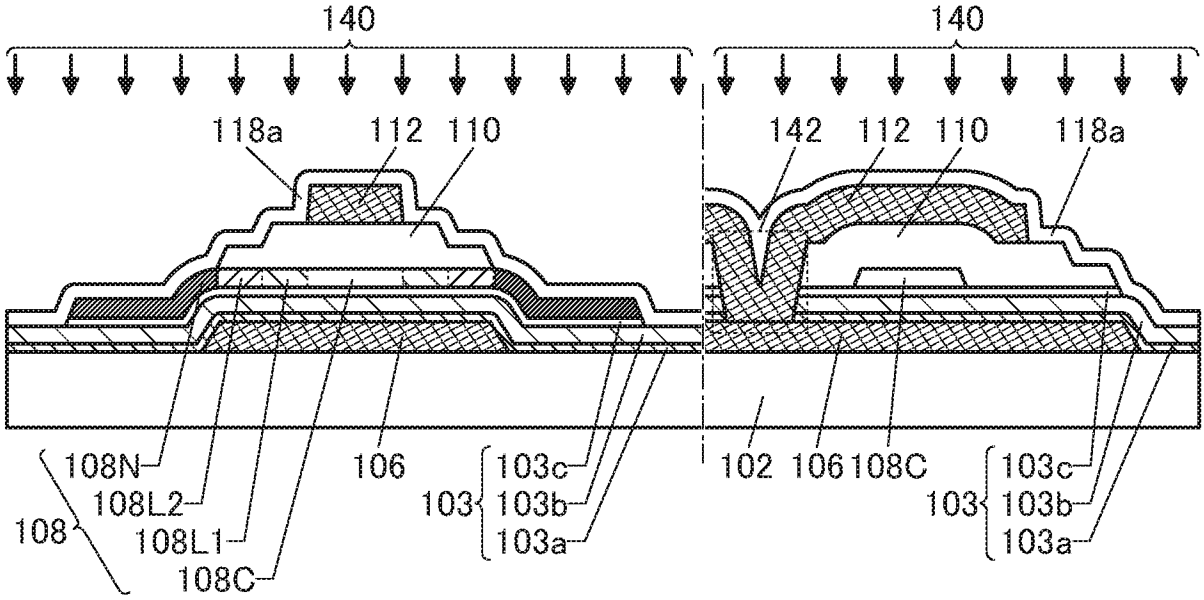


図18C

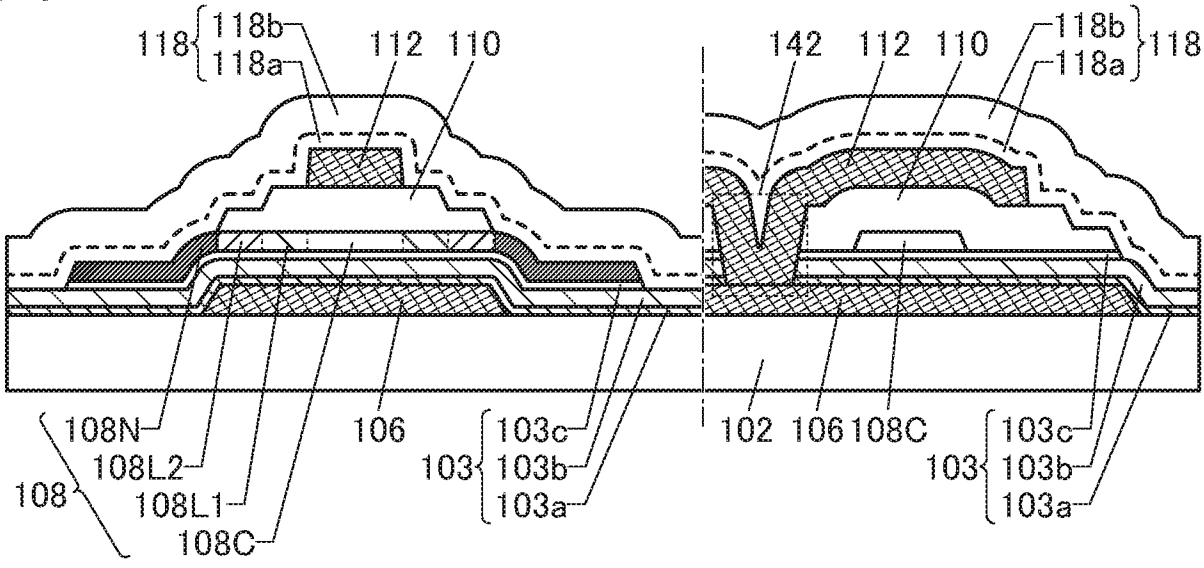


図19A

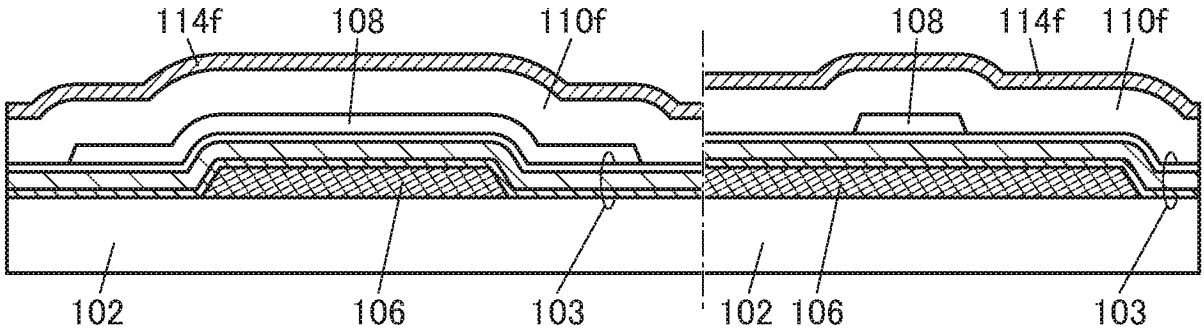


図19B

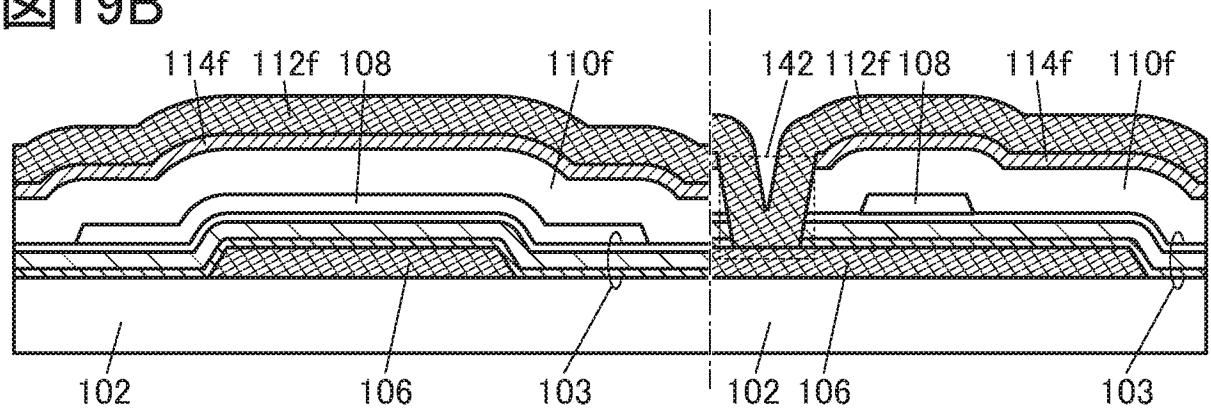


図19C

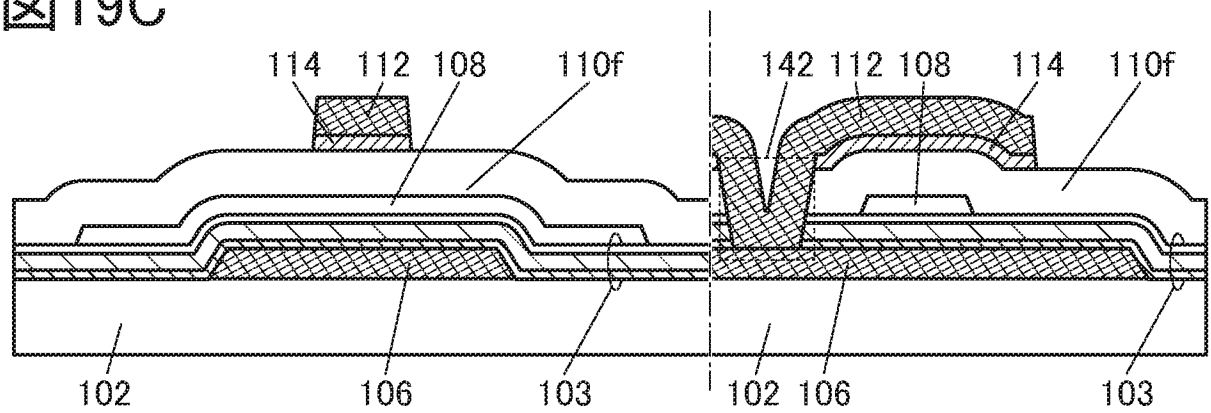


図19D

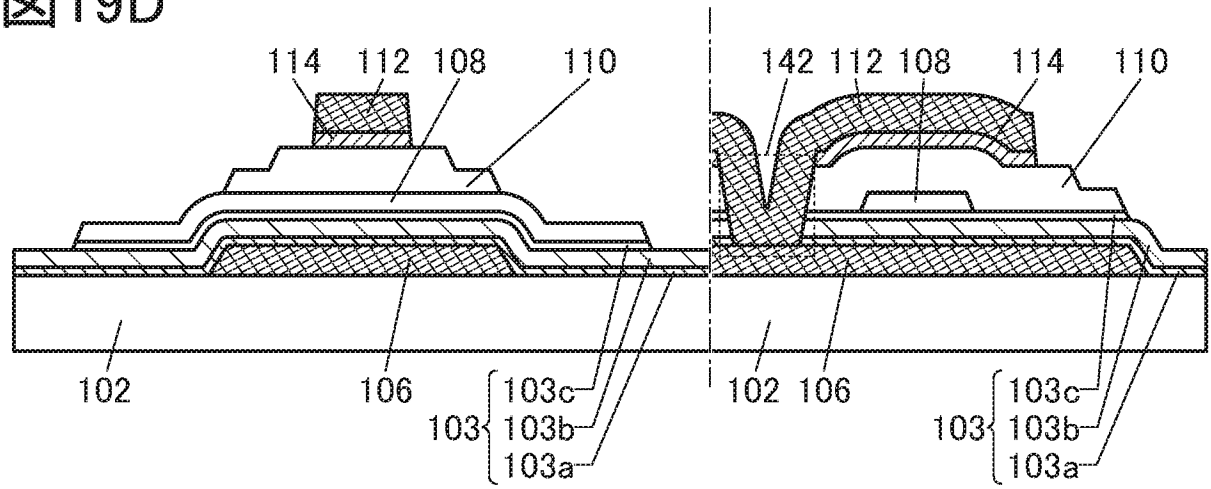


図20A

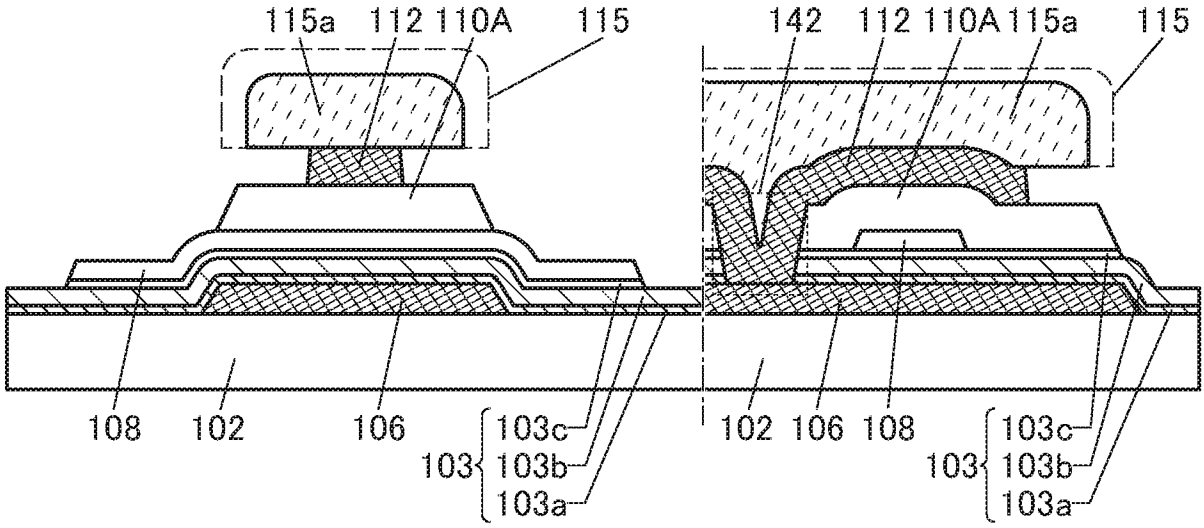


図20B

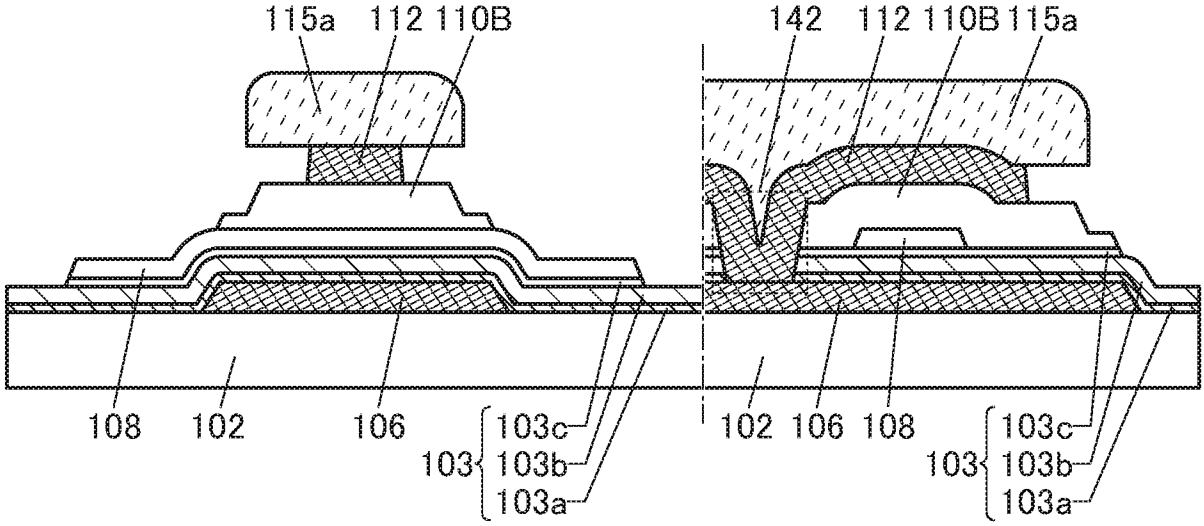


図20C

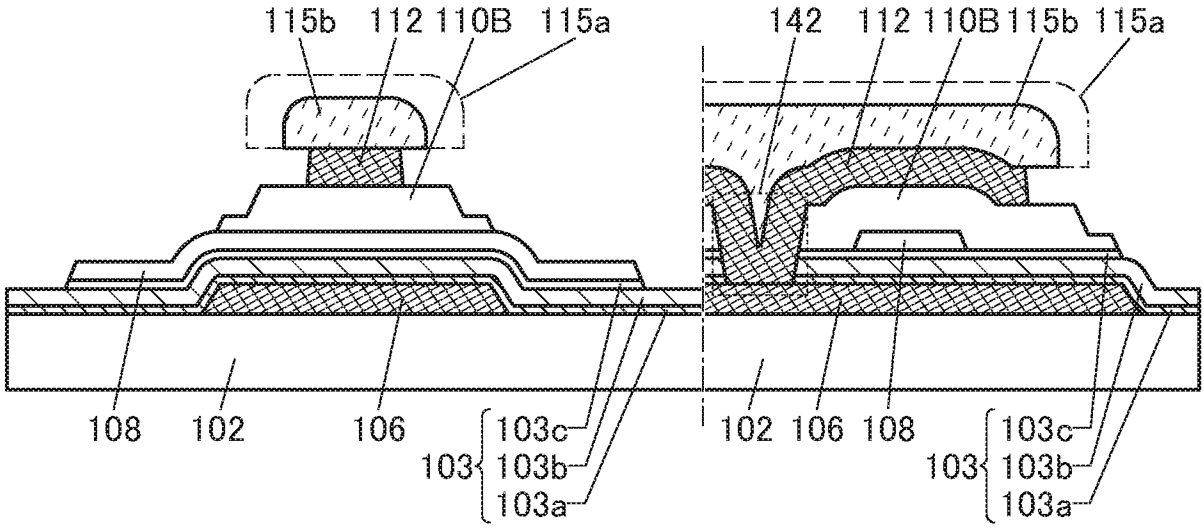


図21

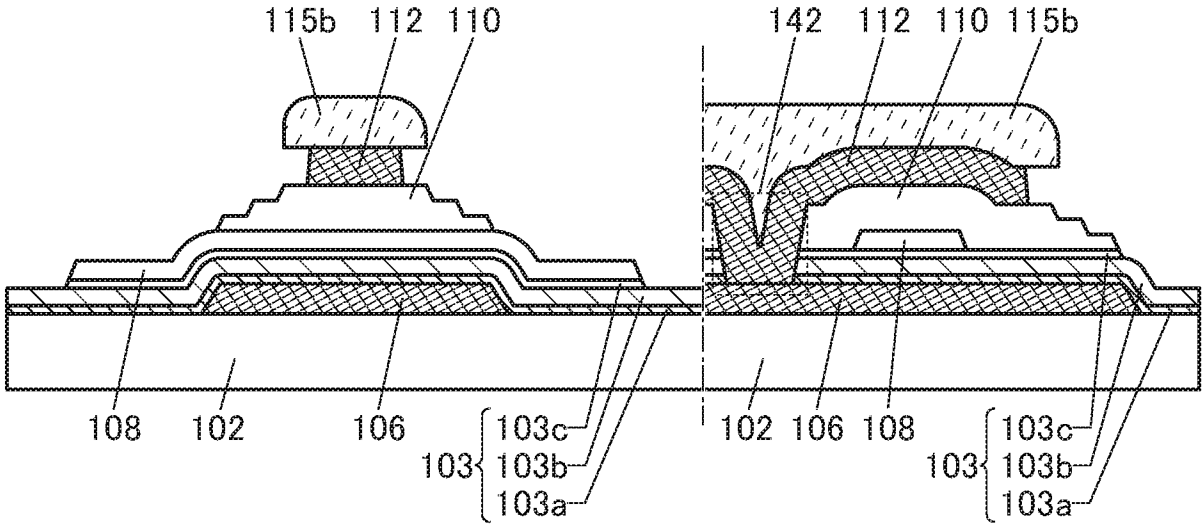

115b
112
110
142
112
110
115b
108
102
106
103
103c
103b
103a
102
106
108
103
103c
103b
103a

図22A

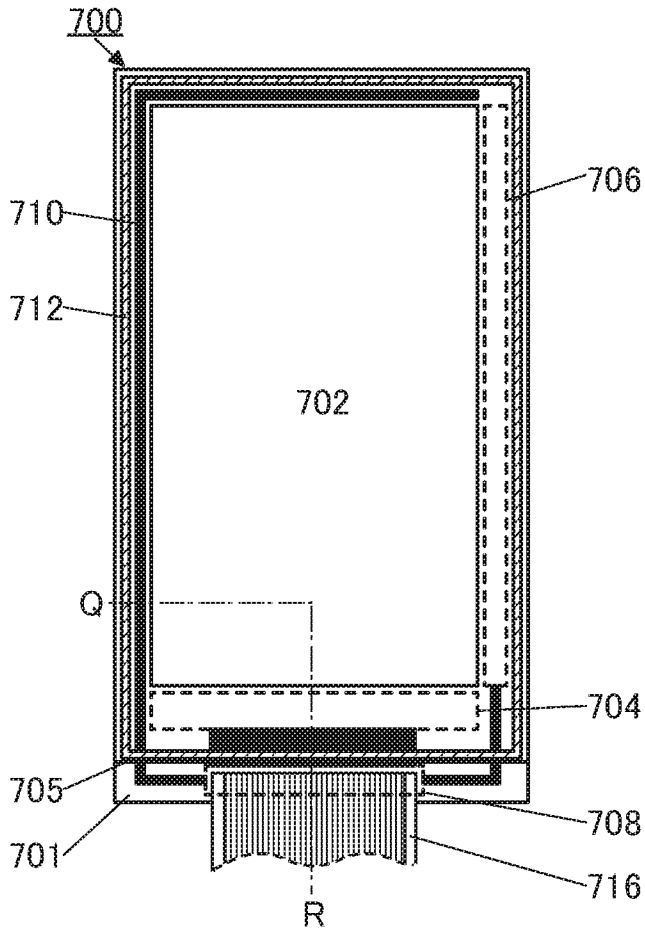


図22B

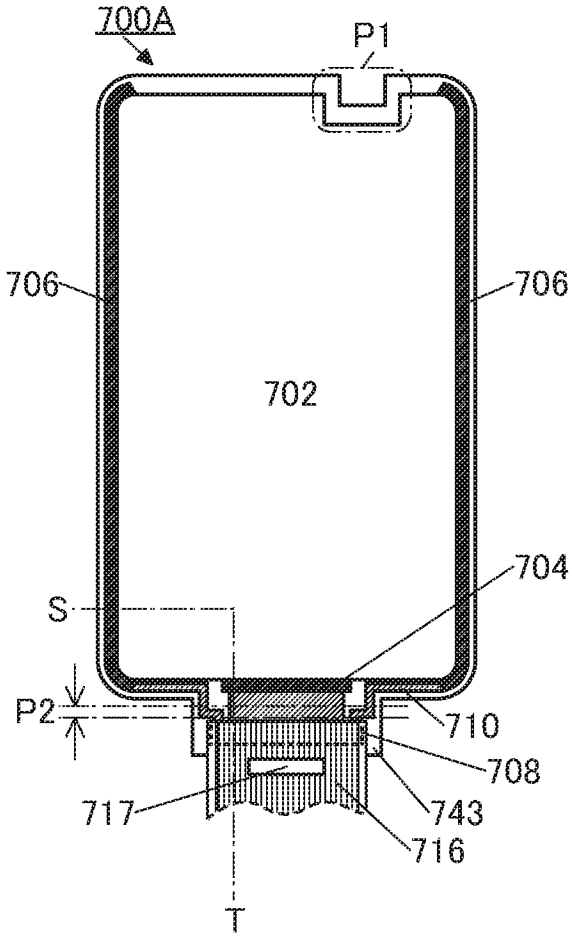
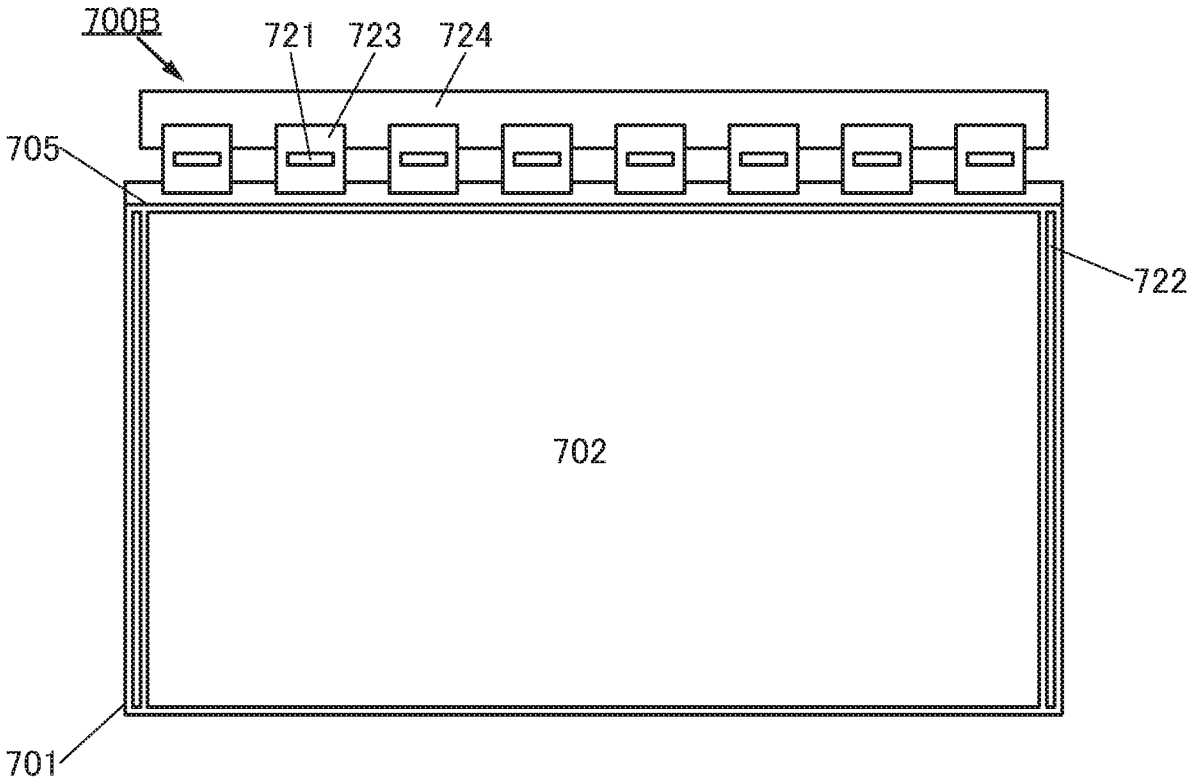


図22C



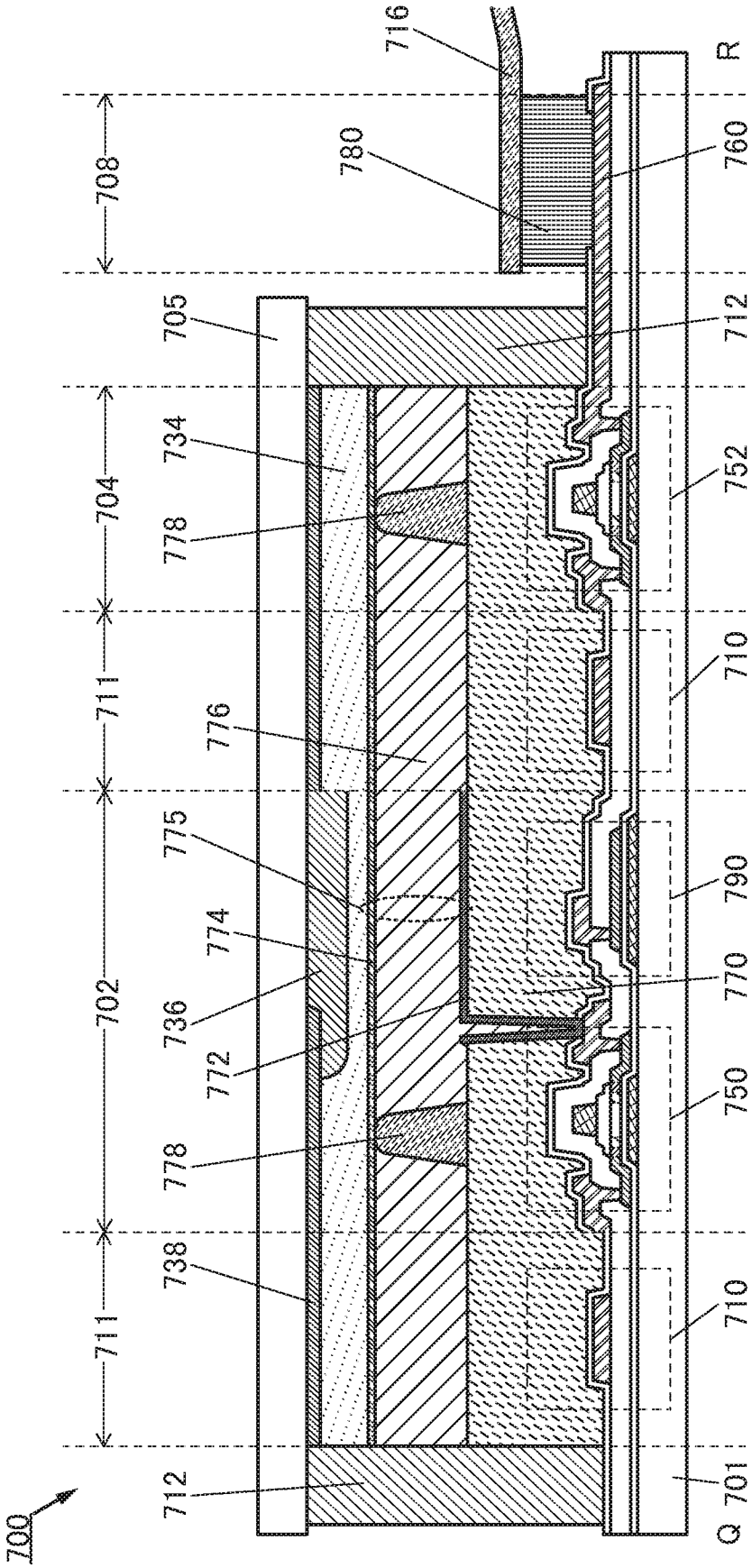

716
780
760
R
708
705
712
734
752
704
778
711
710
776
775
790
774
702
770
736
772
750
778
738
711
710
712
701
700
Q

図23

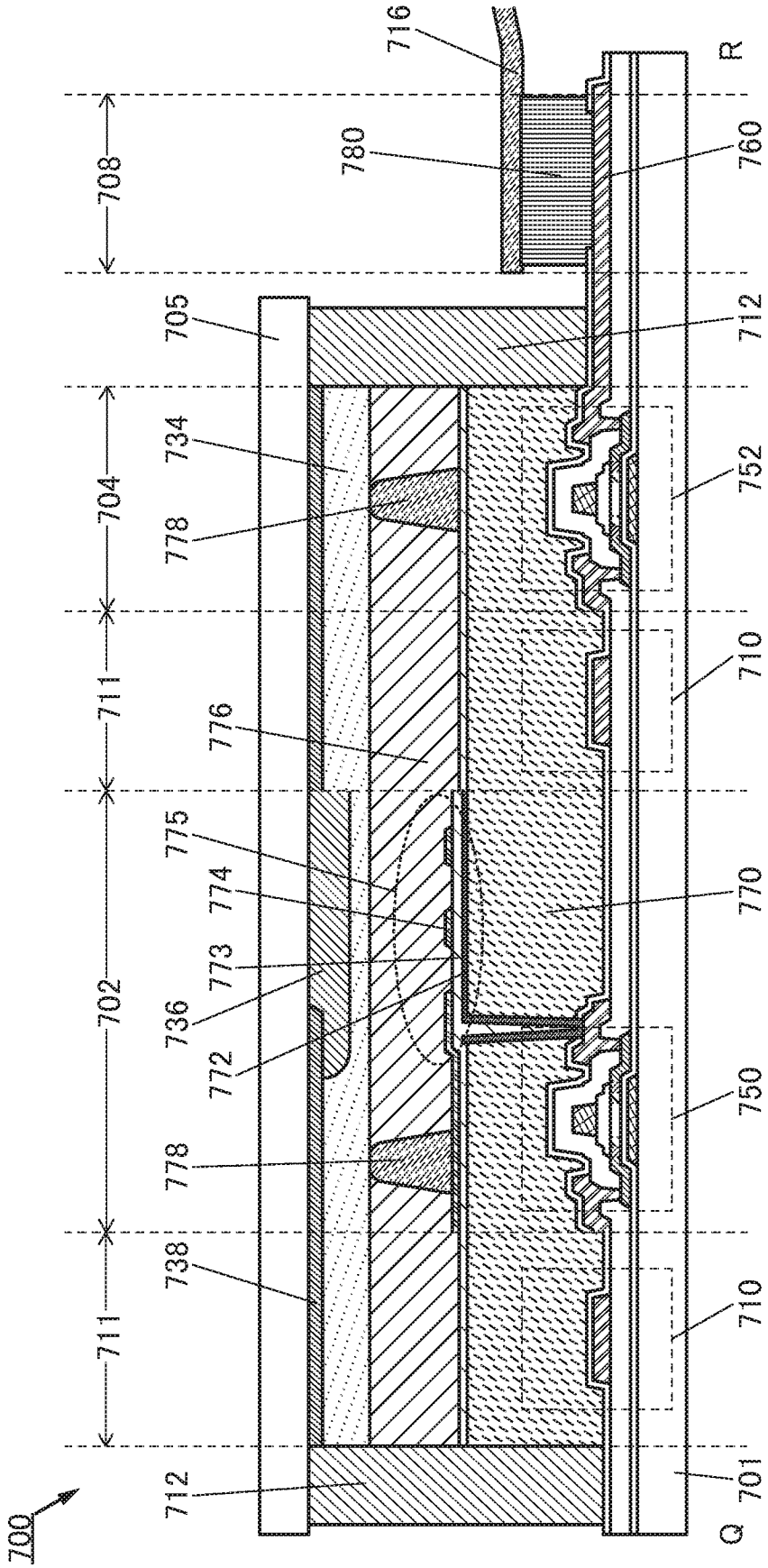

716
780
760
R
708
705
712
734
752
704
778
711
710
776
775
774
770
773
736
772
702
750
778
738
711
710
712
701
700
Q

図24

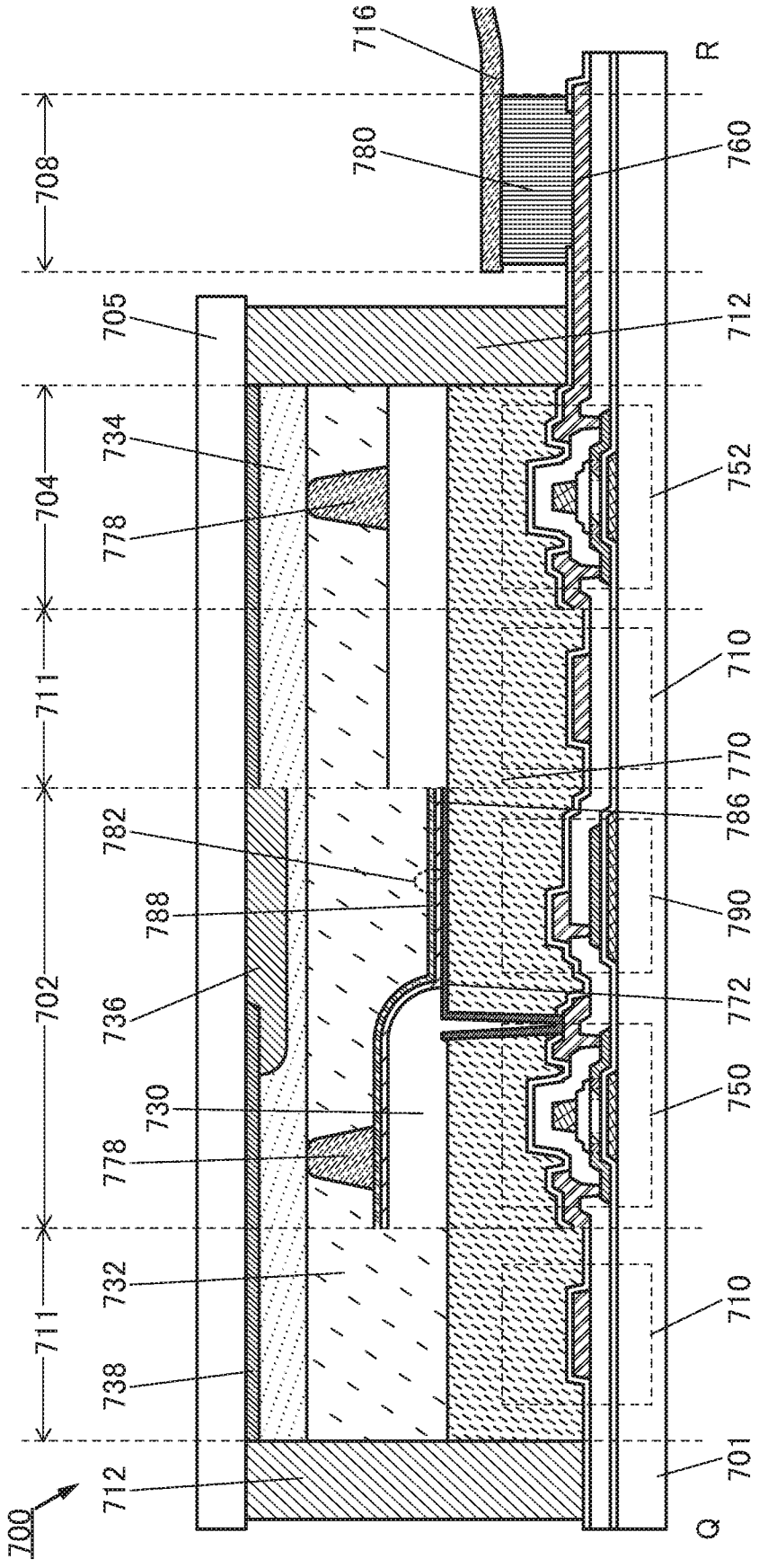

716
780
760
R
708
705
712
734
704
778
752
711
710
770
786
782
788
790
702
736
772
730
750
778
732
711
710
738
701
712
700
Q

図25

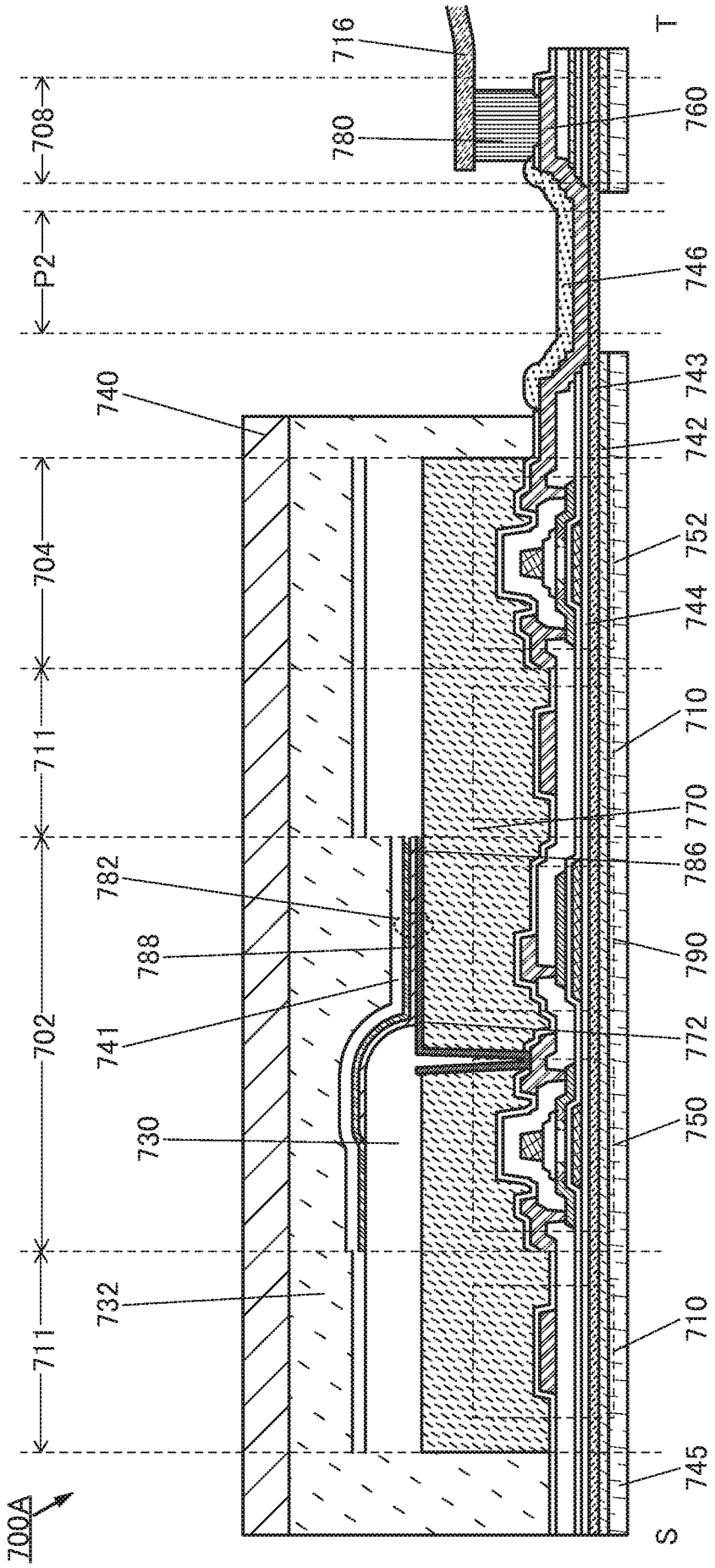

716
780
760
T
708
P2
746
740
743
742
752
744
704
710
711
770
786
782
788
790
702
741
772
730
750
732
710
711
745
S
700A

図26

図27A

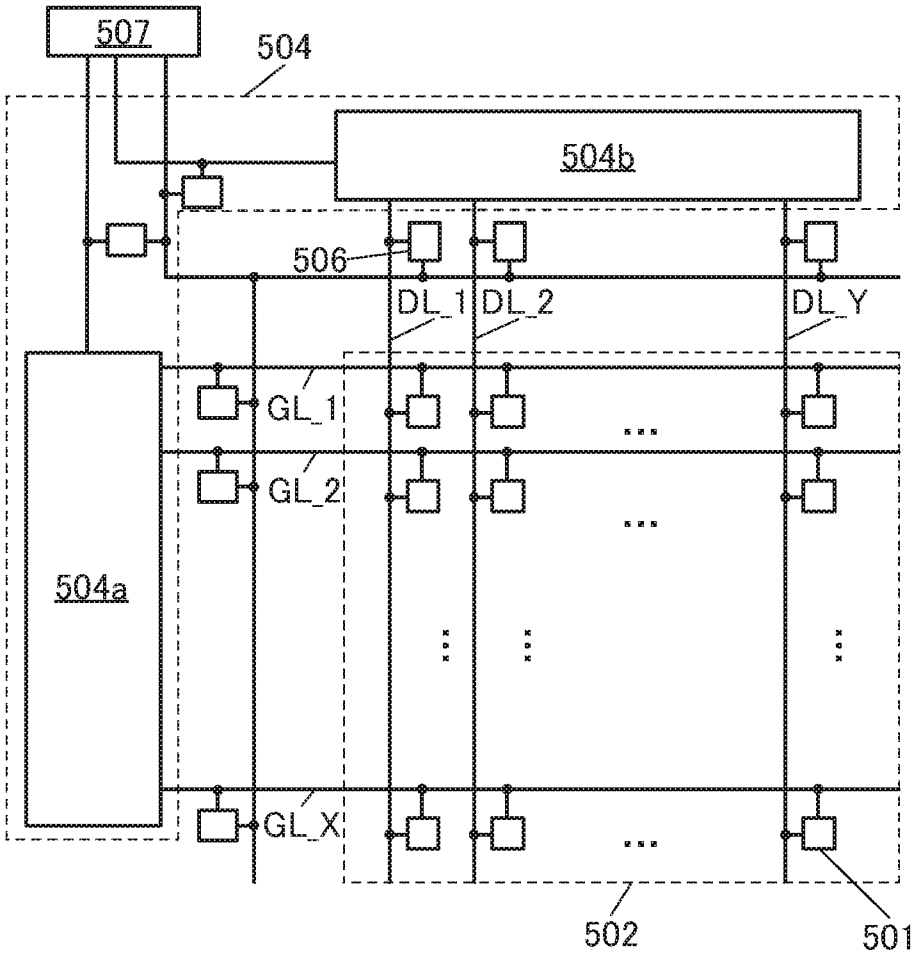


図27B

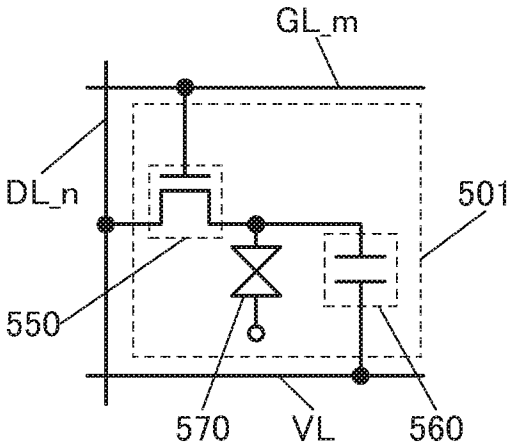


図27C

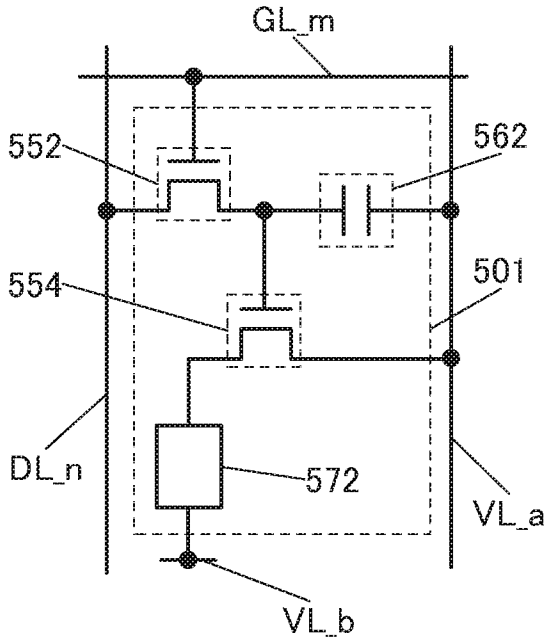


図28A

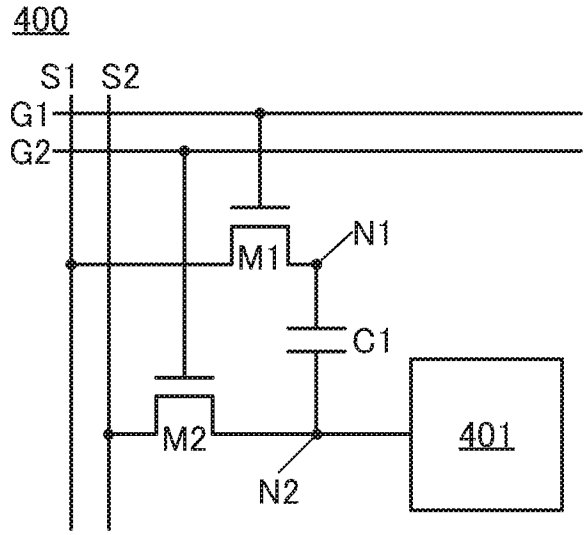


図28B

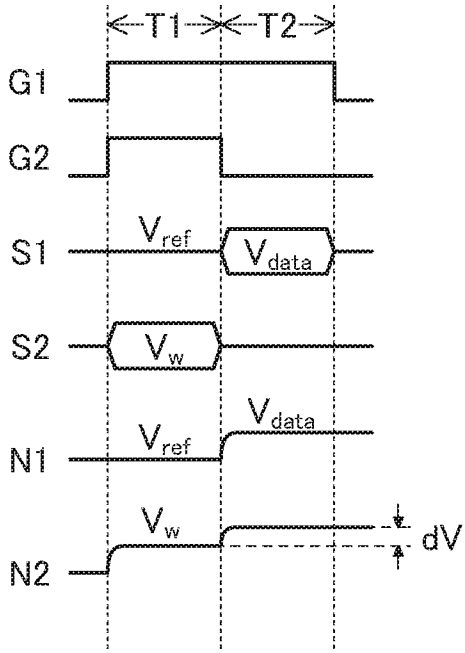


図28C

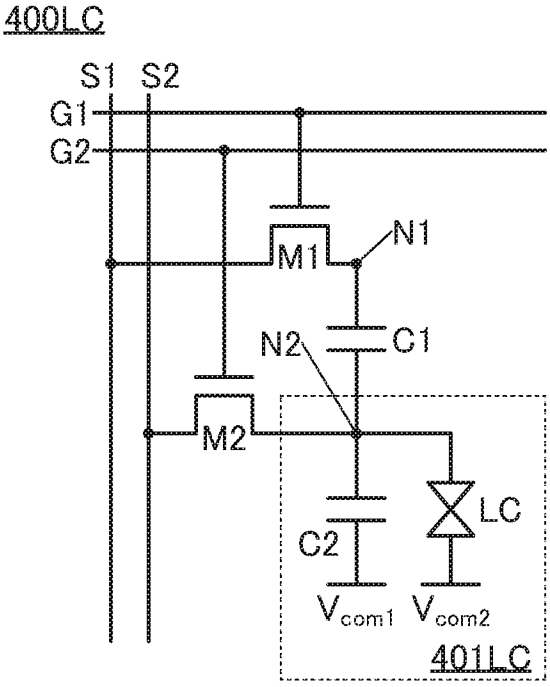


図28D

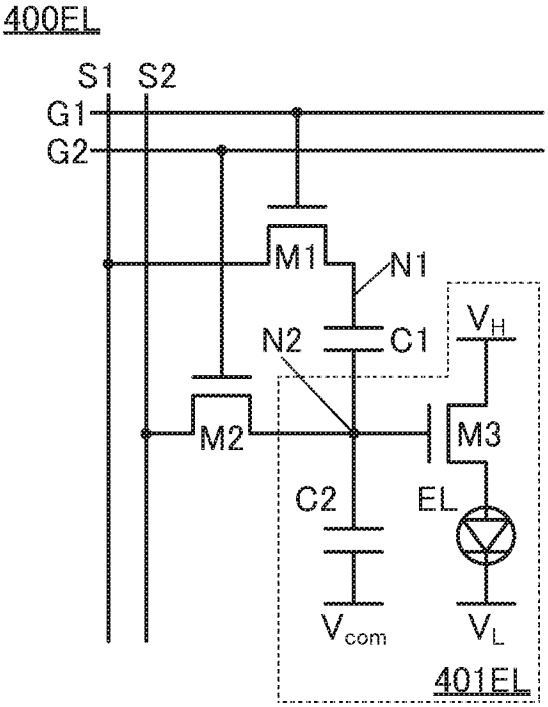


図29A

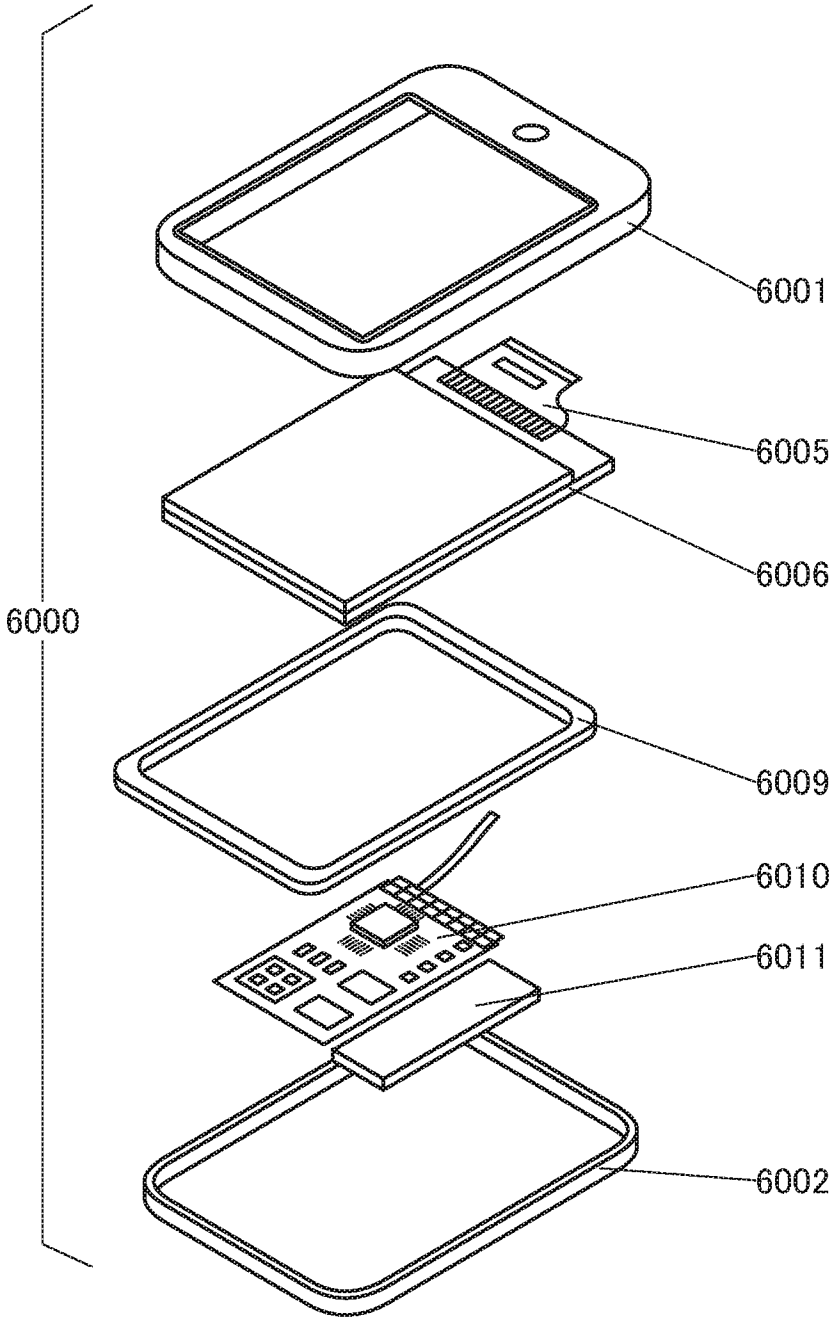

6000
6001
6005
6006
6009
6010
6011
6002

図29B

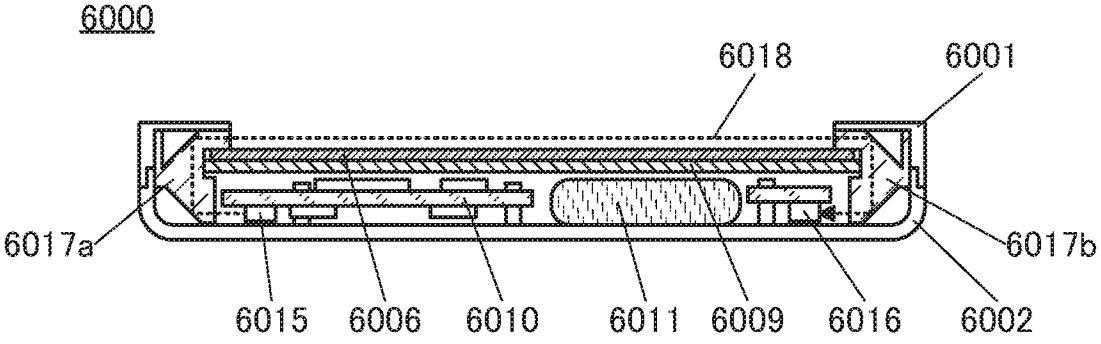

6000
6018
6001
6017a
6017b
6015
6006
6010
6011
6009
6016
6002

図30A

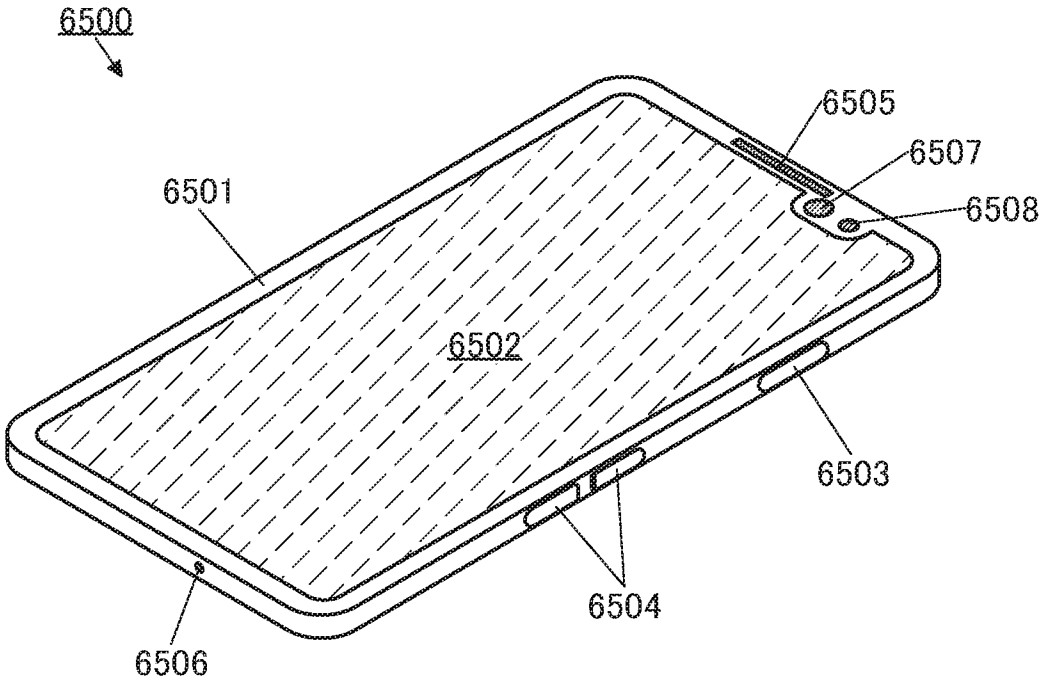

6500
6505
6507
6501
6508
6502
6503
6504
6506

図30B

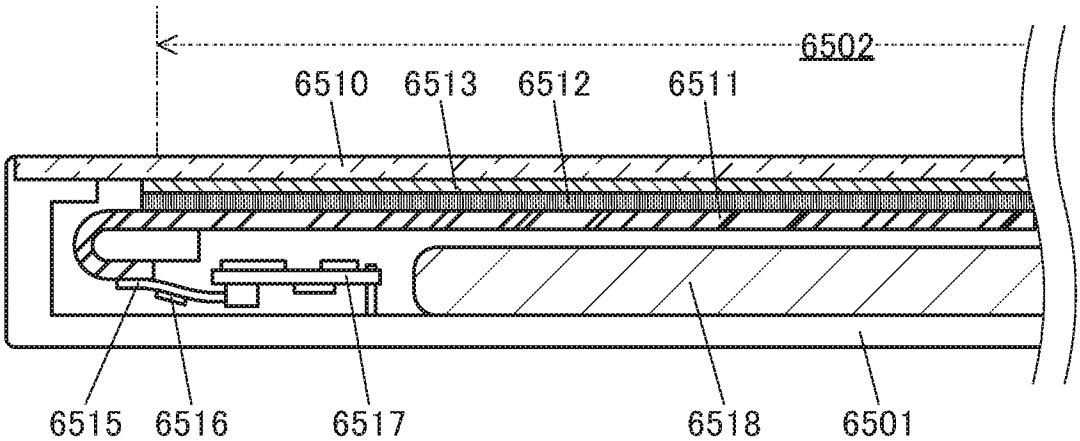

6502
6510
6513
6512
6511
6515
6516
6517
6518
6501

図31A

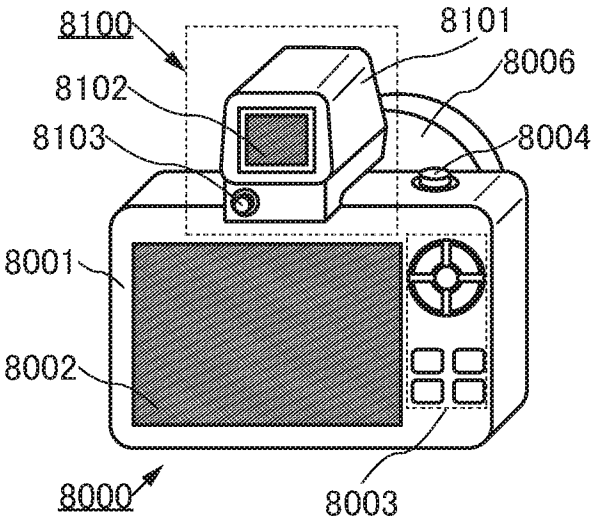


図31B

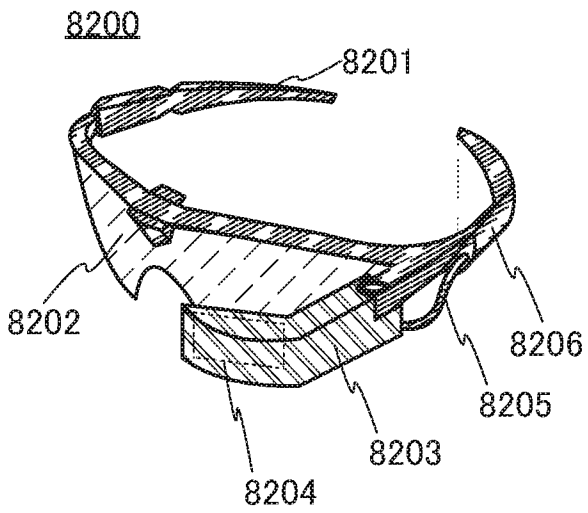


図31C

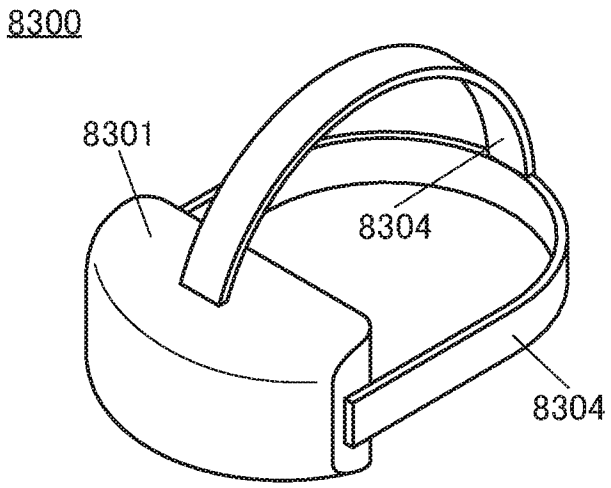


図31D

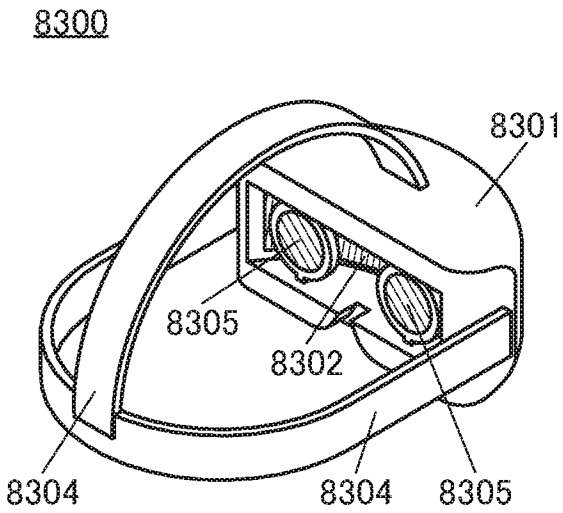


図31E

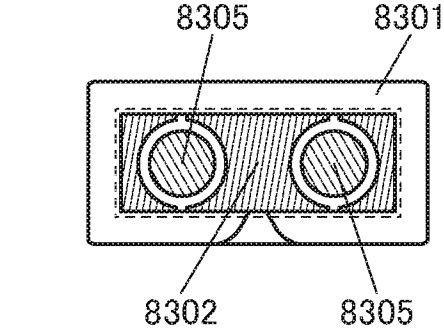


図32A

9100

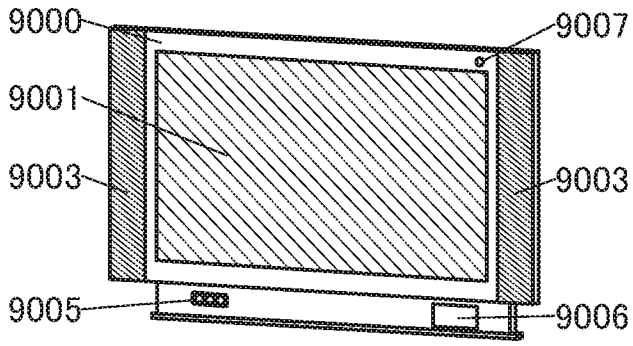


図32B

9101

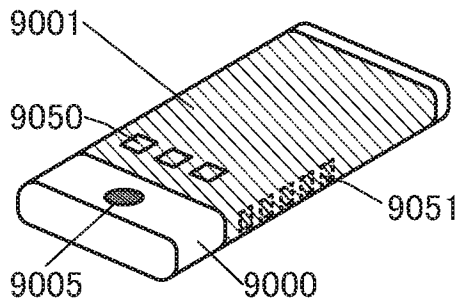


図32C

9102

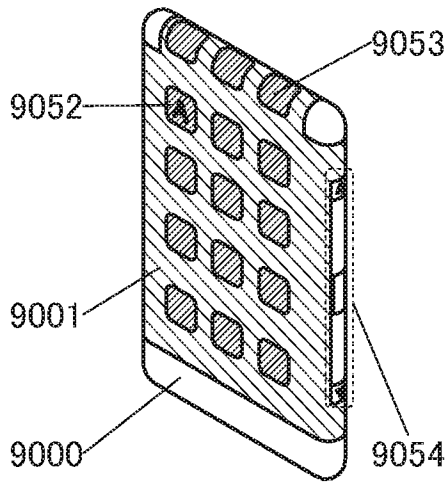


図32D

9200

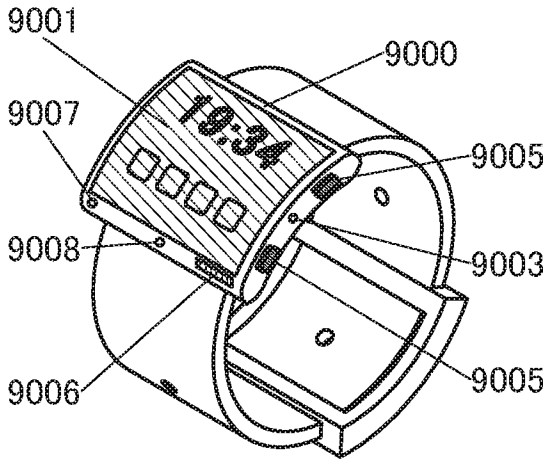


図32E

9201

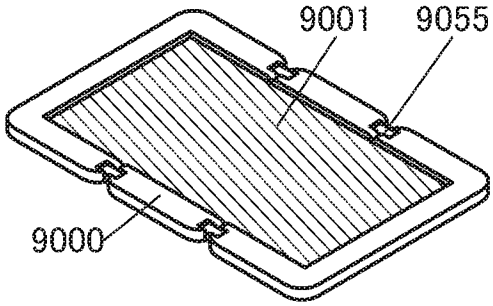


図32F

9201

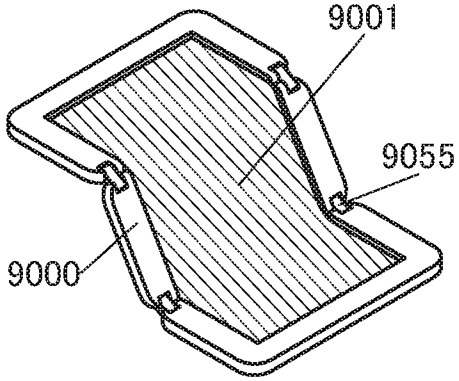


図32G

9201

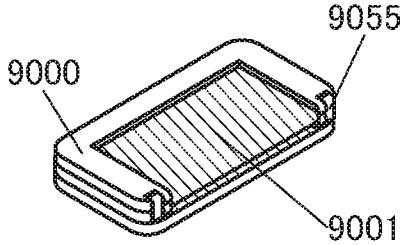


図33A

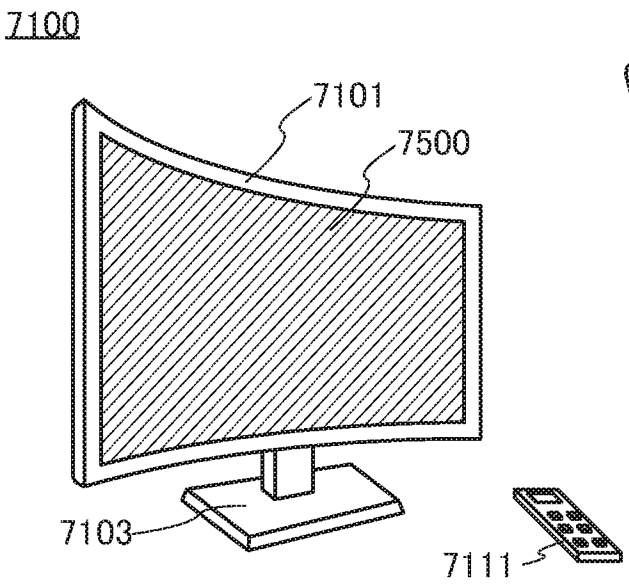


図33B

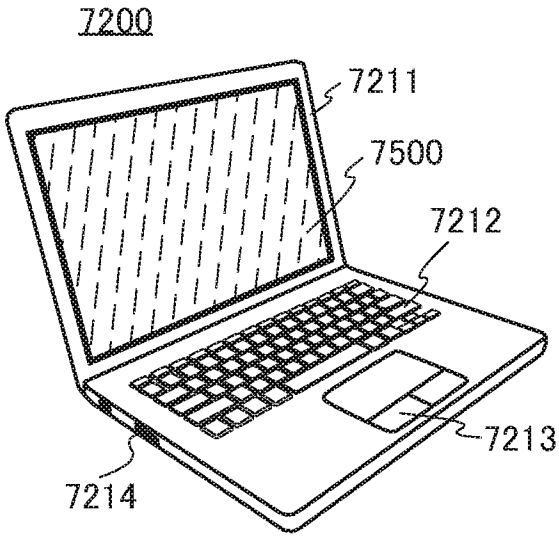


図33C

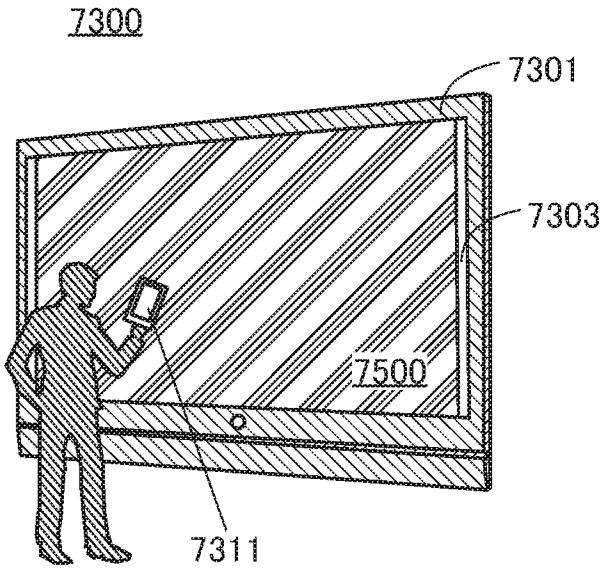


図33D

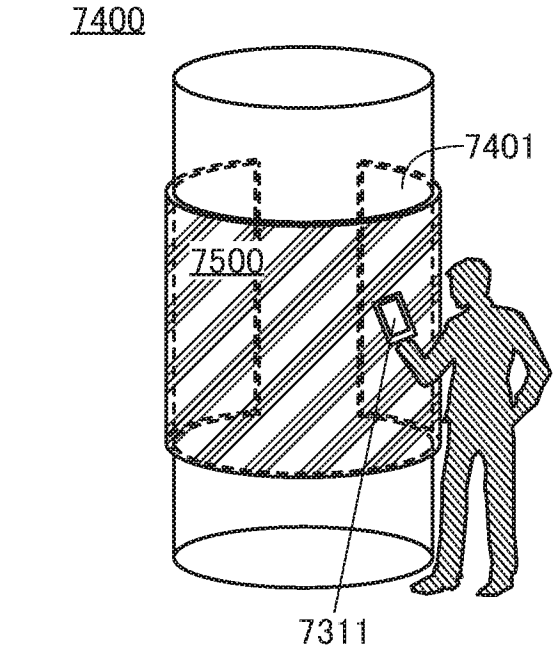


図34A

sample A

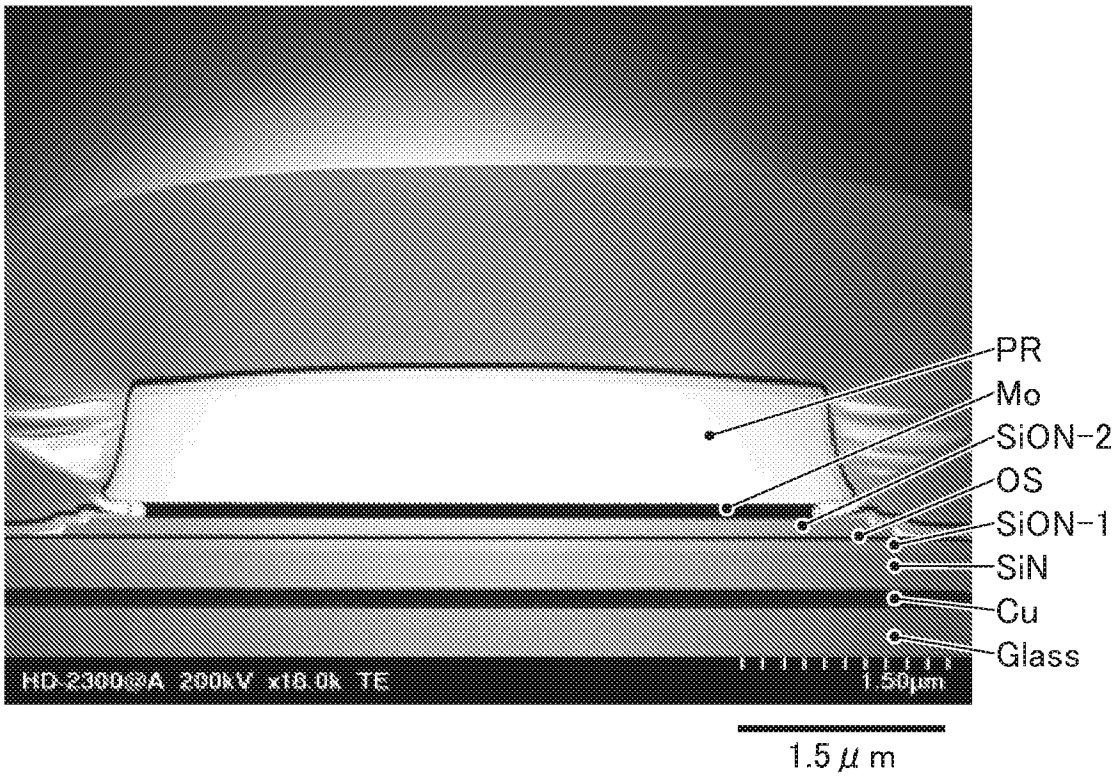


図34B

sample B

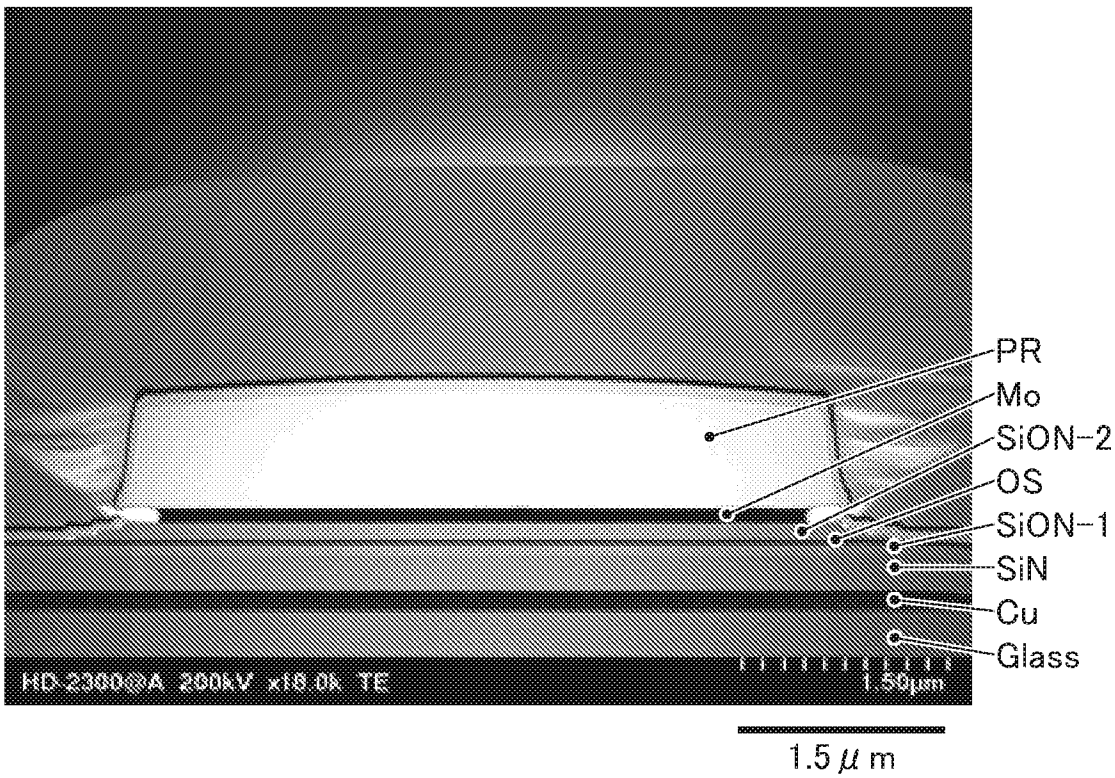


図35A

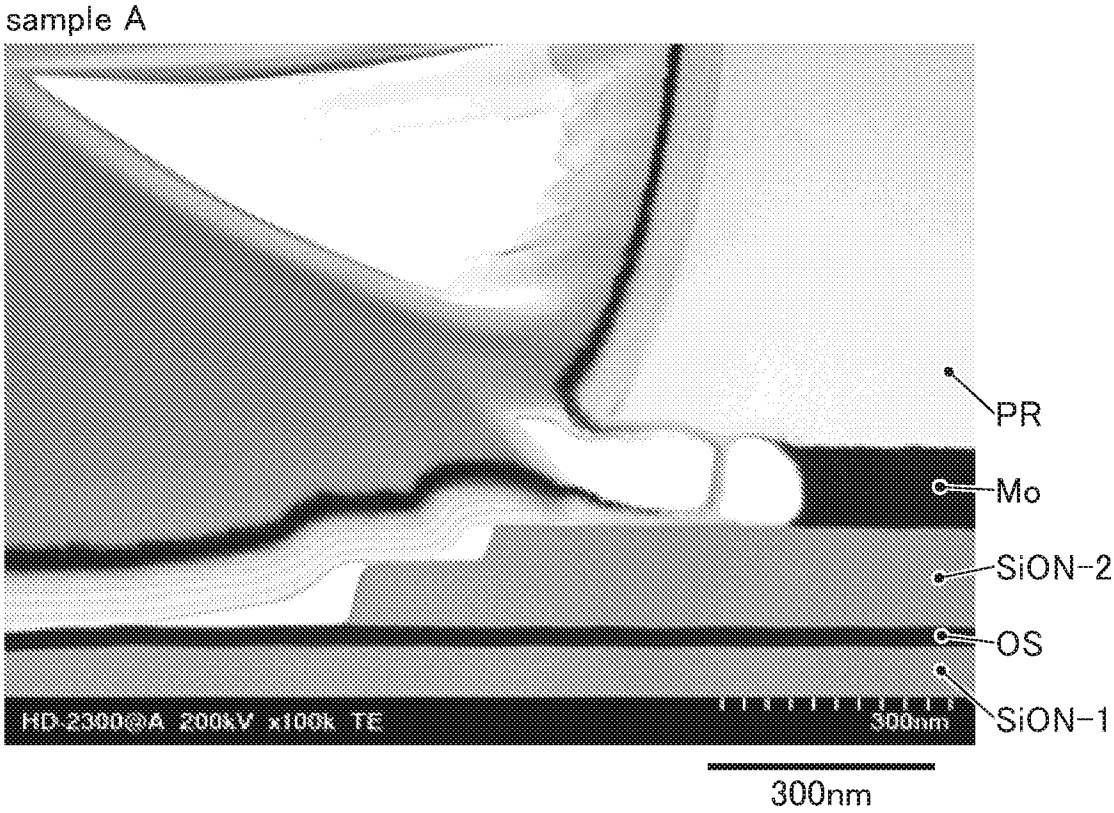

sample A
PR
Mo
SiON-2
OS
SiON-1
HD-2300@A 200kV ×100k TE
300nm
300nm

図35B

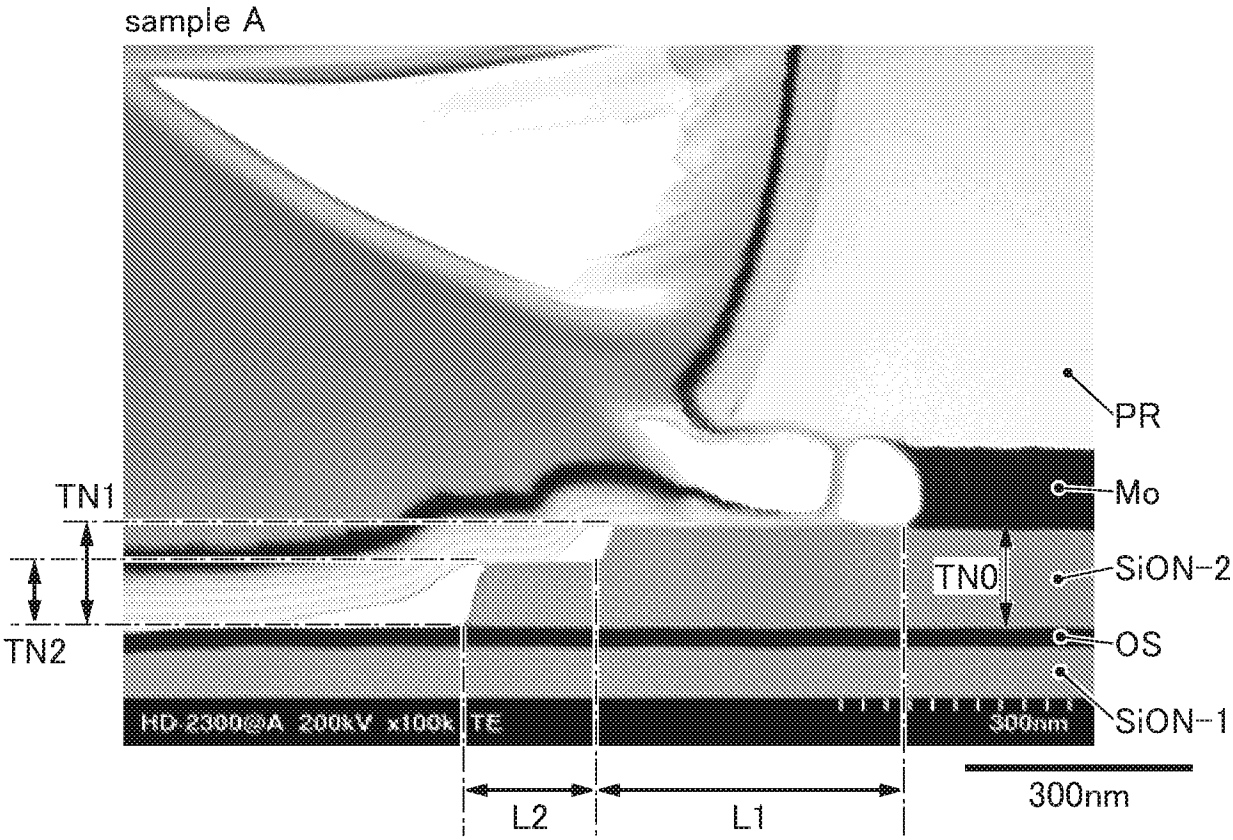

sample A
PR
Mo
SiON-2
OS
SiON-1
TN1
TN2
TN0
HD-2300@A 200kV ×100k TE
300nm
300nm
L2
L1

図36A

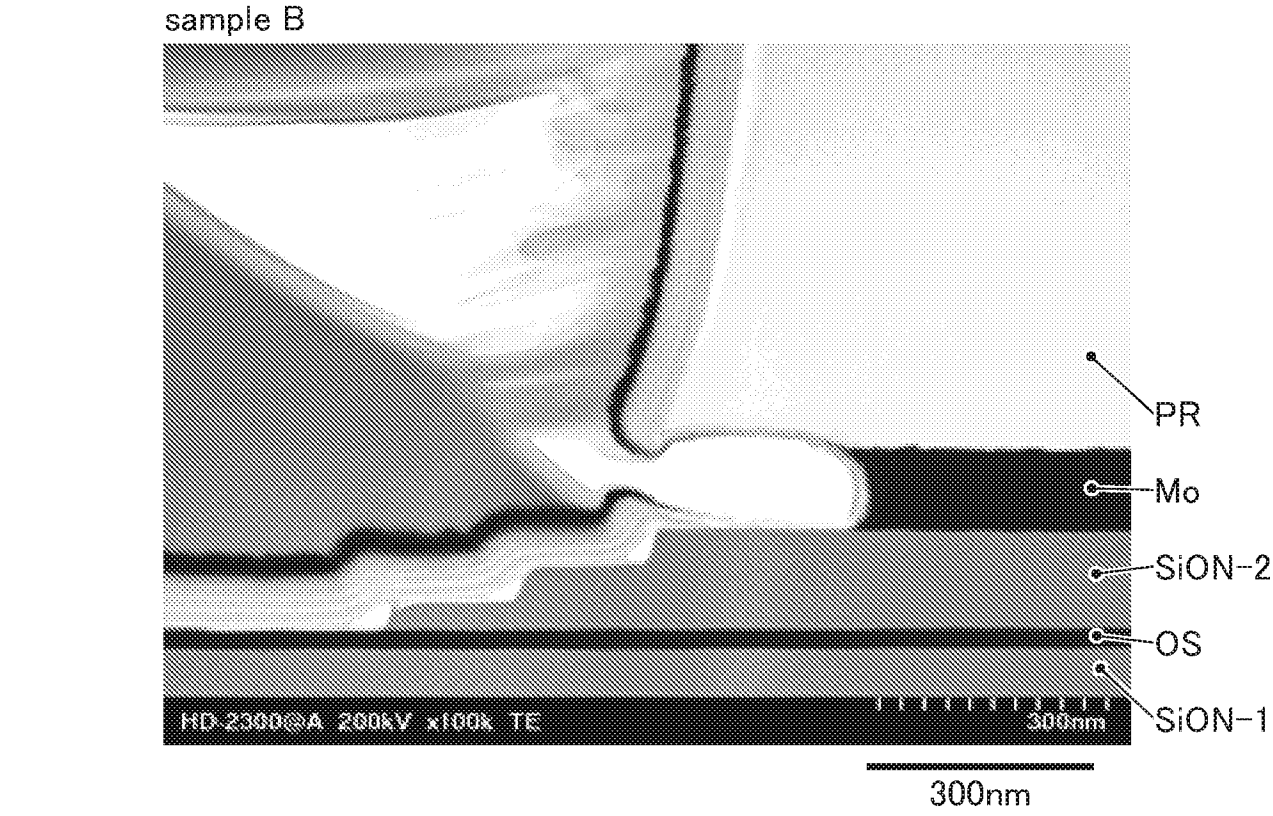

sample B
PR
Mo
SiON-2
OS
SiON-1
HD-2300@A 200kV x100k TE
300nm
300nm

図36B

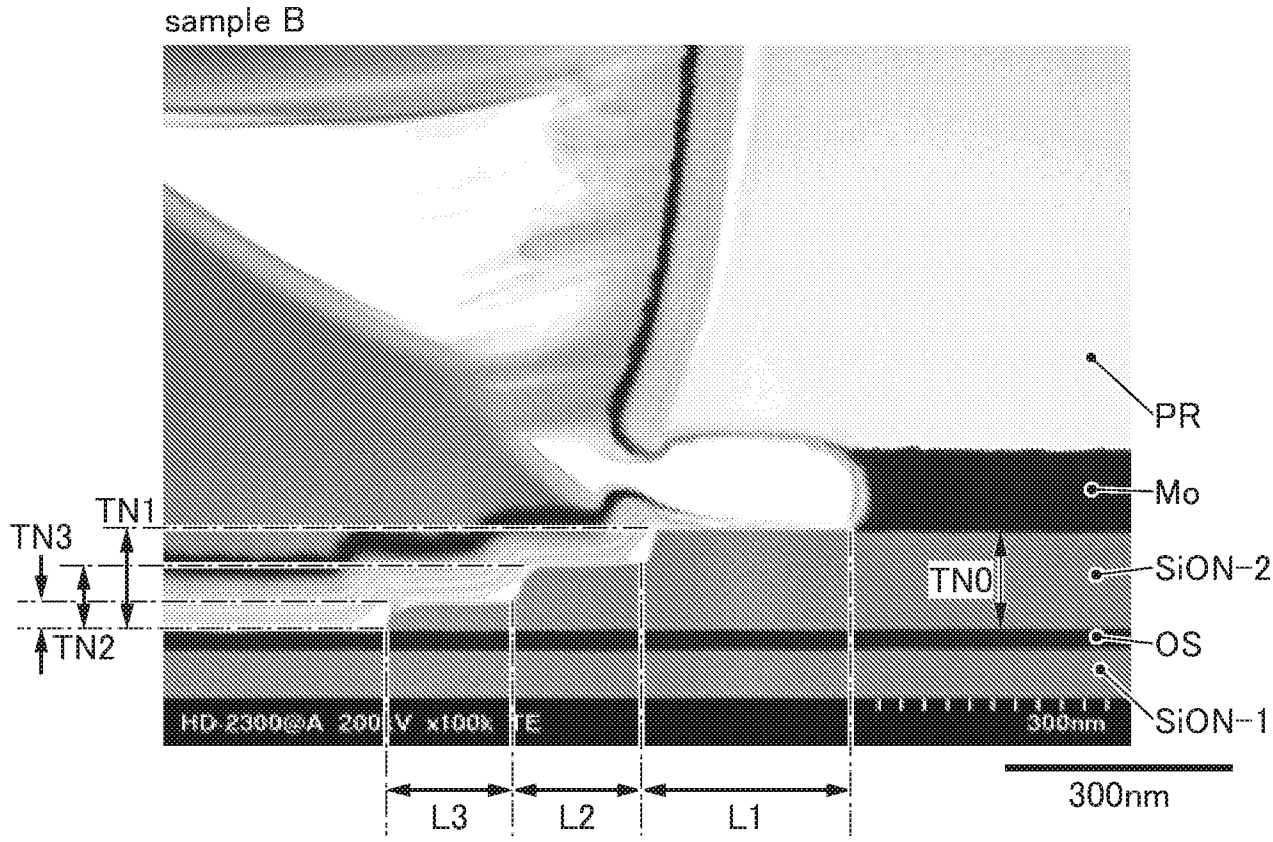

sample B
PR
Mo
SiON-2
OS
SiON-1
TN1
TN3
TN2
TN0
HD-2300@A 200kV x100k TE
300nm
300nm
L3
L2
L1

図37A

プラズマ処理：350℃、加熱処理：無し

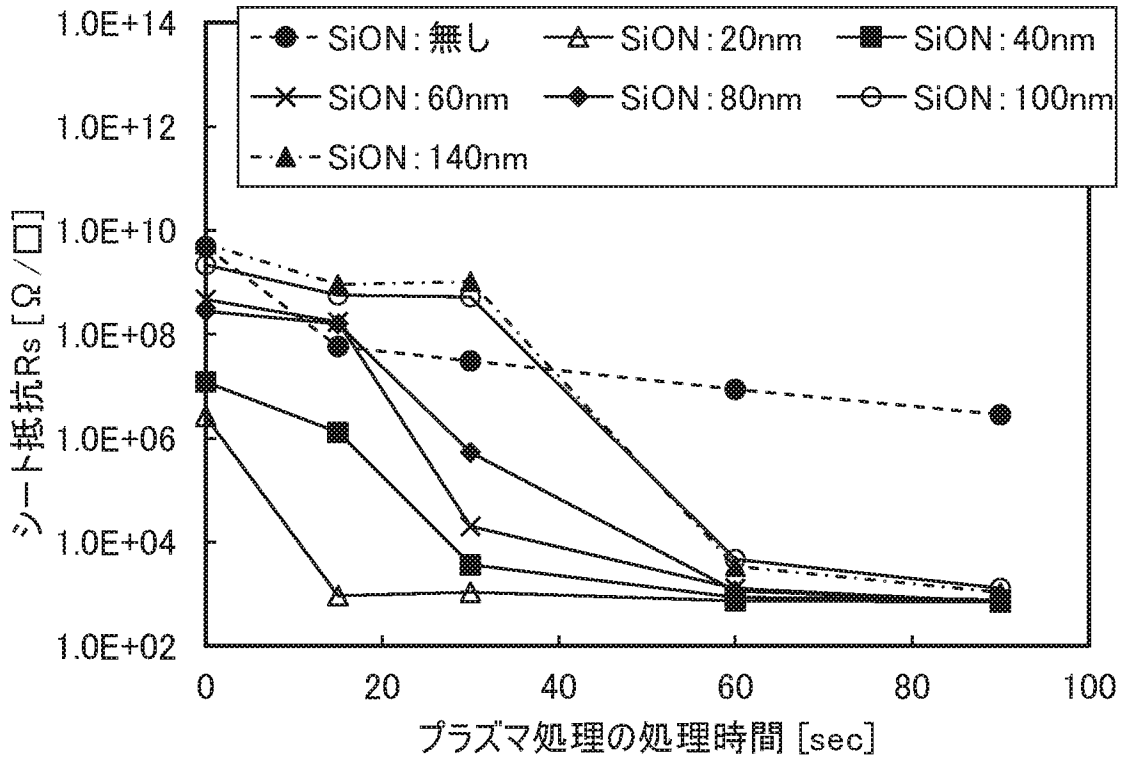


図37B

プラズマ処理：240℃、加熱処理：無し

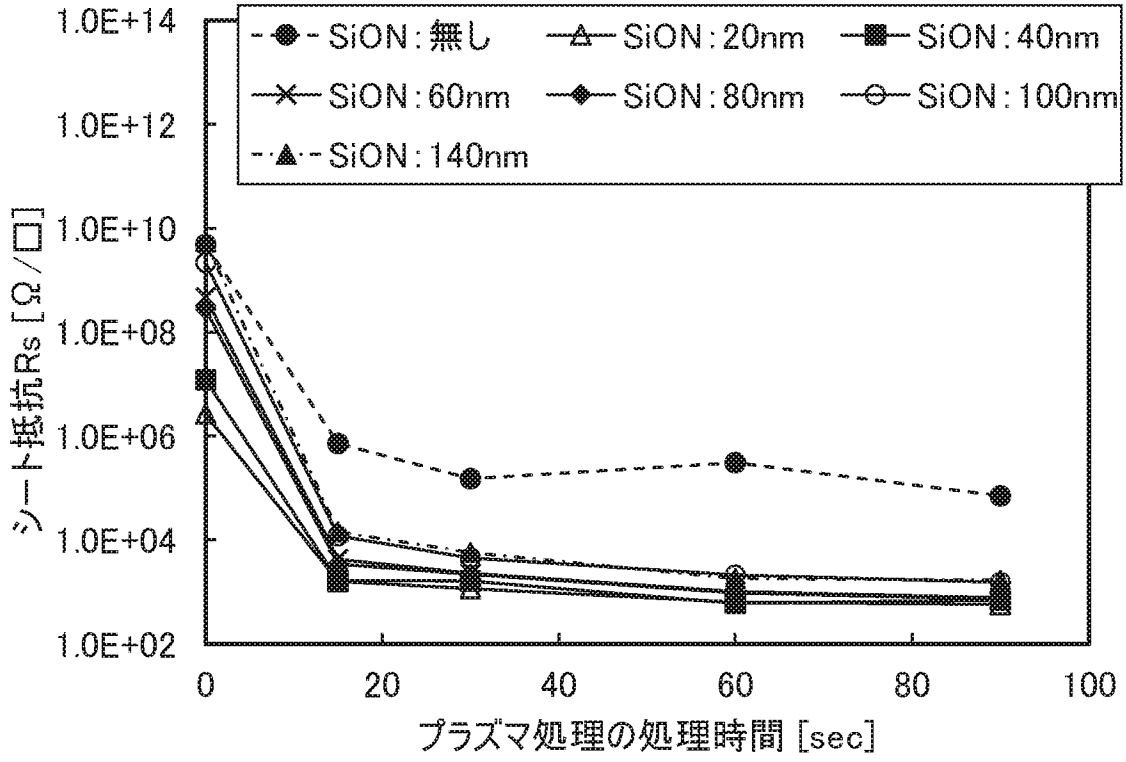


図38A

プラズマ処理：350℃、加熱処理：250℃

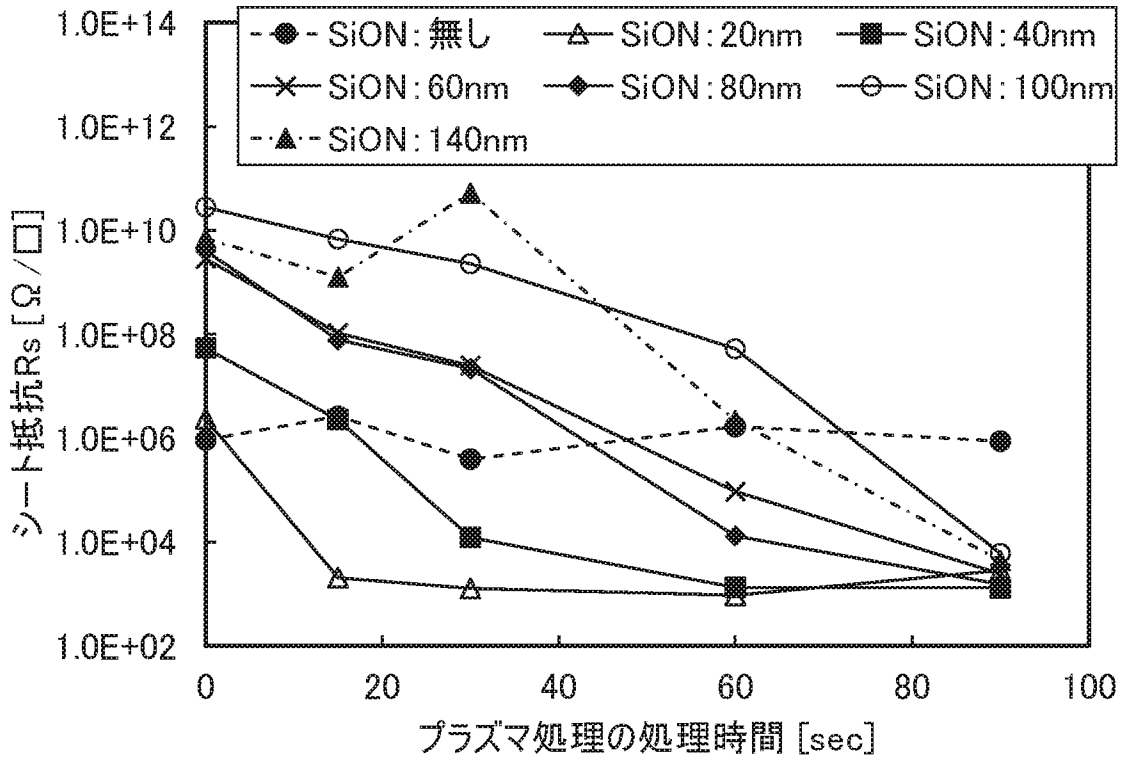


図38B

プラズマ処理：240℃、加熱処理：250℃

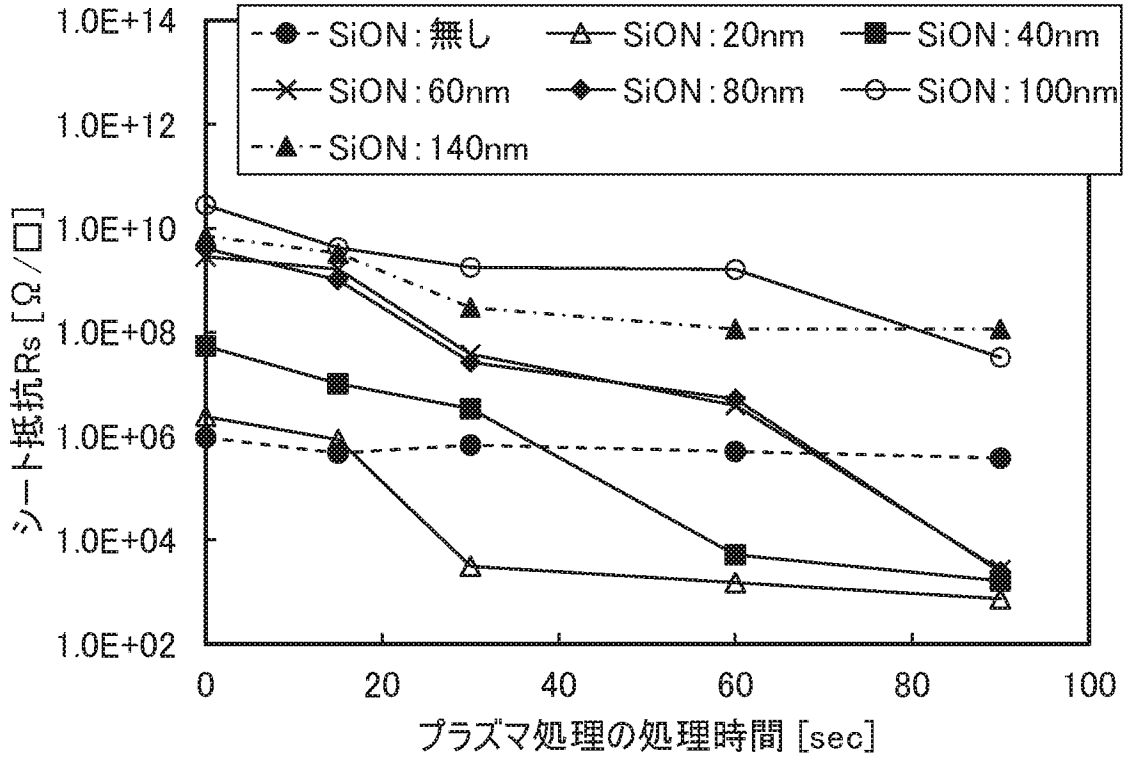


図39A

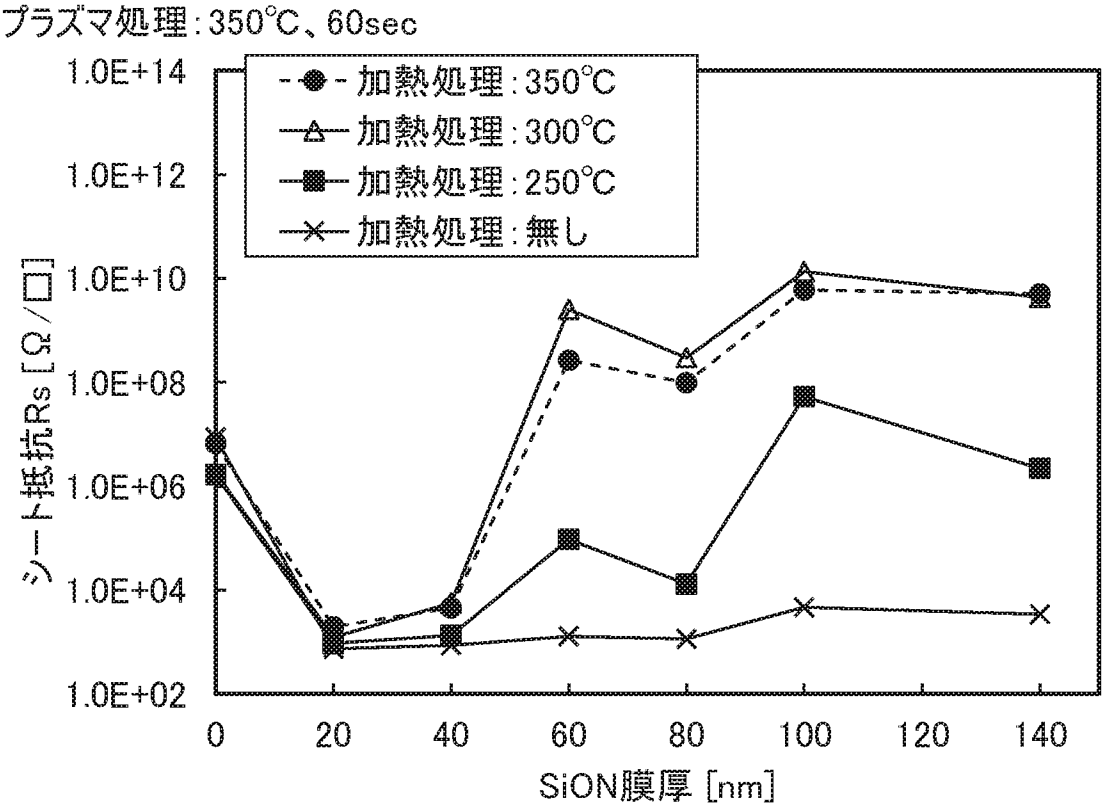
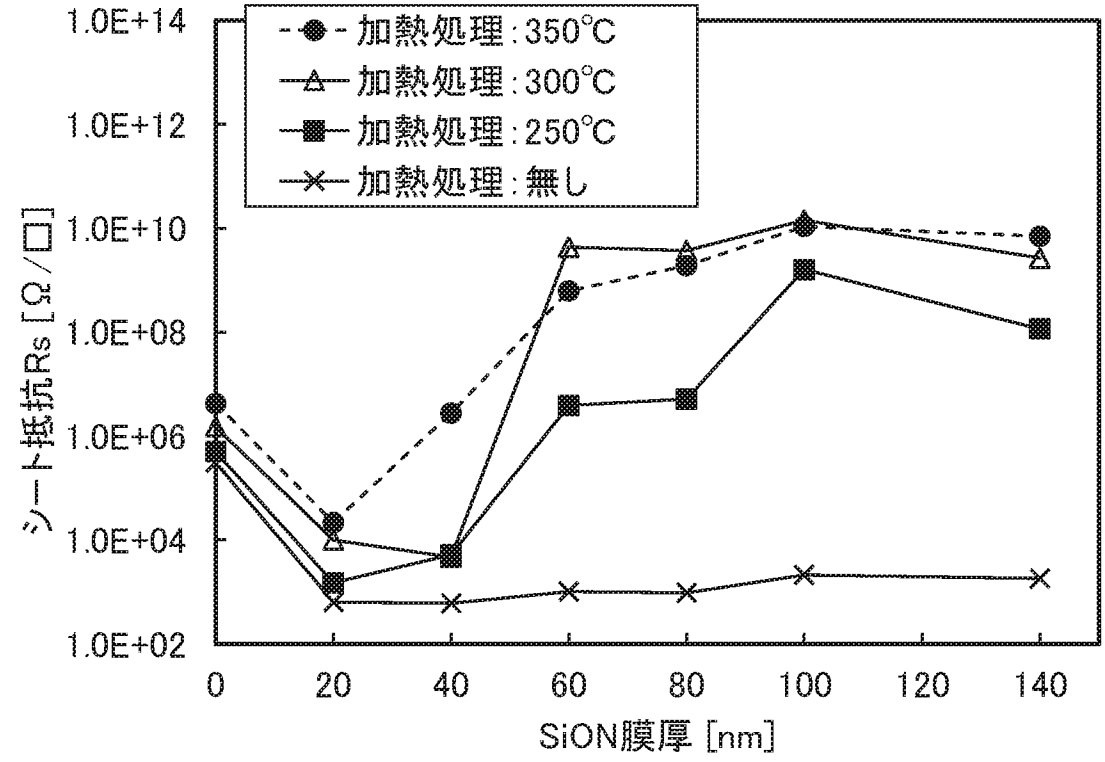

プラズマ処理：350℃、60sec
加熱処理：350℃
加熱処理：300℃
加熱処理：250℃
加熱処理：無し
シート抵抗Rs [Ω/□]
1.0E+14
1.0E+12
1.0E+10
1.0E+08
1.0E+06
1.0E+04
1.0E+02
0
20
40
60
80
100
120
140
SiON膜厚 [nm]

図39B


プラズマ処理：240℃、60sec
加熱処理：350℃
加熱処理：300℃
加熱処理：250℃
加熱処理：無し
シート抵抗Rs [Ω/□]
1.0E+14
1.0E+12
1.0E+10
1.0E+08
1.0E+06
1.0E+04
1.0E+02
0
20
40
60
80
100
120
140
SiON膜厚 [nm]

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2020/057052

A. CLASSIFICATION OF SUBJECT MATTER
H01L 29/786(2006.01)i; G09F 9/30(2006.01)i; H01L 21/336(2006.01)i; H01L 27/32(2006.01)i; H01L 51/50(2006.01)i; H05B 33/14(2006.01)i
FI: H01L29/78 616A; H01L29/78 618B; H01L29/78 619A; H01L29/78 616V; H05B33/14 A; H05B33/14 Z; H01L27/32; G09F9/30 338; H01L29/78 617S
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786; G09F9/30; H01L21/336; H01L27/32; H01L51/50; H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 11-121757 A (TOSHIBA CORP.) 30 April 1999 (1999-04-30) paragraphs [0013]-[0028], [0037]-[0040], fig. 1-4, 8	1-3, 7-9 4, 10 5, 6, 11-13
Y	JP 10-104663 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 24 April 1998 (1998-04-24) paragraph [0071], fig. 2(A)	4
Y	JP 2015-179822 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 October 2015 (2015-10-08) paragraphs [0062], [0088], fig. 3(D)	10
A	US 2017/0179164 A1 (SAMSUNG DISPLAY CO., LTD.) 22 June 2017 (2017-06-22)	1-13
A	JP 2003-203919 A (FUJITSU DISPLAY TECHNOLOGIES CORP.) 18 July 2003 (2003-07-18)	1-13

☐ Further documents are listed in the continuation of Box C.
☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 October 2020 (15.10.2020)	27 October 2020 (27.10.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/057052

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 11-121757 A	30 Apr. 1999	(Family: none)	
JP 10-104663 A	24 Apr. 1998	US 2002/0089483 A1 paragraph [0074], fig. 2(A) KR 10-1998-0025065 A	
JP 2015-179822 A	08 Oct. 2015	US 2015/0221678 A1 paragraphs [0114], [0140], fig. 3D DE 102015201707 A1 CN 104821338 A KR 10-2015-0092722 A TW 201535690 A	
US 2017/0179164 A1	22 Jun. 2017	KR 10-2017-0074267 A CN 106898551 A	
JP 2003-203919 A	18 Jul. 2003	US 2003/0151049 A1 TW 200302372 A KR 10-2003-0057460 A	

国際調査報告

国際出願番号
PCT/IB2020/057052

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/786(2006.01)i; G09F 9/30(2006.01)i; H01L 21/336(2006.01)i; H01L 27/32(2006.01)i; H01L 51/50(2006.01)i; H05B 33/14(2006.01)i
FI: H01L29/78 616A; H01L29/78 618B; H01L29/78 619A; H01L29/78 616V; H05B33/14 A; H05B33/14 Z; H01L27/32; G09F9/30 338; H01L29/78 617S

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/786; G09F9/30; H01L21/336; H01L27/32; H01L51/50; H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 11-121757 A (株式会社東芝) 30.04.1999 (1999-04-30) 段落0013-0028, 0037-0040、図1-4, 8	1-3, 7-9
Y		4, 10
A		5, 6, 11-13
Y	JP 10-104663 A (株式会社半導体エネルギー研究所) 24.04.1998 (1998-04-24) 段落0071、図2(A)	4
Y	JP 2015-179822 A (株式会社半導体エネルギー研究所) 08.10.2015 (2015-10-08) 段落0062, 0088、図3(D)	10
A	US 2017/0179164 A1 (SAMSUNG DISPLAY CO., LTD.) 22.06.2017 (2017-06-22)	1-13
A	JP 2003-203919 A (富士通ディスプレイテクノロジーズ株式会社) 18.07.2003 (2003-07-18)	1-13

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
15.10.2020	27.10.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
岩本　勉 5F 9355
電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2020/057052

引用文献	公表日	パテントファミリー文献	公表日
JP 11-121757 A	30.04.1999	（ファミリーなし）	
JP 10-104663 A	24.04.1998	US 2002/0089483 A1 段落0074、図2(A) KR 10-1998-0025065 A	
JP 2015-179822 A	08.10.2015	US 2015/0221678 A1 段落0114，0140、図3D DE 102015201707 A1 CN 104821338 A KR 10-2015-0092722 A TW 201535690 A	
US 2017/0179164 A1	22.06.2017	KR 10-2017-0074267 A CN 106898551 A	
JP 2003-203919 A	18.07.2003	US 2003/0151049 A1 TW 200302372 A KR 10-2003-0057460 A	