

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5983236号  
(P5983236)

(45) 発行日 平成28年8月31日 (2016. 8. 31)

(24) 登録日 平成28年8月12日 (2016. 8. 12)

(51) Int. Cl.

F I

G 1 1 C 16/02 (2006. 01)

G 1 1 C 17/00 6 1 1 F

G 1 1 C 16/06 (2006. 01)

G 1 1 C 17/00 6 3 5

G 1 1 C 16/04 (2006. 01)

G 1 1 C 17/00 6 2 2 A

請求項の数 5 (全 29 頁)

(21) 出願番号 特願2012-210399 (P2012-210399)  
 (22) 出願日 平成24年9月25日 (2012. 9. 25)  
 (65) 公開番号 特開2014-67461 (P2014-67461A)  
 (43) 公開日 平成26年4月17日 (2014. 4. 17)  
 審査請求日 平成27年5月27日 (2015. 5. 27)

(73) 特許権者 514315159  
 株式会社ソシオネクスト  
 神奈川県横浜市港北区新横浜 2 丁目 1 〇 番  
 2 3  
 (74) 代理人 100092152  
 弁理士 服部 毅巖  
 (72) 発明者 竹内 淳  
 神奈川県横浜市港北区新横浜二丁目 1 〇 番  
 2 3 富士通セミコンダクター株式会社内  
 審査官 後藤 彰

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

ワード線群とビット線群の交差位置にそれぞれ配置され、共通のソース線に接続されたメモリセル群を含む複数のメモリブロックであって、前記複数のメモリブロック間で前記ワード線群を共有し、前記複数のメモリブロック毎に分離された複数の前記ソース線を備える複数のメモリブロックと、

プログラム動作時に、前記複数のメモリブロックのうち、プログラムするメモリセルが含まれるメモリブロックの前記ソース線に第 1 電圧を供給し、前記プログラムするメモリセルが含まれないメモリブロックの前記ソース線に前記第 1 電圧と異なる第 2 電圧を供給する回路部と、

を備え、

前記メモリセル群は、Pチャネル型トランジスタであることを特徴とする半導体記憶装置。

【請求項 2】

前記第 2 電圧は、前記第 1 電圧よりも高い電圧であることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

1 回の前記プログラム動作時に、前記プログラムするメモリセルが、前記ワード線群を共有する前記複数のメモリブロックのうち、いずれか 1 つのメモリブロックから選択されることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

## 【請求項 4】

1 回の前記プログラム動作時に、前記プログラムするメモリセルの情報を含むデータを上位ビットデータと下位ビットデータに分割し、前記上位ビットデータを、前記複数のメモリブロックのうち、第 1 のメモリブロックに対応させ、前記下位ビットデータを、前記複数のメモリブロックのうち、第 2 のメモリブロックに対応させて、前記プログラム動作を行うことを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

## 【請求項 5】

前記回路部は、前記プログラム動作時に、前記複数のメモリブロックのうち、前記プログラムするメモリセルが含まれないメモリブロックの前記ソース線に、当該メモリブロックのウェルと当該メモリブロック内のメモリセルのソース接合との容量結合によって昇圧された前記第 2 電圧を供給することを特徴とする請求項 1 に記載の半導体記憶装置。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体記憶装置に関する。

## 【背景技術】

## 【0002】

半導体記憶装置として、フラッシュメモリ、E P R O M (Erasable Programmable Read Only Memory)、E E P R O M (Electrically Erasable Programmable Read Only Memory) 等のメモリが知られている。このような半導体記憶装置では、データの書き込み（プログラム）を、メモリセルの電荷蓄積層にチャネルホットエレクトロンを注入することで行う方式が知られている。このほか、データのプログラムを、バンド間トンネル現象によってドレイン付近に誘起されるホットエレクトロンを注入することで行う方式が知られている。

20

## 【0003】

半導体記憶装置に関し、それに設けられるメモリセルアレイを、複数のメモリセルを含む複数のブロックに分割する形態が知られている。更に、ブロック内の一方向に配列されるメモリセル群を共通のワード線に接続し、別方向に配列されるメモリセル群を共通のビット線に接続し、ブロック内の全メモリセルを共通のソース線に接続する形態が知られている。また、プログラム動作時に、そのような各ブロックの又は異なるブロック間のソース線電圧を制御する技術が知られている。

30

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】特開 2 0 0 6 - 1 5 6 9 2 5 号公報

【特許文献 2】特開 2 0 0 9 - 2 1 2 9 9 2 号公報

【特許文献 3】特開 2 0 0 4 - 3 9 0 9 1 号公報

【特許文献 4】特開 2 0 0 1 - 2 9 1 3 9 2 号公報

【特許文献 5】特開 2 0 0 3 - 1 2 3 4 9 3 号公報

## 【発明の概要】

40

## 【発明が解決しようとする課題】

## 【0005】

上記のようなブロックを含む半導体記憶装置では、プログラム動作時に、ブロック内のプログラム対象のメモリセルと同じワード線に接続されたプログラム非対象のメモリセルが、ゲートディスタープの影響を受ける。そのブロックのソース線電圧を高くするように制御すると、プログラム対象のメモリセルと同じワード線に接続されたプログラム非対象のメモリセルのゲートディスタープ耐性が改善される。しかし、このようにブロックのソース電圧を高くすると、そのブロック内のプログラム対象のメモリセルと同じビット線に接続されたプログラム非対象のメモリセルに流れる電流が増加する。

## 【課題を解決するための手段】

50

## 【 0 0 0 6 】

本発明の一観点によれば、ワード線群とビット線群の交差位置にそれぞれ配置され、共通のソース線に接続されたメモリセル群を含む複数のメモリブロックであって、前記複数のメモリブロック間で前記ワード線群を共有し、前記複数のメモリブロック毎に分離された複数の前記ソース線を備える複数のメモリブロックと、プログラム動作時に、前記複数のメモリブロックのうち、プログラムするメモリセルが含まれるメモリブロックの前記ソース線に第 1 電圧を供給し、前記プログラムするメモリセルが含まれないメモリブロックの前記ソース線に前記第 1 電圧と異なる第 2 電圧を供給する回路部と、を備え、前記メモリセル群は、Pチャネル型トランジスタである半導体記憶装置が提供される。

## 【 発明の効果 】

10

## 【 0 0 0 7 】

開示の技術によれば、プログラム動作時に、プログラム非対象メモリセルのソースに流れるリーク電流の増加を抑えつつ、プログラム非対象メモリセルへのゲートディスターブによる閾値電圧  $V_{th}$  の変化を抑制することのできる半導体記憶装置が実現可能になる。

## 【 図面の簡単な説明 】

## 【 0 0 0 8 】

【 図 1 】メモリ内蔵マイコンの構成例を示す図である。

【 図 2 】フラッシュメモリの構成例を示す図である。

【 図 3 】メモリコアの構成例を示す図である。

【 図 4 】ワード線選択回路の一例を示す図である。

20

【 図 5 】ビット線選択回路の一例を示す図である。

【 図 6 】グローバルビット線選択回路の一例を示す図である。

【 図 7 】リードアンプの一例を示す図である。

【 図 8 】ライトアンプの一例を示す図である。

【 図 9 】リード動作波形の一例を示す図である。

【 図 10 】イレース動作波形の一例を示す図である。

【 図 11 】プログラム動作波形の一例を示す図である。

【 図 12 】電圧の設定例を示す図である。

【 図 13 】ディスターブの説明図である。

【 図 14 】ゲートディスターブを受ける時間と閾値電圧の関係の説明図である。

30

【 図 15 】閾値電圧分布の説明図である。

【 図 16 】第 1 の実施の形態に係るメモリブロック領域の構成例を示す図である。

【 図 17 】第 1 の実施の形態に係るソース線スイッチ及びソース選択線駆動回路の一例を示す図である。

【 図 18 】第 1 の実施の形態に係るプログラム動作波形の一例を示す図である。

【 図 19 】プログラムセグメントに分割しないメモリブロック領域におけるビット線選択の説明図である。

【 図 20 】第 1 の実施の形態に係るメモリブロック領域におけるビット線選択の説明図である。

【 図 21 】第 2 の実施の形態に係るソース線スイッチ及びソース選択線駆動回路の一例を示す図である。

40

【 図 22 】第 2 の実施の形態に係るプログラム動作波形の一例を示す図である。

【 図 23 】第 3 の実施の形態に係るメモリブロック領域の構成例を示す図である。

【 図 24 】第 4 の実施の形態に係るメモリブロック領域の構成例を示す図である。

【 図 25 】アドレス割り付けの一例を示す図（その 1 ）である。

【 図 26 】アドレス割り付けの一例を示す図（その 2 ）である。

【 図 27 】選択ビット線の割り付け例を示す図である。

【 図 28 】第 5 の実施の形態に係るアドレス割り付けの一例を示す図である。

【 図 29 】第 5 の実施の形態に係るソース線スイッチ及びソース選択線駆動回路の一例を示す図である。

50

**【発明を実施するための形態】****【0009】**

以下、フラッシュメモリを例に、図面を参照して詳細に説明する。

図1はメモリ内蔵マイコンの構成例を示す図である。

メモリ内蔵マイコン10は、周辺I/O (Input/Output) ポート11、周辺I/O制御回路12、CPU (Central Processing Unit) 13、RAM (Random Access Memory) 14及びROM (Read Only Memory) 15を含む。

**【0010】**

メモリ内蔵マイコン10は、CPU13によって制御される。CPU13には、内部バス16を介してRAMインタフェース17が接続され、RAMインタフェース17にRAM14が接続されている。また、CPU13には、内部バス16を介してROMインタフェース18が接続され、ROMインタフェース18にROM15が接続されている。内部バス16には、周辺I/Oポート11に接続された周辺I/O制御回路12が接続されている。

10

**【0011】**

フラッシュメモリは、このようなメモリ内蔵マイコン10のROM15として使用され得る。尚、フラッシュメモリは、このほか、単体のメモリチップとしても使用され得る。

図2はフラッシュメモリの構成例を示す図である。

**【0012】**

フラッシュメモリ20は、メモリセル (メモリセルトランジスタ) を含むメモリコア21、及び周辺回路を含む。周辺回路は、コマンド生成回路22、内部電圧生成回路23、メモリコア制御回路24、アドレス生成回路25及びデータ入出力回路26を含む。

20

**【0013】**

コマンド生成回路22は、チップイネーブルピンCEXから入力される信号 (チップイネーブル信号) によって活性化され、メモリコア21を制御する各種コマンドを生成する。コマンド生成回路22は、コントロールピンCP0-3から入力される信号 (コントロール信号) と、ライトイネーブルピンWEXから入力される信号 (ライトイネーブル信号) との組み合わせに基づき、コマンドを生成する。コマンド生成回路22は、コントロール信号及びライトイネーブル信号を用いて、読み出し (リード (READ))、書き込み (プログラム (PROGRAM))、消去 (イレース (ERASE)) の各動作モードを指示するモード信号RD、PGM、ERSを生成する。

30

**【0014】**

内部電圧生成回路23は、モード信号RD、PGM又はERSに基づき、それが示す動作モードでメモリコア21に必要な内部電圧Vを生成する。例えば、メモリコア21内のメモリセルに接続されるワード線、ビット線、ソース線に印加する電圧、メモリセルのウェルに印加する電圧、ビット線及びグローバルビット線をプリチャージする際の電圧等を生成する。

**【0015】**

メモリコア制御回路24は、モード信号RD、PGM又はERSに基づき、メモリコア21を制御するメモリコア制御信号MCを生成する。

40

アドレス生成回路25は、アドレスピンFA00-20から入力されるアドレスに基づき、モード信号RD、PGM又はERSに応じて、ロウアドレスRA、カラムアドレスCAを生成する。ロウアドレスRAは、ワード線及びソース線の選択に用いられる。カラムアドレスCAは、ビット線及びグローバルビット線の選択に用いられる。

**【0016】**

データ入出力回路26は、入力データピンDIN00-15及び出力データピンDO00-15を介して、フラッシュメモリ20外部とのデータのやり取りを行う。データ入出力回路26は、プログラム動作時には、入力データピンDIN00-15から入力される信号DIをメモリコア21に出力し、リード動作時には、メモリコア21から読み出される信号DOを出力データピンDO00-15に出力する。

50

## 【 0 0 1 7 】

図 3 はメモリコアの構成例を示す図である。

メモリコア 2 1 は、メモリブロック領域 1 0 0 を含む。メモリブロック領域 1 0 0 は、メモリセルアレイ 1 1 0、ワード線選択回路 1 2 0 及びビット線選択回路 1 3 0 を含む。尚、メモリコア 2 1 は、このようなメモリブロック領域 1 0 0 を複数（この例では B L K 0 と B L K 1 の 2 つ）、含む場合がある。ここでは、B L K 0 を例に、メモリブロック領域 1 0 0 の構成について説明する。

## 【 0 0 1 8 】

メモリブロック領域 1 0 0 に含まれるメモリセルアレイ 1 1 0 は、ワード線 W L（この例では W L 0 - 3）とビット線 B L（この例では B L 0 - 3）の交差位置にそれぞれ配置された複数のメモリセル 1 1 1（この例では m 0 0 - 3 3）を含んでいる。メモリセルアレイ 1 1 0 内の全メモリセル 1 1 1 は、共通のソース線 S R C（この例では S R C 0）に接続されている。

## 【 0 0 1 9 】

メモリセル 1 1 1 は、例えば、P チャンネル型 M O S（Metal Oxide Semiconductor）トランジスタ（P M O S）とされる。このような P M O S のメモリセル 1 1 1 は、半導体基板上にゲート電極、P 型ソース領域及び P 型ドレイン領域を形成して得ることができる。メモリセルアレイ 1 1 0 内のメモリセル 1 1 1 は、半導体基板に設けた同一の又は互いに電氣的に接続された N 型ウェル N W（この例では N W 0）に形成される。

## 【 0 0 2 0 】

図 3 に示すワード線選択回路 1 2 0 は、メモリコア制御信号 M C 及びロウアドレス R A に基づき、ワード線を選択する。

図 4 はワード線選択回路の一例を示す図である。

## 【 0 0 2 1 】

この図 4 のワード線選択回路 1 2 0 では、ロウアドレス R A < 0 : 1 > 及び信号 A L L T に従って、ワード線 W L 0 - 3 のいずれかが選択される。ワード線選択回路 1 2 0 は、N O R ゲート 1 2 1、N O R ゲート 1 2 2、及び各ワード線 W L 0 - 3 に対応したワードデコーダ 1 2 3（ワードデコーダ 0 - 3）を含む。各ワードデコーダ 1 2 3 は、N A N D ゲート 1 2 4、N O T ゲート 1 2 5、C M O S トランスファゲート 1 2 6 及び C M O S トランスファゲート 1 2 7 を含んでいる。

## 【 0 0 2 2 】

N O R ゲート 1 2 1 は、信号 A L L T 及びロウアドレス R A < 0 : 1 > を入力とし、信号 R B < 0 : 1 > を出力する。N O R ゲート 1 2 2 は、信号 A L L T 及び信号 R B < 0 : 1 > を入力とし、信号 R T < 0 : 1 > を出力する。ワード線 W L 0 に対応するワードデコーダ 1 2 3 の N A N D ゲート 1 2 4 には、信号 R B < 0 > 及び信号 R B < 1 > が入力される。同様に、ワード線 W L 1 に対応するワードデコーダ 1 2 3 の N A N D ゲートには、信号 R T < 0 > 及び信号 R B < 1 > が入力される。ワード線 W L 2 に対応するワードデコーダ 1 2 3 の N A N D ゲートには、信号 R B < 0 > 及び信号 R T < 1 > が入力される。ワード線 W L 3 に対応するワードデコーダ 1 2 3 の N A N D ゲートには、信号 R T < 0 > 及び信号 R T < 1 > が入力される。ワードデコーダ 1 2 3 の N A N D ゲート 1 2 4 の出力信号、及びその出力信号の N O T ゲート 1 2 5 による反転信号は、C M O S トランスファゲート 1 2 6、C M O S トランスファゲート 1 2 7 に入力される。

## 【 0 0 2 3 】

ワード線選択の際、N O R ゲート 1 2 1 の入力信号 A L L T は L o w（L）レベルとされる。例えば、ワード線 W L 0 が選択される場合、ロウアドレス R A < 0 >、R A < 1 > は L レベルで、ワードデコーダ 1 2 3 の N A N D ゲート 1 2 4 の 2 入力 H i g h（H）レベルとなり、その出力は L レベルとなる。その結果、ワード線 W L 0 は、電圧 V W T 0 と接続される。選択されないワード線 W L 1 - 3 に対応するワードデコーダ 1 2 3 の N A N D ゲート 1 2 4 の 2 入力、一方が L レベルで他方が H レベル、又はいずれも L レベルとなり、その結果、電圧 V W B 0 に接続される。尚、イレース動作時には、信号 A L L T

10

20

30

40

50

がHレベルとなり、全てのワード線W L 0 - 3が電圧V W B 0に接続される。

【 0 0 2 4 】

電圧V W T 0と電圧V W B 0の値は、動作モードに従って設定される。例えば、プログラム動作モードでは、電圧V W T 0が9 V、電圧V W B 0が0 Vに設定される。リード動作モードでは、電圧V W T 0が- 3 V、電圧V W B 0が1 . 8 Vに設定される。イレース動作モードでは、電圧V W T 0が0 V、電圧V W B 0が- 9 Vに設定される。電圧V W T 0及び電圧V W B 0は、入力信号と論理素子出力の振幅の中にV W T 0及びV W B 0が含まれるように設定される。

【 0 0 2 5 】

続いて、図3に示すビット線選択回路130及びグローバルビット線選択回路140について述べる。ビット線選択回路130は、メモリコア制御信号M C及びカラムアドレスC Aに基づき、ビット線B L 0 - 3を選択する。ビット線選択回路130は、選択されたビット線を、メモリコア制御信号M C及びカラムアドレスC Aに基づきグローバルビット線選択回路140により選択される所定電圧のグローバルビット線G B L ( G B L 0 , G B L 1 )と接続する。

10

【 0 0 2 6 】

図5はビット線選択回路の一例を示す図、図6はグローバルビット線選択回路の一例を示す図である。

図5に示すビット線選択回路130は、NOTゲート131、NOTゲート132、NORゲート133及びNORゲート134を含む。NOTゲート131は、カラムアドレスC A 0を入力とし、その反転信号がNOTゲート132及びNORゲート133に入力されると共に、選択信号S Y T 0とされる。NORゲート133には、更に信号F L Tが入力され、その出力は選択信号S Y B 0とされる。NOTゲート132の出力は、NORゲート134に入力されると共に、選択信号S Y T 1とされる。NORゲート134には、更に信号F L Tが入力され、その出力が選択信号S Y B 1とされる。

20

【 0 0 2 7 】

ビット線B L 0は、Nチャンネル型M O S トランジスタ( N M O S ) 135 aを介してグローバルビット線G B L 0に接続され、N M O S 135 bを介して電源線V 2 4 ( 電圧2 . 4 V ) に接続されている。N M O S 135 aのゲートには選択信号S Y T 0が入力され、N M O S 135 bのゲートには選択信号S Y B 0が入力される。ビット線B L 1は、N M O S 136 aを介してグローバルビット線G B L 0に接続され、N M O S 136 bを介して電源線V 2 4に接続されている。N M O S 136 aのゲートには選択信号S Y T 1が入力され、N M O S 136 bのゲートには選択信号S Y B 1が入力される。ビット線B L 2は、N M O S 137 aを介してグローバルビット線G B L 1に接続され、N M O S 137 bを介して電源線V 2 4に接続されている。N M O S 137 aのゲートには選択信号S Y T 0が入力され、N M O S 137 bのゲートには選択信号S Y B 0が入力される。ビット線B L 3は、N M O S 138 aを介してグローバルビット線G B L 1に接続され、N M O S 138 bを介して電源線V 2 4に接続されている。N M O S 138 aのゲートには選択信号S Y T 1が入力され、N M O S 138 bのゲートには選択信号S Y B 1が入力される。

30

40

【 0 0 2 8 】

この図5に例示するビット線選択回路130は、ビット線B L 0とビット線B L 1のいずれかをグローバルビット線G B L 0に接続し、ビット線B L 2とビット線B L 3のいずれかをグローバルビット線G B L 1に接続する。信号F L TがLレベルの時、非選択ビット線( グローバルビット線と接続されないビット線 ) は、電源線V 2 4に接続される。プログラム動作モードでは、非選択ビット線の電圧をこのような電源線V 2 4の電圧に設定する。一方、信号F L TがHレベルの時、非選択ビット線は電源線V 2 4とは接続されず、ハイインピーダンス( H i Z ) 状態になる。リード動作モード、イレース動作モードでは、非選択ビット線をこのようなH i Z 状態に設定する。

【 0 0 2 9 】

50

また、図 6 に示すグローバルビット線選択回路 140 は、上記ビット線選択回路 130 と同様に、NOTゲート 141、NOTゲート 142、NORゲート 143 及び NORゲート 144 を含む。NOTゲート 141 は、カラムアドレス CA1 を入力とし、その反転信号が NOTゲート 142 及び NORゲート 143 に入力されると共に、選択信号 SGT0 とされる。NORゲート 143 には、更に信号 FLT が入力され、その出力は選択信号 SGB0 とされる。NOTゲート 142 の出力は、NORゲート 144 に入力されると共に、選択信号 SGT1 とされる。NORゲート 144 には、更に信号 FLT が入力され、その出力が選択信号 SGB1 とされる。

【0030】

グローバルビット線 GBL0 は、NMOS 145a を介してメインビット線 MBL0 に接続され、NMOS 145b を介して電源線 V24 に接続されている。NMOS 145a のゲートには選択信号 SGT0 が入力され、NMOS 145b のゲートには選択信号 SGB0 が入力される。グローバルビット線 GBL1 は、NMOS 146a を介してメインビット線 MBL0 に接続され、NMOS 146b を介して電源線 V24 に接続されている。NMOS 146a のゲートには選択信号 SGT1 が入力され、NMOS 146b のゲートには選択信号 SGB1 が入力される。

【0031】

この図 6 に例示するグローバルビット線選択回路 140 は、グローバルビット線 GBL0 とグローバルビット線 GBL1 のいずれかをメインビット線 MBL0 に接続する。

続いて、図 3 に示すリードライトアンプ 150 について述べる。リードライトアンプ 150 は、リードアンプ及びライトアンプを含み、このリードライトアンプ 150 に、グローバルビット線選択回路 140 がメインビット線 MBL を介して接続されている。リードアンプは、グローバルビット線 GBL を介して接続されたメモリセル 111 に流れる電流に従って、そのメモリセル 111 のデータを読み出し、それを基に信号 DO を出力する。ライトアンプは、入力される信号 DI に基づき、グローバルビット線 GBL に所定電圧を印加する。

【0032】

図 7 はリードアンプの一例を示す図、図 8 はライトアンプの一例を示す図である。

図 7 に示すリードアンプ 150a は、グローバルビット線 GBL の電圧 VGBL とリファレンス電圧 VREF を入力とするコンパレータ 151、及びコンパレータ 151 の出力の反転信号を信号 DO として出力する NOTゲート 152 を含む。

【0033】

リードアンプ 150a は、リード動作モードで活性化する。リード対象として選択されたメモリセル 111 が閾値電圧  $V_{th}$  の高いプログラム状態にあると、メモリセル 111 に電流が流れ、グローバルビット線 GBL に電荷が供給される。この時のグローバルビット線 GBL の電圧 VGBL は H レベルとされ、リードアンプ 150a からは L レベルの信号 DO が出力される。一方、リード対象として選択されたメモリセル 111 が閾値電圧  $V_{th}$  の低いイレース状態にあると、メモリセル 111 に電流が流れず、グローバルビット線 GBL の電圧 VGBL は L レベルとされ、リードアンプ 150a からは H レベルの信号 DO が出力される。

【0034】

図 8 に示すライトアンプ 150b は、NOTゲート 153、NANDゲート 154、NANDゲート 155、NANDゲート 156、NORゲート 157、PMOS 158 及び NMOS 159 を含む。

【0035】

NOTゲート 153 には、信号 DI が入力される。NANDゲート 154 には、信号 HGBLB と信号 WAB が入力される。NANDゲート 155 には、信号 HGBLB と、NOTゲート 153 の出力即ち信号 DI の反転信号が入力される。NANDゲート 154 の出力及び NANDゲート 155 の出力は、NANDゲート 156 に入力され、その出力は、PMOS 158 のゲートに入力される。NANDゲート 155 の出力及び信号 WAB は

10

20

30

40

50

、NORゲート157に入力され、その出力は、NMOS159のゲートに入力される。

【0036】

信号HGBLBがLレベルの時、NANDゲート156の出力はLレベルとなり、グローバルビット線GBLは電圧VAT（電源線V24（2.4V））に接続される。リード動作モードにおけるリード前（センス前）のグローバルビット線GBLのプリチャージでは、このような状態とされる。信号HGBLBがHレベルで信号WABがHレベルの時、グローバルビット線GBLはHiZ状態になる。リード動作モードにおけるリード時（センス時）には、このような状態とされる。プログラム動作モード時には、信号WABがLレベルになり、グローバルビット線GBLは信号DIと同じ極性になる。信号DIがLレベルの時は、グローバルビット線GBLは電圧VSS（接地線）に接続され、信号DIがHレベルの時は、グローバルビット線GBLは電圧VATに接続される。

10

【0037】

続いて、上記図3～図8に示したようなメモリコア21を含むフラッシュメモリ20のリード、イレース、プログラムの各動作について述べる。

まず、リード動作について説明する。ここでは、図3に示したメモリブロック領域BLK0のメモリセルアレイ110に含まれるメモリセル111のうち、m00のメモリセル111に対してリード動作を行う場合を例にして説明する。

【0038】

図9はリード動作波形の一例を示す図である。

リード動作では、コントロールピンCP0-3にリードコマンドを設定してリード動作モードにエントリし、同時にアドレスピンFA00-20にロウとカラムを指定する選択ワードアドレスを設定する。ライトイネーブルピンWEXに入力されるライトイネーブル信号を下げると、ロウアドレスRAに従ってワード線、ここではワード線WL0が選択され、電圧V18（1.8V）から負電位の電圧VWT0（例えば-3V）になる。非選択のワード線WL1-3は、電圧V18に保持される。尚、ソース線SRC0は、非選択のワード線WL1-3と同じ電圧V18とされている。

20

【0039】

リード動作モードにエントリし、アドレスを設定すると、カラムアドレスCAに従って、ビット線選択回路130の選択信号SYT0、及びグローバルビット線選択回路140の選択信号SGT0がLレベル（VSS）からHレベル（VCC）になる。それ以外の選択信号SYT1, SGT1, SYB0-1, SGB0-1は、いずれもLレベル（VSS）を保持する。これにより、選択されたメモリセル111（m00）に繋がるビット線BL0がグローバルビット線GBL0に接続され、グローバルビット線GBL0がメインビット線MBL0を介してリードアンプ150aに接続される。

30

【0040】

グローバルビット線GBL0は、ライトイネーブルピンWEXに入力されるライトイネーブル信号がHレベルの時、ソース線SRC0と同じ電圧V18に設定される。ワード線WL0が電圧V18から電圧VWT0に下がると、メモリセル111の状態によって、グローバルビット線GBL0の電圧が変化する。即ち、メモリセル111が閾値電圧Vthの高いプログラム状態（pr.）にある場合、メモリセル111に電流が流れ、グローバルビット線GBL0はHレベル（V18）になる。メモリセル111が閾値電圧Vthの低いイレース状態（er.）にある場合、メモリセル111には電流が流れず、グローバルビット線GBL0は、リードライトアンプ150のリードアンプ150aの電流源によって引き抜かれ、Lレベル（VSS）になる。

40

【0041】

このようなグローバルビット線GBL0の状態を受けて、信号DOが変化する。即ち、メモリセル111がプログラム状態（pr.）にあり、グローバルビット線GBL0がHレベルの場合、信号DOはLレベル（VSS）になる。メモリセル111がイレース状態（er.）にあり、グローバルビット線GBL0がLレベルの場合、信号DOはHレベル（VCC）になる。

50



## 【 0 0 4 2 】

次に、イレース動作について説明する。ここでは、図 3 に示したメモリブロック領域 B L K 0 のメモリセルアレイ 1 1 0 に含まれるメモリセル 1 1 1 に対してイレース動作を行う場合を例にして説明する。

## 【 0 0 4 3 】

図 1 0 はイレース動作波形の一例を示す図である。

イレース動作では、コントロールピン C P 0 - 3 にイレースコマンドを設定してイレース動作モードにエントリし、同時にアドレスピン F A 0 0 - 2 0 にメモリブロック領域 1 0 0 を指定するメモリブロックアドレスを設定する。選択されたメモリブロック領域 1 0 0 のワード線 W L 0 - 3 は、一旦電圧 V S S に設定され、ライトイネーブルピン W E X に 10  
入力されるライトイネーブル信号を下げると、負電位の電圧 V W B 0 (例えば - 9 V) になる。

## 【 0 0 4 4 】

ビット線選択回路 1 3 0 及びグローバルビット線選択回路 1 4 0 の全ての選択信号 S Y T 0 - 1 , S G T 0 - 1 , S Y B 0 - 1 , S G B 0 - 1 は、L レベル ( V S S ) を保持する。これにより、選択されたメモリブロック領域 1 0 0 のビット線 B L 0 - 3 を、グローバルビット線 G B L 及び電源線 V 2 4 から切り離す。

## 【 0 0 4 5 】

選択されたメモリブロック領域 1 0 0 のワード線 W L 0 - 3 が電圧 V W B 0 に下がると、そのメモリブロック領域 1 0 0 の N 型ウェル N W 0 及びソース線 S R C 0 が、9 V 程度 20  
の高い電圧 V N W 0 に設定される。これにより、そのメモリブロック領域 1 0 0 の全メモリセル 1 1 1 のデータが一括で消去される。

## 【 0 0 4 6 】

次に、プログラム動作について説明する。ここでは、図 3 に示したメモリブロック領域 B L K 0 のメモリセルアレイ 1 1 0 に含まれるメモリセル 1 1 1 のうち、m 0 0 のメモリセル 1 1 1 に対してプログラム動作を行う場合を例にして説明する。

## 【 0 0 4 7 】

図 1 1 はプログラム動作波形の一例を示す図である。

プログラム動作では、コントロールピン C P 0 - 3 にプログラムコマンドを設定してプログラム動作モードにエントリし、同時にアドレスピン F A 0 0 - 2 0 にロウとカラムを 30  
指定する選択ワードアドレスを設定する。ライトイネーブルピン W E X に入力されるライトイネーブル信号を下げると、ロウアドレス R A に従ってワード線、ここではワード線 W L 0 が選択され、電圧 V 1 8 ( 1 . 8 V ) から正電位の電圧 V W T 0 (例えば 9 V) になる。非選択のワード線 W L 1 - 3 は、電圧 V W B 0 (例えば 0 V) になる。

## 【 0 0 4 8 】

プログラム動作モードにエントリし、アドレスを設定すると、カラムアドレス C A に従って、ビット線選択回路 1 3 0 の選択信号 S Y T 0 , S Y B 1、及びグローバルビット線選択回路 1 4 0 の選択信号 S G T 0 , S G B 1 が L レベル ( V S S ) から H レベル ( V C C ) になる。それ以外の選択信号 S Y T 1 , S G T 1 , S Y B 0 , S G B 0 は、いずれも L レベル ( V S S ) を保持する。これにより、選択されたメモリセル 1 1 1 ( m 0 0 ) に 40  
繋がるビット線 B L 0 がグローバルビット線 G B L 0 に接続され、グローバルビット線 G B L 0 がメインビット線 M B L 0 を介してライトアンプ 1 5 0 b に接続される。

## 【 0 0 4 9 】

入力された信号 D I に従って、ライトイネーブルピン W E X に入力されるライトイネーブル信号が下がると、ライトアンプ 1 5 0 b がグローバルビット線 G B L 0 の電圧を設定する。プログラムするメモリセル 1 1 1 の場合 ( p r . )、L レベル ( V S S ) の信号 D I が入力され、ビット線 B L 0 が電圧 V S S ( 0 V ) になる。プログラムするメモリセル 1 1 1 でない場合 ( i n h i b i t )、H レベル ( V C C ) の信号 D I が入力され、ビット線 B L 0 が電圧 V A T (インヒビット電圧 V 2 4 ( 2 . 4 V ) ) になる (非選択のメモリセル 1 1 1 に繋がるビット線 B L が電圧 V A T になる)。 50

## 【 0 0 5 0 】

プログラム動作モードでライトイネーブルピンWEXに入力されるライトイネーブル信号がLレベルになると、N型ウェルNW0は、5V程度の電圧VNW0に設定される。プログラム動作モードでは、ソース線SRC0は1.8Vに設定される。

## 【 0 0 5 1 】

上記のようなリード、イレース、プログラムの各動作時のワード線WL(WL0-3)、ビット線BL(BL0-3)、ソース線SRC(SRC0)及びN型ウェルNW(NW0)の電圧の設定例を図12にまとめて示す。

## 【 0 0 5 2 】

ここで、上記のようなプログラム動作時にメモリセルアレイ110内のメモリセル111が受けるディスターブについて説明する。

図13はディスターブの説明図である。

## 【 0 0 5 3 】

例えば、図3及び図13に示すメモリセルアレイ110内のm00のメモリセル111にプログラムする場合、そのメモリセル111のゲートに繋がるワード線WL0が選択され、ワード線WL0が高い電圧、例えば9Vに設定される。m00のメモリセル111に繋がるソース線SRC0は、例えば1.8Vに設定され、ドレインに繋がるビット線(選択ビット線)BL0は、例えば0Vに設定される。他のビット線(非選択ビット線)BL1-3は、例えば2.4Vに設定される。

## 【 0 0 5 4 】

この時、メモリセルアレイ110内のメモリセル111のうち、ゲートがワード線WL0につながり、ドレインが非選択ビット線BL1-3に繋がる非選択のメモリセル111は、ゲートディスターブを受ける。即ち、プログラムしないm01, m02, m03(図13にはm01のみ図示)のメモリセル111において、ゲートディスターブを受け、その閾値電圧Vthが変化する可能性が生じる。また、これらの非選択のメモリセル111に接続されるソース線SRC0、ビット線BL1-3の電圧が低いと、閾値電圧Vthが変化し易くなる。

## 【 0 0 5 5 】

図14はゲートディスターブを受ける時間と閾値電圧の関係の説明図である。図14には、プログラム動作時に、プログラムされていないイレース状態のメモリセル111(イレースビット)の閾値電圧Vthが、ゲートディスターブを受ける時間によってどのように変化するかを示している。横軸はイレースビットがゲートディスターブを受ける時間、縦軸はイレースビットの閾値電圧Vth分布の最大値を示している。また、図15は閾値電圧分布の説明図である。

## 【 0 0 5 6 】

図14の実線に示すように、ゲートディスターブを受ける時間が長くなると、イレースビットの閾値電圧Vthが上昇し始める。イレースビットは、その閾値電圧Vthが上昇し、図15に示すようなプログラム状態のメモリセル111(プログラムビット)の閾値電圧Vthに近くなると、リード動作時にプログラムビットと判定される虞がある。

## 【 0 0 5 7 】

ソース線SRC0の電圧を高くすると、図14の点線に示すように、閾値電圧Vthが上昇し始めるまでの時間が長くなる。つまりゲートディスターブ耐性が改善する。しかし、このようにソース線SRC0の電圧を高くすると、ソース線SRC0はメモリセルアレイ110内の全メモリセル111に接続されているため、選択ビット線BL0に接続されたメモリセル111のソース・ゲート間電圧Vsgが大きくなる。そのため、m10, m20, m30(図13にはm10のみ図示)のメモリセル111において、ソース線SRC0から選択ビット線BL0へのリーク電流Ibが増える、或いは発生する。これらm10, m20, m30のメモリセル111が、閾値電圧Vthの高いプログラム状態になっている場合には、リーク電流Ibの量が大きくなる。

## 【 0 0 5 8 】

以上のような点に鑑み、フラッシュメモリ 20 のメモリコア 21 に、以下に実施の形態として示すような構成を採用する。

まず、第 1 の実施の形態について説明する。

#### 【0059】

図 16 は第 1 の実施の形態に係るメモリブロック領域の構成例を示す図である。

図 16 に示すメモリブロック領域 100A は、上記のメモリブロック領域 100 と同様に、ワード線選択回路 120 及びビット線選択回路 130 を有する。図 16 に示すメモリブロック領域 100A では、メモリセルアレイ 110 が、所定本数（例えば 256 本）のビット線 BL に接続されるメモリセル 111 群毎に、複数のブロックに分割される。このように分割された各ブロックをメモリブロック又はプログラムセグメント PSEG と呼ぶ。図 16 には一例として、4 つのプログラムセグメント PSEG0 - 3 を図示している。

#### 【0060】

プログラムセグメント PSEG0 を例に、プログラムセグメント PSEG の構成について説明する。ワード線 WL（この例では WL0 - 3）とビット線 BL（この例では BL0 - 3）の交差位置にそれぞれ、N 型ウェル NW（この例では NW0）に形成された PMOS が、メモリセル 111 として配置されている。このような PMOS のメモリセル 111 のゲートがワード線 WL に接続され、ドレインがビット線 BL に接続されている。このプログラムセグメント PSEG0 に含まれる PMOS のメモリセル 111 のソースは、共通のソース線 SRC0 に接続されている。

#### 【0061】

他のプログラムセグメント PSEG1 - 3 も、このプログラムセグメント PSEG0 と同様の構成を有し、プログラムセグメント PSEG1 - 3 に含まれるメモリセル 111 は、それぞれ共通のソース線 SRC1 - 3 に接続されている。プログラムセグメント PSEG0 - 3 のソース線 SRC0 - 3 は、互いに分離されており、互いに直接接続されない。ソース線 SRC0 - 3 は、それぞれソース線スイッチ（SRC SW）160 によって、電圧 VST（例えば 1.8 V）又は電圧 VSB（例えば 2.4 V）に設定される。各ソース線スイッチ 160 は、ソース選択線 173 を介してソース選択線駆動回路 170 に接続されている。また、ワード線 WL は、プログラムセグメント PSEG0 - 3 の間で共有されている。

#### 【0062】

図 17 は第 1 の実施の形態に係るソース線スイッチ及びソース選択線駆動回路の一例を示す図である。

ここでは、ソース線スイッチ SRC SW の構成を、プログラムセグメント PSEG0 のソース線 SRC0 に接続されるソース線スイッチ 160 を例にして説明する。図 17 では、プログラムセグメント PSEG1 - 3 のソース線 SRC1 - 3 に接続されたソース線スイッチ 160 の内部構成の図示を省略している。

#### 【0063】

ソース線スイッチ 160 は、NAND ゲート 161、NOT ゲート 162、CMOS トランスファゲート 163 及び CMOS トランスファゲート 164 を含む。ソース選択線駆動回路 170 は、NAND ゲート 171 及び NAND ゲート 172 を含む。

#### 【0064】

プログラム動作時、ソース選択線駆動回路 170 の NAND ゲート 171 には、信号 SSWB、及びプログラムセグメント PSEG を指定するカラムアドレス CA<2:3>が入力される。NAND ゲート 172 には、信号 SSWB、及び NAND ゲート 171 から出力される信号 CAB<2:3>が入力され、信号 CAT<2:3>が出力される。ソース線 SRC0 に接続されたソース線スイッチ 160 の NAND ゲート 161 には、ソース選択線駆動回路 170 から出力される信号 CAB<2>及び信号 CAB<3>が入力される。NAND ゲート 161 の出力信号、及びその出力信号の NOT ゲート 162 による反転信号は、CMOS トランスファゲート 163、CMOS トランスファゲート 164 に入力される。

## 【 0 0 6 5 】

尚、ソース線 S R C 1 に接続されたソース線スイッチ 1 6 0 には、ソース選択線駆動回路 1 7 0 から出力される信号 C A T < 2 > 及び信号 C A B < 3 > が入力される。ソース線 S R C 2 に接続されたソース線スイッチ 1 6 0 には、ソース選択線駆動回路 1 7 0 から出力される信号 C A B < 2 > 及び信号 C A T < 3 > が入力される。ソース線 S R C 3 に接続されたソース線スイッチ 1 6 0 には、ソース選択線駆動回路 1 7 0 から出力される信号 C A T < 2 > 及び信号 C A T < 3 > が入力される。これらのソース線スイッチ 1 6 0 においても、上記ソース線 S R C 0 に接続されたソース線スイッチ 1 6 0 と同様の流れで信号の処理が行われる。

## 【 0 0 6 6 】

10

例えば、プログラム動作において、プログラムセグメント P S E G 0 - 3 のうち、プログラムセグメント P S E G 0 を選択する場合、そのプログラムセグメント P S E G 0 に設けられたソース線 S R C 0 が選択され、そのソース線 S R C 0 が電圧 V S T に設定される。非選択のプログラムセグメント P S E G 1 - 3 のソース線 S R C 1 - 3 は、電圧 V S B に設定される。電圧 V S B は、電圧 V S T よりも高く設定され、例えば、電圧 V S T は 1 . 8 V、電圧 V S B は電圧 2 . 4 V に設定される。

## 【 0 0 6 7 】

メモリブロック領域 1 0 0 A において、プログラムするメモリセル 1 1 1 は、プログラムセグメント P S E G 0 - 3 のうち、いずれか 1 つから選択される。

図 1 8 は第 1 の実施の形態に係るプログラム動作波形の一例を示す図である。

20

## 【 0 0 6 8 】

ここでは、図 1 6 に示したメモリブロック領域 1 0 0 A のプログラムセグメント P S E G 0 に含まれるメモリセル 1 1 1 のうち、ワード線 W L 0 とビット線 B L 0 に接続されたメモリセル 1 1 1 ( m 0 0 ) に対してプログラム動作を行う場合を例にして説明する。

## 【 0 0 6 9 】

メモリブロック領域 1 0 0 A において、ソース線 S R C 0 - 3 の選択動作以外の動作は、上記図 1 1 に示した動作と同じである。

プログラム動作モードにエントリし、アドレスを設定すると、信号 S S W B が H レベルとなり、カラムアドレス C A に従って、選択されるプログラムセグメント P S E G 0 のソース線 S R C 0 が電圧 V S T (ここでは V 1 8 ( 1 . 8 V ) ) に設定される。非選択のプログラムセグメント P S E G 1 - 3 のソース線 S R C 1 - 3 は電圧 V S B (ここでは V 2 4 ( 2 . 4 V ) ) に設定される。

30

## 【 0 0 7 0 】

このようにメモリブロック領域 1 0 0 A では、選択プログラムセグメント P S E G 0 のソース線 S R C 0 が電圧 V S T に設定され、非選択プログラムセグメント P S E G 1 - 3 のソース線 S R C 1 - 3 がより高い電圧 V S B に設定される。そのため、非選択プログラムセグメント P S E G 1 - 3 の、選択ワード線 W L 0 に繋がるメモリセル 1 1 1 のソース電圧は、選択プログラムセグメント P S E G 0 のメモリセル 1 1 1 のソース電圧よりも高くなる。その結果、非選択プログラムセグメント P S E G 1 - 3 の、選択ワード線 W L 0 に繋がるメモリセル 1 1 1 は、ゲートディスタープによる閾値電圧 V t h の変動が起こり難くなる。

40

## 【 0 0 7 1 】

更に、メモリブロック領域 1 0 0 A では、非選択プログラムセグメント P S E G 1 - 3 からは、プログラムするメモリセル 1 1 1 を選択しない (選択ビット線 B L が存在しない) ようにする。これにより、非選択プログラムセグメント P S E G 1 - 3 において、ソース線 S R C 1 - 3 からビット線 B L へのリーク電流の増加或いは発生を抑制することができるようになる。

## 【 0 0 7 2 】

一方、メモリブロック領域 1 0 0 A では、選択プログラムセグメント P S E G 0 の、選択ワード線 W L 0 に繋がるメモリセル 1 1 1 は、電圧 V S T のソース線 S R C 0 に接続さ

50

れ、非選択プログラムセグメント P S E G 1 - 3 のメモリセル 1 1 1 よりも、ソース電圧が低い状態にある。そのため、選択プログラムセグメント P S E G 0 の、選択ワード線 W L 0 に繋がるメモリセル 1 1 1 は、ゲートディスタープの影響を受け得る。しかし、たとえ影響を受けるとしても、ゲートディスタープを受ける時間は、メモリセルアレイ 1 1 0 の全メモリセル 1 1 1 を共通のソース線に接続したもの（上記メモリブロック領域 1 0 0）に比べ、4 分の 1 になる。その結果、ゲートディスタープによる閾値電圧  $V_{th}$  の変動を抑制することができる。

【 0 0 7 3 】

メモリブロック領域 1 0 0 A では、このように選択プログラムセグメント P S E G 0 のソース線 S R C 0 を電圧 V S T とし、選択プログラムセグメント P S E G 0 のメモリセル 1 1 1 のソース電圧を低い状態にしている。そのため、ソース線 S R C 0 から選択ビット線 B L 0 へのリーク電流の増加或いは発生を抑制することができる。

10

【 0 0 7 4 】

このようにメモリブロック領域 1 0 0 A では、ソース線 S R C 0 から選択ビット線 B L 0 へリーク電流が増えるのを抑えつつ、選択ワード線 W L 0 に繋がるメモリセル 1 1 1 のゲートディスタープによる閾値電圧  $V_{th}$  の変動抑制が可能になる。

【 0 0 7 5 】

メモリブロック領域 1 0 0 A では、上記のように、プログラムするメモリセル 1 1 1 が、プログラムセグメント P S E G 0 - 3 のうち、いずれかが 1 つから選択される。

ここで、図 1 9 はプログラムセグメントに分割しないメモリブロック領域におけるビット線選択の説明図、図 2 0 は第 1 の実施の形態に係るメモリブロック領域におけるビット線選択の説明図である。

20

【 0 0 7 6 】

図 1 9 には便宜上、プログラムセグメント P S E G 0 - 3 に分割しない上記メモリブロック領域 1 0 0（図 3）を、メモリセル 1 1 1 の図示を省略し、簡略化して図示している。ここでは、1 0 2 4 本のビット線 B L に繋がるメモリブロック領域 1 0 0 を例示している。このようなメモリブロック領域 1 0 0 においては、複数本のビット線 B L が選択される（複数のメモリセル 1 1 1 にプログラムされる）場合がある。例えば、1 6 本のビット線 B L が選択される場合、2 5 6 本のビット線 B L あたり 4 本のビット線 B L が選択される。

30

【 0 0 7 7 】

図 2 0 には便宜上、2 5 6 本のビット線 B L 毎に 4 つのプログラムセグメント P S E G 0 - 3 に分割した上記メモリブロック領域 1 0 0 A を、メモリセル 1 1 1 の図示を省略し、簡略化して図示している。このようなメモリブロック領域 1 0 0 A において、プログラム動作時に、複数本のビット線 B L を選択する（複数のメモリセル 1 1 1 にプログラムする）場合には、それら複数本のビット線 B L を、1 つのプログラムセグメント P S E G から選択する。この図 2 0 には、1 6 本のビット線 B L が、プログラムセグメント P S E G 0 のみから選択される場合を例示している。

【 0 0 7 8 】

このようにすることで、残りのプログラムセグメント P S E G 1 - 3 を非選択とし、ソース線 S R C 1 - 3 の電圧を、選択プログラムセグメント P S E G 0 のソース線 S R C 0 の電圧よりも高くすることができる。これにより、上記のようにソース線 S R C 0 から選択ビット線 B L 0 へリーク電流が増えるのを抑えつつ、選択ワード線 W L 0 に繋がるメモリセル 1 1 1 のゲートディスタープによる閾値電圧  $V_{th}$  の変動抑制を実現することができる。

40

【 0 0 7 9 】

以上述べたメモリブロック領域 1 0 0 A において、リード動作時、イレーズ動作時には、ソース選択線駆動回路 1 7 0 に入力される信号 S S W B（図 1 7）が L レベルとされ、全ソース線 S R C 0 - 3 が電圧 V S T に設定される。電圧 V S T は、リード動作時、イレーズ動作時にそれぞれ 1 . 8 V、9 V に設定される。メモリブロック領域 1 0 0 A 内の各

50

メモリセル 1 1 1 に対するリード動作、及びメモリブロック領域 1 0 0 A 内の全メモリセル 1 1 1 に対するイレース動作（一括消去）は、上記図 9 及び図 1 0 に示した動作と同じとすることができる。

【 0 0 8 0 】

次に、第 2 の実施の形態について説明する。

第 2 の実施の形態は、ソース線スイッチ S R C S W に、以下に示すようなものを用いる点で、上記第 1 の実施の形態と相違する。

【 0 0 8 1 】

図 2 1 は第 2 の実施の形態に係るソース線スイッチ及びソース選択線駆動回路の一例を示す図である。

10

ここでは、ソース線スイッチ S R C S W の構成を、プログラムセグメント P S E G 0 のソース線 S R C 0 に接続されるソース線スイッチ 1 6 0 A を例にして説明する。図 2 1 では便宜上、プログラムセグメント P S E G 1 - 3 のソース線 S R C 1 - 3 に接続されたソース線スイッチ 1 6 0 A の内部構成の図示を省略している。

【 0 0 8 2 】

図 2 1 に示すソース線スイッチ 1 6 0 A は、非選択のソース線 S R C を上記のように電圧 V S B ( V 2 4 ) には接続せず、N 型ウェル N W と、メモリセル 1 1 1 のソース接合との容量結合によって、非選択のソース線 S R C の電圧を昇圧する機能を有する。ソース線スイッチ 1 6 0 A は、N A N D ゲート 1 6 1、N O T ゲート 1 6 2 及び C M O S トランスファゲート 1 6 3 を含む。尚、ソース選択線駆動回路 1 7 0 は、上記図 1 7 と同じ構成と

20

【 0 0 8 3 】

ソース線 S R C 0 に接続されたソース線スイッチ 1 6 0 A の N A N D ゲート 1 6 1 には、ソース選択線駆動回路 1 7 0 から出力される信号 C A B < 2 > 及び信号 C A B < 3 > が入力される。N A N D ゲート 1 6 1 の出力信号、及びその出力信号の N O T ゲート 1 6 2 による反転信号は、C M O S トランスファゲート 1 6 3 に入力される。

【 0 0 8 4 】

尚、ソース線 S R C 1 に接続されたソース線スイッチ 1 6 0 A には、信号 C A T < 2 > 及び信号 C A B < 3 > が入力される。ソース線 S R C 2 に接続されたソース線スイッチ 1 6 0 A には、信号 C A B < 2 > 及び信号 C A T < 3 > が入力される。ソース線 S R C 3 に接続されたソース線スイッチ 1 6 0 A には、信号 C A T < 2 > 及び信号 C A T < 3 > が入力される。これらのソース線スイッチ 1 6 0 A においても、上記ソース線 S R C 0 に接続されたソース線スイッチ 1 6 0 A と同様の流れで信号の処理が行われる。

30

【 0 0 8 5 】

図 2 2 は第 2 の実施の形態に係るプログラム動作波形の一例を示す図である。

ここでは、図 1 6 に示したメモリブロック領域 1 0 0 A のプログラムセグメント P S E G 0 に含まれるメモリセル 1 1 1 のうち、ワード線 W L 0 とビット線 B L 0 に接続されたメモリセル 1 1 1 ( m 0 0 ) に対してプログラム動作を行う場合を例にして説明する。

【 0 0 8 6 】

上記のようなソース線スイッチ 1 6 0 A を用いたメモリブロック領域 1 0 0 A において、ソース線 S R C 0 - 3 の選択動作以外の動作は、上記図 1 8 に示した動作と同じである。

40

【 0 0 8 7 】

プログラム動作モードにエントリした後、N 型ウェル N W 0 の電圧を上げる前に、全ソース線 S R C 0 - 3 は、信号 S S W B が L レベルとされて電圧 V S T ( V 1 8 ( 1 . 8 V ) ) に設定され、プリチャージされる。所定時間の経過後（全ソース線 S R C 0 - 3 のプリチャージ後）、信号 S S W B が H レベルとされ、カラムアドレス C A に従って、選択されたソース線 S R C 0 が電圧 V S T に設定される。選択されないソース線 S R C 1 - 3 は、H i Z 状態になる。その後、N 型ウェル N W 0 を、電圧 V 1 8 から電圧 V N W 0 に上げると、メモリセル 1 1 1 のソース接合との容量結合によって、H i Z 状態にある非選択の

50

ソース線SRC1-3が、電圧VSTから昇圧された電圧VST+に昇圧される。プログラム後、N型ウェルNW0の電圧は、電圧V18に下がり、容量結合によって非選択のソース線SRC1-3の電圧が下がる。その後、全ソース線SRC0-3は、信号SSWBがLレベルとされて電圧VSTに設定される。

【0088】

プログラムセグメントPSEG0-3に分割しない上記メモリブロック領域100(図3のBLK0)では、その中の全メモリセル111が共通のソース線SRC0に接続される。そのため、N型ウェルNWと、メモリセル111のソース接合との容量結合によってそのソース線SRC0を昇圧すると、ソース線SRC0から選択ビット線BL0へのリーク電流によって、昇圧後の電圧が保持されない可能性がある。

10

【0089】

これに対し、プログラムセグメントPSEG0-3に分割した上記メモリブロック領域100Aの場合、非選択のソース線SRC1-3が設けられているプログラムセグメントPSEG1-3には、選択されて0Vになっているビット線BLが存在しない。そのため、昇圧されたソース線SRC1-3の電圧が、メモリセル111でのリーク電流によって下がるのを抑えることができる。

【0090】

以上述べたソース線スイッチ160Aを用いたメモリブロック領域100Aにおいて、リード動作時、イレース動作時には、ソース選択線駆動回路170に入力される信号SSWB(図21)がLレベルとされ、全ソース線SRC0-3が電圧VSTに設定される。電圧VSTは、リード動作時、イレース動作時にそれぞれ1.8V、9Vに設定される。メモリブロック領域100A内の各メモリセル111に対するリード動作、及びメモリブロック領域100A内の全メモリセル111に対するイレース動作(一括消去)は、上記図9及び図10に示した動作と同じとすることができる。

20

【0091】

尚、第2の実施の形態において、入力信号と論理素子のHレベルの出力電圧、PMOSのバックバイアスは、昇圧された電圧よりも高くなるように設定される。

次に、第3の実施の形態について説明する。

【0092】

上記第1の実施の形態では、1つのメモリブロック領域100Aにつきビット線BLが1024本である場合に、256本のビット線BL毎に、4つプログラムセグメントPSEGに分割する例を示した。分割するプログラムセグメントPSEGの数は、上記の例に限定されるものではない。

30

【0093】

図23は第3の実施の形態に係るメモリブロック領域の構成例を示す図である。

図23には、128本のビット線BL毎に、8つのプログラムセグメントPSEG0-7に分割したメモリブロック領域100Bを例示している。尚、図23には便宜上、メモリブロック領域100Bを、ワード線WLとビット線BLの交差位置に配置されるメモリセル111の図示を省略し、簡略化して図示している。

【0094】

プログラムセグメントPSEG0を例に、プログラムセグメントPSEGの構成について説明する。プログラムセグメントPSEG0内の各メモリセル111のゲート、ドレインは、それぞれワード線WL、ビット線BLに接続されている。プログラムセグメントPSEG0内のメモリセル111のソースは、共通のソース線SRC0に接続されている。

40

【0095】

他のプログラムセグメントPSEG1-7も、このプログラムセグメントPSEG0と同様の構成を有し、プログラムセグメントPSEG1-7内のメモリセル111は、それぞれ共通のソース線SRC1-7に接続されている。プログラムセグメントPSEG0-7のソース線SRC0-7は、互いに分離されている。ソース線SRC0-7は、それぞれソース線スイッチ(SRC SW)160によって、電圧VST(例えば1.8V)又は

50

電圧 $V_{SB}$ （例えば2.4V）に設定される。各ソース線スイッチ160は、ソース選択線173を介してソース選択線駆動回路170に接続されている。また、ワード線 $WL$ は、プログラムセグメント $PSEG0-7$ の間で共有されている。

#### 【0096】

メモリブロック領域100Bに対するプログラム動作、リード動作、イレース動作は、上記第1の実施の形態と同様に行うことができる。尚、メモリブロック領域100Bにおいて、上記第2の実施の形態で述べたソース線スイッチ160Aを用いることもできる。

#### 【0097】

この第3の実施の形態に係るメモリブロック領域100Bでは、各プログラムセグメント $PSEG$ のビット線 $BL$ の本数が、上記メモリブロック領域100Aの場合の2分の1となっている。これにより、プログラム動作時に、選択ワード線 $WL$ に繋がるメモリセル111がゲートディスタ urbを受ける時間は、上記メモリブロック領域100Aの2分の1、プログラムセグメント $PSEG$ に分割しない上記メモリブロック領域100の8分の1になる。

#### 【0098】

また、メモリブロック領域100Bにおいて、プログラム動作時には、プログラムするメモリセル111を、プログラムセグメント $PSEG0-7$ のうち、いずれか1つから選択する。例えば、プログラム動作時に16本のビット線 $BL$ を選択する場合、図23に示すように、それら16本のビット線 $BL$ を、プログラムセグメント $PSEG0$ のみから選択する。これにより、残るプログラムセグメント $PSEG1-7$ のソース線 $SRC1-7$ の電圧を、プログラムセグメント $PSEG0$ のソース線 $SRC0$ の電圧よりも高くすることができる。

#### 【0099】

メモリブロック領域100Bによれば、リーク電流が増えるのを抑えつつ、ゲートディスタ urbによるメモリセル111の閾値電圧 $V_{th}$ の変動を、効果的に抑制することができる。

#### 【0100】

尚、プログラムセグメント $PSEG$ に分割するうえでのビット線 $BL$ の本数（分割単位）は、上記のような256本や128本とは異なる本数としたり、64本や16本といった更に少ない本数としたりすることも可能である。或いは、プログラムセグメント $PSEG$ 毎にビット線 $BL$ の本数を変えることも可能である。

#### 【0101】

次に、第4の実施の形態について説明する。

メモリブロック領域100を、上記実施の形態のように複数のプログラムセグメント $PSEG$ に分割する場合、各プログラムセグメント $PSEG$ のソース線 $SRC$ は、メモリブロック領域100に元々存在する、ビット線 $BL$ と平行なソース線 $SRC$ を利用して形成可能である。但し、プログラムセグメント $PSEG$ の分割数によっては（例えば16本のビット線 $BL$ 毎に分割する場合等）、このようなソース線とは別に、ビット線と平行なソース線を更に準備する必要が生じる場合がある。

#### 【0102】

図24は第4の実施の形態に係るメモリブロック領域の構成例を示す図である。尚、図24には、メモリブロック領域の一部のワード線 $WL$ 、ビット線 $BL$ 及びソース線 $SRC$ のレイアウトの一例を図示している。

#### 【0103】

図24に示すメモリブロック領域100Cでは、メモリセル111のゲートに接続されるワード線 $WL0-2$ が第1方向 $X$ に延在されている。ワード線 $WL0$ の両側、ワード線 $WL1$ の両側に、メモリセル111のドレイン、ソースに接続されるメタル配線181が配置されている。ソースに接続されるメタル配線181がプログラムセグメント $PSEG\_n$ のソース線 $SRC\_n$ 及びプログラムセグメント $PSEG\_n+1$ のソース線 $SRC\_n+1$ となる。ドレインに接続されるメタル配線181は、コンタクト183を通じて

10

20

30

40

50



、第2方向Yに延在配置されたメタル配線182に接続されている。このドレインに繋がるメタル配線182がビット線BLとなる。

【0104】

プログラムセグメントPSEG<sub>n</sub>のソース線SRC<sub>n</sub>と、プログラムセグメントPSEG<sub>n+1</sub>のソース線SRC<sub>n+1</sub>とは、互いに分離されている。ワード線WL0-2は、プログラムセグメントPSEG<sub>n</sub>とプログラムセグメントPSEG<sub>n+1</sub>で共有されている。

【0105】

メモリブロック領域100Cでは、ドレイン、ソースに接続されるメタル配線181と同層で、第2方向Yに延在されるメタル配線181aが配置される。このメタル配線181aにソース線SRC<sub>n+1</sub>のメタル配線181が接続され、メタル配線181aは、更にコンタクト183を通じて、ビット線BLのメタル配線182と同層で第2方向Yに延在されたメタル配線182aに接続される。

10

【0106】

プログラムセグメントPSEGの分割数によっては、この図24に示すように、隣接するプログラムセグメントPSEG間に、ソースに繋がるメタル配線181a、コンタクト183及びメタル配線182aを設ける。このようなレイアウトを採用することで、様々なプログラムセグメントPSEGの分割数に対応することが可能になる。

【0107】

次に、第5の実施の形態について説明する。

20

この第5の実施の形態では、アドレスの割り付け手法について説明する。そこで、まず上記のメモリブロック領域100及びメモリブロック領域100Aにおけるアドレス割り付けの一例を図25及び図26にそれぞれ示す。

【0108】

上記メモリブロック領域100では、図25に示すように、カラムアドレスCA<2>及びCA<3>の組み合わせ毎に16本(16BL)、計64本のビット線BLの組が、IOパッド(IO Pad)毎に(IO<0:15>のデータ毎に)配置されている。64本のビット線BLの各組から、カラムアドレスに従って、1つずつIOのデータが選択される。カラムアドレスCA<2:3>によって、16本のビット線BLが選択される。

【0109】

30

また、上記メモリブロック領域100Aでは、図26に示すように、256本のビット線BL(256BL)毎にプログラムセグメントPSEG(PSEG0~3)が設定されている。これらのプログラムセグメントPSEGから、カラムアドレスCA<2:3>に従って、1つのプログラムセグメントPSEGが選択される。IO<0:15>のデータは、選択されたプログラムセグメントPSEGの256本のビット線BLから、他のカラムアドレスによって選択される。

【0110】

ここで、メモリブロック領域100Aにおいて、2つのプログラムセグメントPSEGに対して選択ビット線BLが割り付けられる場合を考える。

図27は選択ビット線の割り付け例を示す図である。

40

【0111】

この図27の例では、16ビットの信号DIについて、下位(Lower)のビット(0~7)をプログラムセグメントPSEG0に、上位(Upper)のビット(8~15)をプログラムセグメントPSEG1に、それぞれ割り付ける。プログラムセグメントPSEG0及びPSEG1から、それぞれ8本のビット線が選択される。

【0112】

この場合において、16ビットの信号DIをまとめてプログラムする方法と、8ビット毎に2回に分けてプログラムする方法とを比較する。16ビットの信号DIをまとめてプログラムする場合、ソース線SRCの電圧が低い状態(非選択ソース線SRCの電圧VSB(2.4V)よりも低い電圧VST(1.8V)に設定されている状態)でプログラム

50

される回数は、 $512 / 16 = 32$  回である。一方、8ビット毎に2回に分けてプログラムする場合、2つのプログラムセグメント PSEG0 及び PSEG1 のソース線 SRC を選択し、低い電圧 VST に設定すると、ソース線 SRC の電圧が低い状態でプログラムされる回数は、 $512 / 8 = 64$  回になる。このようにプログラム回数が増えると、ゲートディスターブを受ける時間が長くなる。

【0113】

そこで、以下のようなアドレスの割り付け手法を適用する例を、第5の実施の形態として説明する。

図28は第5の実施の形態に係るアドレス割り付けの一例を示す図である。

【0114】

図28に示す例では、カラムアドレス CA<3>によって、2つのプログラムセグメント PSEG (例えば PSEG0 と PSEG1) が選択される。下位の IO<0:7>のデータは、選択された一方のプログラムセグメント PSEG から、他のカラムアドレスによって選択される。上位の IO<8:15>のデータは、選択されたもう一方のプログラムセグメント PSEG から、他のカラムアドレスによって選択される。

【0115】

尚、8ビットの IO データにプログラムを示すビットがない場合、対応するプログラムセグメント PSEG は選択されず、そのソース線 SRC の電圧は高くなる。

図29は第5の実施の形態に係るソース線スイッチ及びソース選択線駆動回路の一例を示す図である。

【0116】

ここでは、ソース線スイッチ SRC SW の構成を、プログラムセグメント PSEG0 のソース線 SRC0 に接続されるソース線スイッチ 160B を例にして説明する。図29では便宜上、プログラムセグメント PSEG1 - 3 のソース線 SRC1 - 3 に接続されたソース線スイッチ 160B の内部構成の図示を省略している。

【0117】

図29に示すソース線スイッチ 160B では、プログラム動作時、ソース選択線駆動回路 170 の NAND ゲート 171 に、信号 SWB、及びプログラムセグメント PSEG を指定するカラムアドレス CA<3>が入力される。NAND ゲート 172 には、信号 SWB、及び NAND ゲート 171 から出力される信号 CAB<3>が入力され、信号 CAT<3>が出力される。

【0118】

信号 UIO は、プログラム動作時に、上位の IO<8:15>のデータのうち、いずれかのビットが L レベルなら、H レベルになる信号である。信号 LIO は、プログラム動作時に、下位の IO<0:7>のデータのうち、いずれかのビットが L レベルなら、H レベルになる信号である。

【0119】

ソース線 SRC0 に接続されたソース線スイッチ 160B の NAND ゲート 161 には、ソース選択線駆動回路 170 から出力される信号 CAB<3>及び信号 LIO が入力される。NAND ゲート 161 の出力信号、及びその出力信号の NOT ゲート 162 による反転信号は、CMOS トランスファゲート 163、CMOS トランスファゲート 164 に入力される。

【0120】

尚、ソース線 SRC1 に接続されたソース線スイッチ 160B には、信号 UIO 及び信号 CAB<3>が入力される。ソース線 SRC2 に接続されたソース線スイッチ 160B には、信号 LIO 及び信号 CAT<3>が入力される。ソース線 SRC3 に接続されたソース線スイッチ 160B には、信号 UIO 及び信号 CAT<3>が入力される。これらのソース線スイッチ 160B においても、上記ソース線 SRC0 に接続されたソース線スイッチ 160B と同様の流れで信号の処理が行われる。

10

20

30

40

50

## 【 0 1 2 1 】

プログラム動作時には、プログラムセグメント P S E G を指定するカラムアドレス C A < 3 > と、信号 U I O 及び信号 L I O に従って、ソース線 S R C に設定される電圧が切り替えられる。選択されるプログラムセグメント P S E G では、そのソース線 S R C が電圧 V S T ( 1 . 8 V ) に設定され、非選択のプログラムセグメント P S E G では、そのソース線 S R C が電圧 V S B ( 2 . 4 V ) に設定される。プログラム動作時の、ソース線 S R C の選択動作以外の動作は、上記図 1 8 に示した動作と同じとすることができる。

## 【 0 1 2 2 】

ソース線スイッチ 1 6 0 B では、信号 D I の下位の I O < 0 : 7 > のデータ又は上位の I O < 8 : 1 5 > のデータのうち、1 ビットでもプログラムを示すビットがあった場合、それに対応するプログラムセグメント P S E G のソース線 S R C が選択され、電圧 V S T に設定される。下位の I O < 0 : 7 > のデータ又は上位の I O < 8 : 1 5 > のデータにプログラムを示すビットがない場合、それに対応するプログラムセグメント P S E G のソース線 S R C は選択されず、より高い電圧 V S B に設定される。これにより、ソース線 S R C の電圧が低い状態（非選択ソース線 S R C の電圧 V S B よりも低い電圧 V S T に設定されている状態）でプログラムされる回数を、 $256 / 8 = 32$  回にすることができる。2 つのプログラムセグメント P S E G 0 及び P S E G 1 のソース線 S R C を選択して低い電圧 V S T に設定するよりも、ゲートディスタープを受ける時間を短くすることが可能になる。

## 【 0 1 2 3 】

尚、この第 5 の実施の形態で述べたような手法は、上記第 2 ~ 第 4 の実施の形態で述べたようなメモリブロック領域 1 0 0 A ~ 1 0 0 C に同様に適用可能である。

以上、フラッシュメモリを例にして説明したが、上記のようなプログラム動作に関する手法は、E P R O M、E E P R O M 等の半導体メモリにも同様に適用可能である。

## 【 0 1 2 4 】

以上説明した実施の形態に関し、更に以下の付記を開示する。

（付記 1）ワード線群とビット線群の交差位置にそれぞれ配置され、共通のソース線に接続されたメモリセル群を含む複数のメモリブロックであって、前記複数のメモリブロック間で前記ワード線群を共有し、前記複数のメモリブロック毎に分離された複数の前記ソース線を備える複数のメモリブロックと、

プログラム動作時に、前記複数のメモリブロックのうち、プログラムするメモリセルが含まれるメモリブロックの前記ソース線に第 1 電圧を供給し、前記プログラムするメモリセルが含まれないメモリブロックの前記ソース線に前記第 1 電圧と異なる第 2 電圧を供給する回路部と、

を備えることを特徴とする半導体記憶装置。

## 【 0 1 2 5 】

（付記 2）前記第 2 電圧は、前記第 1 電圧よりも高い電圧であることを特徴とする付記 1 に記載の半導体記憶装置。

（付記 3）1 回の前記プログラム動作時に、前記プログラムするメモリセルが、前記ワード線群を共有する前記複数のメモリブロックのうち、いずれか 1 つのメモリブロックから選択されることを特徴とする付記 1 又は 2 に記載の半導体記憶装置。

## 【 0 1 2 6 】

（付記 4）1 回の前記プログラム動作時に、前記プログラムするメモリセルの情報を含むデータを上位ビットデータと下位ビットデータに分割し、前記上位ビットデータを、前記複数のメモリブロックのうち、第 1 のメモリブロックに対応させ、前記下位ビットデータを、前記複数のメモリブロックのうち、第 2 のメモリブロックに対応させて、前記プログラム動作を行うことを特徴とする付記 1 又は 2 に記載の半導体記憶装置。

## 【 0 1 2 7 】

（付記 5）前記回路部は、前記複数のメモリブロック毎に分離された前記ソース線にそれぞれ接続された複数のスイッチ回路を含み、

前記複数のスイッチ回路がそれぞれ、接続されている前記ソース線に供給する電圧を前記第 1 電圧又は前記第 2 電圧に切り替えることを特徴とする付記 1 乃至 4 のいずれかに記載の半導体記憶装置。

【 0 1 2 8 】

(付記 6) 前記メモリセル群は、電氣的にプログラム可能な不揮発性メモリセルであることを特徴とする付記 1 乃至 5 のいずれかに記載の半導体記憶装置。

(付記 7) 前記メモリセル群は、pチャネル型トランジスタであることを特徴とする付記 1 乃至 6 のいずれかに記載の半導体記憶装置。

【 0 1 2 9 】

(付記 8) 前記回路部は、プログラム動作時に、前記複数のメモリブロックのうち、前記プログラムするメモリセルが含まれないメモリブロックの前記ソース線に、当該メモリブロックのウェルと当該メモリブロック内のメモリセルのソース接合との容量結合によって昇圧された前記第 2 電圧を供給することを特徴とする付記 7 に記載の半導体記憶装置。

10

【 0 1 3 0 】

(付記 9) 前記複数のメモリブロックのそれぞれの前記メモリセル群が接続される前記ビット線の本数が同数あることを特徴とする付記 1 乃至 8 のいずれかに記載の半導体記憶装置。

【 0 1 3 1 】

(付記 10) 前記複数のメモリブロックの中に、前記メモリセル群が接続される前記ビット線の本数が互いに異なるメモリブロックが含まれることを特徴とする付記 1 乃至 8 のいずれかに記載の半導体記憶装置。

20

【符号の説明】

【 0 1 3 2 】

10 メモリ内蔵マイコン

11 周辺 I/Oポート

12 周辺 I/O制御回路

13 CPU

14 RAM

15 ROM

30

16 内部バス

17 RAMインタフェース

18 ROMインタフェース

20 フラッシュメモリ

21 メモリコア

22 コマンド生成回路

23 内部電圧生成回路

24 メモリコア制御回路

25 アドレス生成回路

26 データ入出力回路

40

100, 100A, 100B, 100C メモリブロック領域

110 メモリセルアレイ

111, m00 - m33 メモリセル

120 ワード線選択回路

121, 122, 133, 134, 143, 144, 157 NORゲート

123 ワードデコーダ

124, 154, 155, 156, 161, 171, 172 NANDゲート

125, 131, 132, 141, 142, 152, 153, 162 NOTゲート

126, 127, 163, 164 CMOSトランスファゲート

130 ビット線選択回路

50

135a, 135b, 136a, 136b, 137a, 137b, 138a, 138b  
 , 145a, 145b, 146a, 146b, 159 NMOS

140 グローバルビット線選択回路

150 リードライトアンプ

150a リードアンプ

150b ライトアンプ

151 コンパレータ

158 PMOS

160, 160A, 160B ソース線スイッチ

170 ソース選択線駆動回路

173 ソース選択線

181, 181a, 182, 182a メタル配線

183 コンタクト

WL, WL0-3 ワード線

BL, BL0-3 ビット線

GBL, GBL0-1 グローバルビット線

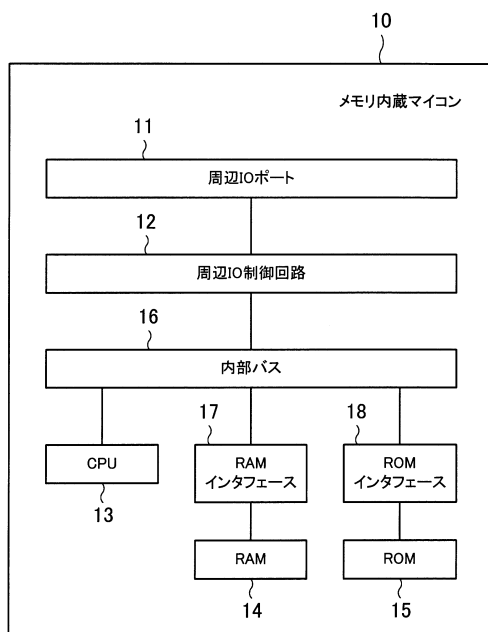
SRC, SRC0-7 ソース線

NW, NW0 N型ウェル

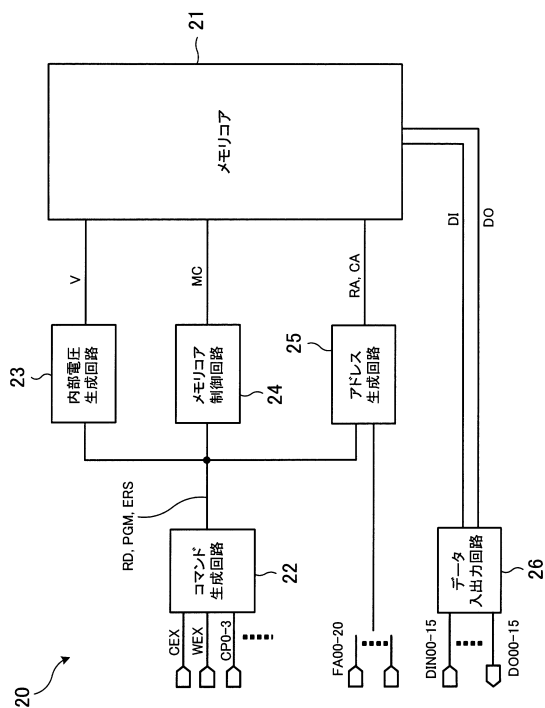
PSEG, PSEG0-7 プログラムセグメント

10

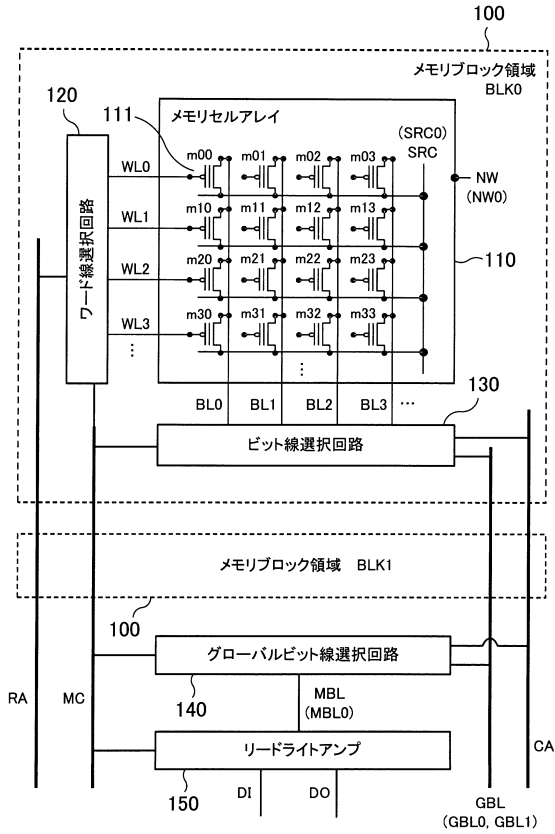
【図1】



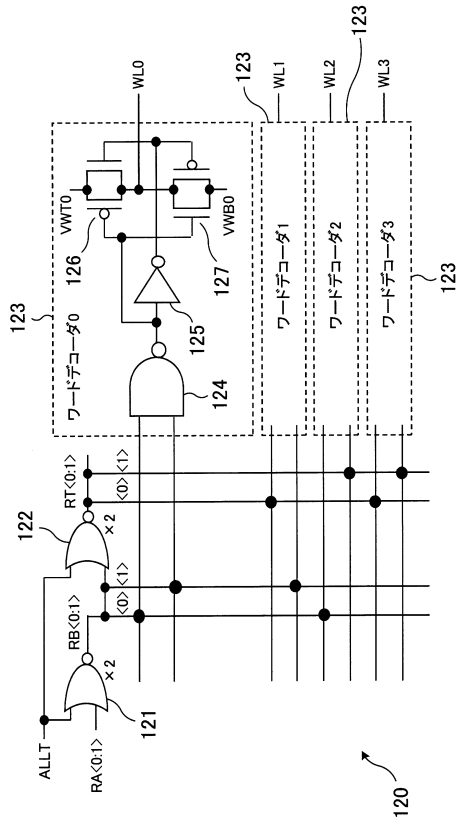
【図2】



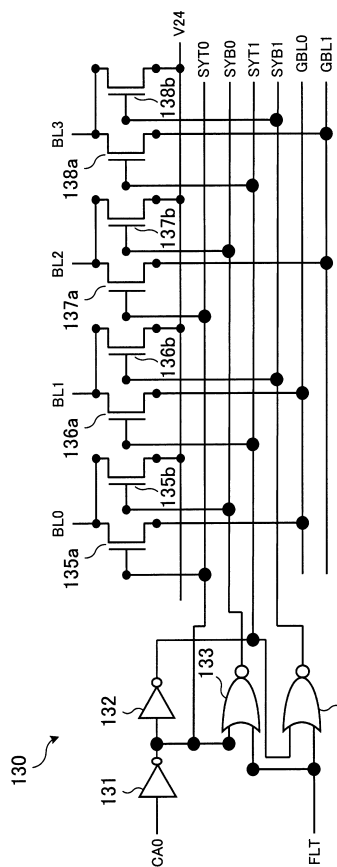
【図 3】



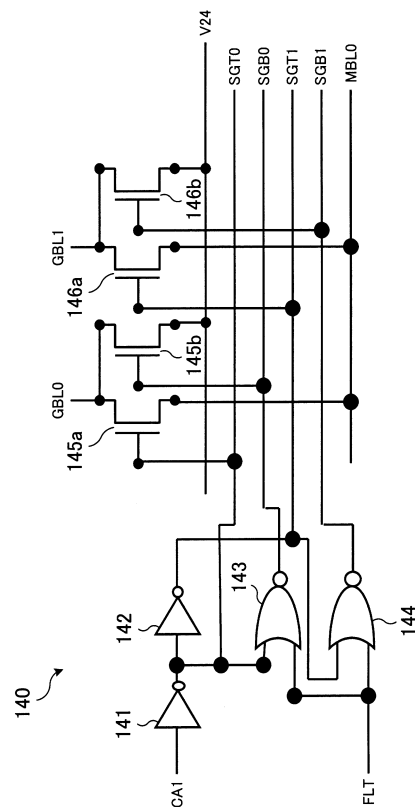
【図 4】



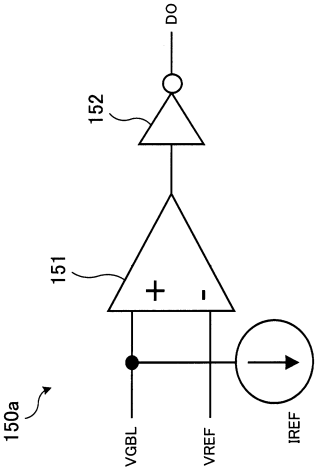
【図 5】



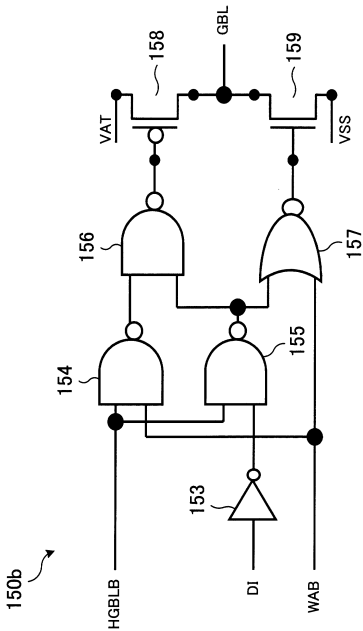
【図 6】



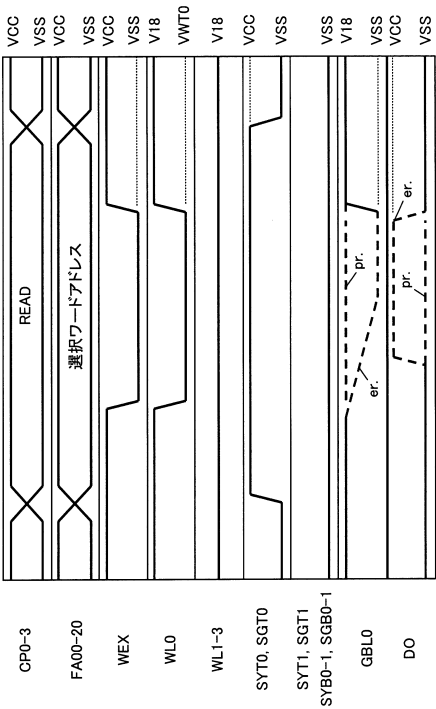
【図 7】



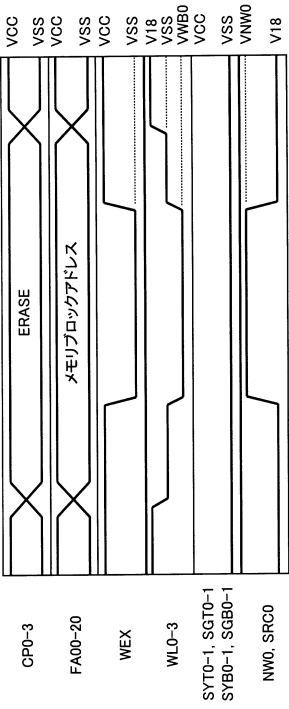
【図 8】



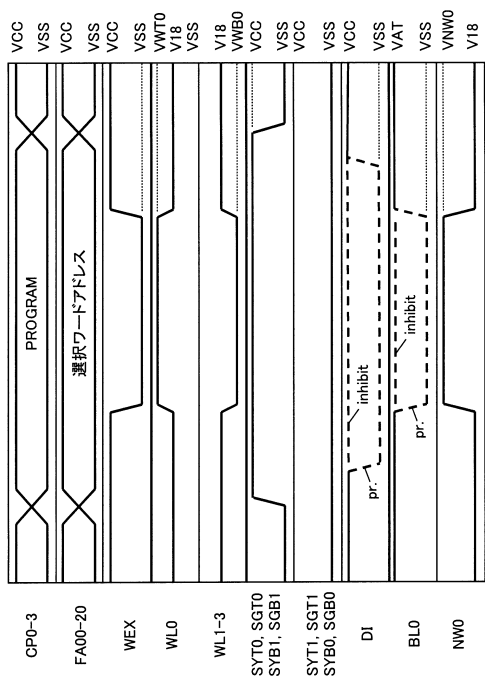
【図 9】



【図 10】



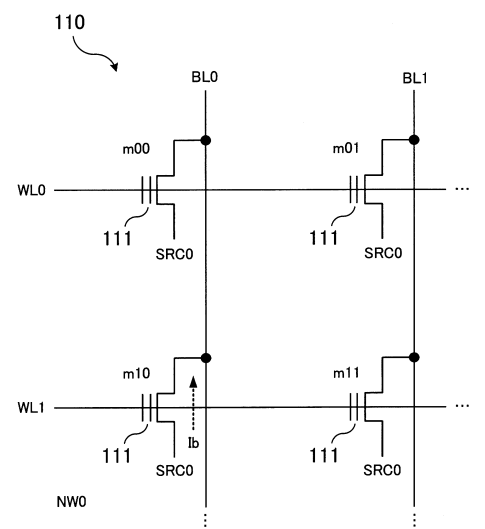
【図 1 1】



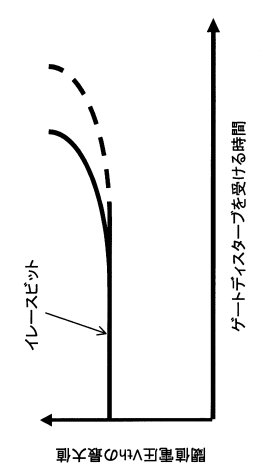
【図 1 2】

	READ	ERASE	PROGRAM
WL0-3	選択	-9V	9V
	非選択	...	0V
BL0-3	選択	HIZ	0V
	非選択	HIZ	2.4V
SRC0	1.8V	9V	1.8V
NW0	1.8V	9V	5V

【図 1 3】



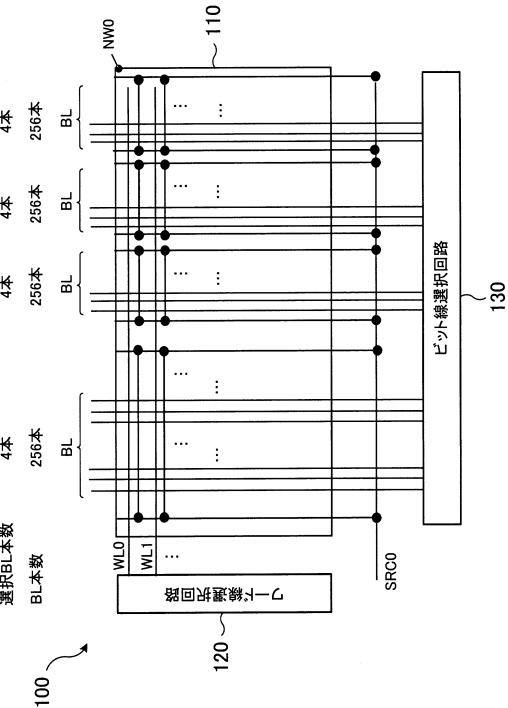
【図 1 4】



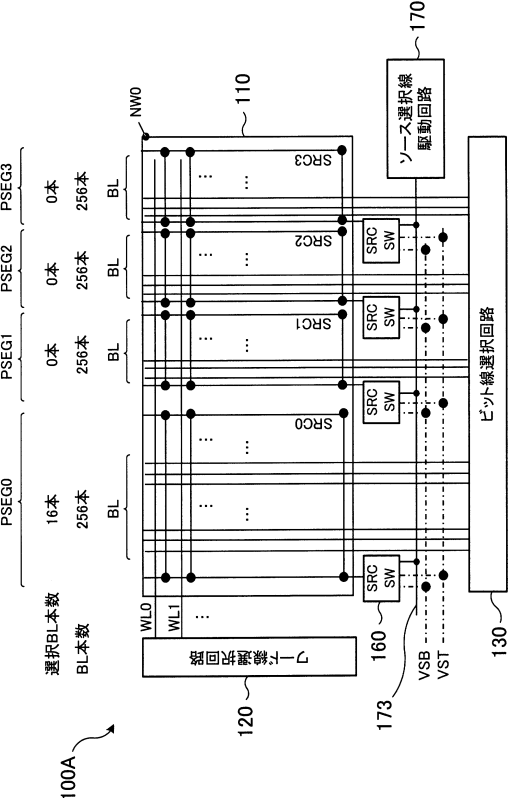




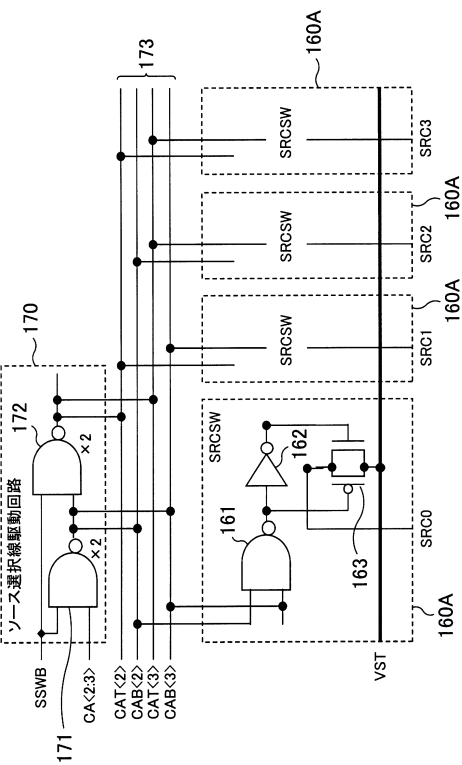
【図 19】



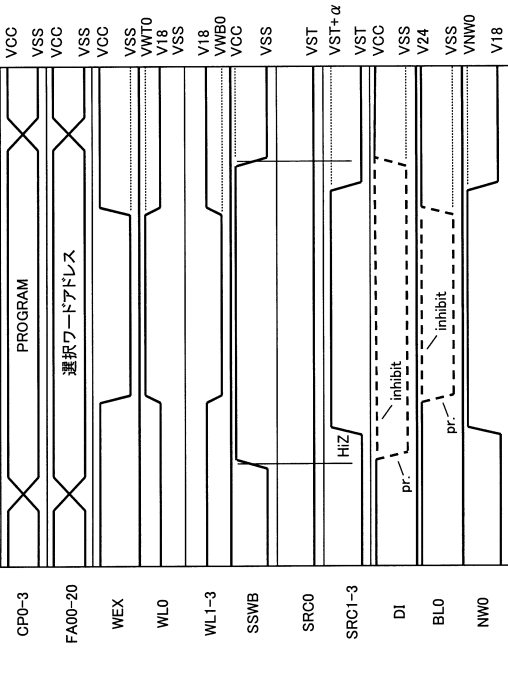
【図 20】



【図 21】



【図 22】







---

フロントページの続き

(56)参考文献 特開平 09 - 180478 (JP, A)  
特開 2009 - 212292 (JP, A)  
特開 2006 - 156925 (JP, A)  
特表 2002 - 540601 (JP, A)  
米国特許出願公開第 2011 / 0134694 (US, A1)

(58)調査した分野(Int.Cl., DB名)  
G11C 16/02 - 16/06