

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年7月21日(2005.7.21)

【公開番号】特開2002-300020(P2002-300020A)

【公開日】平成14年10月11日(2002.10.11)

【出願番号】特願2001-95302(P2001-95302)

【国際特許分類第7版】

H 03 K 19/00

【F I】

H 03 K 19/00

A

【手続補正書】

【提出日】平成16年11月26日(2004.11.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のP型MISトランジスタと、

第2のP型MISトランジスタと、

前記第1のP型MISトランジスタのドレイン電位が入力される第1のインバータ列と

、前記第2のP型MISトランジスタのドレイン電位が入力される第2のインバータ列と

、前記第1及び第2のインバータ列の出力を受けて、前記第2のP型MISトランジスタのドレイン電位がハイレベルであって、前記第1のP型MISトランジスタのドレイン電位がロウレベルのときに、第1レベルの所定の論理信号を出力し、前記第2のP型MISトランジスタのドレイン電位がロウレベルであって、前記第1のP型MISトランジスタのドレイン電位がハイレベルのときに、前記第1レベルを反転した第2レベルの所定の論理信号を出力する論理回路と、

を有することを特徴とする電源電位検知回路。

【請求項2】

抵抗/容量遅延回路を介して電源電位が付与されたソース電極、及び第1の電流制御抵抗を介して接地されたドレイン電極、及び第1の電源電位分割回路の出力電位を入力するゲート電極を備えた第1のP型MISトランジスタと、

電源電位が付与されたソース電極、及び第2の電流制御抵抗を介して接地されたドレイン電極、及び第2の電源電位分割回路の出力電位を入力するゲート電極を備えた第2のP型MISトランジスタと、

前記第1のP型MISトランジスタのドレイン電位を入力する偶数段の第1のインバータ列と、

前記第2のP型MISトランジスタのドレイン電位を入力する奇数段の第2のインバータ列と、

前記第1及び第2のインバータ列の出力を受けるNORゲートと、

を有することを特徴とする電源電位検知回路。

【請求項3】

前記抵抗/容量遅延回路の時定数は、前記第1の電源電位分割回路、及び前記第1の電流制御抵抗よりも大であることを特徴とする請求項2記載の電源電位検知回路。

**【請求項 4】**

前記抵抗 / 容量遅延回路と前記第 1 の P 型 M I S トランジスタとの間に、ダイオード、又はダイオード接続された M I S トランジスタが挿入されることを特徴とする請求項 2 又は 3 に記載の電源電位検知回路。

**【請求項 5】**

電源電位が付与されたソース電極、及び直列接続された第 1 、第 2 の抵抗を有する電流制御抵抗を介して接地されたドレイン電極、及び直列接続された第 3 、第 4 の抵抗、又は直列接続された第 1 、第 2 の容量を有する電源電位分割回路の出力電位が入力されたゲート電極を備える P 型 M I S トランジスタと、

前記 P 型 M I S トランジスタのドレイン電極の電位が入力された第 1 のインバータと、前記 P 型 M I S トランジスタのドレイン電極に直接、又は前記第 1 の抵抗を介して接続されたドレイン電極、及び接地されたソース電極、及び前記第 1 のインバータの出力電位を入力するゲート電極を備える N 型 M I S トランジスタと、

を具備し、

前記第 1 のインバータの出力電位が第 2 のインバータを介して出力されることを特徴とする電源電位検知回路。