

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 3 区分
【発行日】平成 17 年 7 月 21 日 (2005.7.21)

【公開番号】特開 2002-300020 (P2002-300020A)
【公開日】平成 14 年 10 月 11 日 (2002.10.11)
【出願番号】特願 2001-95302 (P2001-95302)
【国際特許分類第 7 版】
H 0 3 K 19/00
【F I】
H 0 3 K 19/00 A

【手続補正書】
【提出日】平成 16 年 11 月 26 日 (2004.11.26)
【手続補正 1】

【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】

【請求項 1】

第 1 の P 型 M I S トランジスタと、
第 2 の P 型 M I S トランジスタと、
前記第 1 の P 型 M I S トランジスタのドレイン電位が入力される第 1 のインバータ列と、
前記第 2 の P 型 M I S トランジスタのドレイン電位が入力される第 2 のインバータ列と、

前記第 1 及び第 2 のインバータ列の出力を受けて、前記第 2 の P 型 M I S トランジスタのドレイン電位がハイレベルであって、前記第 1 の P 型 M I S トランジスタのドレイン電位がロウレベルのときに、第 1 レベルの所定の論理信号を出力し、前記第 2 の P 型 M I S トランジスタのドレイン電位がロウレベルであって、前記第 1 の P 型 M I S トランジスタのドレイン電位がハイレベルのときに、前記第 1 レベルを反転した第 2 レベルの所定の論理信号を出力する論理回路と、
を有することを特徴とする電源電位検知回路。

【請求項 2】

抵抗 / 容量遅延回路を介して電源電位が付与されたソース電極、及び第 1 の電流制御抵抗を介して接地されたドレイン電極、及び第 1 の電源電位分割回路の出力電位を入力するゲート電極を備えた第 1 の P 型 M I S トランジスタと、
電源電位が付与されたソース電極、及び第 2 の電流制御抵抗を介して接地されたドレイン電極、及び第 2 の電源電位分割回路の出力電位を入力するゲート電極を備えた第 2 の P 型 M I S トランジスタと、
前記第 1 の P 型 M I S トランジスタのドレイン電位を入力する偶数段の第 1 のインバータ列と、
前記第 2 の P 型 M I S トランジスタのドレイン電位を入力する奇数段の第 2 のインバータ列と、
前記第 1 及び第 2 のインバータ列の出力を受ける N O R ゲートと、
を有することを特徴とする電源電位検知回路。

【請求項 3】

前記抵抗 / 容量遅延回路の時定数は、前記第 1 の電源電位分割回路、及び前記第 1 の電流制御抵抗よりも大であることを特徴とする請求項 2 記載の電源電位検知回路。

【請求項 4】

前記抵抗 / 容量遅延回路と前記第 1 の P 型 M I S トランジスタとの間に、ダイオード、又はダイオード接続された M I S トランジスタが挿入されることを特徴とする請求項 2 又は 3 に記載の電源電位検知回路。

【請求項 5】

電源電位が付与されたソース電極、及び直列接続された第 1、第 2 の抵抗を有する電流制御抵抗を介して接地されたドレイン電極、及び直列接続された第 3、第 4 の抵抗、又は直列接続された第 1、第 2 の容量を有する電源電位分割回路の出力電位が入力されたゲート電極を備える P 型 M I S トランジスタと、

前記 P 型 M I S トランジスタのドレイン電極の電位が入力された第 1 のインバータと、

前記 P 型 M I S トランジスタのドレイン電極に直接、又は前記第 1 の抵抗を介して接続されたドレイン電極、及び接地されたソース電極、及び前記第 1 のインバータの出力電位を入力するゲート電極を備える N 型 M I S トランジスタと、

を具備し、

前記第 1 のインバータの出力電位が第 2 のインバータを介して出力されることを特徴とする電源電位検知回路。