

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6589552号  
(P6589552)

(45) 発行日 令和1年10月16日 (2019. 10. 16)

(24) 登録日 令和1年9月27日 (2019. 9. 27)

(51) Int. Cl.	F I
<i>H O 1 L 29/786 (2006. 01)</i>	H O 1 L 29/78 6 1 6 V
<i>H O 1 L 21/336 (2006. 01)</i>	H O 1 L 29/78 6 1 8 B
<i>H O 1 L 21/28 (2006. 01)</i>	H O 1 L 29/78 6 1 6 K
<i>H O 1 L 35/16 (2006. 01)</i>	H O 1 L 29/78 6 1 6 U
	H O 1 L 21/28 3 0 1 B
請求項の数 4 (全 14 頁) 最終頁に続く	

(21) 出願番号	特願2015-207986 (P2015-207986)	(73) 特許権者	000005223
(22) 出願日	平成27年10月22日 (2015. 10. 22)		富士通株式会社
(65) 公開番号	特開2017-79313 (P2017-79313A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成29年4月27日 (2017. 4. 27)	(74) 代理人	100107766
審査請求日	平成30年7月6日 (2018. 7. 6)		弁理士 伊東 忠重
		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(74) 代理人	100192636
			弁理士 加藤 隆夫
		(72) 発明者	實宝 秀幸
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	岩本 勉
			最終頁に続く

(54) 【発明の名称】 電子デバイス及び電子デバイスの製造方法

(57) 【特許請求の範囲】

【請求項 1】

金属膜と、

前記金属膜と電気的に接続される半導体である第1の遷移金属ダイカルコゲナイドと、

前記金属膜と前記第1の遷移金属ダイカルコゲナイドの界面に配置される金属である第2の遷移金属ダイカルコゲナイドと、

を有し、

前記第2の遷移金属ダイカルコゲナイドは、 $NbS_2$ 、 $TaS_2$ 、 $VS_2$ 、 $NbSe_2$ 、 $TaSe_2$ 、 $VSe_2$ 、 $NbTe_2$ 、 $TaTe_2$ 、 $VTe_2$ 、 $TiS_2$ 、 $TiSe_2$ 、 $TiTe_2$ の中から選択されることを特徴とする電子デバイス。

【請求項 2】

前記第1の遷移金属ダイカルコゲナイドは、基板上の所定の位置に形成された薄膜であり、

前記金属膜は、前記薄膜の第1の方向の両端部で、前記薄膜にオーバーラップして配置されるソース電極及びドレイン電極であり、

前記第2の遷移金属ダイカルコゲナイドは前記ソース電極と前記薄膜の界面、及び前記ドレイン電極と前記薄膜の界面に位置することを特徴とする請求項1に記載の電子デバイス。

【請求項 3】

前記第2の遷移金属ダイカルコゲナイドは、前記薄膜の両端部において、前記薄膜の上

面と端面を覆っていることを特徴とする請求項 2 に記載の電子デバイス。

【請求項 4】

基板上の所定の位置に、半導体である第 1 の遷移金属ダイカルコゲナイド膜を形成し、  
前記第 1 の遷移金属ダイカルコゲナイド膜の一部または全部を覆って、金属の性質を有する第 2 の遷移金属ダイカルコゲナイド膜を形成し、  
前記第 2 の遷移金属ダイカルコゲナイド膜の上に、金属膜を形成し、  
前記第 1 の遷移金属ダイカルコゲナイド膜と前記第 2 の遷移金属ダイカルコゲナイド膜の形成は、  
前記基板上の所定の位置に、6 族遷移金属膜を形成し、  
前記 6 族遷移金属膜上の一部または全部を覆う 5 族金属膜またはチタン膜を形成し、  
前記 6 族遷移金属膜と、前記 5 族金属膜またはチタン膜を硫化、セレン化、またはテルル化することを特徴とする電子デバイスの製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子デバイスとその製造方法に関する。

【背景技術】

【0002】

遷移金属ダイカルコゲナイド (Transition Metal DiChalcogenide ; T M D C ) は、1 つの遷移金属原子 T に対して、酸素以外の第 1 6 族元素 (カルコゲン元素と呼ばれる) X が 2 つ結合した化合物であり、化学式  $T X_2$  で表される。カルコゲン元素には、セレンウム ( S e )、硫黄 ( S )、テルル ( T e ) などが含まれる。遷移金属原子 T をカルコゲン元素 X で挟み込んだ層状の 2 次元結晶は、高いキャリア移動度と良好な力学特性を有し、種々のデバイスへの適用が期待されている。

20

【0003】

遷移金属がチタン ( T i ) を除く 4 族元素 ( Z r 、 H f など) である遷移金属ダイカルコゲナイドは、ワイドギャップ半導体である。遷移金属が T i の場合は、半金属となる。遷移金属が 6 族元素である遷移金属ダイカルコゲナイド (  $T^{VI} X_2$  ) は半導体、遷移金属が 5 族元素の遷移金属ダイカルコゲナイド (  $T^V X_2$  ) は金属となる。

【0004】

30

T M D C が有する電氣的及び / 又は機械的な特性を利用して、T M D C を電界効果トランジスタ (Field Effect Transistor ; F E T ) に適用する技術が提案されている (たとえば、特許文献 1 および非特許文献 1 参照)。

【0005】

図 1 は、T M D C を用いたトランジスタの一例を示す。このトランジスタは、バックゲート型のトランジスタであり、導電性の基板 1 1 1 がゲート電極として機能する。基板 1 1 1 上に絶縁膜 1 1 2 を介してソース電極 ( S ) とドレイン電極 ( D ) が配置され、ソース電極とドレイン電極の間に、二硫化モリブデン (  $M o S_2$  ) など、6 族遷移金属を用いた半導体 T M D C 2 が配置される。ソース電極 ( S ) とドレイン電極 ( D ) の間の半導体 T M D C 2 がチャネルを形成する。

40

【0006】

図 2 に示すように、半導体 T M D C 2 の c 軸方向が基板 1 1 1 と垂直な Z 方向に一致するように、単層または複数層の半導体 T M D C 2 が形成される。半導体 T M D C 2 は、チャネルの両端部で、金属の電極に接続される。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特表 2 0 0 7 - 5 0 6 2 8 6 号公報

【非特許文献】

【0008】

50

【非特許文献 1】Carlo M. Orofeo, Satoru Suzuki, Yoshiaki Sekine, and Hiroki Hibino, Applied Physics Letters 105, 083112 (2014)

【発明の概要】

【発明が解決しようとする課題】

【0009】

図 1 及び図 2 の構成では、半導体 TMD C 2 で形成されるチャネルが、直接金属のソース電極 (S) とドレイン電極 (D) に接続される。この場合、金属電極と半導体 TMD C 2 の界面に、金属と半導体の接合によるショットキー障壁が存在し、ショットキー障壁が接触抵抗 ( $R_c$ ) を増大させる一因となる。半導体 TMD C 2 と金属電極の間の接触抵抗が増大すると、半導体 TMD C 2 の特性を活かした高速動作、低消費電力が阻害されるお  
10

【0010】

そこで、半導体 TMD C と、これに接続される金属との間の接触抵抗の増大を抑えた電子デバイスの実現を課題とする。

【課題を解決するための手段】

【0011】

本発明の一態様では、電子デバイスは、  
金属膜と、  
前記金属膜と電気的に接続される半導体である第 1 の遷移金属ダイカルコゲナイドと、  
前記金属膜と前記第 1 の遷移金属ダイカルコゲナイドの界面に配置される、金属である  
20  
第 2 の遷移金属ダイカルコゲナイドと、  
を有する。

【発明の効果】

【0012】

上記の構成により、半導体 TMD C とこれに接続される金属との間の接触抵抗の増大を抑えた電子デバイスが実現される。

【図面の簡単な説明】

【0013】

【図 1】半導体 TMD C を用いた電子デバイスの例を示す図である。

【図 2】半導体 TMD C と金属電極との間の接続を示す図である。  
30

【図 3】実施形態の接合構造を示す図である。

【図 4】金属 TMD C の単位セル構造を示す図である。

【図 5】実施形態の接合構造を用いる原理を説明する図である。

【図 6】実施形態の接合構造を用いる原理を説明する図である。

【図 7】実施形態の接合構造を用いた電子デバイスの一例として、トランジスタの構成例 1 を示す図である。

【図 8】構成例 1 のトランジスタの製造工程図である。

【図 9】構成例 1 のトランジスタの製造工程図である。

【図 10】構成例 1 のトランジスタの製造工程図である。

【図 11】構成例 1 のトランジスタの製造工程図である。  
40

【図 12】構成例 1 のトランジスタの製造工程図である。

【図 13】実施形態の接合構造を用いた電子デバイスの一例として、トランジスタの構成例 2 を示す図である。

【図 14】図 13 のトランジスタの製造工程図である。

【図 15】図 13 のトランジスタの製造工程図である。

【図 16】図 13 のトランジスタの製造工程図である。

【発明を実施するための形態】

【0014】

半導体 TMD C と金属電極の材料の組み合わせによっては、接触抵抗の増大を抑制し得る場合もある。たとえば、半導体 TMD C として二硫化モリブデン ( $\text{MoS}_2$ ) を用い、  
50

金属電極としてモリブデン (Mo) やチタン (Ti) を用いる場合には、半導体 TMD C と金属電極の間にオーミック接合が実現され得る。半導体 TMD C として二セレン化タングステン ( $WS e_2$ ) を用い、金属電極としてタングステン (W) やパラジウム (Pd) を用いた場合も、半導体 TMD C と金属電極の間にオーミック接合が実現され得る。

【0015】

すなわち、一つの方法としては、半導体 TMD C と電極となる金属材料の組み合わせを選ぶことで、オーミック接合を実現し、接触抵抗の増大を抑制し得る。

【0016】

しかし、接触抵抗の増大を抑制できる材料の組み合わせが限定的であり、半導体 TMD C の形成に用いられることのできる材料の種類と、電極に用いることのできる金属の種類が少なくなる。電極材料の種類をなるべく限定せず、かつ、接触抵抗の増大を抑制できる構成が望ましい。

【0017】

図3及び図4は、実施形態で用いられる接合構造1を示す図である。実施形態では、金属3と半導体 TMD C 2の間の界面に、金属 TMD C 4を配置する。金属3は、多数の金属原子Mが互いに金属結合された結晶構造を有する。基板表面に垂直な方向をZ方向とすると、半導体 TMD C 2は、1つの6族遷移金属  $T^{VI}$  を2つのカルコゲン元素XでZ方向に挟み込んだ単位セルを有する。金属 TMD C 4は、5族遷移金属とチタン (Ti) の中から選択される1つの遷移金属Tを2つのカルコゲン元素XでZ方向に挟み込んだ単位セルを有する。

【0018】

図4(A)に示すように、金属 TMD C 4の単位セルCは、Z方向で3原子層の厚さを有する。半導体 TMD C 2も同様である。面内方向では、図4(B)に示すように、グラフェンと同様に蜂の巣状(六角格子状)に並ぶ結晶構造を有する。このような単位セルCが周期的に繰り返され、厚さ3原子層のシート状の二次元結晶を形成する。半導体 TMD C 2の結晶構造も、金属 TMD C 4と同様である。

【0019】

5族遷移金属とTiの中から選択される遷移金属Tとカルコゲン元素Xの間の結合は、強い共有結合である。6族遷移金属  $T^{VI}$  とカルコゲン元素Xの間の結合も同様である。金属 TMD C 4、及び半導体 TMD C 2は、2次元結晶をc軸方向に積層して多層構造にする場合、層と層の間は弱いファンデルワールス力で保持される。半導体 TMD C 2と金属 TMD C 4はともに、フレキシブルかつ透明である。

【0020】

6族遷移金属  $T^{VI}$  を用いた半導体 TMD C 2は、シリコン (Si) と同程度のバンドギャップを有する。具体的には、単層において1 eV ~ 2 eVの直接遷移型のバンドギャップを示す。これに対し、5族遷移金属を用いた金属 TMD C 4は、価電子帯と伝導帯の間にバンドギャップがなく、金属としての性質を有する。金属3と金属 TMD C 4の間にはショットキー障壁は存在しない。遷移金属としてチタン (Ti) を用いた場合もバンドギャップを持たないので、 $Ti S_2$ 、 $Ti S e_2$ 、 $Ti T e_2$  を金属 TMD C 4として用いることができる。

【0021】

金属 TMD C 4と半導体 TMD C 2の間のショットキー障壁は、金属3と半導体 TMD C 2の間のショットキー障壁よりも小さい。これについての詳細は後述する。図3に示すように、金属3と2半導体 TMD C の間に金属 TMD C 4を挿入することで、接触抵抗を低減することができる。

【0022】

図5及び図6を参照して、金属 TMD C 4を挿入した接合構造1を用いることの原理を説明する。図5は、実施形態の構造(モデルA)と、従来の構造(モデルB)について、第1原理バンドシミュレーションにより電子状態密度を比較した結果を示す。図5(A)のモデルAは図3の接合構造1を有し、金属と半導体 TMD C 2の間に金属 TMD C 4が

10

20

30

40

50

挿入されている。図 5 ( B ) のモデル B は、金属 3 と半導体 T M D C 2 が直接接続された図 2 の構造を有する。

【 0 0 2 3 】

モデル A とモデル B の双方で、金属 3 に金 ( A u ) を用い、半導体 T M D C 2 として M o S <sub>2</sub> 層、金属 T M D C 4 として N b S <sub>2</sub> 層を用いる。A u の化学ポテンシャルを、フェルミエネルギー E<sub>F</sub> とする。モデル A では、A u と接続されたときに N b S <sub>2</sub> 層のフェルミエネルギーが E<sub>F</sub> に一致し、N b S <sub>2</sub> と M o S <sub>2</sub> の状態エネルギーの位置関係は変化しないと仮定している。

【 0 0 2 4 】

モデル B では、価電子帯の上端とフェルミ準位との間に 0 . 7 e V の障壁が存在する。これに対し、モデル A では、破線で示す N b S <sub>2</sub> の状態密度により M o S <sub>2</sub> の価電子帯の上端のエネルギーがフェルミ準位に近づき、障壁が 0 . 2 e V に低減されている。

【 0 0 2 5 】

図 6 は、図 5 のシミュレーション結果に基づくエネルギーバンド図である。図 6 ( B ) では、半導体である M o S <sub>2</sub> と金属 ( A u ) の界面に、0 . 7 e V のショットキー障壁が存在する。図 6 ( A ) では、半導体である M o S <sub>2</sub> と金属である N b S <sub>2</sub> の界面に、0 . 2 e V のショットキー障壁が存在する。

【 0 0 2 6 】

接合界面における電流 I は、ショットキー障壁 E<sub>B</sub> に対して指数関数的に変化する。すなわち、

$$I \propto \exp(-E_B / k_B T)$$

の関係にあることが知られている。ここで、k<sub>B</sub> はボルツマン定数であり、T は絶対温度である。たとえば、室温 ( T = 3 0 0 K ) において、実施形態の接合構造 1 を流れる電流 I<sub>A</sub> は、図 2 の従来構造の接合部を流れる電流 I<sub>B</sub> の約 7 . 4 倍である。実施形態の接合構造 1 では、図 2 の従来構造に比べて、接触抵抗を 0 . 1 3 倍 ( 1 / 7 . 4 倍 ) に低減することができる。

【 0 0 2 7 】

さらに、図 3 の接合構造 1 では、金属 T M D C 4 を挿入することでショットキー障壁を小さくして接触抵抗の増大を低減しているため、半導体 T M D C 2 と金属 3 の材料は特定の組み合わせに限定されない。半導体 T M D C 2 と金属 3 の双方に、種々の材料を用いることができる。

【 0 0 2 8 】

金属 3 の材料に特に限定はなく、たとえば、モリブデン ( M o ) 、タングステン ( W ) 、チタン ( T i ) 、コバルト ( C o ) 、ニッケル ( N i ) 、パラジウム ( P d ) 、アルミニウム ( A l ) 、インジウム ( I n ) 、銅 ( C u ) 、銀 ( A g ) 、白金 ( P t ) 、金 ( A u ) 、これらのうち 2 種以上を含む金属を用いることができる。

【 0 0 2 9 】

半導体 T M D C 2 として、たとえば、M o S <sub>2</sub> 、M o S e <sub>2</sub> 、W S <sub>2</sub> 、W S e <sub>2</sub> などを用いることができる。

【 0 0 3 0 】

金属 T M D C 4 として、たとえば、N b S <sub>2</sub> 、T a S <sub>2</sub> 、V S <sub>2</sub> 、N b S e <sub>2</sub> 、T a S e <sub>2</sub> 、V S e <sub>2</sub> 、N b T e <sub>2</sub> 、T a T e <sub>2</sub> 、V T e <sub>2</sub> 、T i S <sub>2</sub> 、T i S e <sub>2</sub> 、T i T e <sub>2</sub> を用いることができる。

【 0 0 3 1 】

半導体 T M D C 2 と金属 T M D C 4 は、すぐれたキャリア移動度を有するだけでなく、空気、紫外線、温度等に対して安定しており、接合構造 1 を電子デバイスに適用することで動作特性の向上、消費電力の低減を図ることができる。

< トランジスタの構成例 1 >

図 7 は、図 3 の接合構造 1 を適用した電子デバイスの一例として、バックゲート型のトランジスタ 1 0 を示す。図 7 はトランジスタ 1 0 のチャネル長方向に沿った模式的な縦断

10

20

30

40

50

面図である。トランジスタ 10 は、基板 11 上に形成された絶縁膜 12 上の所定の領域に形成された半導体 TMD C 膜 15 と、半導体 TMD C 膜 15 の両端に位置するソース電極 18 S 及びドレイン電極 18 D と、ソース電極 18 S と半導体 TMD C 膜 15 の間、及びドレイン電極 18 D と半導体 TMD C 膜 15 の間に配置される金属 TMD C 膜 16 を有する。

【0032】

基板 11 は導電性を有する基板であり、たとえば、所定の導電型の不純物元素を添加したシリコン基板等の半導体基板を用いることができる。絶縁膜 12 は、有機、無機、高分子等の各種の絶縁材料を用いることができる。

【0033】

絶縁膜 12 上の半導体 TMD C 膜 15 は、一例として、二硫化モリブデン ( $\text{MoS}_2$ ) の単層の薄膜である。半導体 TMD C 膜 15 に、基板 11 の導電型に応じた不純物が添加されていてもよい。ソース電極 18 S 及びドレイン電極 18 D は、任意の金属材料で形成されている。たとえば、Mo、W、Ti、Co、Ni、Pd、Al、In、Cu、Ag、Pt、Au、これらのうち 2 種以上を含む金属で形成されている。

【0034】

半導体 TMD C 膜 15 のチャネル方向の端部 15 a とソース電極 18 S の間、及び端部 15 b とドレイン電極 18 D の間に、それぞれ金属 TMD C 膜 16 が挿入されている。半導体 TMD C 膜 15 の端部 15 a 及び 15 b における、半導体 TMD C、金属 TMD C 膜 16、及び金属電極の積層が、図 3 の接合構造 1 を形成する。

【0035】

金属 TMD C 膜 16 は、半導体 TMD C 膜 15 とソース電極 18 S 及びドレイン電極 18 D が直接接触しないように、半導体 TMD C 膜 15 の端部 15 a 及び 15 b を完全に覆っていることが望ましい。また、半導体 TMD C 膜 15 の端部 15 a 及び 15 b 以外の領域には形成されないことが望ましい。

【0036】

トランジスタ 10 では、半導体 TMD C 膜 15 がチャネルとして用いられ、導電性の基板 11 がゲート電極として機能する。基板 11 の電位を、たとえば基板 11 の裏面からの電圧印加により制御することで、半導体 TMD C 膜 15 を用いたチャネルのオン、オフの状態が制御される。

【0037】

半導体 TMD C 膜 15 とソース電極 18 S 及びドレイン電極 18 D の間に金属 TMD C 膜 16 を挿入することで、チャネルとソース電極 18 S 及びドレイン電極 18 D の間のショットキー障壁が低減される。これにより、接触抵抗の増大が抑制されたトランジスタ 10 が実現される。

【0038】

図 8 ~ 図 12 は、接合構造 1 を有するバックゲート型トランジスタの製造工程を示す。図 8 で、たとえば  $\text{SiO}_2$  等の酸化膜 32 付きの基板 31 を用い、酸化膜 32 上の所定領域に 6 族遷移金属薄膜 33 を形成する。基板 31 には、たとえばボロン (B) 等の p 型不純物イオンがドーピングされた p<sup>+</sup> 型シリコン基板である。6 族遷移金属薄膜 33 として、たとえば 1 ~ 5 nm の厚さのモリブデン薄膜を形成する。所定領域への 6 族遷移金属薄膜 33 の堆積は、たとえば、フォトレジストの塗布、露光、現像により所定領域に開口を有するレジストマスクを形成し、電子ビーム蒸着法とリフトオフにより行う。

【0039】

図 9 で、6 族遷移金属薄膜 33 の互いに対向する端部 33 a と端部 33 b に、それぞれ 1 ~ 5 nm の厚さの 5 族遷移金属薄膜 34 a と 34 b を形成する。5 族遷移金属薄膜 34 a 及び 34 b は、たとえば電子線ビーム蒸着法とリフトオフ法によりニオブ (Nb) の薄膜を堆積して形成する。

【0040】

図 10 において、処理装置 60 を用いて、基板 31 上の 6 族遷移金属薄膜 33 と、5 族

10

20

30

40

50

遷移金属薄膜 34a 及び 34b を硫化する。石英の熱処理炉 62 内に、図 9 のパターンが多数形成されたウェハ 70 を設置する。熱処理炉 62 内には、石英ボート 63 に保持された硫黄結晶 65 が配置されている。熱処理炉 62 はヒータ 61 により加熱される。ウェハ 70 は、アルゴン (Ar) ガスの供給下では 500 ~ 1000 に加熱される。

#### 【0041】

硫黄結晶 65 は Ar ガスの風上側の低温領域に設置されている。硫黄結晶 65 が配置される風上側では、硫黄の融点である 113 以上となるようにヒータ 61 の温度が制御される。たとえば、15 分間の昇温の後、ウェハ温度 800 の状態を、少なくとも 1 時間維持する。Ar ガスの流量は、たとえば 5 ~ 10 sccm である。硫黄結晶 65 から昇華した硫黄原子あるいは硫黄分子によって、ウェハ 70 上の 6 族遷移金属薄膜 33 と、5 族遷移金属薄膜 34a 及び 34b が硫化される。

10

#### 【0042】

6 族遷移金属薄膜 33 上に 5 族遷移金属薄膜 34a、34b が積層されている領域についても、硫黄 (S) 原子または分子が入りこんで、6 族遷移金属の原子と共有結合またはイオン結合される。

#### 【0043】

図 11 において、硫化により、酸化膜 32 上の所定の位置に半導体 TMD C 膜 35 と、半導体 TMD C 膜 35 のチャネル方向の端部 35a、35b を覆う金属 TMD C 膜 36a 及び 36b が形成される。金属 TMD C 膜 36a と 36b は、半導体 TMD C 膜 35 の端部 35a、35b の上面だけではなく、端面 (側面) も覆っている。

20

#### 【0044】

図 12 で、熱処理炉 62 からウェハ 70 を取り出し、室温で冷却した後、基板 31 上の所定の位置にソース電極 38S とドレイン電極 38D を形成する。たとえば、所定の開口パターンを有するレジストマスクを形成し、電子線ビーム蒸着法により Ti 膜と Au 膜を順次堆積し、リフトオフすることにより、チタン / 金積層構造のソース電極 38S とドレイン電極 38D を形成してもよい。ソース電極 38S 及びドレイン電極 38D は、MoS<sub>2</sub> 等の半導体 TMD C 膜 35 のチャネル方向の両端部にオーバーラップして形成されるが、金属 (Ti) と半導体 TMD C (MoS<sub>2</sub>) の間に金属 TMD C (NbS<sub>2</sub>) が存在するので、接触抵抗の増大が抑えられる。

#### 【0045】

30

以上の工程により、基板 31 がゲート電極として機能し、半導体 TMD C 膜 35 のうち端部 35a と端部 35b の間の領域がチャネルとして機能するバックゲート型のトランジスタ 30 が形成される。酸化膜 32 はゲート絶縁膜となる。チャネルとなる半導体 TMD C 膜 35 のオン・オフ状態は、基板 31 の電位制御によって制御される。トランジスタ 30 の特性は、チャネルとなる半導体 TMD C 膜 35 とソース電極 38S 及びドレイン電極 38D の間の接触抵抗により律速され得るが、実施形態の構成により、トランジスタ 30 の動作を高速に維持し、消費電力の低減することが可能になる。

#### <トランジスタの構成例 2>

図 13 は、トップゲート型のトランジスタ 40 の構成例を示す。トランジスタ 40 は、チャネルを形成する半導体 TMD C 膜 45 上に、ゲート絶縁膜 49 を介してゲート電極 51 を有する。半導体 TMD C 膜 45 のチャネル方向の端部 45a と端部 45b に、ソース電極 48S とドレイン電極 48D が形成されている。トランジスタ 40 では、図 7 のトランジスタ 10、及び図 12 のトランジスタ 30 と同様に、半導体 TMD C 膜 45 とソース電極 48S の間に金属 TMD C 膜 46a が配置され、半導体 TMD C 膜 45 とドレイン電極 48D の間に金属 TMD C 膜 46b が配置されている。

40

#### 【0046】

基板 41 としては、シリコン基板、サファイア (Al<sub>2</sub>O<sub>3</sub>) 基板、ガラス基板など任意の基板を用いることができる。基板 41 上の絶縁膜 42 の所定の位置に、半導体 TMD C 膜 45 が配置されている。絶縁膜 42 は、任意の材料で形成されており、たとえば酸化マグネシウム (MgO) やシリコン酸化膜 (SiO<sub>2</sub>) などの酸化膜であってもよい。

50

## 【0047】

半導体TMD C膜45は、 $\text{MoS}_2$ 、 $\text{WS}_2$ など、任意の6族遷移金属カルコゲナイドである。半導体TMD C膜45のチャネル方向の両端部を覆う金属TMD C膜46a、46bは、任意の5族遷移金属カルコゲナイドまたはチタン(Ti)とカルコゲン元素の化合物である。金属TMD C膜46a、46bは、 $\text{NbS}_2$ 、 $\text{TaS}_2$ 、 $\text{VS}_2$ 、 $\text{NbSe}_2$ 、 $\text{TaSe}_2$ 、 $\text{VSe}_2$ 、 $\text{NbTe}_2$ 、 $\text{TaTe}_2$ 、 $\text{VTe}_2$ 、 $\text{TiS}_2$ 、 $\text{TiSe}_2$ 、 $\text{TiTe}_2$ から選択される材料で形成されている。

## 【0048】

図14～図16は、図14のトランジスタ40の製造工程図である。絶縁膜42上に半導体TMD C膜45と金属TMD C膜46a、46bを形成する工程は、図8～図11と同様であり、図示を省略する。図8～図11を参照して述べたように、絶縁膜42上に、所定の形状の6族遷移金属膜と5族遷移金属膜を形成し、硫化により半導体TMD C膜45と金属TMD C膜46a及び46bを形成する。

## 【0049】

その後、図14に示すように、所定の開口パターンを有するレジストマスク52を形成し、厚さ2～4nmの絶縁膜53を形成する。絶縁膜53として、たとえばトリメチル・アルミニウム(TryMethyl Alminum; TMA)と水( $\text{H}_2\text{O}$ )を前駆体とするALD(Atomic Layer Deposition; 原子層蒸着法)法により、酸化アルミニウム( $\text{Al}_2\text{O}_3$ )薄膜を形成してもよい。

## 【0050】

図15に示すように、リフトオフ法で不要な絶縁膜53を除去してゲート絶縁膜49を形成し、電極形成用のレジストマスク54を形成する。続いて、電子ビーム蒸着法により金属膜55を形成する。半導体TMD C膜45の端部45aと端部45bにおいて、上面と端面(側面)を覆う金属TMD C膜46a、46bが形成されているので、金属膜55の種類は問わない。たとえばモリブデン(Mo)、タングステン(W)、チタン(Ti)、コバルト(Co)、ニッケル(Ni)、パラジウム(Pd)、アルミニウム(Al)、インジウム(In)、銅(Cu)、銀(Ag)、白金(Pt)、金(Au)、これらのうち2種以上を含む金属を用いることができる。

## 【0051】

図16で、リフトオフ法で不要な金属膜55を除去して、ゲート絶縁膜49上のゲート電極51と、半導体TMD C膜45の端部45a及び端部45bに位置するソース電極48A及びドレイン電極48Dを形成する。これにより、トップゲート型のトランジスタ40が作製される。ゲート電極51の電位を制御することによって、チャネルを形成する半導体TMD C膜45のオン、オフの状態が制御される。

## 【0052】

半導体TMD C膜45とソース電極48Sの間に存在する金属TMD C膜46a、及び半導体TMD C膜45とドレイン電極48Dの間に存在する金属TMD C膜46bによりショットキー障壁が低減され、接触抵抗の増大が抑制される。

## &lt;変形例&gt;

上述したトランジスタの製造工程は、単なる例示であり、他の変形例も本発明の開示の範囲内である。たとえば、トランジスタの構成例2で、基板41上にMgO等の絶縁膜42を形成するかわりに、MgO基板を用いてもよい。図15では、同じ金属材料でゲート電極51、ソース電極48S、及びドレイン電極48Dを一度に形成したが、ゲート電極51を、所定の導電型のシリコンやポリシリコンで形成してもよいし、ソース電極48S及びドレイン電極48Dと異なる種類の金属を用いて形成してもよい。ゲート電極51をソース電極48S及びドレイン電極48Dと異なる材料で形成する場合は、ソース電極48S及びドレイン電極48D用のレジストマスクおよび金属膜の形成と、ゲート電極51用のレジストマスク及び金属膜の形成を別工程で行えばよい。

## 【0053】

また、トランジスタの構成例1、構成例2を通して、半導体TMD Cには、単層のMo

10

20

30

40

50



$S_2$ のほか、単層の $WS_2$ 、 $MoSe_2$ 、 $WSe_2$ 等、他の半導体TMDCの単層膜を用いてもよい。また、これらの単層の半導体TMDCを多層化したものを用いてもよい。

【0054】

金属TMDCとしては、 $NbS_2$ に替えて、 $TaS_2$ 、 $VS_2$ 、 $NbSe_2$ 、 $TaSe_2$ 、 $VSe_2$ 、 $NbTe_2$ 、 $TaTe_2$ 、 $VTe_2$ 、 $TiS_2$ 、 $TiSe_2$ 、 $TiTe_2$ 等を用いてもよい。

【0055】

金属TMDCと半導体TMDCを形成する際に、遷移金属膜の堆積は電子ビーム蒸着法に限定されず、スパッタリング等で形成してもよい。実施形態では、6族遷移金属膜と5族遷移金属膜を形成した後に、一度に硫化を行ったが、6族遷移金属膜の硫化を行った後に、5族遷移金属膜を形成し再度硫化を行ってもよい。また、5族遷移金属に替えて、Ti膜を形成してもよい。

【0056】

金属TMDCと半導体TMDCの形成は、遷移金属膜を形成した後に硫化（あるいはセレン化、テルル化）を行う方法に限定されない。半導体TMDCや金属TMDCのターゲットを用いた物理気相成長法（Physical Vapor Deposition; PVD）、適切な原料ガスを供給する化学気相成長法（Chemical Vapor Deposition; CVD）、分子線エピタキシー法などで形成してもよい。

【0057】

図3の接合構造1は、トランジスタの他、発光ダイオード、光電気変換デバイス（太陽電池など）、熱電変換素子など、金属と半導体の接合部を有する任意の電子デバイスに適用することができる。たとえば、 $MoS_2$ などのn型の半導体TMDCと、p型にドーブされたシリコンを接合したダイオードに電極を形成する際に、半導体TMDCと電極膜の界面に金属TMDCを配置してもよい。接合構造1を太陽電池に適用する場合、裏面電極となる金属電極膜と、電子輸送層または正孔輸送層として機能する半導体TMDCの間に金属TMDC膜86を挿入することができる。また、金属TMDCは透明であることから、透明電極と半導体TMDCの間に挿入されてもよい。いずれの場合も、金属TMDCとして、 $NbS_2$ 、 $TaS_2$ 、 $VS_2$ 、 $NbSe_2$ 、 $TaSe_2$ 、 $VSe_2$ 、 $NbTe_2$ 、 $TaTe_2$ 、 $VTe_2$ 、 $TiS_2$ 、 $TiSe_2$ 、 $TiTe_2$ 等を用いることができる。金属膜と半導体TMDCの間に金属TMDCを挿入することで、接触抵抗の増大を抑制することができる。

【0058】

デバイスの形状とサイズによっては、半導体TMDCと金属TMDCを粘着テープを用いた薄膜剥離による転写法により形成してもよい。あるいは、半導体TMDC粒子や金属TMDC粒子を分散させた溶液を塗布して、半導体TMDC膜と金属TMDC膜を形成してもよい。接合構造1をトランジスタに適用する場合、ソース電極とドレイン電極を必ずしも半導体TMDCのチャネルの上方に形成する必要はなく、チャネルの下方または基板内に形成してもよい。

【符号の説明】

【0059】

- 1 接合構造
- 2 半導体TMDC
- 3 金属
- 4 金属TMDC
- 10、30、40 トランジスタ（電子デバイス）
- 11、31、41 基板
- 12、42 絶縁膜
- 15、35、45 半導体TMDC膜
- 16、36、46a、46b 金属TMDC膜
- 18S、38S、48S ソース電極

10

20

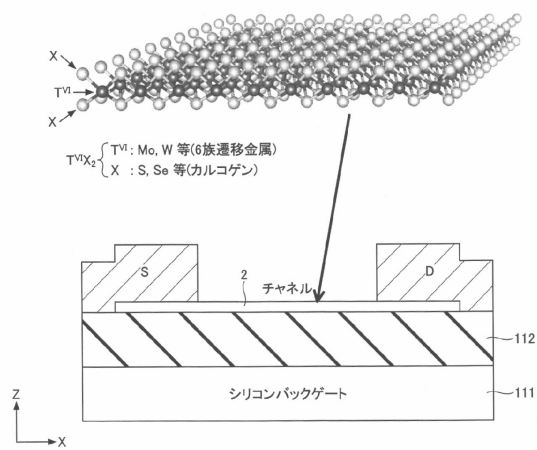
30

40

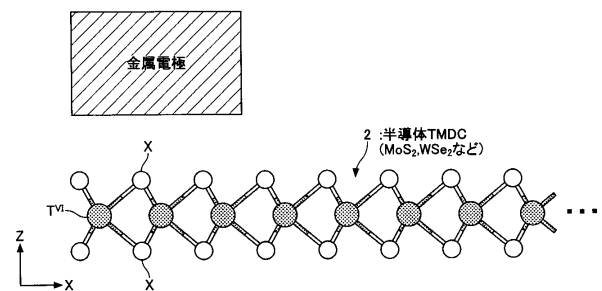
50

1 8 D、3 8 D、4 8 D ドレイン電極  
 3 2 酸化膜（絶縁膜）  
 5 1 ゲート電極

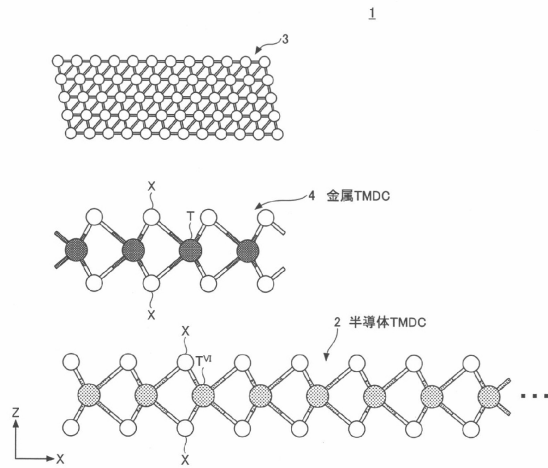
【図 1】



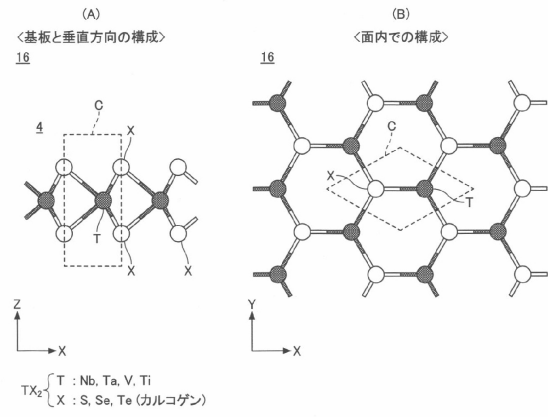
【図 2】



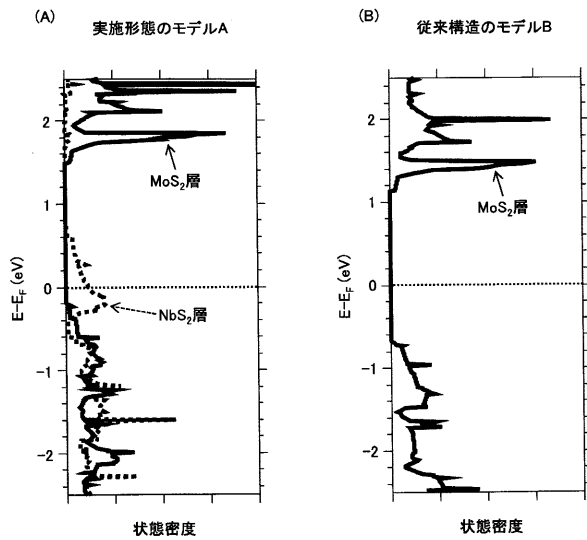
【図 3】



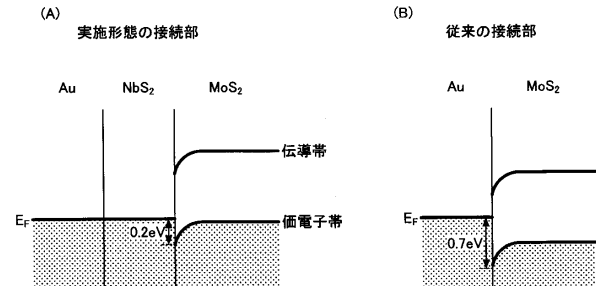
【図 4】



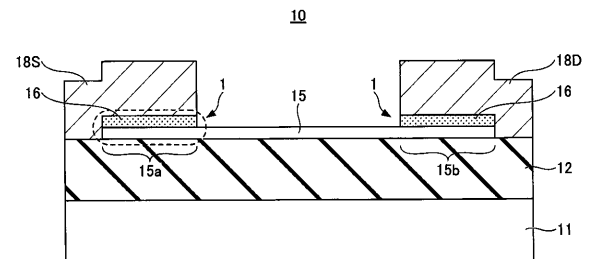
【図 5】



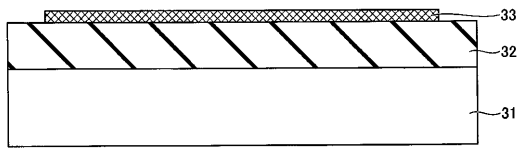
【図 6】



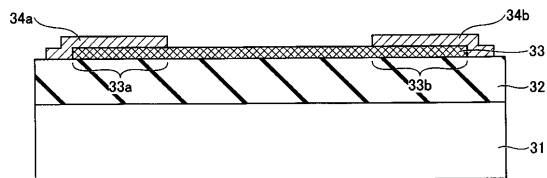
【図 7】



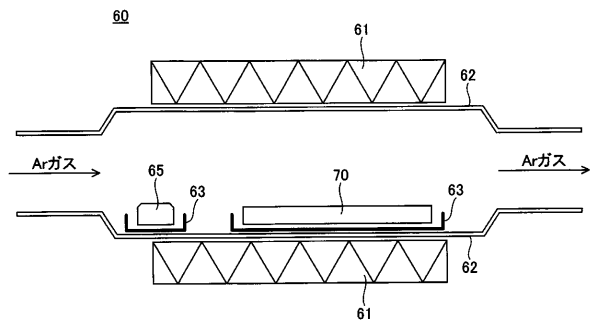
【図 8】



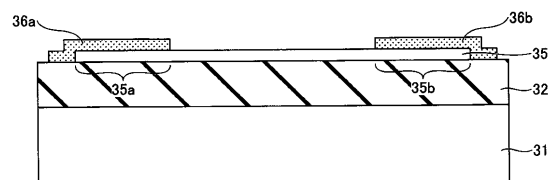
【図 9】



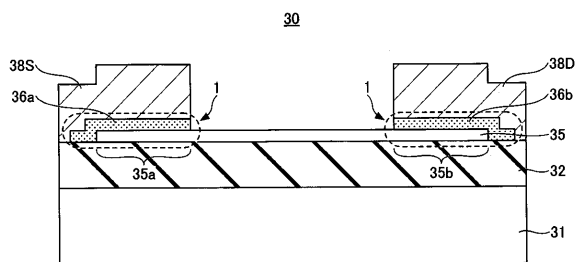
【図 10】



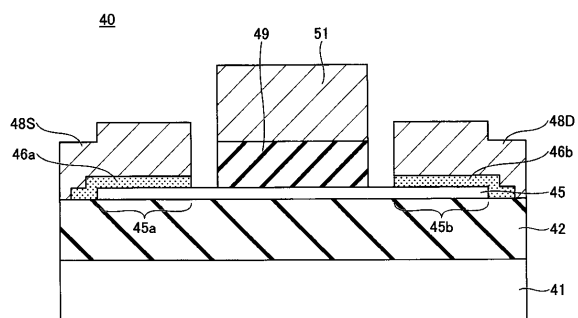
【図 11】



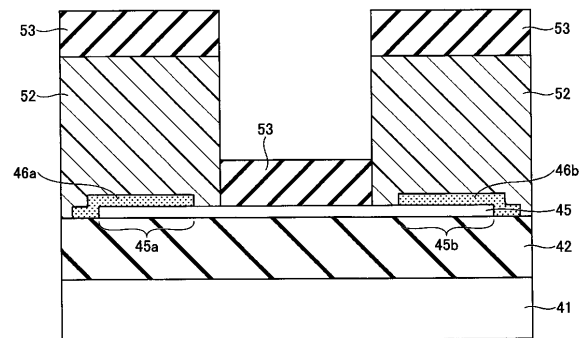
【図 12】



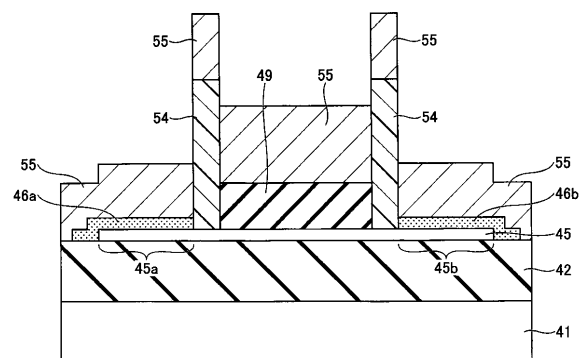
【図 13】



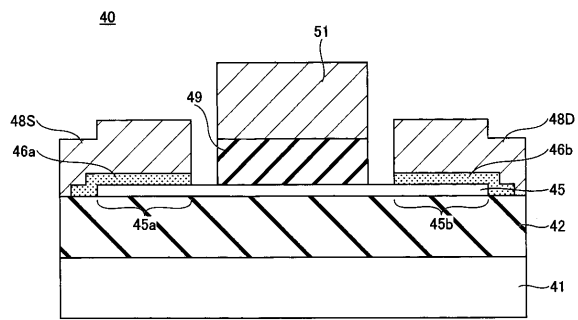
【図 14】



【図 15】



【図 16】



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/28 3 0 1 R  
H 0 1 L 35/16

(56)参考文献 国際公開第2015/142358(WO,A1)  
特開2015-029038(JP,A)  
特開平04-029378(JP,A)  
特表2007-506286(JP,A)  
米国特許出願公開第2005/0062082(US,A1)  
特開平08-264794(JP,A)  
Jiahao Kang, 他4名, Computational Study of Metal Contacts to Monolayer Transition-Metal Dichalcogenide Semiconductors, PHYSICAL REVIEW X, American Physical Society, 2014年 7月14日, Vol. 4, Iss. 3, 031005

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 29/786  
H 0 1 L 21/28  
H 0 1 L 21/336  
H 0 1 L 35/16