

(12) 发明专利申请

(10) 申请公布号 CN 102646084 A

(43) 申请公布日 2012. 08. 22

(21) 申请号 201210058567. 5

(22) 申请日 2012. 03. 06

(71) 申请人 上海纳轩电子科技有限公司

地址 200233 上海市杨浦区邯郸路 100 号 61 号楼 136 室

(72) 发明人 刘大红

(51) Int. Cl.

G06F 13/16 (2006. 01)

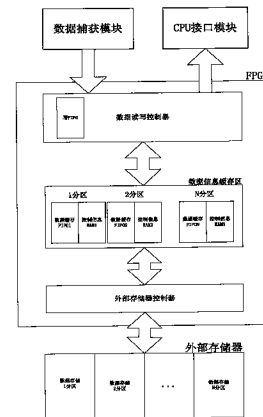
权利要求书 1 页 说明书 3 页 附图 4 页

(54) 发明名称

一种基于 FPGA 实现的高效网络数据包存储方法

(57) 摘要

本发明涉及一种基于 FPGA 实现的,将用户捕获的各种网络数据包(数据包的种类大于 1)存储到外部存储器的实现方法。该发明包括数据读写控制器模块数据信息缓存区模块和外部存储器控制器模块三个部分组成。本发明因为采用了由内部控制逻辑根据用户设定的捕获条件多少对外部存储器进行分区并实现数据的存储方法,所以其对存储带宽需求最大也不会超过网络带宽,这样就大大的节省了外部存储带宽需求,从而极大的降低了实现难度,也节约了实现成本;由于采用了通过 Verilog HDL 语言通过 FPGA 编程或者 ASIC 来实现,所以能利用当今最先进的半导体技术将高达 100G 或者以上的宽带网络上捕获的各种网络数据包进行存储操作。



1. 一种基于 FPGA 实现的高效网络数据包存储方法,包括数据读写控制器,数据信息缓冲区和外部存储器控制器三个部分组成,其特征在于,数据读写控制器根据读写指令将数据包和数据包信息送到数据信息缓冲区,数据信息缓冲区用于对外部存储器分区的管理和每个分区存储数据信息的处理和存储,外部存储器控制器模块用于从外部存储器中读写数据。

2. 如权利要求 1 所述的数据读写控制器,其特征在于,当收到写数据请求后,根据写请求信息分别将包信息和数据包送到存储信息缓存区的指定区域;当收到读数据请求后,根据读请求信息将读请求送到存储信息缓存区模块的指定区域。

3. 如权利要求 1 所述的数据信息缓存区,其特征在于内有  $N$  个子模块, $N$  的取值由公式  $2^n-1$  确定,其中  $n$  为用户设置的捕获条件的个数,取值为 2、3、4、5、6,每个子模块和外部存储器的相应分区分别相对应。

4. 如权利要求 1 所述的外部存储器控制器模块,其特征在于分为读写两个部分:进行写操作时,根据写入口地址,写数据长度将数据存入指定地址的外部存储器中;进行读操作时,根据读入口地址,读数据长度将数据从指定地址的外部存储器将数据读出,并加上包头包尾信号输出。

5. 如权利要求 2 所述的读写请求信息,其特征在于其为连续的数值,取值最小为 0,最大为权利要求 3 中的公式  $2^n-1$  的取值,其中数字 1 到  $2^n-1$  分别代表进行读写请求进行操作的区域,0 表示此次读写操作无效。

6. 如权利要求 2 所述的指定区域,即权利要求 3 所述的子模块,其特征在于权利要求 2 所述的读写请求信息的值,不同的值代表不同的子模块,比如 1 代表第一个子模块,2 代表第二个子模块,如此类推,63 代表第 63 个子模块。

7. 如权利要求 3 所述的子模块其特征在于每个子模块由一个 RAM, FIFO 和控制逻辑组成,其中 FIFO 用于数据包的缓存, RAM 用于存储每个包的长度,每个包在外部存储器的起始地址信息。

8. 如权利要求 7 所述的控制逻辑,其特征在于该逻辑包括两个部分组成:写控制逻辑和读控制逻辑。

9. 如权利要求 8 所述的写控制逻辑,其特征在于该模块用于计算写入该模块的数据包个数, RAM 的写地址,当前数据包的包长,根据数据包的包长计算下一个数据包在外部存储器的入口地址,并将控制该数据包的入口地址和数据包的包长信息写入 RAM 中,控制外部存储器控制器将数据包写入指定的入口地址。

10. 如权利要求 8 所述的读控制逻辑,其特征在于根据数据包的个数从 RAM 中将包长度信息和外部存储器包入口地址信息读出来,控制外部存储器控制器将数据包从指定的入口地址中读出来。

## 一种基于 FPGA 实现的高效网络数据包存储方法

### 【技术领域】

[0001] 本发明涉及数据网络通讯技术领域,特指一种基于 FPGA 实现的将根据用户需要捕获的各种网络数据包(数据包的种类大于 1)存储到外部存储器的实现方法。

### 【背景技术】

[0002] 今天,互联网已经成为我们日常生活中必不可少的一部分,Email、电子商务、搜索引擎、视频分享、SNS 社区等的大量使用和普及让我们对互联网更加依赖,但是在享用互联网给我们带来的便捷时,网络运营商和用户都会关心几个问题:这个网络安全吗?它的性能怎样?万一出现故障怎么办?服务质量如何保证?这一系列问题的解决都依赖于网络测试,依赖于从网络系统中提取与之相关的数据包进行分析。而在对这些数据包进行分析之前,由于数据量较大以及 PC 处理能力的限制,都需要将这些数据缓存到外部存储器中。

[0003] 传统的方法是将捕获后的数据直接存储到外部存储器中,这样做的好处就是简单,因而,这种方法在网络系统简单,网络速度较低的时候是可行的。但是,三网合一和越来越多的应用使得网络系统越来越复杂,也因此很容易出现一个网络数据包符合用户设定的多个条件的情况。我们假定用户设定了 A、B 两个条件,数据需要存储到外部存储器中,那么一个数据包过来后就有四中可能:符合条件 A、符合条件 B、条件 A 和 B 都符合、条件 A 和 B 都不符合。这样除了第四种不需要存储外,另外三种都需要存储,这样就需要 3 倍的存储带宽去存储捕获的数据;如果用户设定 ABC 三个条件后,就需要 7 倍的存储带宽去存储捕获的数据;四个条件对应的是 15 倍的存储带宽。n 个条件对应的实  $2^n-1$  倍的存储带宽需求。在网络速度已经高达 100Gbps,400Gbps 的网络系统也正在研发之中的今天,在网速为 100G 的时候,15 倍存储带宽就意味着 1500Gbps,显然,使用这种方法存储用户捕获的数据包正显得越发困难,即使最终实现了,也会因为成本高昂而失去实用价值。

[0004] 所以,业界迫切需要一种更高效、更经济的将用户根据需要捕获的各种数据包存储到外部存储器中的方法。

### 【发明内容】

[0005] 针对现有技术的不足,本发明提供了一种基于大规模可编程逻辑器件(FPGA)的硬件实现方法。FPGA 的特点是使用非常灵活,可以通过 VerilogHDL 语言像软件一样对 FPGA 编程来实现用户需要的功能,同时又具有硬件电路的高速的优点。利用该方法可以以不超过网络速度的存储带宽将用户捕获的数据包存储到外部存储器中。

[0006] 为了达到上述目的,本发明采用了如下技术方案:

[0007] 本发明采用基于 FPGA 的硬件实现方式,也可以改为由 ASIC 来实现。

[0008] 本发明采用的和 FPGA 连接的外部存储器包括但不限于 DDR RAM, QDR RAM 和 RLDRAM。

[0009] 本发明包括 3 个模块组件:

[0010] FPGA 内建一个数据读写控制器模块,当收到写数据请求后,根据写请求信息分别

将包信息和数据包送到存储信息缓存区的指定区域；当收到读数据请求后，根据读请求信息将读请求送到存储信息缓存区模块的指定区域。

[0011] FPGA 内建一个数据信息缓存区，其特征就在于内有 N 个子模块，N 的取值范围为 2 到 63，每个子模块和外部存储器的一个分区相对应，用于控制外部存储器的分区、每个分区的数据的缓存、计算并存储每个分区存储的有效数据包个数，每个包的长度，每个包在外部存储的起始地址信息。

[0012] FPGA 内建一个外部存储器控制器模块，分为读写两个部分：进行写操作时，根据写入口地址，写数据长度将数据存入指定地址的外部存储器中；进行读操作时，根据读入口地址，读数据长度将数据从指定地址的外部存储器将数据读出，并加上包头包尾信号输出。

[0013] 本发明因为采用了由内部控制逻辑根据用户设定的捕获条件多少对外部存储器进行分区并实现数据的存储方法，所以其对存储带宽需求最大也不会超过网络带宽，这样就大大的节省了外部存储带宽需求，从而极大的降低了实现难度，也节约了实现成本；由于采用了通过 Verilog HDL 语言通过 FPGA 编程或者 ASIC 来实现，所以能利用当今最先进的半导体技术将高达 100G 或者以上的宽带网络上捕获的各种网络数据包进行数据存储操作。

#### 【附图说明】

[0014] 图 1 是本发明实施例中一种基于 FPGA 实现的高效网络数据包存储方法逻辑处理系统框图。

[0015] 图 2 是本发明实施例中一种基于 FPGA 实现的高效网络数据包存储写数据控制示意图。

[0016] 图 3 是本发明实施例中一种基于 FPGA 实现的高效网络数据包存储写数据控制信息更新示意图。

[0017] 图 4 是本发明实施例中一种基于 FPGA 实现的高效网络数据包存储方法数据读示意图。

#### 【具体实施方式】

[0018] 下面结合附图及具体实施方式，对本发明的技术方案做进一步阐述。

[0019] 参考图 1，本发明实施例中一种基于 FPGA 实现的高效网络数据包存储方法逻辑处理系统框图。在此假定用户设定了 A、B 两个条件，因此我们将 N 取 3，也即将外部存储器分成 3 个  $(2^2-1)$  个分区，其中条件 A 和 B 都符合存储在 1 分区，仅 A 符合的存储在 2 分区，仅 B 符合的存储在 3 分区，都不符合的数据包丢弃。

[0020] 由于数据存储的读写操作相对独立，因此对于读写分开进行阐述。

[0021] 对于数据存储的写操作，整个过程分为 3 步：

[0022] 第一步，在图 1 中，此部分操作在数据读写控制器模块中完成。该模块将来自数据捕获模块的数据帧完整的存入写 FIFO 中，待收到一个完整数据帧指示信号后，如图 2 所示，根据捕获信息进行判断，对于条件 A 和 B 都符合的，将完整的数据帧数据从写 FIFO 中读出，并将对数据信息缓存 1 分区的写 FIFO1 信号置高，待整帧数据读完后，发出更新数据信息缓存 1 分区控制信息 RAM1 的请求；对于仅 A 符合的，将完整的数据帧数据从写 FIFO 中读出，并将对数据信息缓存 2 分区的写 FIFO2 信号置高，待整帧数据读完后，发出更新数据信息缓

存 2 分区控制信息 RAM2 的请求;对于仅 B 符合的,将完整的数据帧数据从写 FIFO 中读出,并将对数据信息缓存 3 分区的写 FIFO3 信号置高待整帧数据读完后,发出更新数据信息缓存 3 分区控制信息 RAM3 的请求;对于条件 A 和条件 B 都不符合的数据包,则丢弃。

[0023] 第二步,在图 1 中,此部分操作在数据信息缓存区模块中完成。该模块会根据相应的 FIFO 的写信号将来自数据读写控制器的数据信息存储到相应的 FIFO 中,并计算数据包长。在收到来自数据读写控制器的更新信息缓存 N 分区控制信息 RAMN 的请求后,如图 3 所示,将包长度信息存入当前地址的 RAMN 中,然后 RAMN 写地址加 1,同时发出 N 分区向外部存储器写数据请求信号以及向外部存储器写数据的入口地址,在检测到数据缓存 FIFO N 的读信号后根据当前包长计算并更新下一个包存入到外部存储器的入口地址。

[0024] 第三步,在图 1 中,此部分操作在外部存储器控制模块中完成。该模块在检测到 N 分区向外部存储器写数据请求信号后,将数据从数据信息缓存区模块的 FIFO N 中读出,再根据数据信息缓存区模块提供的向外部存储器写数据的入口地址将数据存入到外部存储器中。

[0025] 对于数据存储的读操作,具体操作如图 4 所示,在检测到 CPU 接口模块发送过来的数据读请求信号后,数据读写控制器根据 CPU 接口模块发送过来的数据读请求信息判断从外部存储器的第 N 区读取数据,并将读取数据信息缓存的相应 RAMN 的最新地址作为需要读取的数据包个数,然后从 RAMN 中读取数据包长度并以此为依据计算下一个数据包的读入口地址,当数据从外部存储器中读出来后,还需要根据数据包长度给数据加上包头和包尾信息后将数据送给 CPU 接口模块。

[0026] 以上结合附图对本发明的具体实施方式作了说明,但这些说明不能被理解为限制了本发明的范围,本发明的保护范围由随附的权利要求书限定,任何在本发明权利要求基础上的改动都是本发明的保护范围。

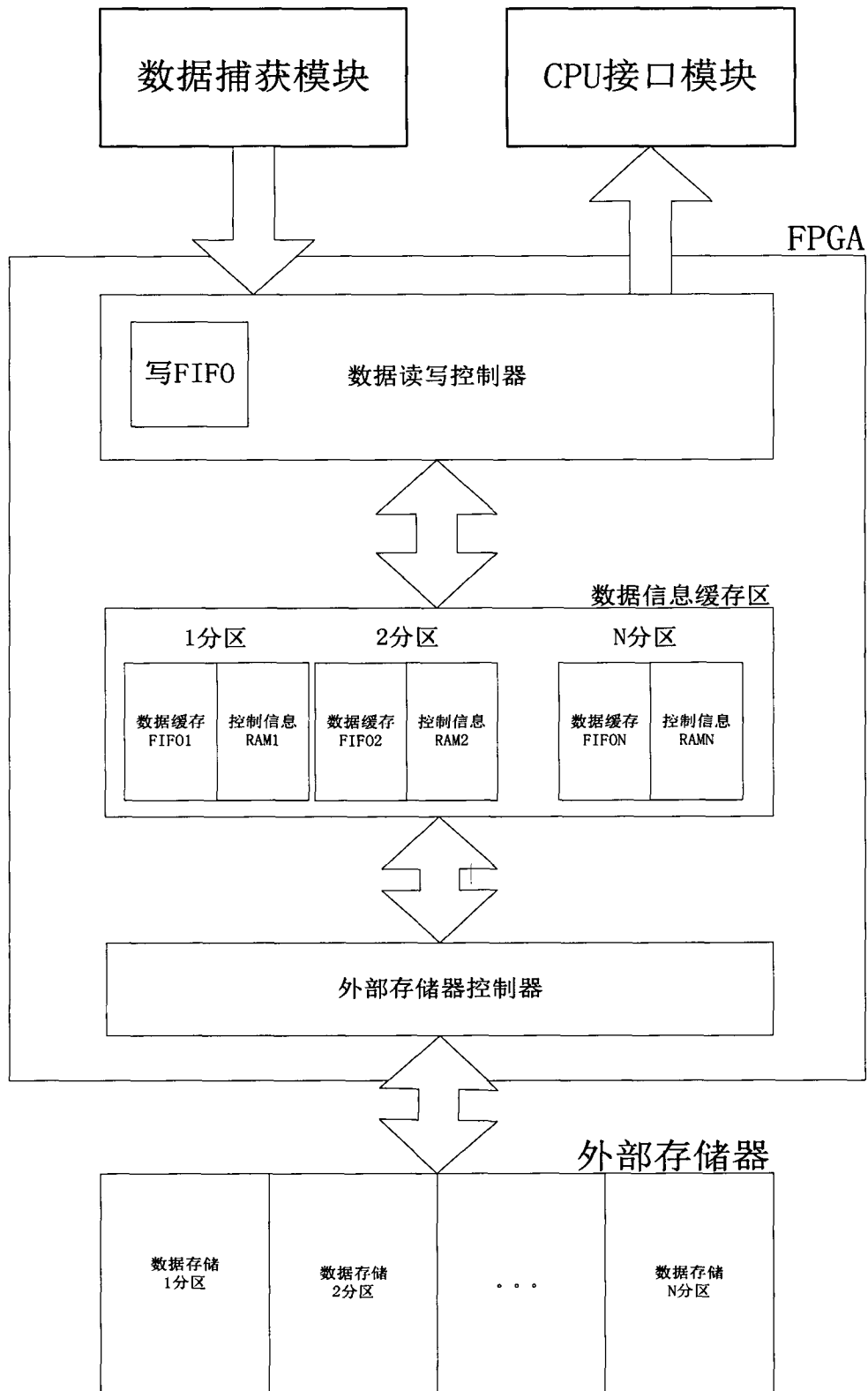


图 1

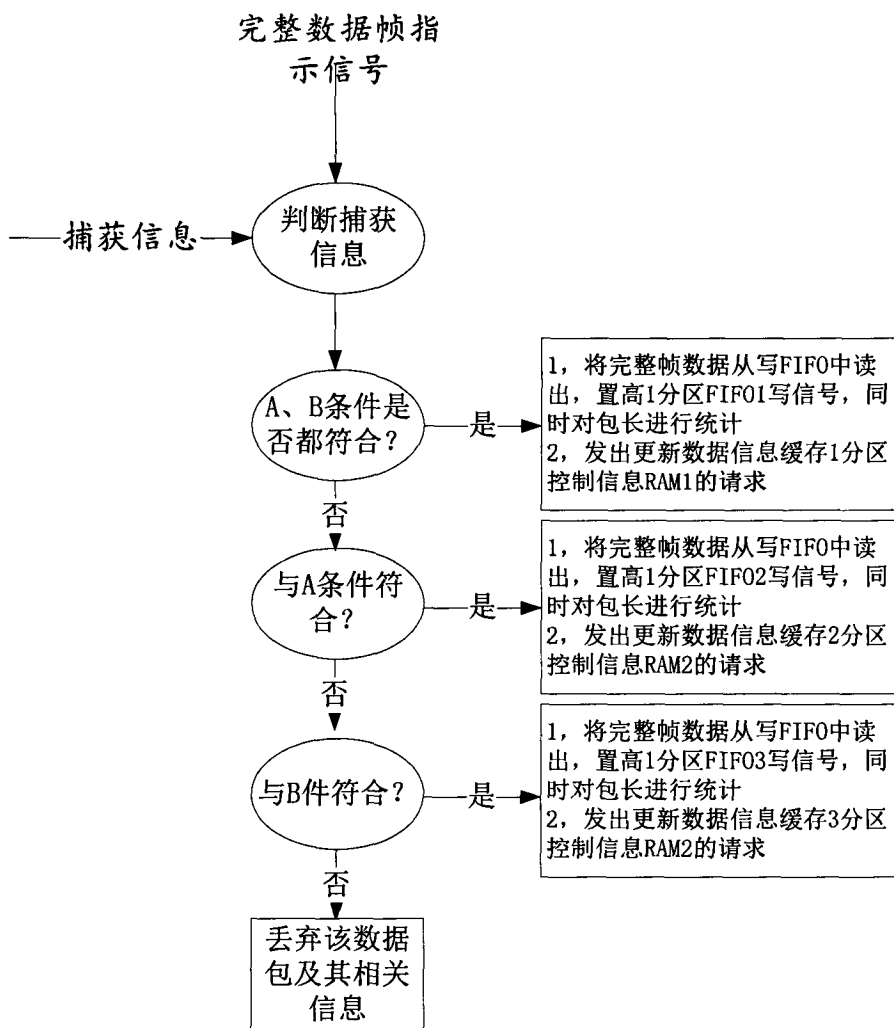


图 2

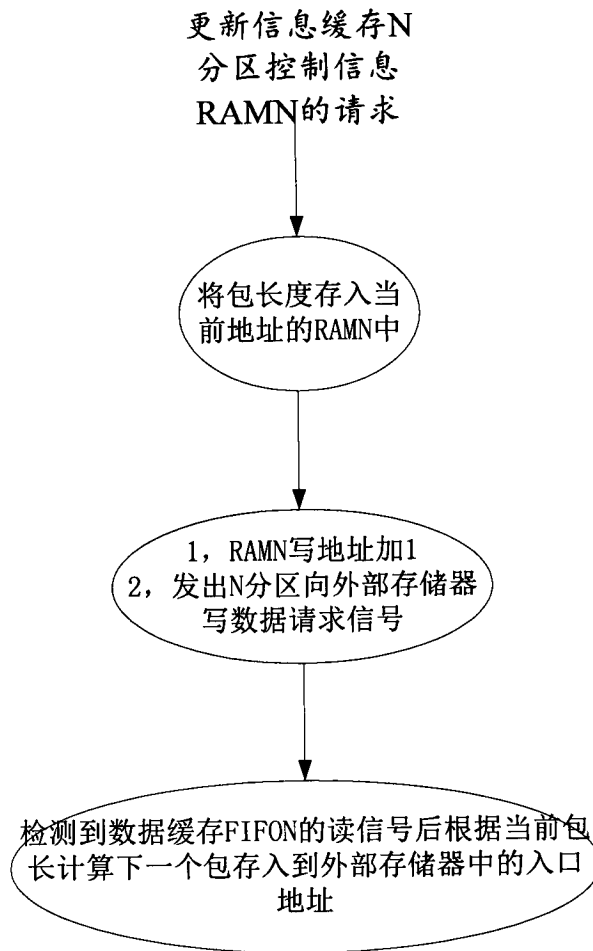


图 3



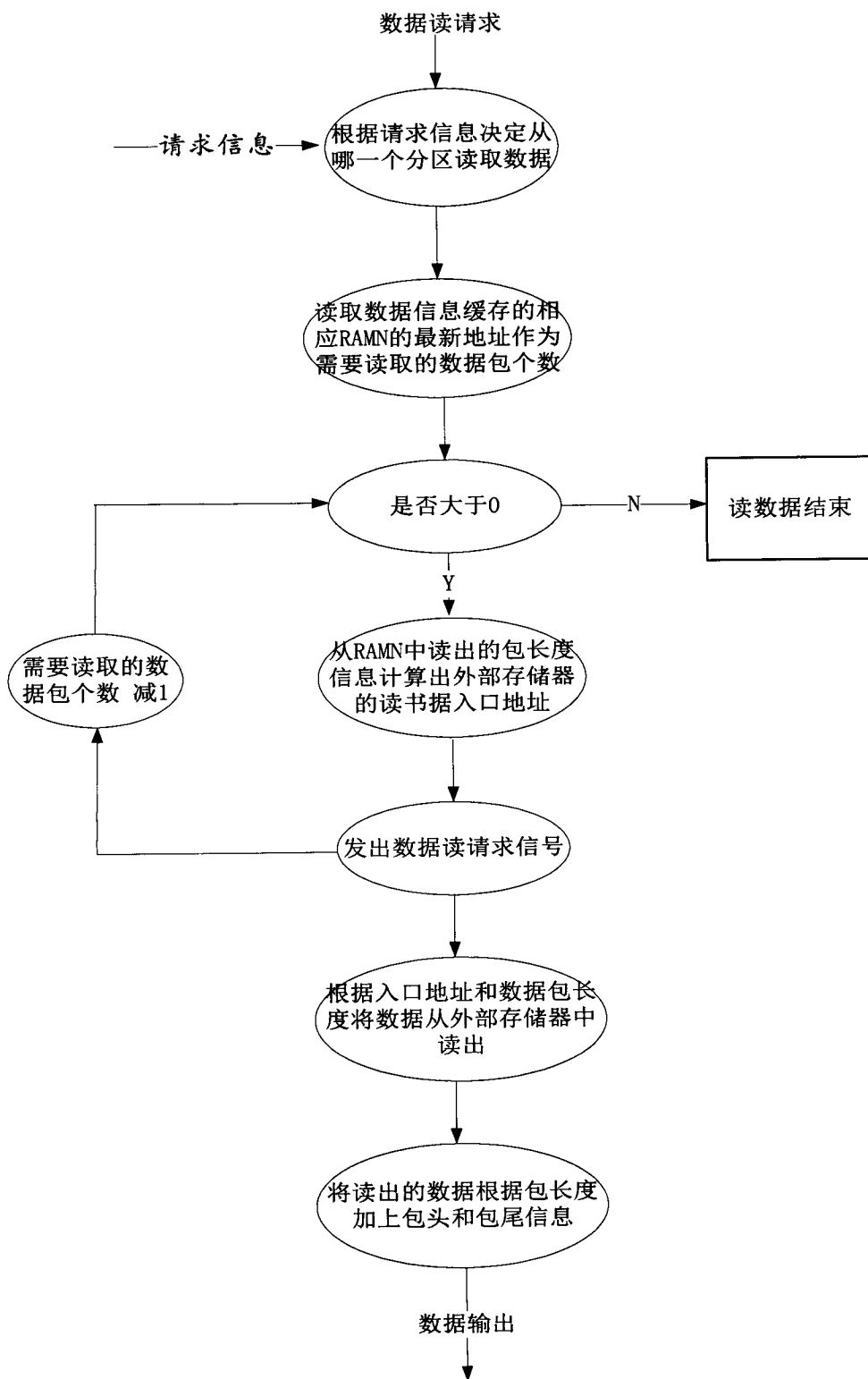


图 4