

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-256630

(P2012-256630A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8244 (2006.01)	HO 1 L 27/10 3 8 1	5 F 0 6 4
HO 1 L 27/11 (2006.01)	HO 1 L 21/82 M	5 F 0 8 3
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 W	
HO 1 L 27/118 (2006.01)		

審査請求 未請求 請求項の数 14 O L (全 36 頁)

(21) 出願番号	特願2011-127315 (P2011-127315)	(71) 出願人	308014341
(22) 出願日	平成23年6月7日 (2011.6.7)		富士通セミコンダクター株式会社
			神奈川県横浜市港北区新横浜二丁目10番23
		(74) 代理人	110000992
			特許業務法人ネクスト
		(72) 発明者	佐藤 雅之
			神奈川県横浜市港北区新横浜二丁目10番23 富士通セミコンダクター株式会社内
		(72) 発明者	竹山 賢
			愛知県春日井市高蔵寺町二丁目1844番2 富士通VLSI株式会社内
		Fターム(参考)	5F064 AA03 BB07 BB12 CC09 DD05
			DD15 DD18 EE16 EE22 EE27
			EE52 FF04 FF48
			最終頁に続く

(54) 【発明の名称】 メモリセル

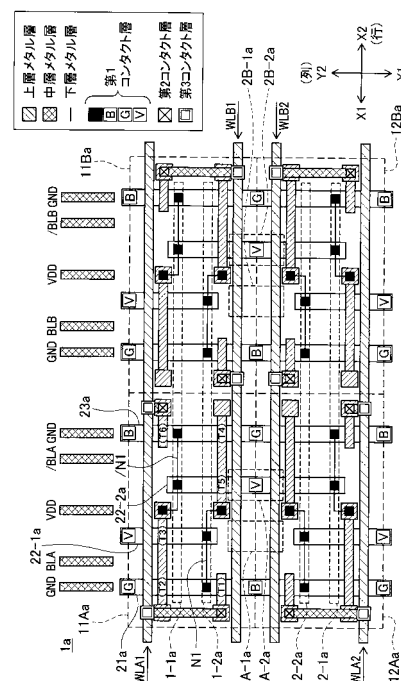
(57) 【要約】

【課題】 拡散層等のバルクが固定であってメタル層、コンタクト層の少なくとも何れか1層を変更して複数の仕様に対応可能なメモリセルを提供すること。

【解決手段】 メモリユニットが列方向に沿って鏡面对称に行方向に沿って並置されて、2行2列に配置されメモリセルを構成する。メモリユニットは、行方向に沿って並置され列方向に伸長される第1～第4拡散層を備え一対の記憶ノードが構成される。第1および第2ワード線は第1～第4拡散層の両端部外方に配置される。第1及び第2ワード線の間に行方向に沿って第1のメタル配線領域が確保され、第1メタル層が配線可能とされる。列方向に隣接配置されるメモリユニットの境界領域でありは第3、第4拡散層が配置される列方向の位置には列方向に沿って第2のメタル配線領域が確保され、第2メタル層が配線可能とされる。

【選択図】 図1

第1実施形態の基本メモリセルのレイアウト図



【特許請求の範囲】

【請求項 1】

列方向に沿って鏡面对称に隣接して配置され行方向に沿って隣接して並置されて、2行2列に配置されるメモリユニットと、

前記メモリユニットが並置される行ごとに第1メタル層により配線され、前記メモリユニットの各々に接続される第1および第2ワード線と、

電源線、接地線、ビット線を前記列方向に配線する第2メタル層とを備え、

前記メモリユニットは、

前記列方向に伸長され並列接続されるトランジスタに供される拡散層であって、前記行方向に沿って並置される第1および第2拡散層と、

前記第1拡散層と前記第2拡散層との間にあって前記列方向に伸長されトランジスタに供される拡散層であって、前記第1拡散層に交差する一方側のゲート層から伸長されるゲート層が交差する第3拡散層と、

前記第1拡散層と前記第2拡散層との間にあって前記列方向に伸長されトランジスタに供される拡散層であって、前記第2拡散層に交差する他方側のゲート層から伸長されるゲート層が交差する第4拡散層と、

トランジスタのゲート層に挟まれる前記第1拡散層の領域と前記一方側のゲート層に対して該第1拡散層の領域と同一側にある前記第3拡散層の領域との間、およびトランジスタのゲート層に挟まれる前記第2拡散層の領域と前記他方側のゲート層に対して該第2拡散層の領域と同一側にある前記第4拡散層の領域との間を、各々第3メタル層により接続してなる1対の記憶ノードと、

前記第1ワード線と前記第2ワード線との間に、前記行方向に沿って第1メタル層が配線可能な2つの第1のメタル配線領域と、

前記2行2列に配置されるメモリユニットのうち前記列方向に隣接配置されるメモリユニットの境界領域であって、前記第3および第4拡散層が配置される列方向の位置に、前記列方向に沿って前記第2メタル層が配線可能な第2のメタル配線領域とを備えることを特徴とするメモリセル。

【請求項 2】

前記行方向に沿って隣接して並置される2列のメモリユニットについて、

一方のメモリユニットのメモリセルを非活性として該メモリセルに接続される1対の記憶ノードを非駆動とし、

前記第1のメタル配線領域に、前記一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第1メタル層と、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第1メタル層とを備え、

前記2列のメモリユニットを2ポートのメモリセルとして構成することを特徴とする請求項1に記載のメモリセル。

【請求項 3】

前記列方向に沿って鏡面对称に隣接して配置される2行のメモリユニットについて、

前記第2のメタル配線領域に、一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第2メタル層と、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第2メタル層とを備え、

第1または第2ワード線の同期動作により、前記2行のメモリユニットを1ポートの高駆動能力メモリセルとして構成することを特徴とする請求項1に記載のメモリセル。

【請求項 4】

前記2行2列に配置されるメモリユニットについて、

前記行方向に沿って隣接して並置される2列のメモリユニットごとに、一方のメモリユニットのメモリセルを非活性として該メモリセルに接続される1対の記憶ノードを非駆動とし、

前記第1のメタル配線領域に、前記一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第1メタル層と、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第1メタル層とを備え、

前記列方向に沿って鏡面对称に隣接して配置される2行のメモリユニットのうち、前記メモリセルを非活性としないユニットについて、

前記第2のメタル配線領域に、一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第2メタル層と、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第2メタル層とを備え、

2ポートの高駆動能力メモリセルとして構成することを特徴とする請求項1に記載のメモリセル。

【請求項5】

前記列方向に沿って鏡面对称に隣接して配置される2行のメモリユニットについて、

一方のメモリユニットのメモリセルを非活性として該メモリセルに接続される1対の記憶ノードを非駆動とし、

前記第2のメタル配線領域に、一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第2メタル層と、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第2メタル層とを備え、

リード動作時に第1または第2ワード線の何れか一方を駆動しライト動作時に前記第1および第2ワード線を共に駆動することにより、前記2行のメモリユニットを1ポートの低電力動作メモリセルとして構成することを特徴とする請求項1に記載のメモリセル。

【請求項6】

前記2行2列に配置されるメモリユニットのうち3つのメモリユニットのメモリセルを非活性として該メモリセルに接続される1対の記憶ノードを非駆動とし、

前記行方向に沿って隣接して並置される2列のメモリユニットごとに、

前記第1のメタル配線領域に、前記一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第1メタル層と、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第1メタル層とを備え、

前記2行2列に配置されるメモリユニットのうち残りのメモリユニットを含み前記列方向に沿って鏡面对称に隣接して配置される2行のメモリユニットについて、

前記第2のメタル配線領域に、一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第2メタル層と、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第2メタル層とを備え、

リード動作時に第1または第2ワード線の何れか一方を駆動しライト動作時に前記第1および第2ワード線を共に駆動することにより、前記2行2列のメモリユニットを2ポートの低電力動作メモリセルとして構成することを特徴とする請求項1に記載のメモリセル。

【請求項7】

前記行方向に沿って隣接して並置される2列のメモリユニットについて、

前記第1のメタル配線領域に、一方のメモリユニットにある一方のビット線と他方のメモリユニットの一方の記憶ノードとの間の経路を接続する第1メタル層と、前記一方のメモリユニットにある他方のビット線と前記他方のメモリユニットの他方の記憶ノードとの間の経路を接続する第1メタル層とを備え、

前記2列のメモリユニットを1ポートの高駆動能力メモリセルとして構成することを特徴とする請求項1に記載のメモリセル。

【請求項8】

10

20

30

40

50

列方向および行方向の各々に沿って鏡面对称に隣接して配置されて、2行2列に配置されるメモリユニットと、

行ごとに第1メタル層により前記行方向に配線され、前記メモリユニットの各々に接続される第1および第2ワード線と、

電源線、接地線、ビット線を前記列方向に配線する第2メタル層とを備え、

前記メモリユニットは、

前記列方向に伸長され並列接続されるトランジスタに供される拡散層であって、前記行方向に沿って並置される第1および第2拡散層と、

前記第1拡散層と前記第2拡散層との間にあって前記列方向に伸長されトランジスタに供される拡散層であって、前記第1拡散層に交差する一方側のゲート層から伸長されるゲート層が交差する第3拡散層と、

前記第1拡散層と前記第2拡散層との間にあって前記列方向に伸長されトランジスタに供される拡散層であって、前記第2拡散層に交差する他方側のゲート層から伸長されるゲート層が交差する第4拡散層と、

トランジスタのゲート層に挟まれる前記第1拡散層の領域と前記一方側のゲート層に対して該第1拡散層の領域と同一側にある前記第3拡散層の領域との間、およびトランジスタのゲート層に挟まれる前記第2拡散層の領域と前記他方側のゲート層に対して該第2拡散層の領域と同一側にある前記第4拡散層の領域との間を、各々第3メタル層により接続してなる1対の記憶ノードと、

前記第1ワード線と前記第2ワード線との間に、前記行方向に沿って第1メタル層が配線可能な第1-1のメタル配線領域と、

前記2行2列に配置されるメモリユニットのうち前記行方向に隣接配置されるメモリユニットの境界領域にあって、前記1対の記憶ノードの一方と前記隣接配置されるメモリユニットにおける1対の記憶ノードの一方との接続に供される前記第3メタル層が配線可能な第1-2のメタル配線領域と、

前記2行2列に配置されるメモリユニットのうち前記列方向に隣接配置されるメモリユニットの境界領域にあって、前記第3拡散層が配置される列方向の位置に、前記列方向に沿って前記第3メタル層が配線可能な第2-1のメタル配線領域と、

前記2行2列に配置されるメモリユニットのうち前記列方向に隣接配置されるメモリユニットの境界領域にあって前記行方向に隣接配置されるメモリユニットの近傍領域に、前記列方向に沿って前記第2メタル層または第3メタル層が配線可能な第2-2のメタル配線領域とを備えることを特徴とするメモリセル。

【請求項9】

前記行方向に沿って鏡面对称に隣接して配置される2列のメモリユニットについて、

一方のメモリユニットのメモリセルを非活性として該メモリセルに接続される1対の記憶ノードを非駆動とし、

前記第1-1のメタル配線領域に、前記一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第1メタル層と、

前記第1-2のメタル配線領域に、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第3メタル層とを備え、

前記2列のメモリユニットを2ポートのメモリセルとして構成することを特徴とする請求項8に記載のメモリセル。

【請求項10】

前記列方向に沿って鏡面对称に隣接して配置される2行のメモリユニットについて、

前記第2-1のメタル配線領域に、一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第3メタル層と、

前記第2-2のメタル配線領域に、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第2メタル層とを備え、

第1または第2ワード線の同期動作により、前記2行のメモリユニットを1ポートの高駆動能力メモリセルとして構成することを特徴とする請求項8に記載のメモリセル。

【請求項 1 1】

前記 2 行 2 列に配置されるメモリユニットについて、

前記行方向に沿って鏡面对称に隣接して配置される 2 列のメモリユニットごとに、一方のメモリユニットのメモリセルを非活性として該メモリセルに接続される 1 対の記憶ノードを非駆動とし、

前記第 1-1 のメタル配線領域に、前記一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第 1 メタル層と、

前記第 1-2 のメタル配線領域に、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第 3 メタル層とを備え、

前記列方向に沿って鏡面对称に隣接して配置される 2 行のメモリユニットのうち、前記メモリセルを非活性としないユニットについて、

前記第 2-1 のメタル配線領域に、一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第 3 メタル層と、

前記第 2-2 のメタル配線領域に、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第 2 メタル層とを備え、

2 ポートの高駆動能力メモリセルとして構成することを特徴とする請求項 8 に記載のメモリセル。

【請求項 1 2】

前記列方向に沿って鏡面对称に隣接して配置される 2 行のメモリユニットについて、

一方のメモリユニットのメモリセルを非活性として該メモリセルに接続される 1 対の記憶ノードを非駆動とし、

前記第 2-1 のメタル配線領域に、一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第 3 メタル層と、

前記第 2-2 のメタル配線領域に、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第 2 メタル層とを備え、

リード動作時に第 1 または第 2 ワード線の何れか一方を駆動しライト動作時に前記第 1 および第 2 ワード線を共に駆動することにより、前記 2 行のメモリユニットを 1 ポートの低電力動作メモリセルとして構成することを特徴とする請求項 8 に記載のメモリセル。

【請求項 1 3】

前記 2 行 2 列に配置されるメモリユニットのうち 3 つのメモリユニットのメモリセルを非活性として該メモリセルに接続される 1 対の記憶ノードを非駆動とし、

前記行方向に沿って鏡面对称に隣接して配置される 2 列のメモリユニットごとに、

前記第 1-1 のメタル配線領域に、前記一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第 1 メタル層と、

前記第 1-2 のメタル配線領域に、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第 3 メタル層とを備え、

前記 2 行 2 列に配置されるメモリユニットのうち残りのメモリユニットを含み前記列方向に沿って鏡面对称に隣接して配置される 2 行のメモリユニットについて、

前記第 2-1 のメタル配線領域に、一方のメモリユニットの一方の記憶ノードを他方のメモリユニットの一方の記憶ノードに接続する第 3 メタル層と、

前記第 2-2 のメタル配線領域に、前記一方のメモリユニットの他方の記憶ノードを前記他方のメモリユニットの他方の記憶ノードに接続する第 2 メタル層とを備え、

リード動作時に第 1 または第 2 ワード線の何れか一方を駆動しライト動作時に前記第 1 および第 2 ワード線を共に駆動することにより、前記 2 行 2 列のメモリユニットを 2 ポートの低電力動作メモリセルとして構成することを特徴とする請求項 8 に記載のメモリセル。

【請求項 1 4】

前記 2 行 2 列に配置されるメモリユニットについて、

一方の行にある第 1-1 のメタル配線領域に、一方の列に配置されている各メモリユニットにある一方のビット線と他方の列に配置されている各メモリユニットの一方の記憶ノ

10

20

30

40

50

ードとの間の径路を接続する第1メタル層と、

他方の行にある第1-1のメタル配線領域に、一方の列に配置されている各メモリユニットにある他方のビット線と他方の列に配置されている各メモリユニットの他方の記憶ノードとの間の径路を接続する第1メタル層とを備え、

前記2列のメモリユニットを1ポートの高駆動能力メモリセルとして構成することを特徴とする請求項8に記載のメモリセル。

【発明の詳細な説明】

【技術分野】

【0001】

本願に開示の技術は、メモリセルに関するものである。特に、拡散層やポリシリコン層などのバルクに係る層が固定であって、メタル層およびコンタクト層の少なくとも何れか1層を変更して複数の回路仕様に対応可能なメモリセルに関する。

【背景技術】

【0002】

マスタスライス方式とは、半導体集積回路の形成に係る技術の1つである。予め、メタル配線以外の拡散層やポリシリコン層などの下位の層により所定のトランジスタの組合せで構成した基本セルを規則的に配置した下地（以下の説明では、バルクと称する）を準備する。回路構成に応じたメタル配線層を形成することにより、必要な回路構成を実現するものである。半導体プロセスの最終段階であるメタル配線層を形成するパターンマスクを差し替えることで種々の回路構成に対応した半導体集積回路を実現する。開発および製造期間の短縮に資する技術である。

【0003】

マスタスライス方式の半導体集積回路については、種々の課題に対する提案がなされてきている。例えば、基本セルの1つのゲートを所望の電位にクリップする方法に関して提案がなされている（特許文献1など）。また、メモリ搭載ゲートアレイLSI装置において、複数の基本セルを有するロジックブロックに加えてメモリブロックを備えてメモリ回路実現のための専用領域として利用する提案がなされている（特許文献2など）。また、ゲートアレイLSIに関して、内部ゲートにおける信号状態を読み出し可能としたマトリックステスト方式の試験回路を備える提案がなされている（特許文献3など）。また、マスタスライス型LSI用のゲート速度とメモリ密度との両立を図るために基本セルのトランジスタの構成に関する提案がなされている（特許文献4、6、7など）。また、基本セルでメモリセルを構成することで基本セルの利用率の向上を図る提案がなされている（特許文献5など）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特公平8-28482号公報

【特許文献2】特公平6-95569号公報

【特許文献3】特開平5-63046号公報

【特許文献4】特開平6-69475号公報

【特許文献5】特開平6-84390号公報

【特許文献6】特開平6-310688号公報

【特許文献7】特許第3277339号

【発明の概要】

【発明が解決しようとする課題】

【0005】

背景技術は、種々、マスタスライス方式に関する課題を開示するものではある。しかしながら、マスタスライス方式により、メモリセルに関して、複数種類の回路構成に対応可能な基本セルについては開示されていない。ましてや、こうした対応が可能なメモリセル専用の基本セルについては実現することはできない。

【0006】

この点、特許文献2などには、メモリブロックを備えることが開示されてはいる。しかしながら、この開示にあるメモリブロックとは、複数のメモリセルを備えるいわゆるメモリセルアレイである。マスタスライス方式により、複数種類のメモリセルに対応可能なメモリセル専用の基本セルに関する開示ではない。

【0007】

また、特許文献4、6、7などでは、基本セルによりメモリセルを構成可能であるとの開示がなされてはいる。しかしながら、この開示では、基本セルは、メモリセルを高密度に配置すると共に高速な論理ゲートを構成するトランジスタを配置するための構成である。また、配置されるメモリセルは基本構成のメモリセルのみであり、複数種類のメモリセルをマスタスライス方式で対応可能とするといった技術に関するものではない。

10

【0008】

本願に開示される技術は上記の課題に鑑み提案されたものであって、複数種類の回路構成を、拡散層やポリシリコン層などのバルクに係る層が固定であって、メタル層およびコンタクト層の少なくとも何れか1層の変更で対応可能なメモリセルを提供することを目的とする。

【課題を解決するための手段】

【0009】

本願に開示される技術に係るメモリセルは、列方向に沿って鏡面对称に隣接して配置され行方向に沿って隣接して並置されて、2行2列に配置されるメモリユニットを備え、メモリユニットが並置される各行には、メモリユニットの各々に接続される第1および第2ワード線が第1メタル層で配線される。第2メタル層で列方向に電源線、接地線、ビット線が配線される。

20

メモリユニットは、行方向に沿って並置され列方向に伸長される第1および第2拡散層と、第1拡散層と第2拡散層との間にあって列方向に伸長されトランジスタに供される拡散層であって、第1拡散層に交差する一方側のゲート層から伸長されるゲート層が交差する第3拡散層と、第1拡散層と第2拡散層との間にあって列方向に伸長されトランジスタに供される拡散層であって、第2拡散層に交差する他方側のゲート層から伸長されるゲート層が交差する第4拡散層とを備えており、各拡散層により並列接続されるトランジスタが構成される。トランジスタのゲート層に挟まれる第1拡散層の領域と一方側のゲート層に対して第1拡散層の領域と同一側にある第3拡散層の領域との間、およびトランジスタのゲート層に挟まれる第2拡散層の領域と他方側のゲート層に対して第2拡散層の領域と同一側にある第4拡散層の領域との間を、各々第3メタル層により接続してなる1対の記憶ノードを構成する。第1ワード線と第2ワード線との間に、2つの第1のメタル配線領域が確保される。第1のメタル配線領域には、第1メタル層が配線可能である。2行2列に配置されるメモリユニットのうち列方向に隣接配置されるメモリユニットの境界領域であって、第3および第4拡散層が配置される列方向の位置に、列方向に沿って第2のメタル配線領域が確保される。また、第1拡散層と第2拡散層との間、および第2拡散層と第3拡散層との間には、列方向に沿って第2のメタル配線領域が確保される。第2のメタル配線領域には、第2メタル層が配線可能である。

30

40

また、本願に開示される技術に係るメモリセルは、メモリユニットが行方向と列方向とに2行2列に配置されて構成される。この場合、列方向および行方向の各々に沿って鏡面对称に隣接して配置される。

メモリユニットは、行方向に沿って並置され列方向に伸長される第1および第2拡散層と、第1拡散層と第2拡散層との間にあって列方向に伸長されトランジスタに供される拡散層であって、第1拡散層に交差する一方側のゲート層から伸長されるゲート層が交差する第3拡散層と、第1拡散層と第2拡散層との間にあって列方向に伸長されトランジスタに供される拡散層であって、第2拡散層に交差する他方側のゲート層から伸長されるゲート層が交差する第4拡散層とを備えており、各拡散層により並列接続されるトランジスタが構成される。トランジスタのゲート層に挟まれる第1拡散層の領域と一方側のゲート層

50

に対して第1拡散層の領域と同一側にある第3拡散層の領域との間、およびトランジスタのゲート層に挟まれる第2拡散層の領域と他方側のゲート層に対して第2拡散層の領域と同一側にある第4拡散層の領域との間を、各々第3メタル層により接続してなる1対の記憶ノードを構成する。第1ワード線と第2ワード線との間に、行方向に沿って第1-1のメタル配線領域が確保される。第1-1のメタル配線領域には、第1メタル層が配線可能である。2行2列に配置されるメモリユニットのうち行方向に隣接配置されるメモリユニットの境界領域にあって、1対の記憶ノードの一方と隣接配置されるメモリユニットにおける1対の記憶ノードの一方との接続に供される第3メタル層が配線可能な第1-2のメタル配線領域と、2行2列に配置されるメモリユニットのうち列方向に隣接配置されるメモリユニットの境界領域にあって、第3拡散層が配置される列方向の位置に、列方向に沿って第3メタル層が配線可能な第2-1のメタル配線領域とが確保される。2行2列に配置されるメモリユニットのうち列方向に隣接配置されるメモリユニットの境界領域にあって行方向に隣接配置されるメモリユニットの近傍領域に、列方向に沿って第2-2のメタル配線領域が確保される。第2-2のメタル配線領域には、第2メタル層、または第3メタル層が配線可能である。

10

【発明の効果】

【0010】

本願に開示される技術に係るメモリセルによれば、1つに記憶ノードを有するメモリユニットが行および列方向に2行2列に配置される。個々のメモリユニットには、行方向に沿って第1のメタル配線領域が確保され、列方向に沿って第2のメタル配線領域が確保される。第1のメタル配線領域には第1メタル層が配線可能であり、第2のメタル配線領域には第2メタル層が配線可能である。

20

また、本願に開示される技術に係るメモリセルによれば、1つに記憶ノードを有するメモリユニットが行および列方向に2行2列に配置される。個々のメモリユニットには、個々のメモリユニットには、行方向に沿って第1-1、および第1-2のメタル配線領域が確保され、列方向に沿って第2-1、および第2-2のメタル配線領域が確保される。第1-1のメタル配線領域には第1メタル層が配線可能であり、第1-2のメタル配線領域には第3メタル層が配線可能である。第2-1のメタル配線領域には第3メタル層が配線可能であり、第2-2のメタル配線領域には第2または第3メタル層が配線可能である。

これらにより、2行2列に配置される4つのメモリユニットのうちメモリセルとして使用されるユニットの選択、および個々のメモリユニットの各メタル配線領域への各メタル層の配線を有無に応じて、回路構成や駆動能力が異なる複数種類のメモリセルを実現することができる。

30

【図面の簡単な説明】

【0011】

【図1】第1実施形態の基本メモリセルのレイアウト図である。

【図2】基本メモリセル（1ポートメモリセル）の回路図である。

【図3】第1実施形態の基本メモリセルを2ポートメモリセルにレイアウトした図である。

。

【図4】2ポートメモリセルの回路図である。

40

【図5】第1実施形態の基本メモリセルを1ポートの高駆動能力メモリセルにレイアウトした図である。

【図6】1ポートの高駆動能力メモリセルの回路図である。

【図7】第1実施形態の基本メモリセルを2ポートの高駆動能力メモリセルにレイアウトした図である。

【図8】2ポートの高駆動能力メモリセルの回路図である。

【図9】第1実施形態の基本メモリセルを1ポートの低電圧型メモリセルにレイアウトした図である。

【図10】1ポートの低電圧型メモリセルの回路図である。

【図11】第1実施形態の基本メモリセルを2ポートの低電圧型メモリセルにレイアウト

50

した図である。

【図 1 2】2 ポートの低電圧型メモリセルの回路図である。

【図 1 3】第 1 実施形態の基本メモリセルを 1 ポートの高駆動能力メモリセルにレイアウトした図（別例）である。

【図 1 4】1 ポートの高駆動能力メモリセルの回路図（別例）である。

【図 1 5】第 2 実施形態の基本メモリセルのレイアウト図である。

【図 1 6】第 2 実施形態の基本メモリセルを 2 ポートメモリセルにレイアウトした図である。

【図 1 7】第 2 実施形態の基本メモリセルを 1 ポートの高駆動能力メモリセルにレイアウトした図である。

10

【図 1 8】第 2 実施形態の基本メモリセルを 2 ポートの高駆動能力メモリセルにレイアウトした図である。

【図 1 9】第 2 実施形態の基本メモリセルを 1 ポートの低電圧型メモリセルにレイアウトした図である。

【図 2 0】第 2 実施形態の基本メモリセルを 2 ポートの低電圧型メモリセルにレイアウトした図である。

【図 2 1】第 2 実施形態の基本メモリセルを 1 ポートの高駆動能力メモリセルにレイアウトした図（別例）である。

【図 2 2】基本メモリセル当たりの各種メモリセルの個数を示す図である。

【図 2 3】各実施形態の基本メモリセルと専用メモリセルとの面積比を示す図である。

20

【発明を実施するための形態】

【0 0 1 2】

図 1 は第 1 実施形態の拡散層やポリシリコン層などのバルクに係る層が固定のメモリセルを構成する基本メモリセル 1 a である。メタル層およびコンタクト層の少なくとも何れか 1 層を変更して多様な回路仕様に対応可能なメモリセルのベースとなるレイアウトである。4 つのメモリユニット 1 1 A a、1 1 B a、1 2 A a、1 2 B a が 2 行 2 列に配置されて構成されている。行方向（X 1－X 2）には、メモリユニット 1 1 A a とメモリユニット 1 1 B a、およびメモリユニット 1 2 A a とメモリユニット 1 2 B a とが、各々、並置されて隣接配置されている。列方向（Y 1－Y 2）には、メモリユニット 1 1 A a とメモリユニット 1 2 A a、およびメモリユニット 1 1 B a とメモリユニット 1 2 B a とが、鏡

30

面対称に隣接配置されている。尚、図 1 に記載されている第 3 コンタクトとは、メタル配線間を接続する、いわゆるビアコンタクトである。

【0 0 1 3】

メモリユニットの構成について説明する。メモリユニット 1 1 A a、1 1 B a、1 2 A a、1 2 B a は何れも同一の構成である。以下では、メモリユニット 1 1 A a を代表して説明する。第 1 拡散層 2 1 a、第 2 拡散層 2 3 a、第 3 拡散層 2 2－1 a、第 4 拡散層 2 2－2 a は、列方向（Y 1－Y 2）に長尺の矩形形状を有し行方向（X 1－X 2）に並置されている。各々の第 1 拡散層 2 1 a、第 2 拡散層 2 3 a には、行方向（X 1－X 2）に 2 本のゲート層が交差している。トランジスタが並列接続された構成である。第 3 拡散層 2 2－1 a には、第 1 拡散層 2 1 a を交差する列方向（Y 2）側のゲート層が直結されている。第 4 拡散層 2 2－2 a には、第 2 拡散層 2 3 a を交差する列方向（Y 1）側のゲート層が直結されている。第 3 拡散層 2 2－1 a、第 4 拡散層 2 2－2 a の列方向（Y 1）側のメモリユニット 1 2 A a への領域限界は、第 2 のメタル配線領域 2 A－1 a である。

40

【0 0 1 4】

列方向（Y 2）側および（Y 1）側の第 1 拡散層 2 1 a、第 2 拡散層 2 3 a の外方には、行方向（X 1－X 2）に基本メモリセル 1 a を貫いて、上層メタル層により第 1 ワード線 W L A 1、および第 2 ワード線 W L B 1 が配線されている。第 1 ワード線 W L A 1 は第 1 拡散層 2 1 a の列方向（Y 1）側に交差しているゲート層、および第 2 拡散層 2 3 a の列方向（Y 2）側に交差しているゲート層に、第 2 コンタクト層を介して接続されている。第 1 ワード線 W L A 1 から第 2 コンタクト層までは中層メタル層で配線されている。尚

50

、第2ワード線WLB1は行方向(X2)側に隣接して並置されているメモリユニット11Baの対応ゲート層に中層メタル層および第2コンタクト層を介して接続されている。

【0015】

第1拡散層21a、第2拡散層23aは、各ゲート層から列方向(Y1)側および(Y2)側の外方領域、およびゲート層に挟まれた領域の各々に、上層メタル層、中層メタル層、下層メタル層の何れかと接続される第1コンタクト層を備えている。

【0016】

第1拡散層21aに交差するゲート層に挟まれた領域にある第1コンタクト層、第3拡散層22-1aに交差するゲート層から列方向(Y1)側の外方領域にある第1コンタクト層、および第4拡散層22-2aと第2拡散層23aとを貫くゲート層にある第1コンタクト層は、下層メタル層で接続されて記憶ノードN1を構成する。また、第2拡散層23aに交差するゲート層に挟まれた領域にある第1コンタクト層、第4拡散層22-2aに交差するゲート層から列方向(Y2)側の外方領域にある第1コンタクト層、および第1拡散層21aと第3拡散層22-1aとを貫くゲート層にある第1コンタクト層は、下層メタル層で接続されて相補記憶ノード/N1を構成する。これらの下層メタル層により1対の記憶ノードを構成している。

【0017】

第1拡散層21aのメモリユニット11Aaとメモリユニット12Aaとの境界にある第1コンタクト層(B)には列方向(Y1-Y2)に中層メタル層で配線されるビット線BLAが接続される。第1拡散層21aに交差するゲート層から列方向(Y2)側の外方領域のメモリユニット11Aaの境界にある第1コンタクト層(G)には列方向(Y1-Y2)に中層メタル層で配線される接地線GNDが接続される。

【0018】

第3拡散層22-1aに交差するゲート層から列方向(Y2)側の外方領域のメモリユニット11Aaの境界にある第1コンタクト層(V)、および第4拡散層22-2aのメモリユニット11Aaとメモリユニット12Aaとの境界にある第1コンタクト層(V)には列方向(Y1-Y2)に中層メタル層で配線される電源線VDDが接続される。

【0019】

第2拡散層23aのメモリユニット11Aaとメモリユニット12Aaとの境界にある第1コンタクト層(G)には列方向(Y1-Y2)に中層メタル層で配線される接地線GNDが接続される。第2拡散層23aに交差するゲート層から列方向(Y2)側の外方領域のメモリユニット11Aaの境界にある第1コンタクト層(B)には列方向(Y1-Y2)に中層メタル層で配線される相補ビット線/BLAが接続される。

【0020】

以上の接続から、メモリユニット11Aaは図2に示す構成となる。すなわち、第1拡散層21aと第3拡散層22-1aとを貫くゲート層で構成されるトランジスタ(T2)、(T3)によりインバータゲートI2が構成される。第2拡散層23aと第4拡散層22-2aとを貫くゲート層で構成されるトランジスタ(T4)、(T5)によりインバータゲートI1が構成される。インバータゲートI1、I2により1ビットを記憶するメモリコアが構成される。また、第1拡散層21aに交差するゲート層のうち列方向(Y1)側のゲート層により構成されるトランジスタ(T1)は、メモリコアの記憶ノードN1とビット線BLAとの間に介在するトランスファゲートを構成し、第2拡散層23aに交差するゲート層のうち列方向(Y2)側のゲート層により構成されるトランジスタ(T6)は、メモリコアの相補記憶ノード/N1と相補ビット線/BLAとの間に介在するトランスファゲートを構成する。

【0021】

ここで、ビット線BLA、相補ビット線/BLA、接地線GND、および電源線VDDは、中層メタル層により列方向(Y1-Y2)に、メモリユニット11Aa、12Aaを貫いて、配線される。

【0022】

10

20

30

40

50

基本メモリセル 1 a には、行方向 (X 1 - X 2) に並置されるメモリユニットを貫く、第 1 のメタル配線領域 1 1 - 1 a、1 1 - 2 a、1 2 - 1 a、1 2 - 2 a が確保される。第 1 のメタル配線領域 1 1 - 1 a、1 1 - 2 a、および 1 2 - 1 a、1 2 - 2 a は、各々、第 1 ワード線 W L A 1、第 2 ワード線 W L B 1 間、および第 1 ワード線 W L A 2、第 2 ワード線 W L B 2 間とに確保される。第 1 のメタル配線領域 1 1 - 1 a、1 1 - 2 a は、第 1 ワード線 W L A 1、および第 2 ワード線 W L B 1 間に等間隔に 2 本分配置され、メモリユニット 1 1 A a、1 1 B a を貫いて確保されている。第 1 のメタル配線領域 1 2 - 1 a、1 2 - 2 a は、第 1 ワード線 W L A 2、および第 2 ワード線 W L B 2 間に等間隔に 2 本分配置され、メモリユニット 1 2 A a、1 2 B a を貫いて確保されている。第 1 のメタル配線領域 1 1 - 1 a、1 1 - 2 a、1 2 - 1 a、1 2 - 2 a には、メモリセルの種別に応じて上層メタル層が配線される。これにより、第 1 ワード線 W L A 1、第 2 ワード線 W L B 1、第 1 のメタル配線領域 1 1 - 1 a、および 1 1 - 2 a 間の配線ピッチは、上層メタル層の最小ピッチにすることができる。

【0023】

また、基本メモリセル 1 a には、列方向 (Y 1 - Y 2) に鏡面对称に配置されるメモリユニットを貫く、第 2 のメタル配線領域 2 A - 1 a、2 A - 2 a、2 B - 1 a、2 B - 2 a が確保される。第 2 のメタル配線領域 2 A - 1 a、2 A - 2 a は、メモリユニット 1 1 A a、1 2 A a を貫いて確保されており、第 2 のメタル配線領域 2 B - 1 a、2 B - 2 a は、メモリユニット 1 1 B a、1 2 B a を貫いて確保されている。各第 2 のメタル配線領域 2 A - 1 a、2 A - 2 a、2 B - 1 a、2 B - 2 a は、第 2 のメタル配線領域 2 A - 1 a では、ビット線 B L A と電源線 V D D との間に配置される。第 2 のメタル配線領域 2 A - 2 a では、電源線 V D D と相補ビット線 / B L A との間に配置される。同様に、第 2 のメタル配線領域 2 B - 1 a では、ビット線 B L B と電源線 V D D との間に配置される。第 2 のメタル配線領域 2 B - 2 a では、電源線 V D D と相補ビット線 / B L B との間に配置される。第 2 のメタル配線領域 2 A - 1 a、2 A - 2 a、2 B - 1 a、2 B - 2 a には、中層メタル層が配線される。メモリユニット 1 1 A a、1 2 A a、1 1 B a、1 2 B a の各々を貫く中層メタル層は、接地線 G N D、ビット線 B L A 又は B L B、電源線 V D D、相補ビット線 / B L A または / B L B、接地線 G N D、および第 2 のメタル配線領域 2 A - 1 a、2 A - 2 a、または 2 B - 1 a、2 B - 2 a の計 7 本である。

【0024】

また、行方向 (X 1 - X 2) に並置されているメモリユニット 1 2 A a、1 2 B a には、第 1 拡散層 2 1 a、第 2 拡散層 2 3 a、第 3 拡散層 2 2 - 1 a、第 4 拡散層 2 2 - 2 a の外方に、行方向 (X 1 - X 2) に基本メモリセル 1 a を貫いて、上層メタル層により第 1 ワード線 W L A 2 および第 2 ワード線 W L B 2 が配線されている。第 1 ワード線 W L A 2 は行方向 (X 1) 側に配置されているメモリユニット 1 2 A a に、第 2 コンタクト層を介して接続されている。第 1 ワード線 W L A 2 から第 2 コンタクト層までは中層メタル層で配線されている。第 2 ワード線 W L B 2 は行方向 (X 2) 側に配置されているメモリユニット 1 2 B a に、第 2 コンタクト層を介して接続されている。第 2 ワード線 W L B 2 から第 2 コンタクト層までは中層メタル層で配線されている。

【0025】

図 2 は、基本メモリセル 1 の回路図である。拡散層やポリシリコン層などのバルクに係る層が固定されたベースとなるレイアウト (図 1) で実現される回路図である。メモリユニット 1 1 A a、1 1 B a、1 2 A a、1 2 B a は、各々、1 ビットメモリコアを備えている。各メモリユニット 1 1 A a、1 1 B a、1 2 A a、1 2 B a は、各々、ワード線 W L A 1、W L B 1、W L A 2、W L B 2 で選択制御される。この構成により、1 ポートのメモリセルを構成する。

【0026】

図 3 は、第 1 実施形態の基本メモリセル 1 a に対して上層メタル層、中層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトである。基本メモリセル 1 a から 2 ポートのメモリセルを得るためのメタル結線である。第 1 のメタル配

10

20

30

40

50

線領域 11-1a、11-2a、12-1a、12-2a に、上層メタル層 24a、25a、28a、29a を配線する。上層メタル層 24a は、行方向 (X1-X2) に並置されているメモリユニット 11Aa、11Ba の、対応する記憶ノードを接続する。上層メタル層 24a、第 3 コンタクト層、中層メタル層、第 2 コンタクト層、および下層メタル層を介して、メモリユニット 11Aa の記憶ノード N1 をメモリユニット 11Ba の対応する記憶ノードに接続する。上層メタル層 25a は、行方向 (X1-X2) に並置されているメモリユニット 11Aa、11Ba の、対応する相補記憶ノードを接続する。上層メタル層 25a、第 3 コンタクト層、中層メタル層、第 2 コンタクト層、および下層メタル層を介して、メモリユニット 11Aa の相補記憶ノード / N1 をメモリユニット 11Ba の対応する相補記憶ノードに接続する。上層メタル層 28a、29a も同様である。行方向 (X1-X2) に並置されているメモリユニット 12Aa、12Ba の、対応する記憶ノードおよび相補記憶ノードを、各々を接続する。

【0027】

更に、列方向に鏡面对称に配置されているメモリユニット 11Ba、12Ba について、分岐コンタクト層 26a、27a、30a、31a を削除する。ここで、分岐コンタクト層とは、記憶ノードおよび相補記憶ノードを構成する下層メタル層と拡散層とを接続する第 1 コンタクト層の一部である。分岐コンタクト層 26a、30a は、メモリユニット 11Ba、12Ba の相補記憶ノード N1 と、メモリユニット 11Ba、12Ba の第 3 拡散層 22-1a とを接続するコンタクト層である。分岐コンタクト層 27a、31a は、メモリユニット 11Ba、12Ba の相補記憶ノード / N1 と、メモリユニット 11Ba、12Ba の第 4 拡散層 22-2a とを接続するコンタクト層である。メモリコアを構成する 1 対のインバータゲートにおいて、出力ノードである記憶ノードあるいは相補記憶ノードと電源線 VDD との間に介在する信号経路を開路するものである。これにより、メモリコアは動作しない状態とすることができる。

【0028】

図 4 は、2 ポートメモリセルとする場合の回路図である。基本メモリセル 1a (図 1) に対して上層メタル層、およびコンタクト層を形成するガラスマスクを変更したレイアウト (図 3) により得られるメモリセルの回路図である。

【0029】

メモリユニット 11Aa とメモリユニット 11Ba、およびメモリユニット 12Aa とメモリユニット 12Ba は、各々、1 対の記憶ノードのうち互いに対応するノードが上層メタル層 24a、25a、および 28a、29a で接続されている。また、メモリユニット 11Ba、12Ba は、メモリコアを構成するインバータゲートの電源線 VDD からの信号経路が、分岐コンタクト層 26a、27a、30a、および 31a を削除することにより分断されている。

【0030】

これにより、メモリユニット 11Aa のメモリコアは、第 1 ワード線 WLA1 により選択されるポートと、第 2 ワード線 WLB1 により選択されるポートとの 2 ポートでアクセスされる。また、メモリユニット 12Aa のメモリコアは、第 1 ワード線 WLA2 により選択されるポートと、第 2 ワード線 WLB2 により選択されるポートとの 2 ポートでアクセスされる。

【0031】

図 5 は、第 1 実施形態の基本メモリセル 1a に対して中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトである。基本メモリセル 1a から 1 ポートの高駆動能力メモリセルを得るためのメタル結線である。第 2 のメタル配線領域 2A-1a、2A-2a、2B-1a、2B-2a に、中層メタル層 32a、33a、34a、35a を配線する。中層メタル層 32a は、列方向 (Y1-Y2) に配置されているメモリユニット 11Aa、12Aa の、対応する記憶ノードを接続する。中層メタル層 32a、第 2 コンタクト層、および下層メタル層を介して、メモリユニット 11Aa の記憶ノード N1 をメモリユニット 12Aa の対応する記憶ノードに接続す

る。中層メタル層 3 3 a は、列方向 (Y 1 - Y 2) に配置されているメモリユニット 1 1 A a、1 2 A a の、対応する相補記憶ノードを接続する。中層メタル層 3 3 a、第 2 コンタクト層、および下層メタル層を介して、メモリユニット 1 1 A a の相補記憶ノード / N 1 をメモリユニット 1 2 A a の対応する相補記憶ノードに接続する。中層メタル層 3 4 a、3 5 a も同様である。列方向 (Y 1 - Y 2) に配置されているメモリユニット 1 1 B a、1 2 B a の、対応する記憶ノードおよび相補記憶ノードを、各々接続する。

【0032】

メモリユニット 1 1 A a、1 2 A a 間の境界、およびメモリユニット 1 1 B a、1 2 A a 間の境界にある第 4 拡散層 2 2 - 2 a の第 1 コンタクト層 (V) と電源線 VDD との接続と、中層メタル層 3 3 a および 3 5 a との干渉を防ぐため、電源線 VDD を、図示しない下層メタル層を介して第 4 拡散層 2 2 - 2 a のコンタクト層 (V) に接続する。

【0033】

図 6 は、1 ポートの高駆動能力メモリセルとする場合の回路図である。基本メモリセル 1 a (図 1) に対して中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更したレイアウト (図 5) により得られるメモリセルの回路図である。

【0034】

メモリユニット 1 1 A a とメモリユニット 1 2 A a、およびメモリユニット 1 1 B a とメモリユニット 1 2 B a は、各々、1 対の記憶ノードのうち互いに対応するノードが中層メタル層 3 2 a、3 3 a、および 3 4 a、3 5 a で接続されている。メモリコアへのアクセスに際しては、第 1 ワード線 W L A 1、W L A 2、および第 2 ワード線 W L B 1、W L B 2 は、各々、不図示のメタル配線で短絡、あるいは回路動作として同期動作させる。

【0035】

これにより、メモリユニット 1 1 A a、1 2 A a で 1 つのメモリコアを構成し、メモリユニット 1 1 B a、1 2 B a で 1 つのメモリコアを構成する。各々は、並列接続された上で同期してアクセスされる。メモリコアの駆動能力が倍増すると共に、トランスファゲートは、2 つのトランジスタが並列接続されることにより導通時のオン抵抗が半減する。駆動能力の倍増、および信号経路の抵抗の半減により、高い駆動能力のメモリセルとすることができる。

【0036】

図 7 は、第 1 実施形態の基本メモリセル 1 a に対して上層メタル層、中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトである。基本メモリセル 1 a から 2 ポートの高駆動能力メモリセルを得るためのメタル結線である。第 1 のメタル配線領域 1 1 - 1 a、1 1 - 2 a、1 2 - 1 a、1 2 - 2 a に、上層メタル層 2 4 a、2 5 a、2 8 a、2 9 a を配線する。上層メタル層 2 4 a は、行方向 (X 1 - X 2) に並置されているメモリユニット 1 1 A a、1 1 B a の、対応する記憶ノードを接続する。上層メタル層 2 4 a、第 3 コンタクト層、中層メタル層、第 2 コンタクト層、および下層メタル層を介して、メモリユニット 1 1 A a の記憶ノード N 1 をメモリユニット 1 1 B a の対応する記憶ノードに接続する。上層メタル層 2 5 a は、行方向 (X 1 - X 2) に並置されているメモリユニット 1 1 A a、1 1 B a の、対応する相補記憶ノードを接続する。上層メタル層 2 5 a、第 3 コンタクト層、中層メタル層、第 2 コンタクト層、および下層メタル層を介して、メモリユニット 1 1 A a の相補記憶ノード / N 1 をメモリユニット 1 1 B a の対応する相補記憶ノードに接続する。上層メタル層 2 8 a、2 9 a も同様である。行方向 (X 1 - X 2) に並置されているメモリユニット 1 2 A a、1 2 B a の、対応する記憶ノードおよび相補記憶ノードを、各々接続する。

【0037】

また、列方向に鏡面对称に配置されているメモリユニット 1 1 B a、1 2 B a について、分岐コンタクト層 2 6 a、2 7 a、3 0 a、3 1 a を削除する。分岐コンタクト層 2 6 a、3 0 a は、第 1 拡散層 2 1 a の第 1 コンタクト層に接続する下層メタル層と第 3 拡散層 2 2 - 1 a とを接続する。分岐コンタクト層 2 7 a、3 1 a は、第 2 拡散層 2 3 a の第 1 コンタクト層に接続する下層メタル層と第 4 拡散層 2 2 - 2 a とを接続する。メモリコ

10

20

30

40

50

アを構成する1対のインバータゲートにおいて、出力ノードである記憶ノードあるいは相補記憶ノードと電源線VDDとの間に介在する信号経路を開路するものである。これにより、メモリコアは動作しない状態とすることができる。

【0038】

以上のメタル配線は、2ポートのメモリセルを構成する際のレイアウト（図3）と同様である。

【0039】

更に、第2のメタル配線領域2A-1a、2A-2aに、中層メタル層32a、33aを配線する。中層メタル層32aは、列方向（Y1-Y2）に配置されているメモリユニット11Aa、12Aaの、対応する記憶ノードを接続する。中層メタル層32a、第2
10
コンタクト層、および下層メタル層を介して、メモリユニット11Aaの記憶ノードN1をメモリユニット12Aaの対応する記憶ノードに接続する。中層メタル層33aは、列方向（Y1-Y2）に配置されているメモリユニット11Aa、12Aaの、対応する相補記憶ノードを接続する。中層メタル層33a、第2コンタクト層、および下層メタル層を介して、メモリユニット11Aaの相補記憶ノード/N1をメモリユニット12Aaの対応する相補記憶ノードに接続する。

【0040】

以上のメタル配線は、1ポートの高駆動能力メモリセルを構成する際のレイアウト（図5）のうち、中層メタル層32a、33aと同様である。

【0041】

メモリユニット11Aa、12Aa間の境界にある第4拡散層22-2aの第1コンタクト層（V）と電源線VDDとの接続と、中層メタル層33aとの干渉を防ぐため、電源線VDDを、図示しない下層メタル層を介して第3拡散層22-1aのコンタクト層（V）に接続する。
20

【0042】

図8は、2ポートの高駆動能力メモリセルとする場合の回路図である。基本メモリセル1a（図1）に対して上層メタル層、中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更したレイアウト（図7）により得られるメモリセルの回路図である。

【0043】

図4に例示した2ポートのメモリセルの回路図に、メモリユニット11Aaとメモリユニット12Aaの各々の1対の記憶ノードのうち互いに対応するノードが中層メタル層32a、33aで接続された構成である。メモリコアへのアクセスに際しては、第1ワード線WLA1、WLA2、および第2ワード線WLB1、WLB2は、各々、不図示のメタル配線で短絡、あるいは回路動作として同期動作させる。
30

【0044】

これにより、メモリユニット11Aa、12Aa、11Ba、12Baで1つのメモリコアを構成する。ここで、メモリユニット11Ba、12Baにあるメモリコアは不使用とされている。メモリユニット11Aa、12Aaのメモリコアが並列接続された上で同期してアクセスされる。メモリコアの駆動能力が倍増すると共に、トランスファゲートは、2つのトランジスタが並列接続されることにより導通時のオン抵抗が半減する。また、アクセスは、第1ワード線WLA1、WLA2、あるいは第2ワード線WLB1、WLB2の各々から行われる2ポートの構成である。駆動能力の倍増、および信号経路の抵抗の半減により、高い駆動能力のメモリセルとすることができる2ポートのメモリセルが構成される。
40

【0045】

図9は、第1実施形態の基本メモリセル1aに対して中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトである。基本メモリセル1aから1ポートの低電圧型メモリセルを得るためのメタル結線である。

【0046】

10

20

30

40

50

図 5 に図示した 1 ポートの高駆動能力メモリセルのレイアウト図と同様に、第 2 のメタル配線領域 2 A-1 a、2 A-2 a、2 B-1 a、2 B-2 a に、中層メタル層 3 2 a、3 3 a、3 4 a、3 5 a を配線する。中層メタル層 3 2 a は、列方向 (Y 1-Y 2) に配置されているメモリユニット 1 1 A a、1 2 A a の、対応する記憶ノードを接続する。メモリユニット 1 1 A a の記憶ノード N 1 をメモリユニット 1 2 A a の対応する記憶ノードに接続する。中層メタル層 3 3 a は、列方向 (Y 1-Y 2) に配置されているメモリユニット 1 1 A a、1 2 A a の、対応する相補記憶ノードを接続する。メモリユニット 1 1 A a の相補記憶ノード / N 1 をメモリユニット 1 2 A a の対応する相補記憶ノードに接続する。中層メタル層 3 4 a、3 5 a も同様である。列方向 (Y 1-Y 2) に配置されているメモリユニット 1 1 B a、1 2 B a の、対応する記憶ノードおよび相補記憶ノードを、各々接続する。

10

【0047】

また、行方向に並置されているメモリユニット 1 2 A a、1 2 B a について、分岐コンタクト層 3 9 a、4 0 a、3 0 a、3 1 a を削除する。分岐コンタクト層 3 9 a、3 0 a は、第 1 拡散層 2 1 a の第 1 コンタクト層に接続する下層メタル層と第 3 拡散層 2 2-1 a とを接続する。分岐コンタクト層 4 0 a、3 1 a は、第 2 拡散層 2 3 a の第 1 コンタクト層に接続する下層メタル層と第 4 拡散層 2 2-2 a とを接続する。メモリコアを構成する 1 対のインバータゲートにおいて、出力ノードである記憶ノードあるいは相補記憶ノードと電源線 VDD との間に介在する信号経路を開路するものである。これにより、メモリコアは動作しない状態とすることができる。

20

【0048】

また、メモリユニット 1 2 A a、1 2 B a について、分岐コンタクト層 3 8 a、4 1 a、4 2 a、4 3 a を削除する。分岐コンタクト層 4 1 a、4 3 a は、第 1 拡散層 2 1 a と第 3 拡散層 2 2-1 a とを貫くゲート層にある第 1 コンタクト層である。第 2 拡散層 2 3 a の第 1 コンタクト層に接続される下層メタル層、および第 1 拡散層 2 1 a と第 3 拡散層 2 2-1 a とを貫くゲート層を接続する。分岐コンタクト層 3 8 a、4 2 a は、第 2 拡散層 2 3 a と第 4 拡散層 2 2-2 a とを貫くゲート層にある第 1 コンタクト層である。第 1 拡散層 2 1 a の第 1 コンタクト層に接続される下層メタル層、および第 2 拡散層 2 3 a と第 4 拡散層 2 2-2 a とを貫くゲート層を接続する。

【0049】

30

そして、第 1 拡散層 2 1 a と第 3 拡散層 2 2-1 a とを貫くゲート層は、列方向 (Y 1-Y 2) に中層メタル層で配線される接地線 GND から、第 1 拡散層 2 1 a においてこの貫くゲート層から列方向 (Y 1) 側の外方領域にある第 1 コンタクト層 (G)、下層メタル層、および第 1 コンタクト層を介して、接地線 GND に接続される。また、第 2 拡散層 2 3 a と第 4 拡散層 2 2-2 a とを貫くゲート層は、列方向 (Y 1-Y 2) に中層メタル層で配線される接地線 GND から、第 2 拡散層 2 3 a においてこの貫くゲート層から列方向 (Y 2) 側の外方領域にある第 1 コンタクト層 (G)、下層メタル層、および第 1 コンタクト層を介して、接地線 GND に接続される。メモリコアを構成する 1 対のインバータゲートにおいて、各インバータゲートの入力を接地線 GND とすることにより、出力ノードである記憶ノードあるいは相補記憶ノードと接地線 GND との間に介在する信号経路を開路するものである。これらにより、メモリコアは動作しない状態とすることができる。

40

【0050】

メモリユニット 1 1 A a、1 2 A a 間の境界およびメモリユニット 1 1 B a、1 2 B a 間の境界にある第 4 拡散層 2 2-2 a の第 1 コンタクト層 (V) と電源線 VDD との接続と、中層メタル層 3 3 a および 3 5 a との、干渉を防ぐため、電源線 VDD を、図示しない下層メタル層を介して第 4 拡散層 2 2-2 a のコンタクト層 (V) に接続する。

【0051】

図 10 は、1 ポートの低電圧型メモリセルとする場合の回路図である。基本メモリセル 1 a (図 1) に対して中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更したレイアウト (図 9) により得られるメモリセルの回路図である。

50

【0052】

図6に例示した1ポートの高駆動能力メモリセルの回路図とは次の2点において異なっている。第1点は以下の通りである。メモリユニット12Aa、12Baにおいて、メモリコアを構成するインバータゲートの電源線VDDからの信号経路が、分岐コンタクト層39a、40a、30a、31aを削除することにより分断された構成である。また、分岐コンタクト層38a、41a、42a、43aを削除すること、第1拡散層21aと第3拡散層22-1aとを貫くゲート層にある第1コンタクト層を接地線GNDに、および第2拡散層23aと第4拡散層22-2aとを貫くゲート層にある第1コンタクト層を接地線GNDに接続することにより、メモリコアを構成するインバータゲートの接地線GNDからの信号経路が分断されている。

10

【0053】

第2点は以下の通りである。図6の場合とは異なり第1ワード線WLA2および第2ワード線WLB2の導通方法が異なっている。メモリコアへのアクセスに際しては、第1ワード線WLA2はアンド回路の出力信号が入力される。アンド回路には第1ワード線WLA1とライトイネーブル信号WEAとが入力される。ライトイネーブル信号WEAは、ライトアクセス時には、ハイレベルとなる。同様に第2ワード線WLB2はアンド回路の出力信号が入力される。アンド回路には第2ワード線WLB1とライトイネーブル信号WEBとが入力される。ライトアクセス時には、ライトイネーブル信号WEA、WEBは、ハイレベルであり、第1ワード線WLA1、第2ワード線WLB1の選択に応じて第1ワード線WLA2、第2ワード線WLB2もハイレベルとなる。メモリセルを構成する2組のトランスファゲートが共に（例えば、ビット線BLA、/BLAに接続されるトランスファゲートT1、T6、T7、T12）が導通する。これに対して、リードアクセス時には、ライトイネーブル信号WEA、WEBは、ローレベルである。これにより、第1ワード線WLA2、第2ワード線WLB2はローレベルに維持される。第1ワード線WLA1、第2ワード線WLB1の選択に応じて、メモリセルを構成する2組のトランスファゲートのうち一方のトランスファゲート（例えば、ビット線BLA、/BLAに接続されるトランスファゲートT1、T6）が導通する。

20

【0054】

これにより、メモリユニット11Aa、12Aaで1つのメモリコアを構成し、メモリユニット11Ba、12Baで1つのメモリコアを構成する。各々のメモリコアは2組のトランスファゲートを備えており、よって、ライトアクセス時に、基本メモリセル1aと比較し、メモリコアとビット線との間の径路が低抵抗で接続され、トランスファゲートに流れる電流を増加させることができる。これに対して、リードアクセス時には、うち1組が導通する。よって、ライトアクセス時と比較し、トランスファゲートに流れる電流を低減することができる。近年の電源電圧の低電圧化に伴い、メモリセルは、データ保持特性を高めた低電圧型メモリセルに設計されている。図9、10の構成とすることにより、ライトアクセス時に2組のトランスファゲートを共に導通して信号経路の抵抗を低減する。これにより、低電圧型メモリセルへの書き込み能力を高めることができ、データ保持能力の高い低電圧型メモリセルに対してデータの書き込みを行うことができる。一方、リードアクセス時には、一方のトランスファゲートを導通して信号経路上の抵抗値を確保する。トランスファゲートを挟んで低電圧型メモリセルの内外を電氣的に一定程度分離することができる。記憶されているデータが外部の影響により反転しない構成とすることができる。低電圧型メモリセルにおいて、ライト特性を改善したメモリセルとすることができる。

30

40

【0055】

図11は、第1実施形態の基本メモリセル1aに対して下層メタル層、中層メタル層、上層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトである。基本メモリセル1aから2ポートの低電圧型メモリセルを得るためのメタル結線である。

【0056】

図7に図示した2ポートの高駆動能力メモリセルのレイアウト図と同様に、第1のメタ

50

ル配線領域 11-1a、11-2a、12-1a、12-2aに、上層メタル層 24a、25a、28a、29aを配線する。上層メタル層 24aは、行方向（X1-X2）に並置されているメモリユニット 11Aa、11Baの、対応する記憶ノードを接続する。上層メタル層 24a、第3コンタクト層、中層メタル層、第2コンタクト層、および下層メタル層を介して、メモリユニット 11Aaの記憶ノード N1をメモリユニット 11Baの対応する記憶ノードに接続する。上層メタル層 25aは、行方向（X1-X2）に並置されているメモリユニット 11Aa、11Baの、対応する相補記憶ノードを接続する。上層メタル層 25a、第3コンタクト層、中層メタル層、第2コンタクト層、および下層メタル層を介して、メモリユニット 11Aaの相補記憶ノード/N1をメモリユニット 11Baの対応する相補記憶ノードに接続する。上層メタル層 28a、29aも同様である。行方向（X1-X2）に並置されているメモリユニット 12Aa、12Baの、対応する記憶ノードおよび相補記憶ノードを、各々接続する。

10

【0057】

また、列方向に鏡面对称に配置されているメモリユニット 11Ba、12Baについて、分岐コンタクト層 26a、27a、30a、31aを削除する。分岐コンタクト層 26a、30aは、第1拡散層 21aの第1コンタクト層に接続する下層メタル層と第3拡散層 22-1aとを接続する。分岐コンタクト層 27a、31aは、第2拡散層 23aの第1コンタクト層に接続する下層メタル層と第4拡散層 22-2aとを接続する。メモリコアを構成する1対のインバータゲートにおいて、出力ノードである記憶ノードあるいは相補記憶ノードと電源線 VDDとの間に介在する信号経路を開路するものである。これにより、メモリコアは動作しない状態とすることができる。

20

【0058】

更に、第2のメタル配線領域 2A-1a、2A-2aに、中層メタル層 32a、33aを配線する。中層メタル層 32aは、列方向（Y1-Y2）に配置されているメモリユニット 11Aa、12Aaの、対応する記憶ノードを接続する。中層メタル層 32a、第2コンタクト層、および下層メタル層を介して、メモリユニット 11Aaの記憶ノード N1をメモリユニット 12Aaの対応する記憶ノードに接続する。中層メタル層 33aは、列方向（Y1-Y2）に配置されているメモリユニット 11Aa、12Aaの、対応する相補記憶ノードを接続する。中層メタル層 33a、第2コンタクト層、および下層メタル層を介して、メモリユニット 11Aaの相補記憶ノード/N1をメモリユニット 12Aaの対応する相補記憶ノードに接続する。

30

【0059】

また、メモリユニット 12Aaについて、分岐コンタクト層 39a、40aを削除する。分岐コンタクト層 39aは、第1拡散層 21aの第1コンタクト層に接続する下層メタル層と第3拡散層 22-1aとを接続する。分岐コンタクト層 40aは、第2拡散層 23aの第1コンタクト層に接続する下層メタル層と第4拡散層 22-2aとを接続する。メモリコアを構成する1対のインバータゲートにおいて、出力ノードである記憶ノードあるいは相補記憶ノードと電源線 VDDとの間に介在する信号経路を開路するものである。これにより、メモリコアは動作しない状態とすることができる。

【0060】

また、メモリユニット 12Aa、12Baについて、分岐コンタクト層 38a、41a、42a、43aを削除する。そして、第1拡散層 21aと第3拡散層 22-1aとを貫くゲート層は、列方向（Y1-Y2）に中層メタル層で配線される接地線 GNDから、第1拡散層 21aにおいてこの貫くゲート層から列方向（Y1）側の外方領域にある第1コンタクト層（G）、下層メタル層、および第1コンタクト層を介して、接地線 GNDに接続される。また、第2拡散層 23aと第4拡散層 22-2aとを貫くゲート層は、列方向（Y1-Y2）に中層メタル層で配線される接地線 GNDから、第2拡散層 23aにおいてこの貫くゲート層から列方向（Y2）側の外方領域にある第1コンタクト層（G）、下層メタル層、および第1コンタクト層を介して、接地線 GNDに接続される。メモリコアを構成する1対のインバータゲートにおいて、各インバータゲートの入力を接地線 GND

40

50

とすることにより、出力ノードである記憶ノードあるいは相補記憶ノードと接地線 GND との間に介在する信号経路を開路するものである。これらにより、メモリコアは動作しない状態とすることができる。

【0061】

図12は、第1実施形態の2ポートの低電圧型メモリセルとする場合の回路図である。基本メモリセル1a（図1）に対して上層メタル層、中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更したレイアウト（図11）により得られるメモリセルの回路図である。

【0062】

図12に例示した2ポートの低電圧型メモリセルの回路図は、図10に例示の1ポートの場合とは以下の点で異なる。第1に、図10においてメモリユニット11Baとメモリユニット12Baとを接続する中層メタル層34a、35aは配線されない。第2に、図10のメモリユニット11Baに配置される分岐コンタクト層26a、27aは削除される。第3に、メモリユニット11Aaとメモリユニット11Ba、およびメモリユニット12Aaとメモリユニット12Baとは、各々、1対の記憶ノードのうち互いに対応するノードが上層メタル層24a、25a、および28a、29aで接続される。メモリコアへアクセスする際のワード線の制御は、図10の場合と同様である。

【0063】

メモリユニット11Aa、12Aa、11Ba、12Baで1つのメモリコアを構成し、2組のトランスファゲートを備えている。ライトアクセス時には、2組のトランスファゲートが導通するのに対して、リードアクセス時には、2組のトランスファゲートのうち1組が導通する。リードアクセスに対してライトアクセスにおいてメモリコアとビット線との間の径路が低抵抗で接続される。よって、図9、10に示した1ポートの低電圧型メモリセルと同様に、低電圧型メモリセルにおいて、ライト特性を改善したメモリセルとすることができる。また、リードアクセス時に、ビット線からの流入する電流によるメモリセルの反転を防ぐことができる2ポートの低電圧型メモリセルとすることができる2ポートのメモリセルが構成される。

【0064】

図13は、基本メモリセル1aに対して、上層メタル層、中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトであり図5の別例である。基本メモリセル1aから1ポートの高駆動能力メモリセルを得るためのメタル結線の別例である。第1のメタル配線領域11-1a、11-2aに、各々、上層メタル層44a、45aを配線する。上層メタル層44aは、ビット線BLAから、第3コンタクト層、中層メタル層、第2コンタクト層、および下層メタル層を介して、メモリユニット11Ba、12Baに共通の第1拡散層21aにある第1コンタクト層（B）に接続される。上層メタル層45aは、相補ビット線/BLAから、第3コンタクト層、中層メタル層、第2コンタクト層、および下層メタル層を介して、メモリユニット11Baの第2拡散層23aにある第1コンタクト層（B）に接続される。尚、メモリユニット12Baの第2拡散層23aにある第1コンタクト層（B）には、列方向（Y1-Y2）のY1側に隣接する他の基本メモリセル1aに配置される上層メタル層45aにより接続される。

【0065】

図14は、図13のレイアウトにより実現される1ポートの高駆動能力メモリセルとする場合の図6の別例の回路図である。

【0066】

メモリユニット11Aa、11Ba、12Aa、12Baの各々のメモリコアが、ビット線BLAおよび相補ビット線/BLAの間に並列に接続される。メモリコアへのアクセスに際しては、第1ワード線WLA1と第2ワード線WLB1、および第1ワード線WLA2と第2ワード線WLB2が、各々、不図示のメタル配線で短絡、あるいは回路動作として同期動作される。

10

20

30

40

50

【0067】

これにより、メモリユニット11Aa、11Baで1つのメモリコア、メモリユニット12Aa、12Baで1つのメモリコアを構成する。メモリコアは、メモリユニット11Aaと11Baのメモリコア、およびメモリユニット12Aaと12Baのメモリコアが各々並列接続された構成である。アクセスは2本のワード線が同期して行われる。メモリコアの駆動能力が倍増すると共に、トランスファゲートは、2つのトランジスタが並列接続されることにより導通時のオン抵抗が半減する。駆動能力の倍増、および信号経路の抵抗の半減により、高い駆動能力のメモリセルとすることができる。

【0068】

図15は第2実施形態の拡散層やポリシリコン層などのバルクに係る層が固定のメモリセルを構成する基本メモリセル1bである。メタル層およびコンタクト層の少なくとも何れか1層を変更して複数の回路仕様に対応可能なメモリセルのベースとなるレイアウトである。4つのメモリユニット11Ab、11Bb、12Ab、12Bbが2行2列に配置されて構成されている。行方向(X1-X2)には、メモリユニット11Abとメモリユニット11Bb、およびメモリユニット12Abとメモリユニット12Bbとが、各々、鏡面对称に隣接配置されている。列方向(Y1-Y2)には、メモリユニット11Abとメモリユニット12Ab、およびメモリユニット11Bbとメモリユニット12Bbとが、鏡面对称に隣接配置されている。

【0069】

メモリユニットの構成について説明する。メモリユニット11Ab、11Bb、12Ab、12Bbは何れも同一の構成である。以下では、メモリユニット11Abを代表して説明する。第1拡散層21b、第2拡散層23b、第3拡散層22-1b、第4拡散層22-2bは、列方向(Y1-Y2)に長尺の矩形形状を有し行方向(X1-X2)に並置されている。第1、第2拡散層21b、23bには、行方向(X1-X2)に2本のゲート層が交差している。トランジスタが並列接続された構成である。第3拡散層22-1bに交差するゲート層には、第1拡散層21bを交差する列方向(Y2)側のゲート層が直結されている。第4拡散層22-2bに交差するゲート層には、第2拡散層23bを交差する列方向(Y1)側のゲート層が直結されている。第3拡散層22-1bの列方向(Y1)側のメモリユニット12Abへの領域限界は、第2のメタル配線領域2A-1bである。

【0070】

列方向(Y2)側および(Y1)側の第1拡散層21b、第2拡散層23bの外方には、行方向(X1-X2)に基本メモリセル1bを貫いて、上層メタル層により第1ワード線WLA1、および第2ワード線WLB1が配線されている。第1ワード線WLA1は第1拡散層21bの列方向(Y1)側に交差しているゲート層、および第2拡散層23bの列方向(Y2)側に交差しているゲート層に、第2コンタクト層を介して接続されている。第1ワード線WLA1から第2コンタクト層までは第3コンタクト層を介して中層メタル層で配線されている。尚、第2ワード線WLB1は行方向(X2)側に隣接して並置されているメモリユニット11Bbの対応ゲート層に第3コンタクト層、中層メタル層、および第2コンタクト層を介して接続されている。

【0071】

第1拡散層21b、第2拡散層23bは、各ゲート層から列方向(Y1)側および(Y2)側の外方領域、およびゲート層に挟まれた領域の各々に、上層メタル層、中層メタル層、下層メタル層の何れかと接続される第1コンタクト層を備えている。

【0072】

第1拡散層21bに交差するゲート層に挟まれた領域にある第1コンタクト層、第3拡散層22-1bに交差するゲート層から列方向(Y1)側の外方領域にある第1コンタクト層、および第4拡散層22-2bと第2拡散層23bとを貫くゲート層にある第1コンタクト層は、下層メタル層で接続されて記憶ノードN1を構成する。また、第2拡散層23bに交差するゲート層に挟まれた領域にある第1コンタクト層、第4拡散層22-2b

に交差するゲート層から列方向（Y 2）側の外方領域にある第1コンタクト層、および第1拡散層2 1 bと第3拡散層2 2-1 bとを貫くゲート層にある第1コンタクト層は、下層メタル層で接続されて相補記憶ノード／N 1を構成する。これらの下層メタル層により1対の記憶ノードを構成している。

【0073】

第1拡散層2 1 bのメモリユニット1 1 A bとメモリユニット1 2 A bとの境界にある第1コンタクト層（B）には列方向（Y 1-Y 2）に中層メタル層で配線されるビット線B L Aが接続される。第1拡散層2 1 bに交差するゲート層から列方向（Y 2）側の外方領域のメモリユニット1 1 A bの境界にある第1コンタクト層（G）には列方向（Y 1-Y 2）に中層メタル層で配線される接地線G N Dが接続される。

10

【0074】

第3拡散層2 2-1 bに交差するゲート層から列方向（Y 2）側の外方領域のメモリユニット1 1 A bの境界にある第1コンタクト層（V）、および第4拡散層2 2-2 bのメモリユニット1 1 A bとメモリユニット1 2 A bとの境界にある第1コンタクト層（V）には列方向（Y 1-Y 2）に中層メタル層で配線される電源線V D Dが接続される。

【0075】

第2拡散層2 3 bのメモリユニット1 1 A bとメモリユニット1 2 A bとの境界にある第1コンタクト層（G）には列方向（Y 1-Y 2）に中層メタル層で配線される接地線G N Dが接続される。第2拡散層2 3 bに交差するゲート層から列方向（Y 2）側の外方領域のメモリユニット1 1 A bの境界にある第1コンタクト層（B）には列方向（Y 1-Y 2）に中層メタル層で配線される相補ビット線／B L Aが接続される。

20

【0076】

以上の接続から、メモリユニット1 1 A bは図2に示す構成に同様となる。すなわち、第1拡散層2 1 bと第3拡散層2 2-1 bとを貫くゲート層で構成されるトランジスタ（T 2）、（T 3）によりインバータゲートI 2が構成される。第2拡散層2 3 bと第4拡散層2 2-2 bとを貫くゲート層で構成されるトランジスタ（T 4）、（T 5）によりインバータゲートI 1が構成される。インバータゲートI 1、I 2により1ビットを記憶するメモリコアが構成される。また、第1拡散層2 1 bに交差するゲート層のうち列方向（Y 1）側のゲート層により構成されるトランジスタ（T 1）は、メモリコアの記憶ノードN 1とビット線B L Aとの間に介在するトランスファゲートを構成し、第2拡散層2 3 bに交差するゲート層のうち列方向（Y 2）側のゲート層により構成されるトランジスタ（T 6）は、メモリコアの相補記憶ノード／N 1と相補ビット線／B L Aとの間に介在するトランスファゲートを構成する。

30

【0077】

ここで、ビット線B L A、相補ビット線／B L A、接地線G N D、および電源線V D Dは、中層メタル層により列方向（Y 1-Y 2）に、メモリユニット1 1 A b、1 2 A bを貫いて、配線される。

【0078】

基本メモリセル1 bには、行方向（X 1-X 2）に鏡面对称に配置されるメモリユニットを貫く、第1-1のメタル配線領域1 1-1 b、1 2-1 bが確保される。また、境界領域には第1-2のメタル配線領域1 1-3 b、1 2-3 bが確保される。第1-1のメタル配線領域1 1-1 b、は、第1ワード線W L A 1、および第2ワード線W L B 1間に配置され、メモリユニット1 1 A b、1 1 B bを貫いて確保されている。第1-1のメタル配線領域1 2-1 bは、第1ワード線W L A 2、および第2ワード線W L B 2間に配置され、メモリユニット1 2 A b、1 2 B bを貫いて確保されている。第1-1のメタル配線領域1 1-1 b、1 2-1 bには、メモリセルの種別に応じて上層メタル層が配線される。第1-2のメタル配線領域1 1-3 b、1 2-3 bは、各々、第1ワード線W L A 1と第2ワード線W L B 1との間、および第1ワード線W L A 2と第2ワード線W L B 2との間に配置され、メモリユニット1 1 A b、1 1 B b、およびメモリユニット1 2 A b、1 2 B bの各々の境界領域に確保される。第1-2のメタル配線領域1 1-3 b、1 2-

40

50

3 b には、下層メタル層が配線される。第 1 実施形態の場合に第 1 のメタル配線領域が 2 本分確保されていたのに対して第 1-1 のメタル配線領域は 1 本が確保される。1 本分の領域が減少するため、列方向 (Y 1-Y 2) の長さを削減することができる。

【0079】

また、基本メモリセル 1 b には、列方向 (Y 1-Y 2) に鏡面对称に配置されるメモリユニットを貫く、第 2-1 のメタル配線領域 2 A-1 b、2 B-1 b、および第 2-2 のメタル配線領域 2 A-2 b、2 B-2 b が確保される。第 2-1、第 2-2 のメタル配線領域 2 A-1 b、2 A-2 b は、メモリユニット 1 1 A b、1 2 A b の境界領域に確保されており、第 2-1、第 2-2 のメタル配線領域 2 B-1 b、2 B-2 b は、メモリユニット 1 1 B b、1 2 B b の境界領域に確保されている。第 2-1 のメタル配線領域 2 A-1 b、2 B-1 b には、下層メタル層が配線され、第 3 拡散層 2 2-1 b が配置される列方向の位置に列方向に沿って配置される。第 2-2 のメタル配線領域 2 A-2 b、2 B-2 b は、各々、メモリユニット 1 1 A b、1 2 A b、およびメモリユニット 1 1 B b、1 2 B b の境界領域であって、行方向に鏡面对称に配置されているメモリユニット 1 1 A b、1 1 B b、および 1 2 A b、1 2 B b の境界領域の近傍に配置される。第 2-2 のメタル配線領域 2 A-2 b、2 B-2 b には、中層メタル層が配線される。メモリユニット 1 1 A b、1 2 A b、1 1 B b、1 2 B b の各々を列方向 (Y 1-Y 2) に貫く中層メタル層は、接地線 GND、ビット線 B L A または B L B、電源線 V D D、相補ビット線 / B L A または / B L B、接地線 GND の 5 本である。この他に列方向 (Y 1-Y 2) には、第 2-1 のメタル配線領域 2 A-1 b または 2 B-1 b、第 2-2 のメタル配線領域 2 A-2 b または 2 B-2 b の 2 本の配線領域が確保されている。

【0080】

これにより、第 2 実施形態の基本メモリセル 1 b に係るレイアウト (図 1 5) で実現される回路構成は、第 1 実施形態の基本メモリセル 1 a (1 ポートメモリセル) の回路構成 (図 2) と同様である。メモリユニット 1 1 A b、1 1 B b、1 2 A b、1 2 B b は、各々、1 ビットメモリコアを備えている。各メモリユニット 1 1 A b、1 1 B b、1 2 A b、1 2 B b は、各々、ワード線 W L A 1、W L B 1、W L A 2、W L B 2 で選択制御される。よって、第 1 実施形態の図 1 に係るレイアウトと同様に、第 2 実施形態の図 1 5 に係るレイアウトの構成より 1 ポートのメモリセルを構成する。

【0081】

図 1 6 は、第 2 実施形態の基本メモリセル 1 b に対して上層メタル層、中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトである。基本メモリセル 1 b から 2 ポートのメモリセルを得るためのメタル結線である。第 1-1 のメタル配線領域 1 1-1 b、1 2-1 b に、上層メタル層 2 4 b、2 8 b、および第 1-2 のメタル配線領域 1 1-3 b、1 2-3 b に、下層メタル層 2 5 b、2 9 b を配線する。上層メタル層 2 4 b は、行方向 (X 1-X 2) に鏡面对称に配置されているメモリユニット 1 1 A b、1 1 B b の、対応する記憶ノードを接続する。上層メタル層 2 4 b、第 3 コンタクト層、中層メタル層、および第 2 コンタクト層を介して、メモリユニット 1 1 A b の記憶ノード N 1 をメモリユニット 1 1 B b の対応する記憶ノードに接続する。下層メタル層 2 5 b は、行方向 (X 1-X 2) に鏡面对称に配置されているメモリユニット 1 1 A b、1 1 B b の、対応する相補記憶ノードを接続する。メモリユニット 1 1 A b の相補記憶ノード / N 1 をメモリユニット 1 1 B b の対応する相補記憶ノードに接続する。上層メタル層 2 8 b、下層メタル層 2 9 b も同様である。行方向 (X 1-X 2) に並置されているメモリユニット 1 2 A b、1 2 B b の、対応する記憶ノードおよび相補記憶ノードを、各々を接続する。

【0082】

更に、列方向に鏡面对称に配置されているメモリユニット 1 1 B b、1 2 B b について、分岐コンタクト層 2 6 b、2 7 b、3 0 b、3 1 b を削除する。ここで、分岐コンタクト層とは、記憶ノードおよび相補記憶ノードを構成する下層メタル層と拡散層とを接続する第 1 コンタクト層の一部である。分岐コンタクト層 2 6 b、3 0 b は、メモリユニット

1 1 B b、1 2 B bの記憶ノードN 1と、メモリユニット1 1 B b、1 2 B bの第3拡散層2 2-1 bとを接続するコンタクト層である。分岐コンタクト層2 7 b、3 1 bは、メモリユニット1 1 B b、1 2 B bの相補記憶ノード/N 1と、メモリユニット1 1 B b、1 2 B bの第4拡散層2 2-2 bとを接続するコンタクト層である。メモリコアを構成する1対のインバータゲートにおいて、出力ノードである記憶ノードあるいは相補記憶ノードと電源線V D Dとの間に介在する信号経路を開路するものである。これにより、メモリコアは動作しない状態とすることができる。

【0083】

基本メモリセル1 b（図15）に対して、メモリユニット1 1 A bとメモリユニット1 1 B b、およびメモリユニット1 2 A bとメモリユニット1 2 B bとは、各々、1対の記憶ノードのうち互いに対応するノードが上層メタル層2 4 b、2 8 b、および下層メタル層2 5 b、2 9 bで接続されている。また、メモリユニット1 1 B b、1 2 B bは、メモリコアを構成するインバータゲートの電源線V D Dからの信号経路が、分岐コンタクト層2 6 b、2 7 b、3 0 b、および3 1 bを削除することにより分断されている。

【0084】

これにより、図16のレイアウトに係る回路構成は、2ポートメモリセルの回路構成（図4）と同様である。したがって、メモリユニット1 1 A bのメモリコアは、第1ワード線W L A 1により選択されるポートと、第2ワード線W L B 1により選択されるポートとの2ポートでアクセスされる。また、メモリユニット1 2 A bのメモリコアは、第1ワード線W L A 2により選択されるポートと、第2ワード線W L B 2により選択されるポートとの2ポートでアクセスされる。

【0085】

図17は、第2実施形態の基本メモリセル1 bに対して中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトである。基本メモリセル1 bから1ポートの高駆動能力メモリセルを得るためのメタル結線である。第2-1のメタル配線領域2 A-1 b、2 B-1 bに下層メタル層3 2 b、3 4 bを配線し、第2-2のメタル配線領域2 A-2 b、2 B-2 bに中層メタル層3 3 b、3 5 bを配線する。下層メタル層3 2 bは、列方向（Y 1-Y 2）に配置されているメモリユニット1 1 A b、1 2 A bの、対応する記憶ノードを接続する。メモリユニット1 1 A bの記憶ノードN 1をメモリユニット1 2 A bの対応する記憶ノードに接続する。中層メタル層3 3 bは、列方向（Y 1-Y 2）に配置されているメモリユニット1 1 A b、1 2 A bの、対応する相補記憶ノードを接続する。中層メタル層3 3 b、第2コンタクト層、および下層メタル層を介して、メモリユニット1 1 A bの相補記憶ノード/N 1をメモリユニット1 2 A bの対応する相補記憶ノードに接続する。下層メタル層3 4 b、および中層メタル層3 5 bも同様である。列方向（Y 1-Y 2）に配置されているメモリユニット1 1 B b、1 2 B bの、対応する記憶ノードおよび相補記憶ノードを、各々接続する。

【0086】

これにより、図17のレイアウトに係る回路構成は、1ポートの高駆動能力メモリセルの回路構成（図6）と同様である。したがって、メモリユニット1 1 A bとメモリユニット1 2 A b、およびメモリユニット1 1 B bとメモリユニット1 2 B bは、各々、1対の記憶ノードのうち互いに対応するノードが下層メタル層3 2 b、3 4 b、および中層メタル層3 3 b、3 5 bで接続されている。メモリコアへのアクセスに際しては、第1ワード線W L A 1、W L A 2、および第2ワード線W L B 1、W L B 2は、各々、不図示のメタル配線で短絡、あるいは回路動作として同期動作させる。

【0087】

これにより、メモリユニット1 1 A b、1 2 A bで1つのメモリコアを構成し、メモリユニット1 1 B b、1 2 B bで1つのメモリコアを構成する。各々は、並列接続された上で同期してアクセスされる。メモリコアの駆動能力が倍増すると共に、トランスファゲートは、2つのトランジスタが並列接続されることにより導通時のオン抵抗が半減する。駆動能力の倍増、および信号経路の抵抗の半減により、高い駆動能力のメモリセルとするこ

10

20

30

40

50

とができる。

【0088】

図18は、第2実施形態の基本メモリセル1bに対して上層メタル層、中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトである。基本メモリセル1bから2ポートの高駆動能力メモリセルを得るためのメタル結線である。第1-1のメタル配線領域11-1b、12-1bに、上層メタル層24b、28b、および第1-2のメタル配線領域11-3b、12-3bに、下層メタル層25b、29bを配線する。上層メタル層24bは、行方向(X1-X2)に鏡面对称に配置されているメモリユニット11Ab、11Bbの、対応する記憶ノードを接続する。上層メタル層24b、第3コンタクト層、中層メタル層、および第2コンタクト層を介して、メモリユニット11Abの記憶ノードN1をメモリユニット11Bbの対応する記憶ノードに接続する。下層メタル層25bは、行方向(X1-X2)に並置されているメモリユニット11Ab、11Bbの、対応する相補記憶ノードを接続する。メモリユニット11Abの相補記憶ノード/N1をメモリユニット11Bbの対応する相補記憶ノードに接続する。上層メタル層28b、下層メタル層29bも同様である。行方向(X1-X2)に並置されているメモリユニット12Ab、12Bbの、対応する記憶ノードおよび相補記憶ノードを、各々接続する。

10

【0089】

また、列方向に鏡面对称に配置されているメモリユニット11Bb、12Bbについて、分岐コンタクト層26b、27b、30b、31bを削除する。分岐コンタクト層26b、30bは、第1拡散層21bの第1コンタクト層に接続する下層メタル層と第3拡散層22-1bとを接続する。分岐コンタクト層27b、31bは、第2拡散層23bの第1コンタクト層に接続する下層メタル層と第4拡散層22-2bとを接続する。メモリコアを構成する1対のインバータゲートにおいて、出力ノードである記憶ノードあるいは相補記憶ノードと電源線VDDとの間に介在する信号経路を開路するものである。これにより、メモリコアは動作しない状態とすることができる。

20

【0090】

以上のメタル配線は、2ポートのメモリセルを構成する際のレイアウト(図16)と同様である。

【0091】

更に、第2-1のメタル配線領域2A-1bに下層メタル層32b、第2-2のメタル配線領域2A-2bに中層メタル層33bを配線する。下層メタル層32bは、列方向(Y1-Y2)に配置されているメモリユニット11Ab、12Abの、対応する記憶ノードを接続する。メモリユニット11Abの記憶ノードN1をメモリユニット12Abの対応する記憶ノードに接続する。中層メタル層33bは、列方向(Y1-Y2)に配置されているメモリユニット11Ab、12Abの、対応する相補記憶ノードを接続する。中層メタル層33b、第2コンタクト層、および下層メタル層を介して、メモリユニット11Abの相補記憶ノード/N1をメモリユニット12Abの対応する相補記憶ノードに接続する。

30

【0092】

以上のメタル配線は、1ポートの高駆動能力メモリセルを構成する際のレイアウト(図17)のうち、下層メタル層32b、中層メタル層33bと同様である。

40

【0093】

これにより、図18のレイアウトに係る回路構成は、2ポートの高駆動能力メモリセルの回路構成(図8)と同様である。したがって、メモリユニット11Abとメモリユニット12Abの各々の1対の記憶ノードのうち互いに対応するノードが下層メタル層32b、中層メタル層33bで接続された構成である。メモリコアへのアクセスに際しては、第1ワード線WLA1、WLA2、および第2ワード線WLB1、WLB2は、各々、不図示のメタル配線で短絡、あるいは回路動作として同期動作させる。

【0094】

50

これにより、メモリユニット 1 1 A b、1 2 A b、1 1 B b、1 2 B b で 1 つのメモリコアを構成する。ここで、メモリユニット 1 1 B b、1 2 B b にあるメモリコアは不使用とされている。メモリユニット 1 1 A b、1 2 A b のメモリコアが並列接続された上で同期してアクセスされる。メモリコアの駆動能力が倍増すると共に、トランスファゲートは、2 つのトランジスタが並列接続されることにより導通時のオン抵抗が半減する。また、アクセスは、第 1 ワード線 W L A 1、W L A 2、あるいは第 2 ワード線 W L B 1、W L B 2 の各々から行われる 2 ポートの構成である。駆動能力の倍増、および信号経路の抵抗の半減により、高い駆動能力のメモリセルとすることができる 2 ポートのメモリセルが構成される。

【0095】

図 19 は、第 2 実施形態の基本メモリセル 1 b に対して中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトである。基本メモリセル 1 b から 1 ポートの低電圧型メモリセルを得るためのメタル結線である。

【0096】

図 17 に図示した 1 ポートの高駆動能力メモリセルのレイアウト図と同様に、第 2-1 のメタル配線領域 2 A-1 b、2 B-1 b に下層メタル層 3 2 b、3 4 b、第 2-2 のメタル配線領域 2 A-2 b、2 b-2 b に中層メタル層 3 3 b、3 5 b を配線する。下層メタル層 3 2 b は、列方向 (Y 1-Y 2) に配置されているメモリユニット 1 1 A b、1 2 A b の、対応する記憶ノードを接続する。メモリユニット 1 1 A b の記憶ノード N 1 をメモリユニット 1 2 A b の対応する記憶ノードに接続する。中層メタル層 3 3 b は、列方向 (Y 1-Y 2) に配置されているメモリユニット 1 1 A b、1 2 A b の、対応する相補記憶ノードを接続する。中層メタル層 3 3 b、第 2 コンタクト層、および下層メタル層を介して、メモリユニット 1 1 A b の相補記憶ノード / N 1 をメモリユニット 1 2 A b の対応する相補記憶ノードに接続する。下層メタル層 3 4 b、中層メタル層 3 5 b も同様である。列方向 (Y 1-Y 2) に配置されているメモリユニット 1 1 B b、1 2 B b の、対応する記憶ノードおよび相補記憶ノードを、各々接続する。

【0097】

また、行方向に並置されているメモリユニット 1 2 A b、1 2 B b について、分岐コンタクト層 3 9 b、4 0 b、3 0 b、3 1 b を削除する。分岐コンタクト層 3 9 b、3 0 b は、第 1 拡散層 2 1 b の第 1 コンタクト層に接続する下層メタル層と第 3 拡散層 2 2-1 b とを接続する。分岐コンタクト層 4 0 b、3 1 b は、第 2 拡散層 2 3 b の第 1 コンタクト層に接続する下層メタル層と第 4 拡散層 2 2-2 b とを接続する。メモリコアを構成する 1 対のインバータゲートにおいて、出力ノードである記憶ノードあるいは相補記憶ノードと電源線 V D D との間に介在する信号経路を開路するものである。これにより、メモリコアは動作しない状態とすることができる。

【0098】

また、メモリユニット 1 2 A b、1 2 B b について、分岐コンタクト層 3 8 b、4 1 b、4 2 b、4 3 b を削除する。分岐コンタクト層 4 1 b、4 3 b は、第 1 拡散層 2 1 b と第 3 拡散層 2 2-1 b とを貫くゲート層にある第 1 コンタクト層である。第 2 拡散層 2 3 b の第 1 コンタクト層に接続される下層メタル層、および第 1 拡散層 2 1 b と第 3 拡散層 2 2-1 b とを貫くゲート層を接続する。分岐コンタクト層 3 8 b、4 2 b は、第 2 拡散層 2 3 b と第 4 拡散層 2 2-2 b とを貫くゲート層にある第 1 コンタクト層である。第 1 拡散層 2 1 b の第 1 コンタクト層に接続される下層メタル層、および第 2 拡散層 2 3 b と第 4 拡散層 2 2-2 b とを貫くゲート層を接続する。

【0099】

メモリユニット 1 2 A b において、第 1 拡散層 2 1 b と第 3 拡散層 2 2-1 b とを貫くゲート層は、列方向 (Y 1-Y 2) に中層メタル層で配線される接地線 G N D から、第 1 拡散層 2 1 b においてこの貫くゲート層から列方向 (Y 1) 側の外方領域にある第 1 コンタクト層 (G)、下層メタル層、および第 1 コンタクト層を介して、接地線 G N D に接続される。また、第 2 拡散層 2 3 b と第 4 拡散層 2 2-2 b とを貫くゲート層は、列方向 (

10

20

30

40

50

Y 1 - Y 2) に中層メタル層で配線される接地線 GND から、第 2 拡散層 2 3 b においてこの貫くゲート層から列方向 (Y 2) 側の外方領域にある第 1 コンタクト層 (G)、下層メタル層、および第 1 コンタクト層を介して、接地線 GND に接続される。同様に、メモリユニット 1 2 B b において、第 1 拡散層 2 1 b と第 3 拡散層 2 2 - 1 b とを貫くゲート層は、第 1 拡散層 2 1 b においてこの貫くゲート層から列方向 (Y 1) 側の外方領域にある第 1 コンタクト層 (G)、下層メタル層、および第 1 コンタクト層を介して、接地線 GND に接続される。また、第 2 拡散層 2 3 b と第 4 拡散層 2 2 - 2 b とを貫くゲート層は、第 2 拡散層 2 3 b においてこの貫くゲート層から列方向 (Y 2) 側の外方領域にある第 1 コンタクト層 (G)、下層メタル層、および第 1 コンタクト層を介して、接地線 GND に接続される。メモリコアを構成する 1 対のインバータゲートにおいて、各インバータゲートの入力を接地線 GND とすることにより、出力ノードである記憶ノードあるいは相補記憶ノードと接地線 GND との間に介在する信号経路を開路するものである。これらにより、メモリコアは動作しない状態とすることができる。

10

【0100】

これにより、図 19 のレイアウトに係る回路構成は、1 ポートの低電圧型メモリセルの回路構成 (図 10) と同様である。したがって、メモリユニット 1 1 A b、1 2 A b で 1 つのメモリコアを構成し、メモリユニット 1 1 B b、1 2 B b で 1 つのメモリコアを構成する。各々のメモリコアは 2 組のトランスファゲートを備えており、リードアクセス時には、うち 1 組が導通するのに対して、ライトアクセス時には、2 組のトランスファゲートが導通する。リードアクセスに対してライトアクセスにおいてメモリコアとビット線との間の径路が低抵抗で接続される。よって、第 1 実施形態 (図 9) のレイアウトの場合と同様に、低電圧型メモリセルにおいて、ライト特性を改善したメモリセルとすることができる。また、リードアクセス時に、ビット線からの流入する電流によるメモリセルの反転を防ぐことができる 1 ポートの低電圧型メモリセルとすることができる。

20

【0101】

図 20 は、第 2 実施形態の基本メモリセル 1 b に対して上層メタル層、中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトである。基本メモリセル 1 b から 2 ポートの低電圧型メモリセルを得るためのメタル結線である。

【0102】

図 18 に図示した 2 ポートの高駆動能力メモリセルのレイアウト図と同様に、第 1 - 1 のメタル配線領域 1 1 - 1 b、1 2 - 1 b に上層メタル層 2 4 b、2 8 b、および第 1 - 2 のメタル配線領域 1 1 - 3 b、1 2 - 3 b に下層メタル層 2 5 b、2 9 b を配線する。上層メタル層 2 4 b は、行方向 (X 1 - X 2) に並置されているメモリユニット 1 1 A b、1 1 B b の、対応する記憶ノードを接続する。上層メタル層 2 4 b、第 3 コンタクト層、中層メタル層、および第 2 コンタクト層を介して、メモリユニット 1 1 A b の記憶ノード N 1 をメモリユニット 1 1 B b の対応する記憶ノードに接続する。下層メタル層 2 5 b は、行方向 (X 1 - X 2) に並置されているメモリユニット 1 1 A b、1 1 B b の、対応する相補記憶ノードを接続する。メモリユニット 1 1 A b の相補記憶ノード / N 1 をメモリユニット 1 1 B b の対応する相補記憶ノードに接続する。上層メタル層 2 8 b、下層メタル層 2 9 b も同様である。行方向 (X 1 - X 2) に並置されているメモリユニット 1 2 A b、1 2 B b の、対応する記憶ノードおよび相補記憶ノードを、各々接続する。

40

【0103】

また、列方向に鏡面对称に配置されているメモリユニット 1 1 B b、1 2 B b について、分岐コンタクト層 2 6 b、2 7 b、3 0 b、3 1 b を削除する。分岐コンタクト層 2 6 b、3 0 b は、第 1 拡散層 2 1 b の第 1 コンタクト層に接続する下層メタル層と第 3 拡散層 2 2 - 1 b とを接続する。分岐コンタクト層 2 7 b、3 1 b は、第 2 拡散層 2 3 b の第 1 コンタクト層に接続する下層メタル層と第 4 拡散層 2 2 - 2 b とを接続する。メモリコアを構成する 1 対のインバータゲートにおいて、出力ノードである記憶ノードあるいは相補記憶ノードと電源線 VDD との間に介在する信号経路を開路するものである。これによ

50

り、メモリコアは動作しない状態とすることができる。以上のメタル配線は、2ポートのメモリセルを構成する際のレイアウト（図16）と同様である。

【0104】

更に、第2-1のメタル配線領域2A-1bに下層メタル層32b、第2-2のメタル配線領域2A-2bに中層メタル層33bを配線する。下層メタル層32bは、列方向（Y1-Y2）に配置されているメモリユニット11Ab、12Abの、対応する記憶ノードを接続する。メモリユニット11Abの記憶ノードN1をメモリユニット12Abの対応する記憶ノードに接続する。中層メタル層33bは、列方向（Y1-Y2）に配置されているメモリユニット11Ab、12Abの、対応する相補記憶ノードを接続する。中層メタル層33b、第2コンタクト層、および下層メタル層を介して、メモリユニット11Abの相補記憶ノード／N1をメモリユニット12Abの対応する相補記憶ノードに接続する。以上のメタル配線は、1ポートの高駆動能力メモリセルを構成する際のレイアウト（図18）のうち、下層メタル層32b、中層メタル層33bと同様である。

10

【0105】

また、メモリユニット12Abについて、分岐コンタクト層39b、40bを削除する。分岐コンタクト層39bは、第1拡散層21bの第1コンタクト層に接続する下層メタル層と第3拡散層22-1bとを接続する。分岐コンタクト層40bは、第2拡散層23bの第1コンタクト層に接続する下層メタル層と第4拡散層22-2bとを接続する。メモリコアを構成する1対のインバータゲートにおいて、出力ノードである記憶ノードあるいは相補記憶ノードと電源線VDDとの間に介在する信号経路を開路するものである。これにより、メモリコアは動作しない状態とすることができる。

20

【0106】

また、メモリユニット12Ab、12Bbについて、分岐コンタクト層38b、41b、42b、43bを削除する。そして、第1拡散層21bと第3拡散層22-1bとを貫くゲート層は、列方向（Y1-Y2）に中層メタル層で配線される接地線GNDから、第1拡散層21bにおいてこの貫くゲート層から列方向（Y1）側の外方領域にある第1コンタクト層（G）、下層メタル層、および第1コンタクト層を介して、接地線GNDに接続される。また、第2拡散層23bと第4拡散層22-2bとを貫くゲート層は、列方向（Y1-Y2）に中層メタル層で配線される接地線GNDから、第2拡散層23bにおいてこの貫くゲート層から列方向（Y2）側の外方領域にある第1コンタクト層（G）、下層メタル層、および第1コンタクト層を介して、接地線GNDに接続される。メモリコアを構成する1対のインバータゲートにおいて、各インバータゲートの入力を接地線GNDとすることにより、出力ノードである記憶ノードあるいは相補記憶ノードと接地線GNDとの間に介在する信号経路を開路するものである。これらにより、メモリコアは動作しない状態とすることができる。

30

【0107】

図20に例示した2ポートの低電圧型メモリセルの回路図は、図19に例示の1ポートの場合とは以下の点で異なる。第1に、図19においてメモリユニット11Bbとメモリユニット12Bbとを接続する下層メタル層34b、中層メタル層35bは配線されない。第2に、図19のメモリユニット11Bbに配置される分岐コンタクト層26b、27bは削除される。第3に、メモリユニット11Abとメモリユニット11Bb、およびメモリユニット12Abとメモリユニット12Bbとは、各々、1対の記憶ノードのうち互いに対応するノードが上層メタル層24b、下層メタル層25b、および上層メタル層28b、下層メタル層29bで接続される。メモリコアへアクセスする際のワード線の制御は、図10の場合と同様である。

40

【0108】

これにより、図20のレイアウトに係る回路構成は、2ポートの低電圧型メモリセルの回路構成（図12）と同様である。したがって、メモリユニット11Ab、12Ab、11Bb、12Bbで1つのメモリコアを構成し、2組のトランスファゲートを備えている。リードアクセス時には、2組のトランスファゲートのうち1組が導通するのに対して、

50

ライトアクセス時には、2組のトランスファゲートが導通する。リードアクセスに対してライトアクセスにおいてメモリコアとビット線との間の径路が低抵抗で接続される。よって、第1実施形態（図11）のレイアウトの場合と同様に、低電圧型メモリセルにおいて、メモリセルと比較し、ライト特性を改善したメモリセルとすることができる。また、リードアクセス時に、ビット線からの流入する電流によるメモリセルの反転を防ぐことができる2ポートの低電圧型メモリセルとすることができる2ポートのメモリセルが構成される。

【0109】

図21は、基本メモリセル1bに対して、上層メタル層、中層メタル層、下層メタル層、およびコンタクト層を形成するガラスマスクを変更して得られるレイアウトであり図17の別例である。基本メモリセル1bから1ポートの高駆動能力メモリセルを得るためのメタル結線の別例である。第1-1のメタル配線領域11-1b、12-1bに、各々、上層メタル層45b、36bを配線する。上層メタル層45bは、相補ビット線/BLAから、上層メタル層、第3コンタクト層、中層メタル層、第2コンタクト層、および下層メタル層を介して、メモリユニット11Bbの第2拡散層23bにある第1コンタクト層(B)に接続される。また、上層メタル層36bは、ビット線BLAから、第3コンタクト層、中層メタル層、第2コンタクト層、および下層メタル層を介して、メモリユニット11Bb、12Bbに共通の第1拡散層21bにある第1コンタクト層(B)に接続される。尚、メモリユニット12Bbの第2拡散層23bにある第1コンタクト層(B)には、列方向(Y1-Y2)のY1側に隣接する他の基本メモリセル1bに配置される上層メタル層45bにより接続される。

【0110】

これにより、図21のレイアウトに係る回路構成は、1ポートの高駆動能力メモリセルの別例である回路構成（図14）と同様である。メモリユニット11Ab、11Bbで1つのメモリコア、メモリユニット12Ab、12Bbで1つのメモリコアを構成する。メモリコアは、メモリユニット11Abと11Bbのメモリコア、およびメモリユニット12Abと12Bbのメモリコアが各々並列接続された構成である。アクセスは2本のワード線が同期して行われる。メモリコアの駆動能力が倍増すると共に、トランスファゲートは、2つのトランジスタが並列接続されることにより導通時のオン抵抗が半減する。駆動能力の倍増、および信号経路の抵抗の半減により、高い駆動能力のメモリセルとすることができる。

【0111】

図1～図21において説明した第1～第2実施形態の基本メモリセル1a、1bから、拡散層やポリシリコン層などのバルクに係る層が固定であり、メタル層やコンタクト層の変更により構成されるメモリセルの種別と基本メモリセル当たりの個数を図22に示す。

【0112】

第1～第2実施形態の基本メモリセル1a、1bから構成されるメモリセルは、1ポートのメモリセル（図1、2、15）、2ポートのメモリセル（図3、4、16）、1ポートの高駆動能力メモリセル（図5、6、13、14、17、21）、2ポートの高駆動能力メモリセル（図7、8、18）、1ポートの低電圧型メモリセル（図9、10、19）、および2ポートの低電圧型メモリセル（図11、12、20）の6種類である。

【0113】

各メモリセルの基本メモリセル当たりのメモリセル数は、1ポートのメモリセル（図1、2、15）の場合は4個、2ポートのメモリセル（図3、4、16）の場合は2個、1ポートの高駆動能力メモリセル（図5、6、13、14、17、21）の場合は2個、2ポートの高駆動能力メモリセル（図7、8、18）の場合は1個、1ポートの低電圧型メモリセル（図9、10、19）の場合は2個、および2ポートの低電圧型メモリセル（図11、12、20）の場合は1個である。

【0114】

基本メモリセル1a、1b（図1、15）に対して、メタル層およびコンタクト層の少

10

20

30

40

50

なくとも何れか1層を変更することで、6種類のメモリセルを、基本メモリセルのバルク構成に基づいて面積効率よく構成することができる。

【0115】

図23は、第1～第2実施形態メモリセルの専有面積を専用のメモリセルを使用した場合と比較した図である。図22では、1ポートのメモリセル（1RWと表記）と2ポートのメモリセル（2RWと表記）とで面積比較を行う場合を例示する。

【0116】

第1～第2実施形態の基本メモリセルを2行6列のマトリクス状に配置したレイアウトにおいて、1ポートのメモリセルのみを構成する場合（A）、1ポート／2ポートを混在させる場合（B）、2ポートのメモリセルのみを構成する場合の3つの場合（C）の3つの場合について検討する。

10

【0117】

2行6列の基本メモリセルでは、タイプ（A）は24セルの1ポートメモリセル、タイプ（B）は12セルの1ポートメモリセルと6セルの2ポートメモリセル、タイプ（C）は12セルの2ポートメモリセルを、メタル層、およびコンタクト層の少なくとも何れか1層の変更で対応可能である。

【0118】

同じメモリセル構成を1ポート／2ポートの各々の専用メモリセルで実現する場合は、4行6列の1ポートのメモリセルアレイ、および2行6列の2ポートメモリセルアレイを備える必要がある。面積比にして2倍の面積が必要となる。

20

【0119】

第1～第2実施形態によれば、メモリセルを備え、メタル層、およびコンタクト層の少なくとも何れか1層の変更に応じて複数種類のメモリセルを構成でき、レイアウト上の面積効率の向上を図ることが可能となる。

【0120】

ここで、第1、2実施形態において、上層メタル層は第1メタル層の一例であり、中層メタル層は第2メタル層の一例であり、下層メタル層は第3メタル層の一例である。

【0121】

以上、詳細に説明したように、メモリユニット11Aa、11Ba、12Aa、12Baを2行2列に配置した基本メモリセル1a、およびメモリユニット11Ab、11Bb、12Ab、12Bbを2行2列に配置した基本メモリセル1bを、メタル層、およびコンタクト層の少なくとも何れか1層を変更することにより、メタル層、およびコンタクト層を変更するだけで、1ポートのメモリセル、2ポートのメモリセル、1ポートの高駆動能力メモリセル、2ポートの高駆動能力メモリセル、1ポート低電圧型メモリセル、および2ポートの低電圧型メモリセルの6種類のメモリセルを構成することができる。種類ごとに専用のメモリセルを用意しておく場合に比較して、レイアウト上の面積効率の向上を図ることができる。限られたレイアウト領域において複数種類のメモリセルを構成することができ、また、複数種類のメモリセルを混在させて構成することができる。

30

【0122】

尚、本構成は例示された実施形態に限定されるものではなく、本目的の趣旨を逸脱しない範囲内での種々の改良、変更が可能であることは言うまでもない。

40

例えば、基本メモリセルとしてメモリユニットを2行2列に配置した場合を例示したが、これに限定されるものではない。3行以上または／および3列以上にメモリユニットを配置した構成を基本メモリセルとすることもできる。これにより、さらなる種類のメモリセルを構成することが可能となる。例えば、ポート数を3ポート以上の多ポートとする構成、駆動能力を2倍の他、3倍、4倍など多段に設定する構成などが可能となる。

【0123】

また、各実施形態のメモリユニットの構成において、上層メタル層と中層メタル層とを入れ替えることは可能である。

【0124】

50

また、第2実施形態において、第2-2のメタル配線領域2A-2b、2B-2bには、下層メタル層が配線されてもよい。

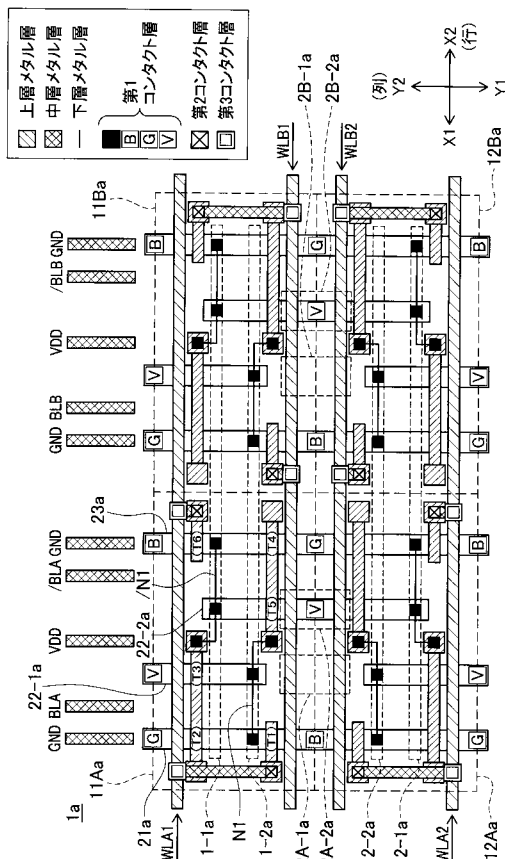
【符号の説明】

【 0 1 2 5 】

1 a	基本メモリセル	
1 1 A a、1 1 B a、1 2 A a、1 2 B a	メモリユニット	
2 1 a、2 2-1 a、2 2-2 a、2 3 a	第 1 ～ 第 4 拡散層	
2 4 a、2 5 a、2 8 a、2 9 a、3 6 a、3 7 a	上層メタル層	
3 2 a、3 3 a、3 4 a、3 5 a	中層メタル層	
2 6 a、2 7 a、3 0 a、3 1 a、3 8 a、3 9 a、4 0 a、4 2 a、4 2 a		10
分岐コンタクト層 1 1-1 a、1 1-2 a、1 2-1 a、1 2-2 a	第 1 の	
メタル配線領域		
2 A-1 a、2 A-2 a、2 B-1 a、2 B-2 a	第 2 のメタル配線領域	
B L A、B L B	ビット線	
／B L A、／B L B	相補ビット線	
G N D	接地線	
I 1、I 2	インバータゲート	
N 1	記憶ノード	
／N 1	相補記憶ノード	
T 1 ～ T 6	トランジスタ	20
V D D	電源線	
W L A 1、W L A 2	第 1 ワード線	
W L B 1、W L B 2	第 2 ワード線	
Y 1- Y 2	列方向	

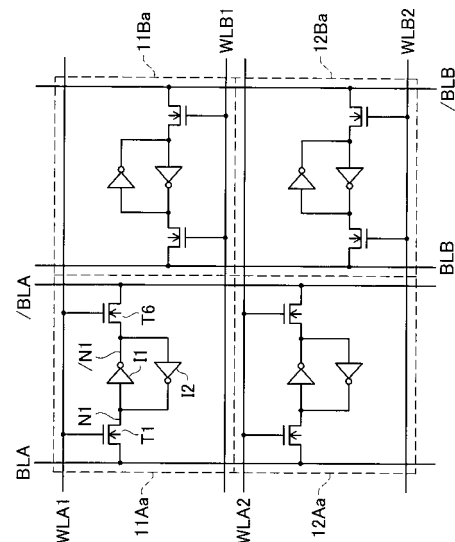
【 図 1 】

第1実施形態の基本メモリセルのレイアウト図



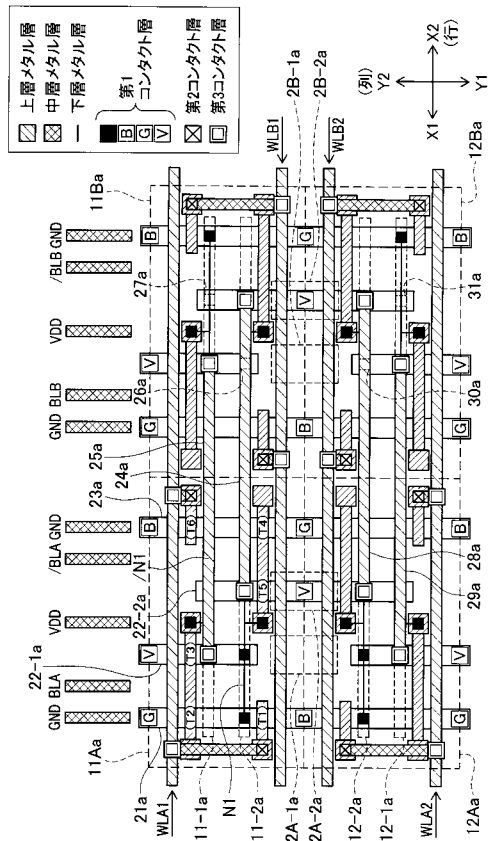
【図 2】

基本メモリセル(1ポートメモリセル)の回路図



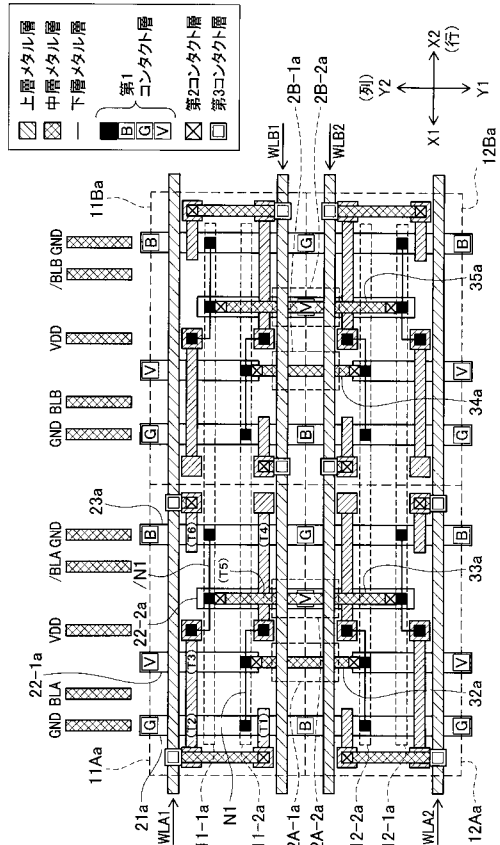
【 図 3 】

第1実施形態の基本メモリセルを
2ポートメモリセルにレイアウトした図



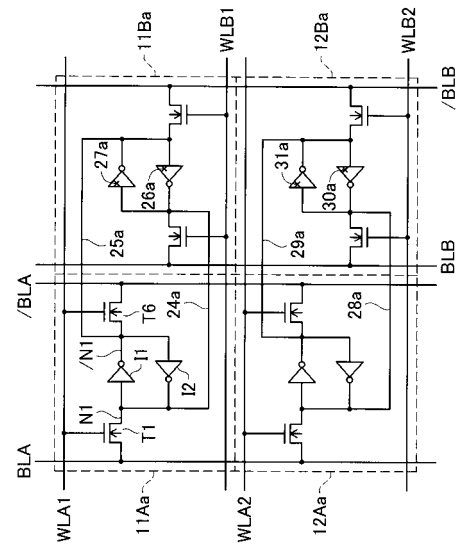
【図 5】

第1実施形態の基本メモリセルを
1ポートの高駆動能カメモリセルにレイアウトした図



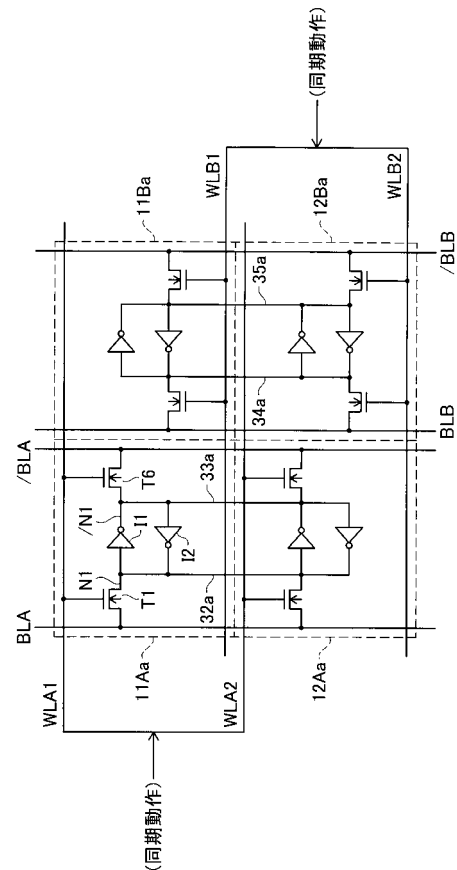
【図 4】

2ポートメモリセルの回路図



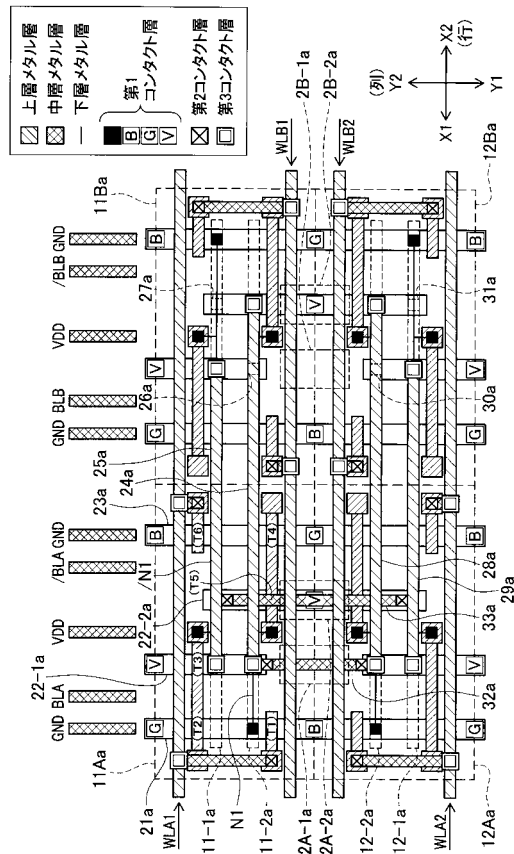
【图 6】

1ポートの高駆動能力メモリセルの回路図



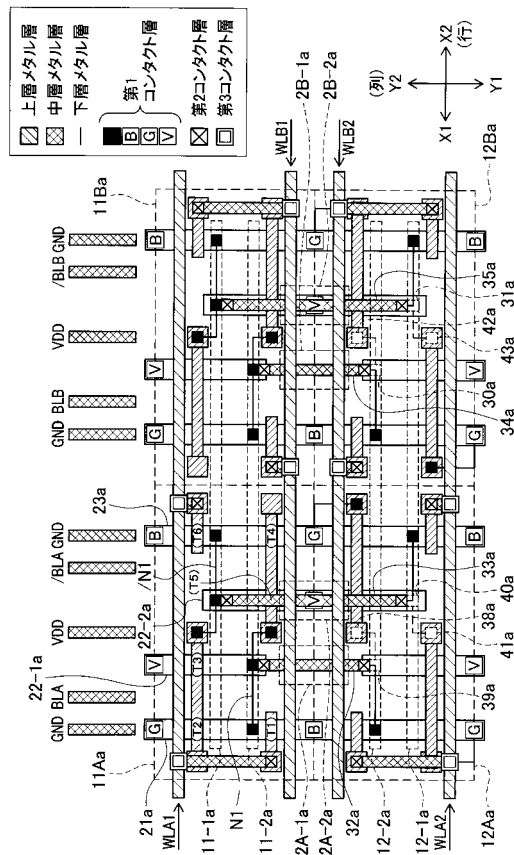
【図 7】

第1実施形態の基本メモリセルを
2ポートの高駆動能力メモリセルにレイアウトした図



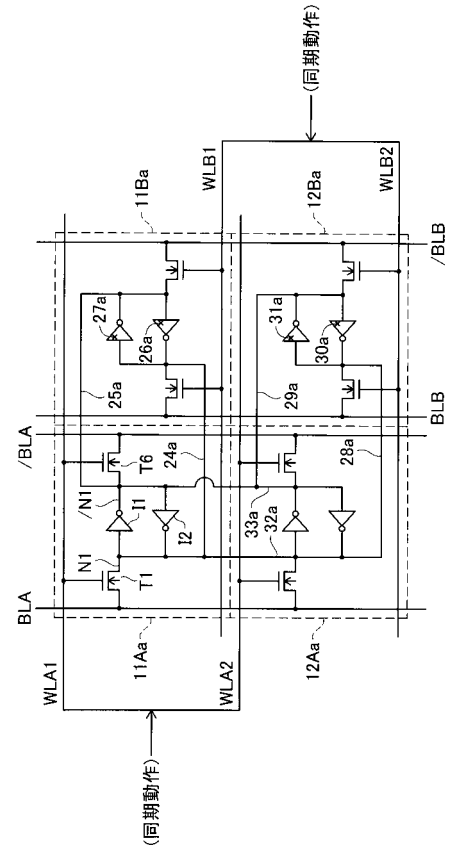
【図 9】

第1実施形態の基本メモリセルを
1ポートの低電圧型メモリセルにレイアウトした図



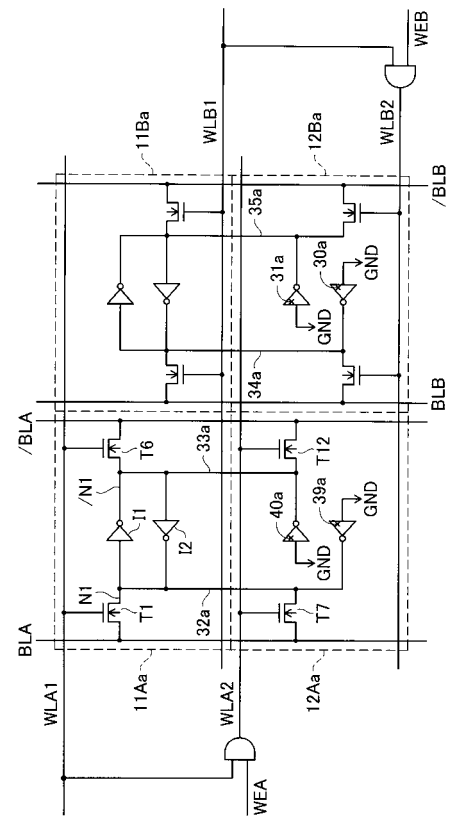
【図 8】

2ポートの高駆動能力メモリセルの回路図



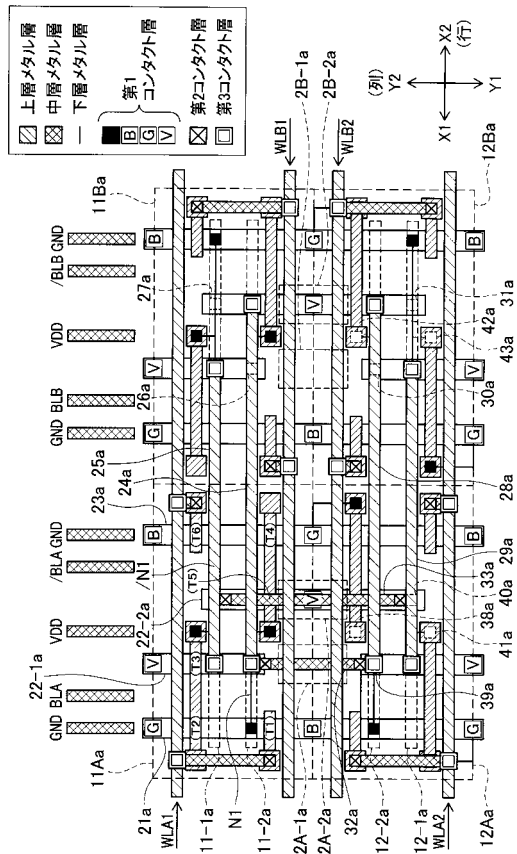
【図 10】

1ポートの低電圧型メモリセルの回路図



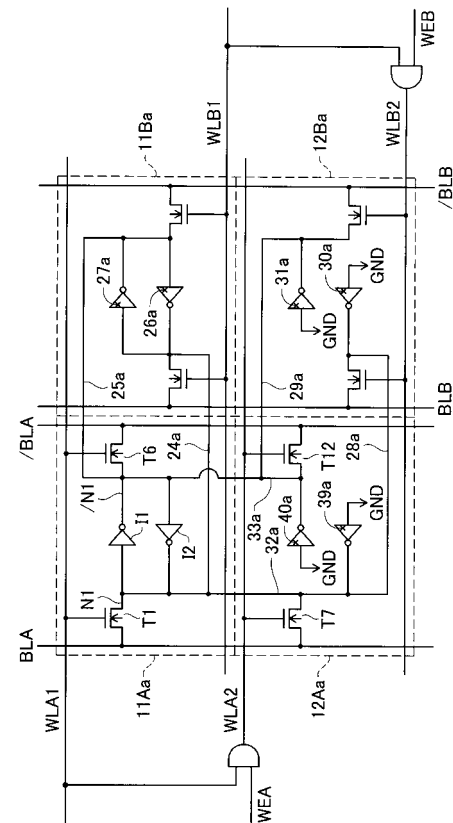
【図 1 1】

第1実施形態の基本メモリセルを
2ポートの低電圧型メモリセルにレイアウトした図



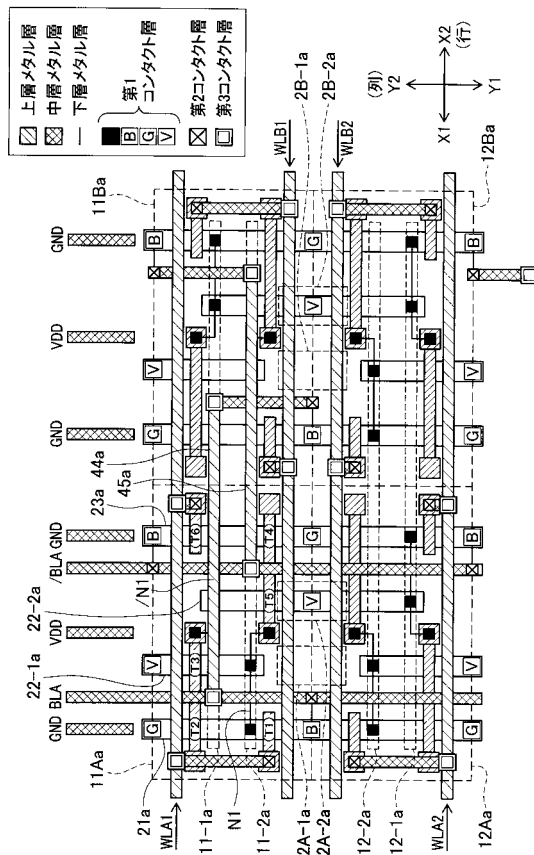
【図 1 2】

2ポートの低電圧型メモリセルの回路図



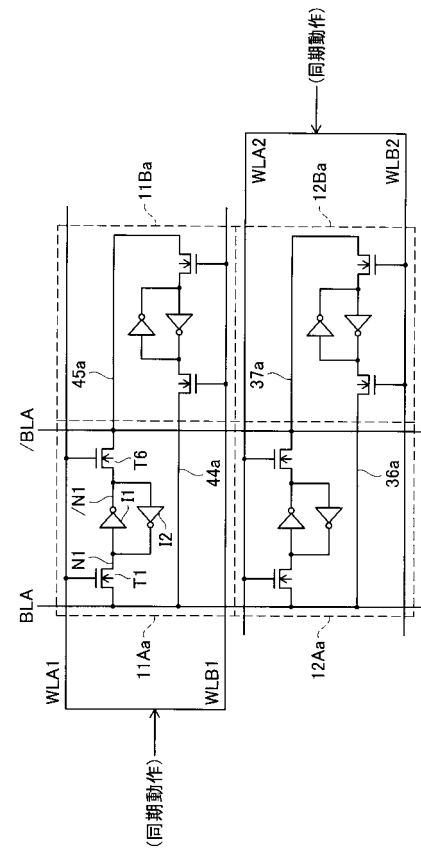
【図 1 3】

第1実施形態の基本メモリセルを
1ポートの高駆動能力メモリセルにレイアウトした図(別例)



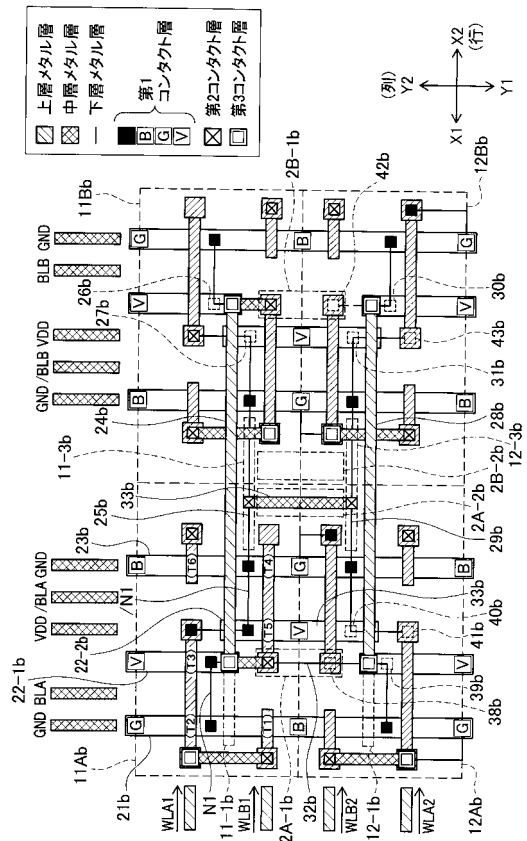
【図 1 4】

1ポートの高駆動能力メモリセルの回路図(別例)



【 図 2 0 】

第2実施形態の基本メモリセルを
2ポートの低電圧型メモリセルにレイアウトした図



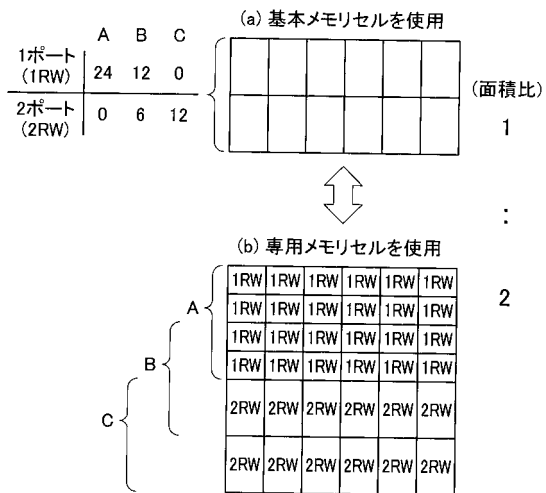
【図 2 2】

基本メモリセル当たりの各種メモリセルの個数



【図 2 3】

各実施形態の基本メモリセルと専用メモリセルとの面積比



フロントページの続き

Fターム(参考) 5F083 BS27 BS46 BS50 GA30 LA02 LA12 LA16 LA17 LA18 LA21