

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-209640

(P2004-209640A)

(43) 公開日 平成16年7月29日(2004.7.29)

(51) Int. Cl.⁷

B 8 1 C 1/00

B 8 1 C 5/00

F I

B 8 1 C 1/00

B 8 1 C 5/00

テーマコード (参考)

審査請求 未請求 請求項の数 29 O L (全 11 頁)

(21) 出願番号 特願2003-435064 (P2003-435064)
 (22) 出願日 平成15年12月26日 (2003.12.26)
 (31) 優先権主張番号 10/334463
 (32) 優先日 平成14年12月31日 (2002.12.31)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390023711
 ローベルト ボツシュ ゲゼルシャフト
 ミット ベシユレンクテル ハフツング
 ROBERT BOSCH GMBH
 ドイツ連邦共和国 シュツットガルト (番地なし)
 Stuttgart, Germany
 (74) 代理人 100061815
 弁理士 矢野 敏雄
 (74) 代理人 100114890
 弁理士 アインゼル・フェリックス＝ライ
 ンハルト

最終頁に続く

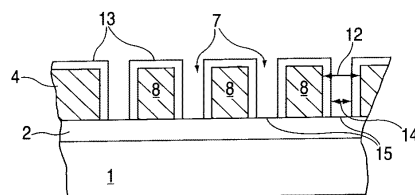
(54) 【発明の名称】 エピタキシャルリアクタにおける表面マイクロマシニングされた構造のためのギャップチューニング

(57) 【要約】

【課題】 デバイス上の少なくとも1つのマイクロメカニカルエレメントの複数の面の間のギャップをチューニングする方法を提供する。

【解決手段】 デバイスの上部層における少なくとも1つのマイクロメカニカルエレメントの輪郭をエッチングし、該輪郭が、少なくとも1つのマイクロメカニカルエレメントの複数の面のうちの少なくとも2つの向き合った面を規定しており、エピタキシャルリアクタにおいて複数の面のうちの少なくとも2つの向き合った面にギャップ狭め層を堆積させ、複数の面のうちの少なくとも2つの向き合った面の間のギャップが、ギャップ狭め層によって狭められるようになっている。

【選択図】 図2 a



【特許請求の範囲】

【請求項 1】

デバイス上の少なくとも 1 つのマイクロメカニカルエレメントの複数の面の間のギャップをチューニングする方法において、

デバイスの上部層において少なくとも 1 つのマイクロメカニカルエレメントの輪郭をエッチングし、該輪郭が、少なくとも 1 つのマイクロメカニカルエレメントの複数の面のうちの少なくとも 2 つの向き合った面を規定しており、

エピタキシャルリアクタにおいて複数の面のうちの少なくとも 2 つの向き合った面にギャップ狭め層を堆積させ、

複数の面のうちの少なくとも 2 つの向き合った面の間のギャップが、ギャップ狭め層によって狭められるようになってい

【請求項 2】

ギャップ狭め層がシリコン層を含む、請求項 1 記載の方法。

【請求項 3】

前記ギャップ狭め層がゲルマニウム層を含む、請求項 1 記載の方法。

【請求項 4】

前記ギャップ狭め層がシリコン / ゲルマニウム層を含む、請求項 1 記載の方法。

【請求項 5】

前記デバイスが、

基板層と；

該基板層の少なくとも第 1 の部分上に堆積された犠牲層と；

上部層を形成するために犠牲層の少なくとも第 2 の部分上に堆積された機能層とを含む、請求項 1 記載の方法。

【請求項 6】

前記犠牲層が二酸化ケイ素を含み；

ギャップ狭め層の堆積中に、犠牲層上への堆積が、エピタキシャルリアクタの温度、圧力及びガス組成のうちの少なくとも 1 つを調節することによって選択的に回避される、請求項 5 記載の方法。

【請求項 7】

エピタキシャルリアクタのガス組成が、臭素、塩素、フッ素又は水素のうちの少なくとも 1 つの化合物を含む、請求項 6 記載の方法。

【請求項 8】

さらなる犠牲層を提供することか；又は

さらなる機能層を提供することのうちの少なくとも 1 つを含む、請求項 5 記載の方法。

【請求項 9】

さらなる犠牲層を提供することか又はさらなる機能層を提供することのうちの少なくとも 1 つが、輪郭エッチング作業の前に行われる、請求項 8 記載の方法。

【請求項 10】

さらなる犠牲層をエッチングすることを含む、請求項 8 記載の方法。

【請求項 11】

前記デバイスが S O I ウェハを含み、S O I ウェハの絶縁層が犠牲層を形成しており、S O I ウェハの上部シリコン層が上部層を形成している、請求項 1 記載の方法。

【請求項 12】

堆積作業がさらに、

H₂ 流にシラン、ジクロロシラン又はトリクロロシランのうちの 1 つを連行させ、

デバイス上に H₂ 流を通過させることを含む、請求項 1 記載の方法。

【請求項 13】

さらに、残ったギャップ幅を検出し；

残ったギャップ幅が所望のギャップ幅にほぼ等しくなった場合にギャップ狭め層の堆積

10

20

30

40

50

を終了させることを含む、請求項 1 記載の方法。

【請求項 1 4】

検出作業が、光学検出器を用いて残ったギャップ幅を検出することを含む、請求項 1 3 記載の方法。

【請求項 1 5】

光学検出器が、デバイスから屈折された光から干渉パターンを検出する、請求項 1 4 記載の方法。

【請求項 1 6】

光学検出器が、デバイスのより高い面から反射された第 1 の光反射と、デバイスのより低い面から反射された第 2 の光反射とを検出し；

10

前記第 1 の光反射が、第 1 の光強度と第 1 の光位相との少なくとも 1 つを含み；

前記第 2 の光反射が、第 2 の光強度と第 2 の光位相との少なくとも 1 つを含み；

第 1 の光反射と第 2 の光反射との比が決定される、請求項 1 4 記載の方法。

【請求項 1 7】

ギャップ狭め層の堆積が、選択的な堆積プロセスを含む、請求項 1 記載の方法。

【請求項 1 8】

ギャップ狭め層の堆積が、均等な堆積プロセスを含む、請求項 1 記載の方法。

【請求項 1 9】

少なくとも 2 つの向き合った面を有する上部層と；

エピタキシャルに堆積された少なくとも 2 つの層とが設けられており、該エピタキシャルに堆積された少なくとも 2 つの層のそれぞれが、少なくとも 2 つの向き合った面のそれぞれ 1 つに配置されており、エピタキシャルに堆積された少なくとも 2 つの層の合計の厚さが、少なくとも 2 つの向き合った面の間のギャップをチューニングすることの特徴とする、デバイス。

20

【請求項 2 0】

エピタキシャルに堆積された少なくとも 2 つの層のうちの少なくとも 1 つが、シリコン層、ゲルマニウム層、又はシリコン / ゲルマニウム層のうちの少なくとも 1 つを含む、請求項 1 9 記載のデバイス。

【請求項 2 1】

少なくとも 2 つの向き合った面が、デバイスの上部層において少なくとも 1 つのマイクロメカニカルエレメントを規定している、請求項 1 9 記載のデバイス。

30

【請求項 2 2】

基板層と；

該基板層の第 1 の部分上に堆積された犠牲層とが設けられており；

上部層が、犠牲層の少なくとも第 2 の部分にエピタキシャルに堆積された少なくとも 1 つの機能層を含む、請求項 1 9 記載のデバイス。

【請求項 2 3】

基板層の下方に配置された別の犠牲層とが設けられており、

デバイスを気体水素に曝露することによって前記別の犠牲層が基板層から解放される、請求項 2 2 記載のデバイス。

40

【請求項 2 4】

前記犠牲層が二酸化ケイ素を含み、

ギャップ狭め層の堆積中に、犠牲層上の堆積が、エピタキシャルリアクタの温度、圧力、又はガス組成のうちの少なくとも 1 つを調節することによって選択的に回避される、請求項 2 2 記載のデバイス。

【請求項 2 5】

さらに S O I ウェハを含み、絶縁層が犠牲層を形成しており、上部シリコン層が上部層を形成している、請求項 1 9 記載のデバイス。

【請求項 2 6】

エピタキシャルに堆積された少なくとも 2 つの層のうちの少なくとも 1 つが、シラン、

50

ジクロロシラン、又はトリクロロシランのうちの 1 つを含む環境において堆積させられ、前記シラン、ジクロロシラン、又はトリクロロシランのうちの 1 つが、 H_2 流において連行されている、請求項 19 記載のデバイス。

【請求項 27】

エピタキシャルに堆積された少なくとも 2 つの層が、エピタキシリアクタ環境において堆積させられる、請求項 19 記載のデバイス。

【請求項 28】

少なくとも 2 つの向き合った面の間のギャップが、デバイス上に配置された少なくとも 1 つのマイクロメカニカルエレメントのための所望のギャップ幅を規定している、請求項 19 記載のデバイス。

10

【請求項 29】

エピタキシャルに堆積された少なくとも 2 つの層が、一回のプロセス作業において堆積される、請求項 19 記載のデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マイクロメカニカル構造物の製造、特に、エピタキシャルリアクタにおける製造中にデバイスにおけるマイクロマシニングされた構造物の間のギャップを狭めるための方法に関する。

【背景技術】

20

【0002】

表面マイクロマシニング（微細加工）されたデバイスの製造中に構造層を堆積させる方法は、時にはエピタキシャルリアクタの使用を含む。エピタキシは、1 つの結晶基板上にシリコンの単結晶層の層を形成するための及び、その他の基板材料上に多結晶シリコン層を形成する、例えばシリコン基板上に SiO_2 膜を形成するためのプロセスである。エピタキシリアクタは、目標基板上に堆積される層の均一な堆積及び化学的組成を保証するために、正確に制御された温度及び環境的条件で運転させられる。正確な制御に加えて、エピタキシャルリアクタの使用は、LPCVD（低圧化学蒸着）システムの場合に通常見られるよりも著しく高い速度で基板上の層のビルドアップを可能にする。

【0003】

30

米国特許第 6318175 号明細書には、回転センサ等のマイクロマシニングされたデバイスを形成するためにエピタキシャル堆積を使用するためのアプローチが記載されている。

【0004】

前記マイクロマシニング作業又は同様のプロセスは、多くの用途に対して許容できる製品を提供するが、幾つかの用途は、このプロセスによって提供されることができるとも微細な幅のギャップを、デバイス上のマイクロマシニングされたエレメントの間に必要とする。幾つかの用途は、例えば、マイクロマシニングされた構造物の間により高い作動キャパシタンス及び/又は静電力を得ることを必要とする。所望の狭いギャップを得るために極めて狭幅なトレンチをエッチングすることが試みられてきたが、これらの方法は、より低速のエッチング速度を必要とし、アスペクト比が制限されており、リソグラフィ及びエッチングプロセスの制限を受ける。同様に、狭幅なギャップを形成するためにゲルマニウムが提供されるが、このプロセスは、プロセス適合性の制限を有する。

40

【0005】

すなわち、依然として満足できる製造速度を維持しながら、デバイス設計目的を満たすように正確に規定又は“チューニング”されたエレメント間ギャップを備えた製品を提供する、デバイスを製造する方法が必要とされている。

【特許文献 1】米国特許第 6318175 号明細書

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 6 】

したがって本発明の課題は、デバイス上の少なくとも1つのマイクロメカニカルエレメントの複数の面の間のギャップをチューニングする方法と、このような方法によって形成されるデバイスとを提供することである。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の例示的な実施形態によれば、デバイス上のマイクロメカニカルエレメントの間のギャップを正確に制御する方法若しくは“ギャップチューニング”は、例えば単結晶シリコン又はSiGe混合物から成る基板層を有する部分的に形成されたマイクロメカニカルデバイスを用いて開始する。例えばSiO₂から成る犠牲層が基板層上に堆積させられる。例えば、エピタキシャルに堆積されたシリコンから成る機能層は、その上にマイクロメカニカル構造物若しくはデバイスを規定するために提供された後に、エッチングされる。

10

【 0 0 0 8 】

マイクロメカニカル構造物若しくはデバイスのエレメントが機能層及び犠牲層に規定されると、エピタキシャルリアクタ内でのデバイスの現場クリーニングが行われる。クリーニングは、表面酸化物を除去するための水素(H₂)及び/又はトレンチエッチングプロセスから生じるシリコン残留物及び表面欠陥を除去するための塩酸(HCl)を用いて行われる。クリーニングステップに続いて、部分的に完成したデバイスの表面、特に機能層にマイクロメカニカルエレメントを規定した前もってエッチングされたトレンチの側部において、シリコンのエピタキシ成長された層を選択的に堆積させることによって、ギャップチューニングが行われる。ギャップチューニング層が堆積されると、ギャップ幅が、例えば光学的エンドポイント検出システムを用いて監視される。エレメント間ギャップが所望の程度に狭められるとギャップチューニング堆積は停止される。

20

【 0 0 0 9 】

前記形式でのデバイス上のマイクロメカニカルエレメントの間のギャップ幅の正確な制御は以下のような複数の利点を提供する：エピタキシャルな環境及び標準的なエピタキシ機器との容易な適合性；エピタキシャルリアクタにおいて達成される高い層堆積速度による高い製造速度；単結晶シリコン、多結晶シリコン、SiGe混合物、純粋ゲルマニウム又はシリコンカーバイドを含む種々異なる材料をマイクロマシニングされたデバイス上に堆積させるために使用するための容易な適合性である。さらに、堆積された現場でドーピングされる。

30

【発明を実施するための最良の形態】

【 0 0 1 0 】

本発明の例示的な実施形態によれば、マイクロマシニングされた構造物若しくはデバイスをギャップチューニングするための方法が提供される。図1aに断面図で示したように、部分的に形成されたデバイスは、例えば基板シリコンから成る基板層1に基づき、この基板層上には、例えばSiO₂から成る犠牲層2が、低温酸化物(LTO)プロセスにおいて堆積されているか又は熱成長されている。図1bは、エッチング技術を使用して犠牲層2に孔又は開放領域3のパターンが形成された後における図1aの基板/犠牲層組合せの断面図を示している。エッチング技術は、例えば、犠牲層上に感光性材料を提供し、所望のエッチングパターンを備えたマスクを感光性材料上に提供し、マスクがけされた表面を露光し、次いで、感光性材料の露光された部分、ひいては露光された部分の下方における犠牲SiO₂を除去するためにエッチング剤を提供することによって行われる。図1cは、図1bの部分的に形成されたデバイスの平面図を示しており、エッチングプロセスによって犠牲層2を貫通して規定された孔を示している。図1bの断面図は、図1cのIB-IB線に沿って見たものである。

40

【 0 0 1 1 】

部分的に形成された装置は次いで、断面図1dに示したように、例えばシリコンのエピタキシャルに堆積された機能層4を受け取る。SiO₂上に形成された機能層4の部分5

50

は多結晶構造を有するのに対し、シリコン基板層 1 上に形成された機能層 4 の部分 6 は単結晶構造を有している。図 1 e に示したように、機能層 4 は前記形式で、機能層 4 にマイクロメカニカル構造物若しくはデバイスを規定するためにエッチングされる。このエッチングは、感光性材料の露光された部分と、その下方に位置する機能層 4 の多結晶シリコンとにエッチングされた、深くて狭幅なトレンチ 7 を含んでいる。トレンチエッチングプロセスは、場合によっては犠牲層 2 の SiO_2 まで機能層 4 を貫通する。

【 0 0 1 2 】

図 1 f は、エッチングされたトレンチによって規定されたマイクロメカニカルエレメント 8 を示す、部分的に形成されたデバイスの平面図である。図 1 d 及び図 1 e に示された断面図は両方とも、図 1 c の I B - I B 線にも対応する I E - I E 線に沿って見たものである。マイクロメカニカルエレメント 8 のたわみ梁部分 9 が、マイクロメカニカルエレメント 8 のベース部分 10 から延びるように、図 1 e に示されている。ベース部分 10 はシリコン基板 1 に堅固に固定されているのに対し、たわみ梁部分 9 は、下方に位置した犠牲層 2 の SiO_2 の層 11 に載置されており、ひいてはこの層 11 によって拘束されている。犠牲材料のこの層は、たわみ梁 9 を解放させるために除去される必要があり、これにより、マイクロメカニカルデバイスの動作中に静止位置からたわむようになる。例示的な実施形態では、たわみ梁 9 が解放された後、たわみ梁は長手方向軸線に対して垂直方向に自由にたわむ。この移動は、梁の間のギャップ 7 を変化させ、これ自体は、梁の間のキャパシタンスの検出可能な変化を生ぜしめる。

【 0 0 1 3 】

機能層 4 を貫通してエッチングされたトレンチ 7 を有する時点まで製造された、部分的に形成されたデバイスを用いて、マイクロメカニカルエレメント 8 の間のギャップの幅を正確に所望のギャップに変化させるプロセスが行われる。前のデバイス製造ステップの結果、 SiO_2 ハードマスクが存在するならば、マスクはデバイス上の所定の位置に残っていてよい。マスクは、後続のマイクロメカニカルエレメント解放ステップの間に除去されかつ、充填材料が必要とされていないデバイスの上面上における充填材料の堆積を最小限に抑制するからである。

【 0 0 1 4 】

クリーニングステップの後、ギャップチューニングプロセスは、部分的に形成されたデバイス上への単結晶シリコン、多結晶シリコン、ゲルマニウム及び / または SiGe 等の材料のエピタキシャル成長層の堆積を引き続き行う。エピタキシャルに堆積される材料の有利な選択は、コーティングされる材料の性質と、狭められるギャップのジオメトリとによって決定される。例えば、機能層は、単結晶シリコンから形成される。有利なギャップ狭め材料は、エピタキシャルな環境において、 H_2 流によって搬送される。温度、圧力、ギャップ狭め材料の化学的組成を含む H_2 流の環境的パラメータは、デバイスの様々な領域上へのギャップ狭め材料の選択的な堆積を達成するように変化させられる。例えば、トレンチ 7 を狭めるためにシリコンが堆積される場合、シラン、ジクロロシラン又はトリクロロシランのうちの 1 つが提供される。シリコン堆積をより選択的にするために、すなわち、シリコンを、機能層 4 に形成されたマイクロメカニカルエレメント 8 の表面上には堆積させるが、犠牲層 2 の SiO_2 の露出面には堆積させないように、 HCl が含まれていてよい。

【 0 0 1 5 】

この選択的な堆積の図が図 2 a に示されている。図 2 a は、図 1 f に示された I I A - I I A 線に沿って見たデバイスの部分断面図である。図 2 a は、トレンチ 7 によって互いに及び機能層 4 の個々の隣接した区分から分離されたマイクロメカニカルエレメント 8 の配列を示している。ギャップ狭めプロセスを開始する前には、矢印 12 によって示された幅によって示されているように、トレンチ 7 は所望の幅よりも広い。ギャップ狭め材料の堆積が開始されると、材料は、機能層 4 及びマイクロメカニカルエレメント 8 の上面と、トレンチ 7 の垂直側とに、堆積層 13 をビルドアップし始める。堆積層 13 の厚さは、エピタキシャル堆積プロセスが進行するに従って、所望のエレメント間ギャップ 14 に対応

10

20

30

40

50

する所望の厚さが達成されるまで増大する。この例示的な実施形態では、犠牲層 2 が SiO_2 から成っておりかつ、プロセスパラメータは選択的な堆積を提供するように制御されるので、ギャップ狭め材料はトレンチ底部 15 には堆積されない。換言すれば、ギャップ狭め材料は機能層上には堆積するが、犠牲 (SiO_2) 層上には堆積しないという選択的な堆積を生ぜしめるように、プロセスパラメータが調整される。このことは、マイクロメカニカルエレメント 8 の下方に位置する犠牲層 11 の部分が、マイクロメカニカルエレメント 8 を解放するための可能な後続の除去を容易にするために、露出させられたままであることを保証する。

【0016】

ギャップ狭め材料のエピタキシャル堆積の終了は様々な形式で制御される。例えば、ギャップ狭め堆積プロセスはステップ式に進行してよく、この場合、それまでに達成されたギャップ狭めの程度の精密検査を可能にするために周期的に停止させられる。有利には、ギャップ狭め材料堆積は 1 つのステップで完了されてよく、この場合、堆積層 13 の形成中にギャップ幅の周期的又は継続的な監視が行われる。このような行程中のギャップ幅監視及び堆積終了制御は、光学的エンドポイント監視システムによって行われてよい。本発明と共に使用するのに適した光学系は、例えばデバイス表面からの反射光の干渉パターンを見ることによってギャップ厚さを検出する。択一的に、図 2 b に示された例示的な実施形態のように、光学系は、より高い表面 16 からの反射光と、トレンチ 7 の底部におけるより低い表面 17 からの反射光とを比較する。

【0017】

本発明の例示的な実施形態に基づく非選択的な堆積の例が図 3 に示されている。図 3 は、図 1 f に示された I I A - I I A 線に沿って見たデバイスの部分断面図である。図 3 は、トレンチ 7 によって互いに及び機能層 4 の個々の隣接する区分から分離されたマイクロメカニカルエレメント 8 の配列を示している。ギャップ狭め材料の堆積は、機能層 4 及びマイクロメカニカルエレメント 8 の上面と、トレンチ 7 の垂直側とにおける堆積層 13 のビルドアップを生じる。この例示的な実施形態では、非選択的な堆積、ひいては全ての箇所においてギャップ狭め材料の堆積を提供するように制御される。したがって、犠牲層 2 が SiO_2 から成っており、非選択的な堆積を提供するようにプロセスパラメータが制御されるので、ギャップ狭め材料はトレンチ底部 15 に堆積される。さらに、図 3 は、極めて均等な堆積の結果を示しており、ひいては、ギャップ狭め材料の堆積は、上部 (部分 19 a) とトレンチ底部 15 (部分 19 b) とにおいて均一である。択一的な、不均一な堆積では、堆積速度は、トレンチ底部 15 (部分 19 b) におけるよりも上部 (部分 19 a) において高い。マイクロメカニカルエレメント 8 の垂直方向側壁に配置された堆積層 13 の部分 20 を残しながら、トレンチ 7 の底部における堆積層 13 の部分 19 b と、マイクロメカニカルエレメント 8 の上部における部分 19 a とを除去するための方法が望ましい。図 3 は、スパッタリングによって堆積層 13 の部分 19 a 及び 19 b を除去するための例示的な方法を示している。スパッタリングは、デバイスの表面の上方のプラズマ領域において粒子、例えばアルゴンをイオン化し、イオンを静電界において矢印 21 の方向に加速することを含む。イオンは次いでデバイスの表面に衝突し、これにより、デバイスの表面に機械的エネルギーを付与し、表面から粒子を叩き出す。したがって、このスパッタリングは、矢印 21 に対して垂直な表面から材料をほとんど均一に除去するという効果を有する。したがって、マイクロメカニカルエレメント 8 の垂直方向側壁は、イオンによって比較的接触されないままであり、ひいては堆積層 13 の部分 20 の一部又は全てを保持する。

【0018】

ギャップ狭めプロセスが完了すると、マイクロメカニカルエレメント 8 は、あらゆる方法を使用して、犠牲層材料から成る下方に位置するコラムから解放される。ギャップチューニングの後、マイクロメカニカルエレメント解放プロセスステップの前に、デバイスに金属が付加されてよい。

【0019】

択一的な例示的な実施形態では、SOI (シリコン・オン・インシュレータ) ウェハが使

10

20

30

40

50

用される。S O I ウェハの絶縁層は犠牲層を形成しており、S O I ウェハの上部シリコン層は上部層を形成している。

【0020】

図4は、マイクロメカニカルエレメントの間のギャップをチューニングし、マイクロメカニカルエレメントを下方の犠牲層から解放させるための例示的な方法の詳細の実行を示すフローチャートである。プロセス方法は、ステップ100において、マイクロメカニカル構造物若しくはデバイスのエレメントを規定するためにトレンチがエッチングされているデバイスを用いて開始する。この方法において選択的なステップであるステップ110において、トレンチエッチングプロセスからの残留材料が除去される。ステップ110の後ステップ120が続き、デバイスをエピタキシャルリアクタに配置する。ステップ120の後ステップ130が行われ、トレンチ形成プロセスの後デバイスの表面をH₂ガスに曝すことによって、残留するマイクロメカニカルデバイスの表面からの残留酸化物を除去し、かつ/又はトレンチ形成プロセスの後デバイスの表面をHClに曝すことによって残留するシリコン残留物を除去する。択一的に、ステップ130は省略されてよく、フローはステップ120から直接にステップ140へ進んでよい。ステップ130の後にステップ140が行われ、所望のエレメント間のギャップ幅が得られるまでデバイスの選択された表面にギャップ狭め材料をエピタキシャルに堆積させる。ステップ140の後、デバイスは、エピタキシャルリアクタから除去される。ステップ150は、HFガスをデバイス上に流すことによって、露出された犠牲層材料を除去する。ステップ150も、所望のデバイスに応じて選択的であり、したがって、フローはステップ140から直接にステップ160へ進んでよい。ステップ160は、マイクロマシニングされたデバイスの製造プロセスのマイクロメカニカルエレメントギャップチューニング及び解放段階部分の終了を表す。

【0021】

図5は、シリコンウェハであってよいハンドルウェハ51を示しており、このハンドルウェハ51は、ハンドルウェハ51の上方に配置された、犠牲材料54によって充填されたキャピティを規定したデバイス層52を備えている。包囲層53が、デバイス層52の上方に配置されており、犠牲層材料54に接続した穴55を有している。穴55は、上記の形式でギャップチューニング層57を堆積させることによってギャップチューニングされてよい。後続のプロセスステップにおいて、犠牲層はあらゆる適切な技術を用いてエッチング若しくは解放される。この形式では、多数の機能層及び多数の犠牲層を有する例示的なデバイスが構成され、このデバイスは、ギャップチューニング層57によってチューニングされた穴55とデバイス56とを有している。択一的な例示的实施形態では、包囲層53の上方により多くの犠牲層及びより多くの機能層が配置されてよい。

【0022】

本発明を、前記代表的な実施形態に関連して説明したが、代表的な実施形態は本質的に例示的であり、添付の請求項に示されたように発明の保護範囲を限定するものとして解釈されるべきでないことは当業者に容易に明らかであるべきである。

【図面の簡単な説明】

【0023】

【図1a】例示的なマイクロマシニングされたデバイスの準備の1つの段階を示す断面図である。

【図1b】例示的なマイクロマシニングされたデバイスの準備の1つの段階を示す断面図である。

【図1c】例示的なマイクロマシニングされたデバイスの準備の1つの段階を示す平面図である。

【図1d】例示的なマイクロマシニングされたデバイスの準備の1つの段階を示す断面図である。

【図1e】例示的なマイクロマシニングされたデバイスの準備の1つの段階を示す断面図である。

10

20

30

40

50

【図 1 f】例示的なマイクロマシニングされたデバイスの準備の 1 つの段階を示す平面図である。

【図 2 a】例示的なマイクロマシニングされたデバイスへの材料の付加を示す本発明の例示的な実施形態を示している。

【図 2 b】所望の元素間ギャップ幅を検出するための例示的な方法を示している。

【図 3】望ましくないエピタキシャルに堆積された材料を除去するためにスパッタリングを行う、図 2 a 及び 2 b の例示的な実施形態を示している。

【図 4】本発明の例示的な実施形態に基づく、所望の元素間ギャップ幅を達成するためのステップを示すフローチャートである。

【図 5】多数の層を有する例示的なデバイスの断面図である。

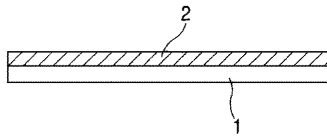
10

【符号の説明】

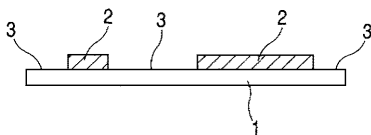
【0024】

1 基板層、 2 犠牲層、 3 開放領域、 4 機能層、 7 トレンチ、 8 マイクロメカニカル元素、 9 たわみ梁部分、 10 ベース部分、 11 層、 13 堆積層、 14 元素間ギャップ、 15 トレンチ底部、 16 より高い表面、 17 より低い表面、 19 a, 19 b 部分、 20 部分、 51 ハンドルウェハ、 52 デバイス層、 53 包囲層、 54 犠牲層材料、 55 穴、 56 デバイス、 57 ギャップチューニング層

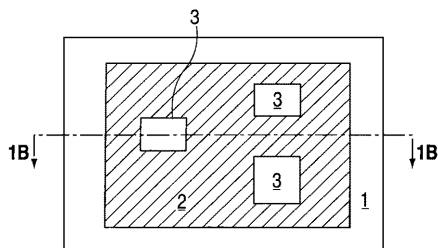
【図 1 a】



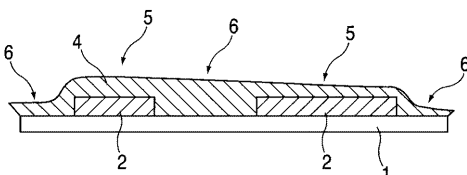
【図 1 b】



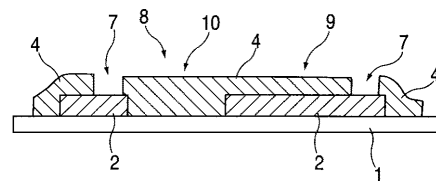
【図 1 c】



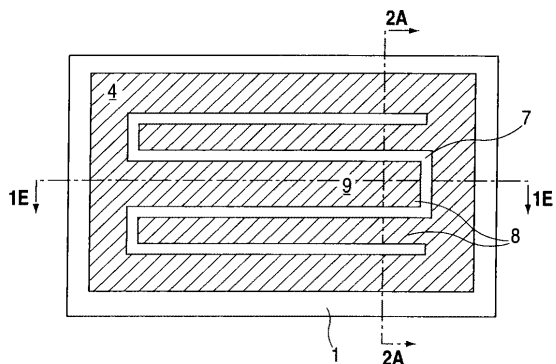
【図 1 d】



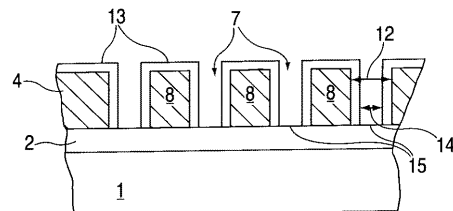
【図 1 e】



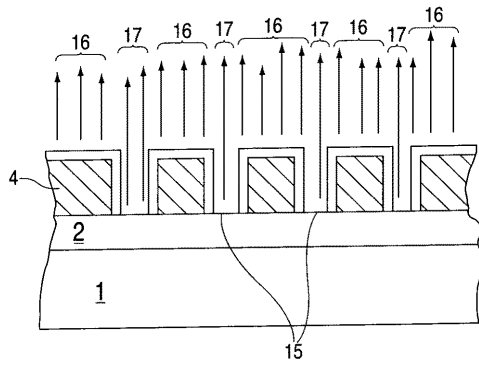
【図 1 f】



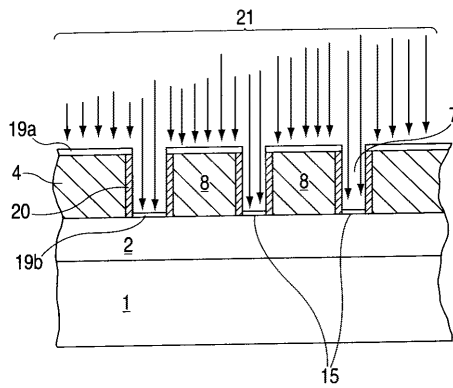
【図 2 a】



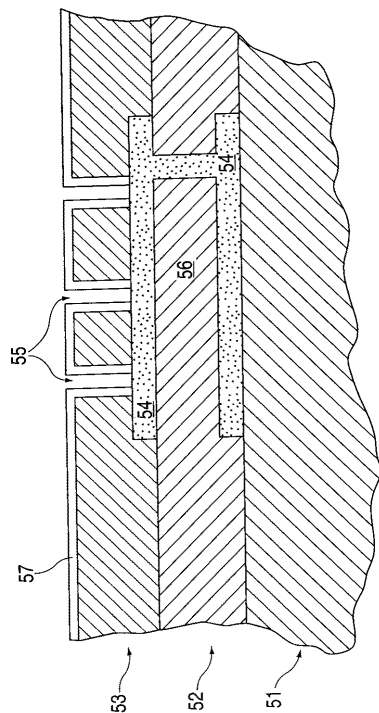
【図 2 b】



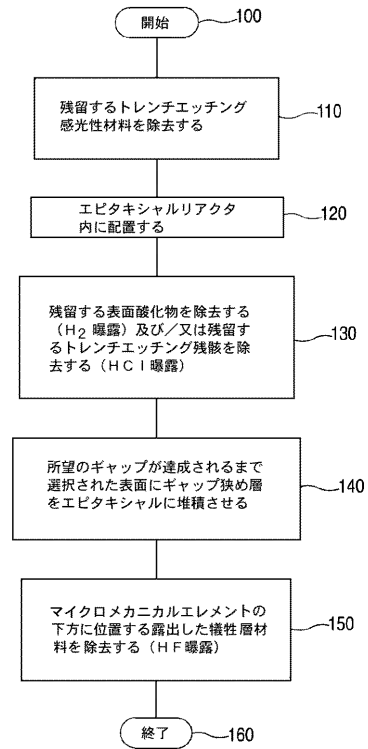
【図 3】



【図 5】



【図 4】



フロントページの続き

(72)発明者 アーロン パートリッジ

アメリカ合衆国 カリフォルニア パロ アルト ノース カリフォルニア アヴェニュー 22
4

(72)発明者 マルクス ルッツ

アメリカ合衆国 カリフォルニア パロ アルト マヌエラ アヴェニュー 4214