

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年2月25日(25.02.2010)

(10) 国際公開番号
WO 2010/021082 A1

- (51) 国際特許分類:
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2009/003419
- (22) 国際出願日: 2009年7月22日(22.07.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-212614 2008年8月21日(21.08.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (Mitsubishi Electric Corporation) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 中山靖 (NAKAYAMA, Yasushi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号三菱電機株式会社内 Tokyo (JP). 中川良介 (NAKAGAWA, Ryosuke) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 高橋省吾, 外 (TAKAHASHI, Shogo et al.); 〒1008310 東京都千代田区丸の内二丁目7番3

号三菱電機株式会社 知的財産センター内 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

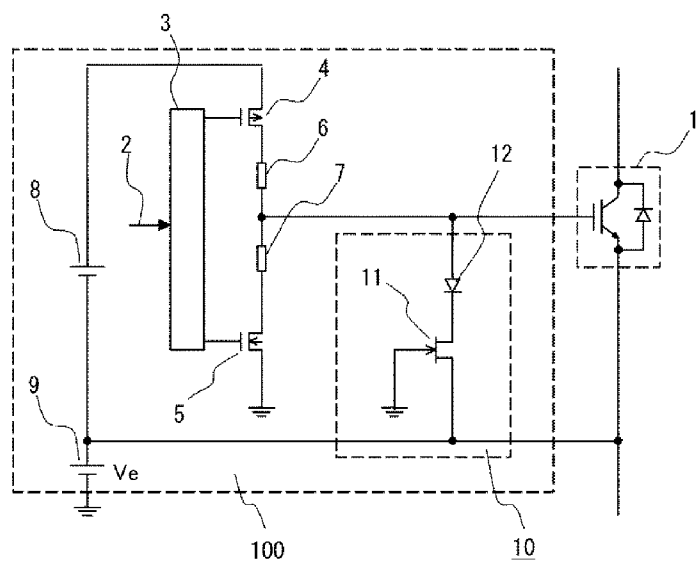
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: DRIVING CIRCUIT FOR POWER SEMICONDUCTOR ELEMENT

(54) 発明の名称: 電力用半導体素子の駆動回路

[図1]



(57) Abstract: Provided is a driving circuit for a power semiconductor element, which can achieve a high-speed response to a voltage change (dV/dt) while reducing power consumption and prevent the malfunction of the power semiconductor element by a simple circuit configuration. The driving circuit for the power semiconductor element is provided with a control circuit for performing on/off control of the power semiconductor element, a direct-current power supply for supplying voltage between control terminals of the power semiconductor element, and a switching element connected between the control terminals of the power semiconductor element. The switching element is turned on when the power-supply voltage of the direct-current power supply decreases or turned on when the voltage between the control terminals of the power semiconductor element increases while the power-supply voltage of the direct-current power supply decreases to thereby cause a short-circuit between the control terminals of the power semiconductor element.

(57) 要約:

[続葉有]

WO 2010/021082 A1



簡単な回路構成で、消費電力を抑えながら、電圧変動 dV/dt に対する高速応答が可能であり、電力用半導体素子の誤動作を防止することができる電力用半導体素子の駆動回路を得るために、電力用半導体素子のオンオフを制御する制御回路と、電力用半導体素子の制御端子間に電圧を供給する直流電源と、電力用半導体素子の制御端子間に接続されたスイッチング素子を備え、スイッチング素子は、直流電源の電源電圧が低下した場合にオンし、または、直流電源の電源電圧が低下した状態で電力用半導体素子の制御端子間電圧が上昇した場合にオンし、電力用半導体素子の制御端子間を短絡させる。

明 細 書

発明の名称：電力用半導体素子の駆動回路

技術分野

[0001] この発明は、電力用半導体素子の駆動回路に関するものであり、特に電圧変動 dV/dt によって、電力用半導体素子が誤動作することを防止する機能を有する電力用半導体素子の駆動回路に関する。

背景技術

[0002] 従来の電力用半導体素子の駆動回路において、IGBT (Insulated Gate Bipolar Transistor) 等の自己消弧形の電力用半導体素子を用いる場合には、電力用半導体素子のコレクターエミッタ間に電圧変動 dV/dt が印加されると、電力用半導体素子のゲートに付随する寄生容量によって、ゲート電圧が上昇する。ゲート電圧が所定のしきい値電圧を超えると、電力用半導体素子が誤ってオンし、アーム短絡が発生し、電力用半導体素子が破壊するという問題が発生する。この問題を回避するために、電力用半導体素子がオフ状態でゲートエミッタ間に負電圧を印加する方法がある。しかしながら、この方法ではゲート駆動回路の電源電圧が確立していない状態で電圧変動 dV/dt の電圧が印加されると、電力用半導体素子のスイッチング動作が誤動作する可能性がある。

[0003] 半導体素子の駆動電力を電力変換器の主回路から供給する電源自給式の駆動回路において、主電源投入後、ゲート駆動回路の電源電圧が確立するまでに、半導体素子のスイッチング動作が誤動作することを防止する方法がある。具体的には、ゲート駆動回路では半導体素子のゲートとエミッタとの間に抵抗とPチャンネルFET (Field Effect Transistor) またはNチャンネルFETとを接続する。そして、ゲート駆動回路の電源電圧が立ち上がる前にゲート電圧が上昇した場合には、PチャンネルFETまたはNチャンネルFETをオンすることで、ゲート電圧の上昇を制限し、半導体素子のスイッチング動作の誤動作を防止する（例えば、特許文献

1 参照)。

先行技術文献

特許文献

[0004] 特許文献1：特開平10-285909号公報

発明の概要

発明が解決しようとする課題

[0005] 従来の電力用半導体素子の駆動回路では、ゲート駆動回路の電源電圧が立ち上がった後はPチャンネルFETまたはNチャンネルFETをオフ状態に保つために、常時、抵抗に電流を流し続ける必要があり、駆動回路の消費電力が増加するという問題があった。また、ゲート電圧が所定レベルに達したことを検出するためのレベル検出回路が必要であった。さらに、特許文献1では想定されていないが、駆動回路が運転中に停電が発生した場合には、フリーホイールダイオードのリカバリによって大きな電圧変動 dV/dt が電力用半導体素子に印加される場合があり、駆動回路には電圧変動 dV/dt に対する高速応答性が必要とされる。この問題を解決するために、例えば、NチャンネルFETに接続される抵抗の抵抗値を小さくすることが考えられるが、さらに消費電力が増加するという問題もあった。なお、特許文献1には、ノーマリーオンの半導体素子を用いるという記載があるものの、具体的な回路図については示されていない。

[0006] この発明は、上述のような課題を解決するためになされたもので、簡単な回路構成で、消費電力を抑えながら、電圧変動 dV/dt に対して高速に応答し、電力用半導体素子の誤動作防止機能を有する電力用半導体素子の駆動回路を得るものである。

課題を解決するための手段

[0007] この発明に係る電力用半導体素子の駆動回路は、電力用半導体素子のオンオフを制御する制御回路と、電力用半導体素子の制御端子間に電圧を供給する直流電源と、電力用半導体素子の制御端子間に接続されたスイッチング素

子とを備え、スイッチング素子は、直流電源の電源電圧が低下した場合にオンし、または、直流電源の電源電圧が低下した状態で電力用半導体素子の制御端子間電圧が上昇した場合にオンし、電力用半導体素子の制御端子間を短絡させることを特徴とするものである。

発明の効果

[0008] この発明に係る電力用半導体素子の駆動回路は、電力用半導体素子の制御端子間に接続されたスイッチング素子が、直流電源の電源電圧が低下した場合にオンし、または、直流電源の電源電圧が低下した状態で電力用半導体素子の制御端子間電圧が上昇した場合にオンし、電力用半導体素子の制御端子間を短絡させるので、簡単な回路構成で、消費電力を抑えながら、電圧変動 dV/dt に対して高速に応答し、電力用半導体素子の誤動作を防止することができる。

図面の簡単な説明

[0009] [図1] この発明の実施の形態 1 における電力用半導体素子の駆動回路の構成を示す回路図である。

[図2] この発明の実施の形態 2 における電力用半導体素子の駆動回路の構成を示す回路図である。

[図3] この発明の実施の形態 3 における電力用半導体素子の駆動回路の構成を示す回路図である。

[図4] この発明の実施の形態 4 における電力用半導体素子の駆動回路の構成を示す回路図である。

[図5] この発明の実施の形態 4 における別の電力用半導体素子の駆動回路の構成を示す回路図である。

[図6] この発明の実施の形態 5 における電力用半導体素子の駆動回路の構成を示す回路図である。

[図7] この発明の実施の形態 6 における電力用半導体素子の駆動回路の構成を示す回路図である。

発明を実施するための形態

[0010] 実施の形態 1.

図 1 は、この発明を実施するための実施の形態 1 における電力用半導体素子の駆動回路の構成を示す回路図である。図 1 において、電力用半導体素子の駆動回路 100 は、制御回路 3、オン用 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 4、オフ用 MOSFET 5、ゲート抵抗 6、7、第一の直流電源 8、第二の直流電源 9、 dV/dt 誤動作防止回路 10 によって構成されている。駆動回路 100 には、電力用半導体素子である IGBT 1 が接続されている。IGBT 1 は、並列接続されたダイオードを備えている。

[0011] 制御回路 3 は、電力用半導体素子である IGBT 1 のオンオフを制御するもので、外部からの制御信号 2 に従って、オン用 MOSFET 4 およびオフ用 MOSFET 5 を制御する。オン用 MOSFET 4 はゲート抵抗 6 を介して IGBT 1 のゲートに接続され、オフ用 MOSFET 5 はゲート抵抗 7 を介して IGBT 1 のゲートに接続されている。制御回路 3 がオン用 MOSFET 4 をオン、オフ用 MOSFET 5 をオフすることによって、ゲート抵抗 6 を介して IGBT 1 のゲートに充放電電流が流れ、IGBT 1 をオンする。一方、制御回路 3 がオン用 MOSFET 4 をオフ、オフ用 MOSFET 5 をオンすることによって、ゲート抵抗 7 を介して IGBT 1 のゲートに充放電電流が流れ、IGBT 1 をオフする。

[0012] 第一の直流電源 8 および第二の直流電源 9 は、IGBT 1 の制御端子間に電圧を供給する直流電源を構成している。第一の直流電源 8 は、IGBT 1 がオン状態で IGBT 1 の制御端子間であるゲート-エミッタ間に正電圧を供給し、第二の直流電源 9 は、IGBT 1 がオフ状態で IGBT 1 の制御端子間であるゲート-エミッタ間に負電圧を供給するものである。IGBT 1 がオン状態の場合には、制御回路 3 によってオン用 MOSFET 4 がオン、オフ用 MOSFET 5 がオフとなっているので、IGBT 1 のゲート-エミッタ間には、第一の直流電源 8 の電源電圧によって正電圧が印加される。IGBT 1 のエミッタには第二の直流電源 9 が接続されており、IGBT 1 が

オフ状態の場合には、制御回路3によってオン用MOSFET4がオフ、オフ用MOSFET5がオンとなっているので、IGBT1のゲート-エミッタ間には、第二の直流電源9の電源電圧 V_e によって負電圧 $-V_e$ が印加される。

[0013] IGBT1のゲート-エミッタ間には dV/dt 誤動作防止回路10が接続されている。 dV/dt 誤動作防止回路10は、ノーマリーオン素子であるnチャンネルJFET (Junction Field Effect Transistor) 11、および、IGBT1のエミッタ側からゲート側へ逆電流が流れることを防止するために設けられたダイオード12によって構成されている。JFET11は、IGBT1のゲート-エミッタ間（電力用半導体素子の制御端子間）に接続されたスイッチング素子である。JFET11のゲート（制御端子）は第二の直流電源9の負極側である駆動回路100のGNDに接続され、JFET11のソースはIGBT1のエミッタに接続され、JFET11のドレインはダイオード12を介してIGBT1のゲートに接続されている。ダイオード12は、JFET11に対して直列接続され、IGBT1のゲート-エミッタ間に接続されている。ダイオード12のアノードは、IGBT1のゲートに接続され、ダイオード12のカソードは、JFET11に接続されている。

[0014] 次に、駆動回路100の動作について説明する。正常状態、すなわち、第二の直流電源9の電源電圧が確立している状態では、IGBT1のオフ期間中に、例えばIGBT1に並列接続されたダイオードのリカバリ動作等によってIGBT1に電圧変動 dV/dt が印加された場合でも、IGBT1のゲート-エミッタ間には負電圧 $-V_e$ が印加されている。このため、IGBT1のゲート-エミッタ間電圧が上昇したとしても、ゲート-エミッタ間電圧はIGBT1のしきい値電圧以下に抑えられるので、IGBT1が誤ってオンすることはない。また、JFET11のゲート-ソース間には負電圧 $-V_e$ が印加されており、JFET11のしきい値電圧 $V_{gs(off)}$ の絶対値 $|V_{gs}|$ を負電圧 $-V_e$ の絶対値 $|V_e|$ より低く設定することによ

って、J F E T 1 1 はオフとなり、 dV/dt 誤動作防止回路 1 0 には電流は流れない。このため、正常状態での I G B T 1 のスイッチング動作に影響を与えることはない。

[0015] 一方、異常状態、すなわち、停電等によって第二の直流電源 9 の電源電圧が低下すると、I G B T 1 のゲート-エミッタ間に印加される負電圧 $-V_e$ の絶対値 $|V_e|$ が低下する。そして、負電圧 $-V_e$ の絶対値 $|V_e|$ が J F E T 1 1 のしきい値電圧 $V_{gs}(off)$ の絶対値 $|V_{gs}|$ より低下すると J F E T 1 1 がオンする。つまり、直流電源である第二の直流電源 9 の電源電圧が低下した場合に、J F E T 1 1 がオンする。この結果、J F E T 1 1 は、I G B T 1 のゲート-エミッタ間を短絡する。このため、この状態で I G B T 1 に電圧変動 dV/dt が印加されても I G B T 1 のゲート電圧の上昇が抑制され、I G B T 1 が誤ってオンする誤動作を防止することができる。

[0016] 本発明の電力用半導体素子の駆動回路では、J F E T 1 1 を駆動するために別の駆動回路や電源等を設ける必要がなく、簡単な回路構成によって、電圧変動 dV/dt に起因する I G B T 1 の誤動作を抑制することができる。また、正常時には、J F E T 1 1 を含む dV/dt 誤動作防止回路 1 0 内に電流が流れることがないので、駆動回路 1 0 0 の消費電力を抑えることができる。さらに、第二の直流電源 9 の電源電圧が低下し、負電圧 $-V_e$ の絶対値 $|V_e|$ が J F E T 1 1 のしきい値電圧 $V_{gs}(off)$ の絶対値 $|V_{gs}|$ より低下した時点で J F E T 1 1 がオンするため、高速応答性が良く、I G B T 1 のゲート駆動用の電源の立上げ時のみならず、運転状態で停電が発生し、ダイオードのリカバリによる大きな電圧変動 dV/dt が印加された場合に対しても I G B T 1 の誤動作を防止できる。

[0017] 本実施の形態に示した dV/dt 誤動作防止回路 1 0 の回路構成は一例であり、電圧変動 dV/dt による誤動作防止の機能を満たしていれば良く、J F E T 1 1 を多並列で用いたり、電流制限用に電圧変動 dV/dt の印加によっても I G B T 1 が誤動作しない程度の低インピーダンスの抵抗を J F

ET11のゲートまたはドレインに接続したりしても良い。また、本実施の形態ではノーマリーオン素子としてJFET11を用いたが、その機能を満たしていれば良く、例えばディプレッション型MOSFET等に置換えても良い。

[0018] 以上のように、ノーマリーオン素子をIGBT1のゲート-エミッタ間に接続することという簡単な回路構成で、消費電力を抑えながら、電圧変動 dV/dt に対する高速応答が可能であり、電力用半導体素子の誤動作防止機能を有する電力用半導体素子の駆動回路を得ることができる。

[0019] 実施の形態2.

図2は、この発明を実施するための実施の形態2における電力用半導体素子の駆動回路の構成を示す回路図である。本実施の形態の電力用半導体素子の駆動回路は、 dV/dt 誤動作防止回路に電流増幅段を備えた点が実施の形態1と異なる。電流増幅段は、電力用半導体素子のゲート容量が大きく、ノーマリーオン素子であるJFETの電流容量が不足するような場合に対応して、JFETのソース電流を増幅し、 dV/dt 誤動作防止回路に流れる電流を大きくする増幅回路である。図2において、図1と同一の符号を付したものは、同一またはこれに相当するものであり、このことは明細書の全文において共通することである。また、明細書全文に表れている構成要素の様子は、あくまで例示であってこれらの記載に限定されるものではない。

[0020] 本実施の形態の dV/dt 誤動作防止回路30において、ノーマリーオン素子であるJFET11のゲートが駆動回路110のGNDに接続され、JFET11のドレインがダイオード12を介してIGBT1のゲートに接続される点は実施の形態1と同様である。そして、 dV/dt 誤動作防止回路30には、増幅回路を構成する電流増幅用のnpnトランジスタ13、ダイオード14、および抵抗15が追加されている。npnトランジスタ13は、IGBT1のゲート-エミッタ間に接続され、JFET11に流れる電流を増幅するノーマリーオフのスイッチング素子である。JFET11のソースは抵抗15を介して、IGBT1のエミッタに接続される。また、JFE

T11のソースは電流増幅用のnpnトランジスタ13の制御端子であるベースにも接続されている。npnトランジスタ13のエミッタはIGBT1のエミッタに、npnトランジスタ13のコレクタはダイオード14を介してIGBT1のゲートに接続されている。

[0021] 次に、駆動回路110の動作について説明する。正常状態、すなわち、第二の直流電源9の電源電圧が確立した状態では、JFET11はオフしており、npnトランジスタ13もオフとなり、 dV/dt 誤動作防止回路30内に電流は流れない。異常状態、すなわち、停電等によって第二の直流電源9の電源電圧が低下すると、IGBT1のゲート-エミッタ間に印加される負電圧 $-V_e$ の絶対値 $|V_e|$ が低下する。そして、負電圧 $-V_e$ の絶対値 $|V_e|$ がJFET11のしきい値電圧 $V_{gs(off)}$ の絶対値 $|V_{gs}|$ より低下するとJFET11がオンする。この状態でIGBT1に電圧変動 dV/dt が印加されると、IGBT1のゲート電圧が上昇し、npnトランジスタ13のベースに電流が流れ、npnトランジスタ13がオンする。つまり、直流電源である第二の直流電源9の電源電圧が低下した状態でIGBT1の制御端子間電圧であるゲート電圧が上昇した場合に、npnトランジスタ13がオンする。これにより、IGBT1のゲート-エミッタ間が短絡され、IGBT1のゲート電圧の上昇が抑制され、IGBT1が誤ってオンする誤動作を防止できる。

[0022] npnトランジスタ13を備えたことによって、実施の形態1に示した dV/dt 誤動作防止回路10に比べて dV/dt 誤動作防止回路30に流れる電流が増幅されるので、IGBT1のゲート容量が大きい場合でも、IGBT1の誤動作を防止することが出来る。なお、JFET11のしきい値 $V_{gs(off)}$ の絶対値 $|V_{gs}|$ は、実施の形態1と同様に正常時の負電圧 $-V_e$ の絶対値 $|V_e|$ より低く設定する必要があるが、本実施の形態ではnpnトランジスタ13がオンするベース-エミッタ間電圧 V_{be} もJFET11のソースに印加されるため、npnトランジスタ13のベース-エミッタ間電圧 V_{be} の絶対値 $|V_{be}|$ をJFET11のしきい値 V_{gs} （

o f f) の絶対値 $|V_{gs}|$ より低く設定する。

[0023] 本実施の形態において、電流増幅用のトランジスタとして npn トランジスタ 13 を用いたが、n チャンネル MOSFET を用いても良い。この場合には、MOSFET のゲートソース間のしきい値電圧 V_{th} の絶対値 $|V_{th}|$ を JFET 11 のしきい値 $V_{gs}(off)$ の絶対値 $|V_{gs}|$ より低く設定する。なお、本実施の形態において説明した dV/dt 誤動作防止回路 30 の構成は JFET 11 のソース電流を増幅するための一例であり、 dV/dt 誤動作防止回路がその機能を満たしていれば良く、必要な電流容量に応じて JFET 11 や npn トランジスタ 13 を多並列で用いても良いし、npn トランジスタ 13 をダーリントン接続しても良いし、JFET 11 のゲートやドレイン、npn トランジスタ 13 のコレクタやベースに電流制限用の抵抗を接続しても良い。

[0024] 以上のような構成によって、IGBT 1 のゲートエミッタ間にノーマリーオン素子である JFET 11 のみを接続した場合に比べて、npn トランジスタ 13 等によって電流が増幅されるため、IGBT 1 の制御端子（ゲート端子）の容量が大きく、JFET 11 だけでは電流容量が不足する場合でも、IGBT 1 が誤ってオンする誤動作を防止することができる。

[0025] 実施の形態 3.

図 3 は、この発明を実施するための実施の形態 3 における電力用半導体素子の駆動回路の構成を示す回路図である。本実施の形態の電力用半導体素子の駆動回路は、 dV/dt 誤動作防止回路の電流増幅用のトランジスタとして pnp トランジスタを備えた点が実施の形態 2 と異なる。 dV/dt 誤動作防止回路 40 には、増幅回路を構成する電流増幅用の pnp トランジスタ 16、ダイオード 14、および抵抗 15 が設けられている。

[0026] 本実施の形態の dV/dt 誤動作防止回路 40 において、ノーマリーオン素子である JFET 11 のゲートが駆動回路 120 の GND に接続され、JFET 11 のソースが IGBT 1 のエミッタに接続され、JFET 11 のドレインは抵抗 15 およびダイオード 12 を介して IGBT 1 のゲートに接続

されている。また、J F E T 1 1 のドレインは p n p トランジスタ 1 6 の制御端子であるベースにも接続されている。p n p トランジスタ 1 6 は、I G B T 1 のゲートーエミッタ間に接続され、J F E T 1 1 に流れる電流を増幅するノーマリーオフのスイッチング素子である。p n p トランジスタ 1 6 のエミッタはダイオード 1 4 を介して I G B T 1 のゲートに接続され、p n p トランジスタ 1 6 のコレクタは I G B T 1 のエミッタに接続されている。

[0027] なお、本実施の形態では、ダイオード 1 2 のアノードを I G B T 1 のゲートに接続しているが、ダイオード 1 2 のアノードを第一の直流電源 8 の正極側に接続したり、ダイオード 1 2 を設置せずに、抵抗 1 5 を第一の直流電源 8 の正極側に接続したりしても良い。また、p n p トランジスタ 1 6 のコレクタを I G B T 1 のエミッタに接続しているが、p n p トランジスタ 1 6 のコレクタを駆動回路 1 2 0 の G N D に接続しても良い。

[0028] 次に、駆動回路 1 2 0 の動作について説明する。正常状態、すなわち、第二の直流電源 9 の電源電圧が確立した状態では、J F E T 1 1 はオフしており、p n p トランジスタ 1 6 もオフとなり、 dV/dt 誤動作防止回路 4 0 内に電流は流れない。異常状態、すなわち、停電等により第二の直流電源 9 の電源電圧が低下すると、I G B T 1 のゲートーエミッタ間に印加される負電圧 $-V_e$ の絶対値 $|V_e|$ が低下する。そして、負電圧 $-V_e$ の絶対値 $|V_e|$ が J F E T 1 1 のしきい値電圧 $V_{gs(off)}$ の絶対値 $|V_{gs}|$ より低下すると J F E T 1 1 がオンする。この状態で I G B T 1 に電圧変動 dV/dt が印加されると、I G B T 1 のゲート電圧が上昇し、p n p トランジスタ 1 6 のベースに電流が流れ、p n p トランジスタ 1 6 がオンする。つまり、直流電源である第二の直流電源 9 の電源電圧が低下した状態で I G B T 1 の制御端子間電圧であるゲート電圧が上昇した場合に、p n p トランジスタ 1 6 がオンする。これにより、I G B T 1 のゲートーエミッタ間が短絡され、I G B T 1 のゲート電圧の上昇が抑制され、I G B T 1 が誤ってオンする誤動作を防止できる。

[0029] p n p トランジスタ 1 6 を備えたことによって、実施の形態 1 に示した d

V/dt 誤動作防止回路 10 に比べて dV/dt 誤動作防止回路 40 に流れる電流が増幅されるので、IGBT1 のゲート容量が大きい場合でも、IGBT1 の誤動作を防止することが出来る。

[0030] ここで、電流増幅用のトランジスタとして npn トランジスタに代えて pnp トランジスタ 16 を用いることの特長について説明する。実施の形態 2 のように npn トランジスタ（または p チャンネル MOSFET）を用いる場合には、npn トランジスタのベース-エミッタ間電圧が JFET11 のソース-ゲート間にも印加されるので、JFET11 のしきい値 $V_{gs}(\text{off})$ の絶対値 $|V_{gs}|$ を、npn トランジスタ 13 のベース-エミッタ間電圧 V_{be} の絶対値 $|V_{be}|$ または MOSFET のゲート-ソース間のしきい値電圧 V_{th} の絶対値 $|V_{th}|$ より高く設定する必要があった。しかしながら、本実施の形態のように pnp トランジスタ 16 を用いる場合には、JFET11 のゲート-ソース間に印加される電圧は第二の直流電源 9 の電源電圧による負電圧 $-V_e$ のみとなり、JFET11 のしきい値電圧 $V_{gs}(\text{off})$ の絶対値 $|V_{gs}|$ を、npn トランジスタ 13 のベース-エミッタ間電圧 V_{be} の絶対値 $|V_{be}|$ または MOSFET のゲート-ソース間のしきい値電圧 V_{th} の絶対値 $|V_{th}|$ より高く設定する必要がない。単に正常時の第二の直流電源 9 の電源電圧による負電圧 $-V_e$ に対して、JFET11 のしきい値電圧 $V_{gs}(\text{off})$ の絶対値 $|V_{gs}|$ を負電圧 $-V_e$ の絶対値 $|V_e|$ より低く設定すればよく、広い範囲でしきい値を設定することができる。

[0031] なお、本実施の形態において説明した dV/dt 誤動作防止回路 40 の構成は JFET11 のソース電流を増幅するための一例であり、 dV/dt 誤動作防止回路がその機能を満たしていれば良く、必要な電流容量に応じて JFET11 や npn トランジスタ 16 を多並列で用いても良いし、pnp トランジスタ 16 をダーリントン接続しても良いし、JFET11 のゲートやドレイン、pnp トランジスタ 16 のコレクタやベースに電流制限用の抵抗を接続しても良い。

[0032] 以上のような構成によって、IGBT1のゲート-エミッタ間にノーマリーオン素子であるJFET11のみを接続した場合に比べて、pnptランジスタ16等によって電流が増幅されるため、IGBT1の制御端子（ゲート端子）の容量が大きく、JFET11だけでは電流容量が不足する場合でも、IGBT1が誤ってオンする誤動作を防止することができる。

[0033] 実施の形態4.

図4は、この発明を実施するための実施の形態4における電力用半導体素子の駆動回路の構成を示す回路図である。本実施の形態の電力用半導体素子の駆動回路は、電源電圧検知回路を備えた点が実施の形態1と異なる。

[0034] 実施の形態1～3においては、停電等によって駆動回路内の直流電源の電源電圧が低下した場合には、JFET、トランジスタ、またはMOSFETを用いてIGBT1のゲート-エミッタ間を短絡することによってIGBT1が誤ってオンする誤動作を防止している。しかしながら、IGBT1がオン状態で停電等が発生して直流電源の電源電圧が低下することも起こりうる。この場合、ゲート抵抗を介してIGBT1をオフするよりも早く、 dV/dt 誤動作防止回路が動作すると、IGBT1のゲート-エミッタ間が短絡され、急速にIGBT1がターンオフしてしまうという問題が発生する可能性がある。 dV/dt 誤動作防止回路に制限抵抗を設けることによって、急速なIGBT1のターンオフを回避することも可能であるが、大きな電圧変動 dV/dt が印加された場合には、 dV/dt 誤動作防止回路の動作が遅れる可能性もある。そこで、本実施の形態における電力用半導体素子の駆動回路は、 dV/dt 誤動作防止回路が動作する前に、IGBT1を正常にターンオフする機能を追加したものである。

[0035] 図4において、電力用半導体素子の駆動回路130には、実施の形態1に示した電力用半導体素子の駆動回路100に加えて、電源電圧検知回路17が追加されている。なお、実施の形態1～3に示した以外の dV/dt 誤動作防止回路であっても直流電源の電源電圧が低下した状態でIGBTのゲート電圧の上昇を抑制するという機能があれば、例えばノーマリーオン素子を

用いずに、ノーマリーオフ素子を用いた回路であっても、急速な IGBT のターンオフを回避するという機能は満足する。

[0036] 電源電圧検知回路 17 は例えばコンパレータ等によって構成され、第二の直流電源 9 の電源電圧を検知するために、第二の直流電源 9 の正極側に接続されている。電源電圧検知回路 17 の電圧検知レベルは、第二の直流電源 9 の電源電圧が ΔV 低下した時点で電圧低下を検知できるように設定されている。ここで、 ΔV は電源電圧検知回路 17 が検知する所定の電源電圧低下量である。また、電源電圧検知回路 17 の電圧検知レベルは、 dV/dt 誤動作防止回路 10 が動作し始める電圧より高く設定されている。第二の直流電源 9 の電源電圧が電圧検知レベル以下に低下する、つまり、第二の直流電源 9 の電源電圧が所定の電源電圧低下量に達すると、電源電圧検知回路 17 は制御回路 3 へオフ信号を出力し、制御回路 3 は IGBT 1 をターンオフするか、または、IGBT 1 のオフ状態を維持するようにオン用 MOSFET 4 およびオフ用 MOSFET 5 を制御する。このような動作を行うので、停電等によって第二の直流電源 9 の電源電圧が低下した場合でも、 dV/dt 誤動作防止回路 10 が動作するより前に IGBT 1 を正常にターンオフすることができる。

[0037] ここで、実施の形態 1 に示した dV/dt 誤動作防止回路を用いた場合における、電源電圧検知回路 17 の電圧検知レベル「 $V_e - \Delta V$ 」の設定について説明する。JFET 11 のしきい値電圧 $V_{gs}(off)$ の絶対値 $|V_{gs}|$ に対して電源電圧検知回路 17 の電圧検知レベル「 $V_e - \Delta V$ 」の絶対値 $|V_e - \Delta V|$ が、 $|V_e - \Delta V| > |V_{gs}|$ の関係を満たすように電圧検知レベルを設定する。ここで、電源電圧 V_e とスイッチング素子である JFET 11 がオンするしきい値電圧 $V_{gs}(off)$ との差分が、JFET 11 がオンする第二の直流電源 9 の電源電圧の低下量となる。つまり、 $|V_e - \Delta V| > |V_{gs}|$ の関係を満たすということは、電源電圧検知回路 17 が検知する所定の電源電圧低下量を JFET 11 がオンする第二の直流電源 9 の電源電圧の低下量より小さくすることである。

- [0038] このように設定することによって、IGBT1がオン状態で第二の直流電源9の電源電圧が低下した場合、第二の直流電源9の電源電圧が正常値 V_e から ΔV 低下した時点で、電源電圧検知回路17が第二の直流電源9の電源電圧の低下を検知する。そして、電源電圧検知回路17が制御回路3にオフ指令を出力し、制御回路3がIGBT1をターンオフする。次に、第二の直流電源9の電源電圧がJFET11のしきい値電圧 $V_{gs(off)}$ まで低下した時点でJFET11がオン状態となり、電圧変動 dV/dt が印加されてもIGBT1のゲート電圧の上昇を抑制する。
- [0039] なお、図4の電力用半導体素子の駆動回路130では、電源電圧検知回路17が第二の直流電源9の電源電圧の低下を検知する例を示している。しかしながら、図5の電力用半導体素子の駆動回路140に示すように、電源電圧検知回路17を第一の直流電源8の正極側に接続し、第一の直流電源8と第二の直流電源9とを合わせた電源電圧の電圧低下を検知しても良い。この場合でも、電源電圧検知回路17が電源電圧の電圧低下を検知し、IGBT1をターンオフする前に、 dV/dt 誤動作防止回路10が動作しないように電源電圧検知回路17の電圧検知レベルと dV/dt 誤動作防止回路10が動作し始める電圧（例えば、JFET11のしきい値電圧 $V_{ge(off)}$ ）を設定する。
- [0040] 図5のように、第一の直流電源8の正極側で電圧検知を行うと、第一の直流電源8と第二の直流電源9のどちらの電源電圧がどのような割合で低下しているが不明であるが、第二の直流電源9の電源電圧のみが低下するという前提で電圧検知レベルを設定しておけば、 dV/dt 誤動作防止回路10が先に動作しないように設定することができる。例えば、第二の直流電源9の電源電圧のみが低下する場合、電源電圧検知回路17は第一の直流電源8と第二の直流電源9とを合わせた電源電圧が ΔV 低下した時点で検知するように、 $|V_e - \Delta V| > |V_{gs}|$ の関係を満たすように電圧検知レベル「 $V_e - \Delta V$ 」を設定する。そして、直流電源の種類によっては停電が発生した場合に、第一の直流電源8と第二の直流電源9との低下の割合が決まる場合も

あるので、その場合にはその低下の割合に応じて電圧検知回路 17 の電圧検知レベルと J F E T 11 のしきい値電圧 $V_{gs(off)}$ との設定範囲を広げればよい。

[0041] なお、実施の形態 2、3 に対しても、本実施の形態において示した電源電圧検知回路 17 を加えることによって、実施の形態 2、3 で説明した効果に加え、本実施の形態で得られる効果も併せて得ることができる。

[0042] 以上のように第一の直流電源 8 および第二の直流電源 9 の少なくとも何れか一方から供給される電圧の低下を検知する電源電圧検知回路 17 を備えたので、電力用半導体素子のオン期間中に停電等で駆動回路 130 の直流電源の電源電圧が低下した場合でも、スイッチング素子がオンするより前に、電源電圧検知回路 17 によって電力用半導体素子を正常にオフできるため、電力用半導体素子を高速にターンオフすることを防ぐことができる。

[0043] 実施の形態 5.

図 6 は、この発明を実施するための実施の形態 5 における電力用半導体素子の駆動回路の構成を示す回路図である。本実施の形態の電力用半導体素子の駆動回路は、 dV/dt 誤動作防止回路にノーマリーオン素子の代わりにノーマリーオフ素子を用いた点が実施の形態 4 と異なる。

[0044] ノーマリーオフ素子を用いた dV/dt 誤動作防止回路 50 は、第一の npn トランジスタ 18、第二の npn トランジスタ 19、第一の npn トランジスタ 18 のベース-エミッタ間に第二の直流電源 9 の電源電圧を分圧して入力するための抵抗 20、21、IGBT 1 のゲート-エミッタ間に直列接続され、その接続点に第一の npn トランジスタ 18 のコレクタおよび第二の npn トランジスタ 19 のベースが接続されている抵抗 22、23 によって構成されている。

[0045] 駆動回路 150 の動作について説明する。正常状態、すなわち、第二の直流電源 9 の電源電圧が確立された状態では、第一の npn トランジスタ 18 のベース-エミッタ間には第二の直流電源 9 の電源電圧を抵抗 20、21 で分圧した電圧が印加され、第一の npn トランジスタ 18 がオン状態となる

。第一のnpnトランジスタ18がオン状態になると、第二のnpnトランジスタ19のベース電圧は駆動回路150のGND相当の電圧となり、第二のnpnトランジスタ19はオフ状態となり、IGBT1の通常のスイッチング動作に影響を与えない。

[0046] 停電等によって第二の直流電源9の電源電圧が低下した場合、電源電圧検知回路17の電圧検知レベルを dV/dt 誤動作防止回路50のしきい値より高く設定しているため、まず、電源電圧検知回路17が動作し、IGBT1をターンオフまたはオフ状態を維持する。そして、さらに第二の直流電源9の電源電圧が低下すると第一のnpnトランジスタ18のベース-エミッタ間電圧が低下し、第一のnpnトランジスタ18がオフする。この状態で電圧変動 dV/dt が印加されてIGBT1のゲート電圧が上昇すると、抵抗22を通して第二のnpnトランジスタ19のベースに電流が流れ、第二のnpnトランジスタ19がオンする。第二のnpnトランジスタ19がオンすることによって、IGBT1のゲート-エミッタ間が短絡され、IGBT1のゲート電圧の上昇を抑制することができる。つまり、実施の形態4と同様に電源電圧検知回路17が検知する所定の電源電圧低下量を、IGBT1の制御端子間電圧であるゲート電圧が上昇した場合に、第二のnpnトランジスタ19がオンする第二の直流電源9の電源電圧の低下量より小さくしている。

[0047] なお、第一および第二のnpnトランジスタ18、19の特性や回路定数によっては第二のnpnトランジスタ19に逆電流が流れる場合があるため、そのような場合には第二のnpnトランジスタ19とIGBT1のゲートとの間に逆電流防止用のダイオードを挿入すればよい。この逆電流防止用のダイオードは、カソードが第二のnpnトランジスタ19側になるように挿入する。

[0048] なお、本実施の形態において説明した dV/dt 誤動作防止回路50の構成は一例であり、 dV/dt 誤動作防止回路がその機能を満たしていれば良く、必要な電流容量に応じて第二のnpnトランジスタ19を多並列で用い

ても良いし、第二のnpnトランジスタ19をダーリントン接続しても良いし、JFET11のゲートやドレイン、第二のnpnトランジスタ19のコレクタやベースに電流制限用の抵抗を接続しても良い。

[0049] また、本実施の形態において、正常時には第一のnpnトランジスタ18がオン状態であり、IGBT1もオン状態であると、抵抗22に電流が流れ続ける。このため、抵抗22での消費電力を抑えるためには抵抗22の抵抗値を大きくする必要がある。これによって、第二のnpnトランジスタ19のベース電流が小さくなるため、第二のnpnトランジスタ19をダーリントン接続することは有効である。また、本実施の形態においてはnpnトランジスタを用いたが、npnトランジスタの代わりにnチャンネルMOSFETを用いてもよい。

[0050] また、図6において、電源電圧検知回路17が第二の直流電源9の電源電圧の低下を検知する例を示しているが、実施の形態4にて説明したように電源電圧検知回路17を第一の直流電源8の正極側と駆動回路150のGNDとの間に接続し、第一の直流電源8と第二の直流電源9とを合せた電源電圧の電圧低下を検知しても良い。この場合でも、電源電圧検知回路17が電源電圧の電圧低下を検知し、IGBT1をターンオフする前に、 dV/dt 誤動作防止回路50が動作しないように電源電圧検知回路17の電圧検知レベルと dV/dt 誤動作防止回路50が動作し始める電圧を設定する。

[0051] 以上のように、 dV/dt 誤動作防止回路50にノーマリーオフ素子である第一および第二のnpnトランジスタ18, 19を用いたので、簡単な回路構成でIGBT1の誤動作を抑制することができる。また、電源電圧検知回路17を設けたことによって、IGBT1のオン期間中に停電等で駆動回路150の直流電源の電源電圧が低下した場合でも、 dV/dt 誤動作防止回路50のノーマリーオフ素子がオンするより前に、電力用半導体素子を正常にオフできるため、電力用半導体素子を高速にターンオフすることを防ぐことができる。

[0052] 実施の形態6.

図7は、この発明を実施するための実施の形態6における電力用半導体素子の駆動回路の構成を示す回路図である。本実施の形態の電力用半導体素子の駆動回路は、直流電源がIGBT1の制御端子間であるゲート-エミッタ間に正電圧を供給する第一の直流電源のみで構成される点が実施の形態5と異なる。本実施の形態はコレクター-エミッタ間の電圧変動 dV/dt が小さい場合等、オフ状態でゲート-エミッタ間に負電圧を印加しなくても電力用半導体素子が誤動作しない場合に適用されるものである。

[0053] 図7において、電源電圧検知回路17を第一の直流電源8の正極側に接続し、第一の直流電源8の電圧低下を検知している。また、抵抗20は第一の直流電源8の負極側ではなく、第一の直流電源8の正極側に接続されている。ノーマリーオフ素子を用いた dV/dt 誤動作防止回路60は、第一のnpnトランジスタ18、第二のnpnトランジスタ19、第一のnpnトランジスタ18のベース-エミッタ間に第一の直流電源8の電源電圧を分圧して入力するための抵抗20、21、IGBT1のゲート-エミッタ間に直列接続され、その接続点に第一のnpnトランジスタ18のコレクタおよび第二のnpnトランジスタ19のベースが接続されている抵抗22、23によって構成されている。

[0054] 駆動回路160の動作について説明する。正常状態、すなわち、第一の直流電源8の電源電圧が確立された状態では、第一の直流電源8の正極側に接続された抵抗20を介して第一の直流電源8の電源電圧を抵抗20、21で分圧した電圧が、第一のnpnトランジスタ18のベース-エミッタ間に印加され、第一のnpnトランジスタ18がオン状態となる。ここで第一のnpnトランジスタ18のコレクター-エミッタ間電圧を第二のnpnトランジスタ19がオン状態となるベース-エミッタ間電圧より低くなるように設定することにより、第二のnpnトランジスタ19はオフ状態となり、IGBT1の通常のスイッチング動作に影響を与えない。

[0055] 停電等によって第一の直流電源8の電源電圧が低下した場合、電源電圧検知回路17の電圧検知レベルを dV/dt 誤動作防止回路60のしきい値よ

り高く設定しているので、まず、電源電圧検知回路17が動作し、IGBT1をターンオフまたはオフ状態を維持する。そして、さらに第一の直流電源8の電源電圧が低下すると第一のnpnトランジスタ18のベース-エミッタ間電圧が低下し、第一のnpnトランジスタ18がオフする。この状態で電圧変動 dV/dt が印加されてIGBT1のゲート電圧が上昇すると、抵抗22を通して第二のnpnトランジスタ19のベースに電流が流れ、第二のnpnトランジスタ19がオンする。第二のnpnトランジスタ19がオンすることによって、IGBT1のゲート-エミッタ間が短絡され、IGBT1のゲート電圧の上昇を抑制することができる。

[0056] なお、第一および第二のnpnトランジスタ18, 19の特性や回路定数によっては第二のnpnトランジスタ19に逆電流が流れる場合があるため、そのような場合には第二のnpnトランジスタ19とIGBT1のゲートとの間に逆電流防止用のダイオードを挿入すればよい。この逆電流防止用のダイオードは、カソードが第二のnpnトランジスタ19側になるように挿入する。

[0057] なお、本実施の形態において説明した dV/dt 誤動作防止回路60の構成は一例であり、 dV/dt 誤動作防止回路がその機能を満たしていれば良く、必要な電流容量に応じて第二のnpnトランジスタ19を多並列で用いても良いし、第二のnpnトランジスタ19をダーリントン接続しても良いし、JFET11のゲートやドレイン、第二のnpnトランジスタ19のコレクタやベースに電流制限用の抵抗を接続しても良い。

[0058] 以上のように、直流電源を第一の直流電源1のみで構成しても、 dV/dt 誤動作防止回路60にノーマリーオフ素子である第一および第二のnpnトランジスタ18, 19を用いたので、簡単な回路構成でIGBT1の誤動作を抑制することができる。また、電源電圧検知回路17を設けたことによって、IGBT1のオン期間中に停電等で駆動回路160の直流電源の電源電圧が低下した場合でも、 dV/dt 誤動作防止回路60のノーマリーオフ素子がオンするより前に、電力用半導体素子を正常にオフできるため、電力

用半導体素子を高速にターンオフすることを防ぐことができる。

[0059] なお、全ての実施の形態において、電力用半導体素子として IGBT を用いているが、例えば MOSFET 等の電圧駆動型電力用半導体素子に対しても、全ての実施の形態で示した電力用半導体素子の駆動回路を適用することができる。また、半導体として Si だけでなく、SiC 等のワイドギャップ半導体に対しても、全ての実施の形態で示した駆動回路を適用することができる。なお、SiC 等のワイドギャップ半導体はしきい値電圧 V_{th} が低い場合があり、誤動作しやすいので、SiC 等で作製した電力用半導体素子に対しては、全ての実施の形態で示した駆動回路を用いて誤動作を防止できるという効果が更に大きくなる。

符号の説明

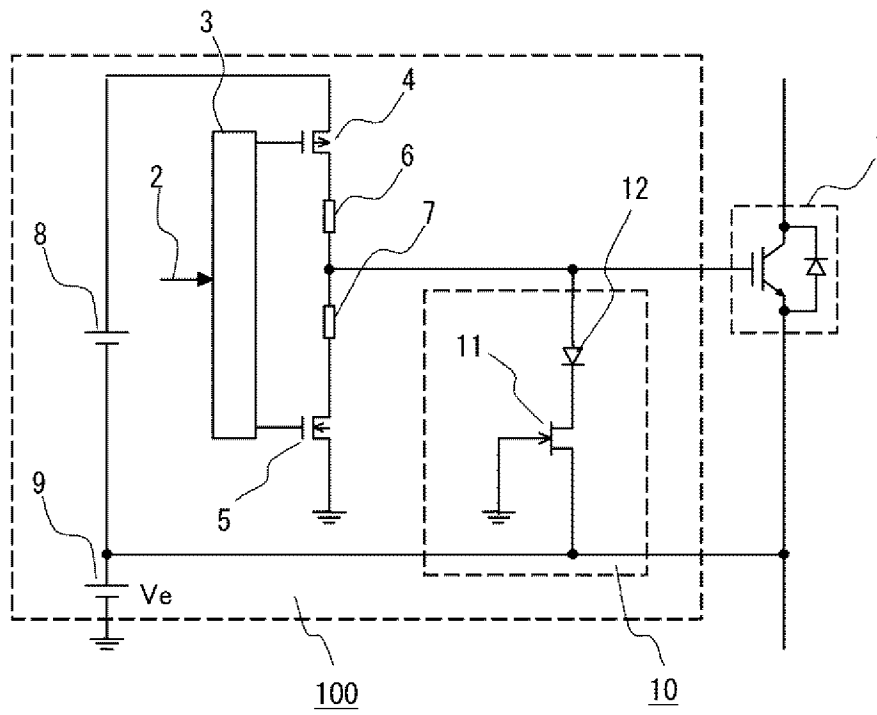
[0060] 1 IGBT (電力用半導体素子)、2 制御信号、3 制御回路、4 オン用 MOSFET、5 オフ用 MOSFET、6, 7 ゲート抵抗、8 第一の直流電源、9 第二の直流電源、10, 30, 40, 50, 60 dV/dt 誤動作防止回路、11 JFET、12, 14 ダイオード、13 npn トランジスタ、15, 20~23 抵抗、16 pnp トランジスタ、17 電源電圧検知回路、18 第一の npn トランジスタ、19 第二の npn トランジスタ、100, 110, 120, 130, 140, 150, 160 駆動回路。

請求の範囲

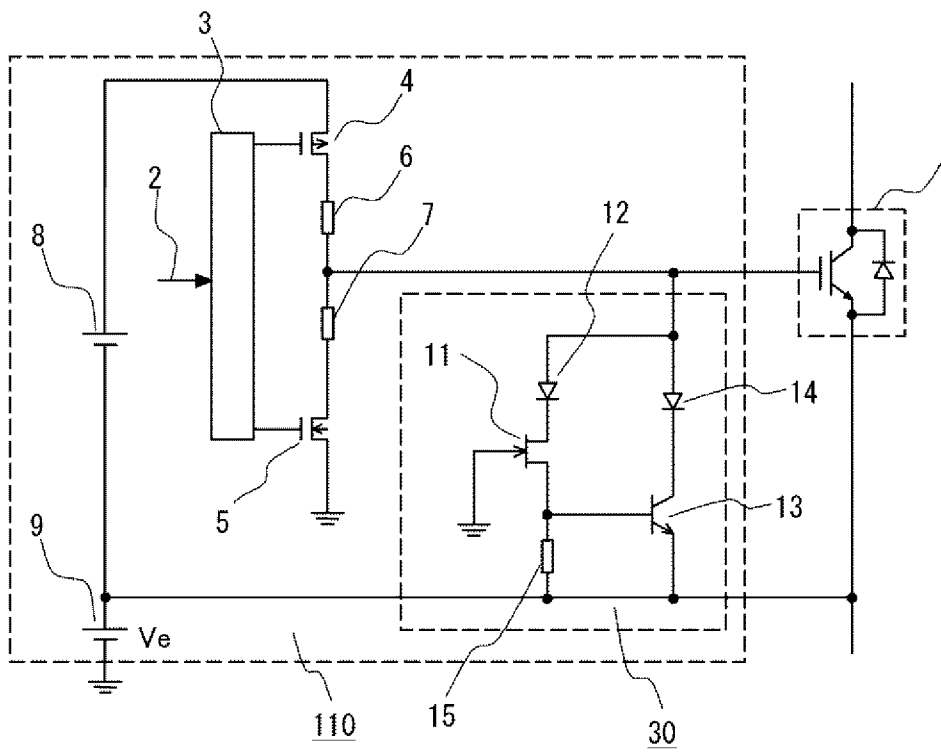
- [請求項1] 電力用半導体素子のオンオフを制御する制御回路と、
前記電力用半導体素子の制御端子間に電圧を供給する直流電源と、
前記電力用半導体素子の制御端子間に接続されたスイッチング素子と
を備え、
前記スイッチング素子は、前記直流電源の電源電圧が低下した場合に
オンし、または、前記直流電源の電源電圧が低下した状態で前記電力
用半導体素子の制御端子間電圧が上昇した場合にオンし、前記電力用
半導体素子の制御端子間を短絡させることを特徴とする電力用半導体
素子の駆動回路。
- [請求項2] 前記直流電源は、前記電力用半導体素子がオン状態で前記電力用半導
体素子の制御端子間に正電圧を供給する第一の直流電源と、前記電力
用半導体素子がオフ状態で前記電力用半導体素子の制御端子間に負電
圧を供給する第二の直流電源とによって構成され、
前記スイッチング素子は、前記第二の直流電源の電源電圧が低下した
場合にオンし、または、前記第二の直流電源の電源電圧が低下した状
態で前記電力用半導体素子の制御端子間電圧が上昇した場合にオンし
、前記電力用半導体素子の制御端子間を短絡させることを特徴とする
請求項1に記載の電力用半導体素子の駆動回路。
- [請求項3] 前記直流電源の電源電圧の低下を検知し、前記直流電源の電源電圧が
所定の電源電圧低下量に達した場合に前記電力用半導体素子をオフす
る信号を前記制御回路へ出力する電源電圧検知回路を備え、
前記所定の電源電圧低下量を前記スイッチング素子がオンする前記直
流電源の電源電圧の低下量より小さく、または、前記所定の電源電圧
低下量を前記電力用半導体素子の制御端子間電圧が上昇した場合に前
記スイッチング素子がオンする前記直流電源の電源電圧の低下量より
小さくしたことを特徴とする請求項1に記載の電力用半導体素子の駆
動回路。

- [請求項4] 前記スイッチング素子は、ノーマリーオン素子であることを特徴とする請求項1に記載の電力用半導体素子の駆動回路。
- [請求項5] 前記スイッチング素子は、ノーマリーオン素子であり、前記スイッチング素子の制御端子は、前記第二の直流電源の負極側に接続されたことを特徴とする請求項2に記載の電力用半導体素子の駆動回路。
- [請求項6] 前記スイッチング素子は、ノーマリーオフ素子であることを特徴とする請求項1に記載の電力用半導体素子の駆動回路。
- [請求項7] 前記電力用半導体素子の制御端子間に接続され、前記スイッチング素子に流れる電流を増幅する増幅回路を備えたことを特徴とする請求項1に記載の電力用半導体素子の駆動回路。
- [請求項8] 前記電力用半導体素子の制御端子間に前記スイッチング素子と直列にダイオードが挿入され、前記ダイオードは、アノード側が前記電力用半導体素子のゲート端子側となるように接続されたことを特徴とする請求項1に記載の電力用半導体素子の駆動回路。
- [請求項9] 前記スイッチング素子のしきい値電圧の絶対値を、前記第二の直流電源の正常時の前記負電圧の絶対値より低く設定したことを特徴とする請求項2に記載の電力用半導体素子の駆動回路。
- [請求項10] 前記電力用半導体素子は、SiC半導体であることを特徴とする請求項1に記載の電力用半導体素子の駆動回路。

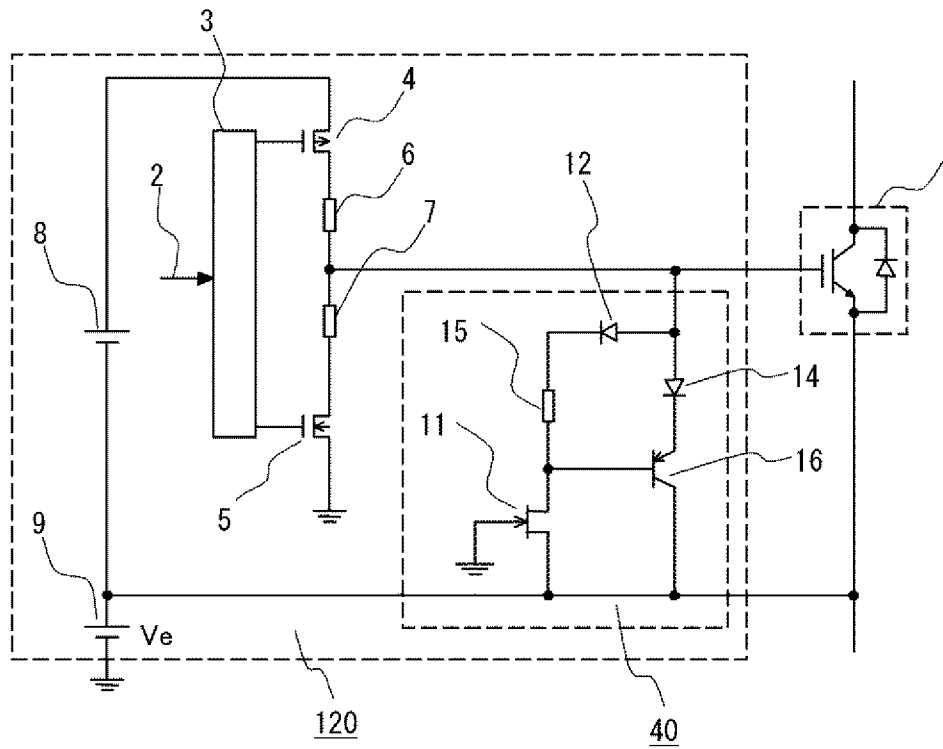
[図1]



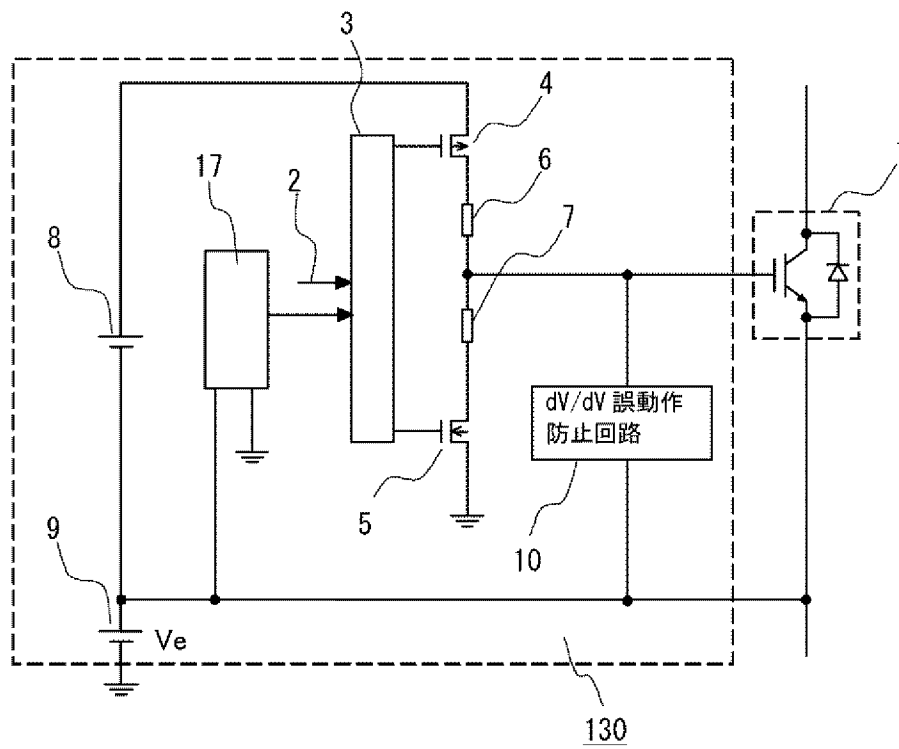
[図2]



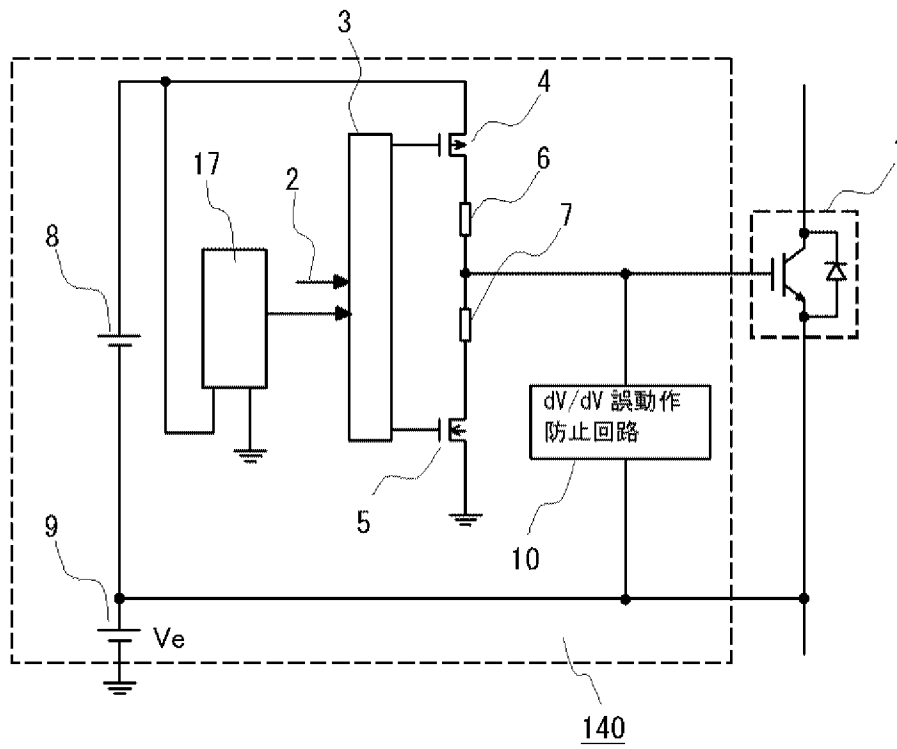
[図3]



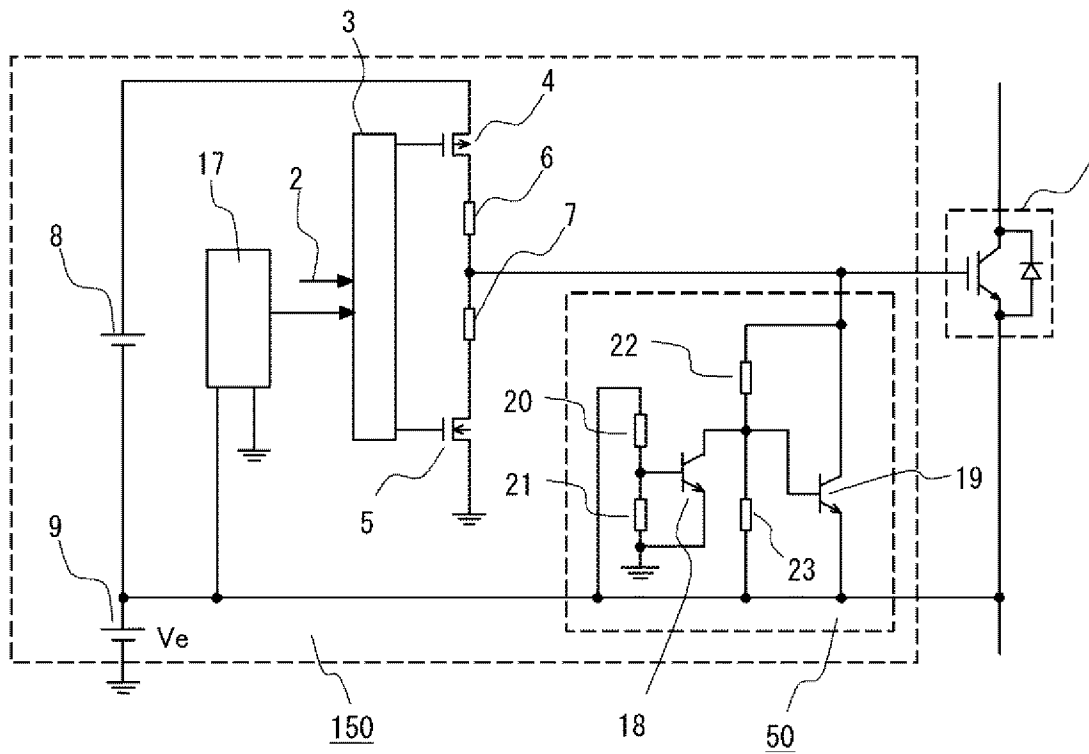
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003419

<p>A. CLASSIFICATION OF SUBJECT MATTER H02M1/08(2006.01) i</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>														
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) H02M1/08</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009 Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>														
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X Y</td> <td>JP 10-285909 A (Toshiba FA Systems Engineering Corp.), 23 October, 1998 (23.10.98), Par. Nos. [0024] to [0037]; Figs. 1 to 5 (Family: none)</td> <td>1, 2, 4, 6, 7, 10 5, 8, 9</td> </tr> <tr> <td>Y</td> <td>JP 10-257755 A (Toyoda Automatic Loom Works, Ltd.), 25 September, 1998 (25.09.98), Par. Nos. [0015] to [0022]; Figs. 1, 2 (Family: none)</td> <td>5, 8, 9</td> </tr> <tr> <td>P, X</td> <td>JP 2009-81962 A (Sharp Corp.), 16 April, 2009 (16.04.09), Par. Nos. [0051] to [0065]; Figs. 4, 5 & US 2009/0079491 A1 & EP 2045920 A & CN 101399503 A</td> <td>1, 4</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y	JP 10-285909 A (Toshiba FA Systems Engineering Corp.), 23 October, 1998 (23.10.98), Par. Nos. [0024] to [0037]; Figs. 1 to 5 (Family: none)	1, 2, 4, 6, 7, 10 5, 8, 9	Y	JP 10-257755 A (Toyoda Automatic Loom Works, Ltd.), 25 September, 1998 (25.09.98), Par. Nos. [0015] to [0022]; Figs. 1, 2 (Family: none)	5, 8, 9	P, X	JP 2009-81962 A (Sharp Corp.), 16 April, 2009 (16.04.09), Par. Nos. [0051] to [0065]; Figs. 4, 5 & US 2009/0079491 A1 & EP 2045920 A & CN 101399503 A	1, 4
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X Y	JP 10-285909 A (Toshiba FA Systems Engineering Corp.), 23 October, 1998 (23.10.98), Par. Nos. [0024] to [0037]; Figs. 1 to 5 (Family: none)	1, 2, 4, 6, 7, 10 5, 8, 9												
Y	JP 10-257755 A (Toyoda Automatic Loom Works, Ltd.), 25 September, 1998 (25.09.98), Par. Nos. [0015] to [0022]; Figs. 1, 2 (Family: none)	5, 8, 9												
P, X	JP 2009-81962 A (Sharp Corp.), 16 April, 2009 (16.04.09), Par. Nos. [0051] to [0065]; Figs. 4, 5 & US 2009/0079491 A1 & EP 2045920 A & CN 101399503 A	1, 4												
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>														
<p>* Special categories of cited documents:</p> <table style="width:100%;"> <tr> <td style="width:50%;"> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>										
<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>													
<p>Date of the actual completion of the international search 17 September, 2009 (17.09.09)</p>		<p>Date of mailing of the international search report 06 October, 2009 (06.10.09)</p>												
<p>Name and mailing address of the ISA/ Japanese Patent Office</p>		<p>Authorized officer</p>												
<p>Facsimile No.</p>		<p>Telephone No.</p>												

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003419

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-157367 A (Sanken Electric Co., Ltd.), 15 June, 2006 (15.06.06), Par. No. [0010]; Fig. 9 (Family: none)	3
A	JP 63-99616 A (Matsushita Electric Works, Ltd.), 30 April, 1988 (30.04.88), Full text; all drawings & US 4804866 A & US 4873202 A & GB 2188484 A & DE 3708812 A & KR 10-1990-0003069 B1	4
A	JP 1-300617 A (Fuji Electric Co., Ltd.), 05 December, 1989 (05.12.89), Full text; all drawings (Family: none)	4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003419

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to the inventions in claims 1-10 is "being provided with a switching element connected between control terminals of a power semiconductor elements, wherein the switching element is turned on when the power-supply voltage of a direct-current power supply for supplying voltage between the control terminals of the power semiconductor element decreases or turned on when the voltage between the control terminals of the power semiconductor element increases while the power-supply voltage of the direct-current power supply decreases to thereby cause a short-circuit between the control terminals of the power semiconductor element". However, it has been revealed that (Continued to the extra sheet.)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003419

Continuation of Box No.III of continuation of first sheet(2)

this technical feature is not novel since it is disclosed in document JP 10-285909 A (Toshiba FA Systems Engineering Corp.), 23 October, 1998 (23.10.98), paragraphs [0024]-[0037], Figs. 1-5. In consequence, since the common technical feature makes no contribution over the prior art, the common technical feature cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence. Therefore there exists no matter common to all the inventions in claims 1-10. Thus, the inventions in claims 1-10 do not comply with the requirement of unity of invention.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M1/08(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M1/08		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2009年 日本国実用新案登録公報 1996-2009年 日本国登録実用新案公報 1994-2009年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 10-285909 A (東芝エフエーシステムエンジニアリング株式会社) 1998.10.23, 段落【0024】-【0037】, 第1-5図 (ファミリーなし)	1, 2, 4, 6, 7, 10 5, 8, 9
Y	JP 10-257755 A (株式会社豊田自動織機製作所) 1998.09.25, 段落【0015】-【0022】, 第1, 2図 (ファミリーなし)	5, 8, 9
P, X	JP 2009-81962 A (シャープ株式会社) 2009.04.16, 段落【0051】- 【0065】, 第4, 5図 & US 2009/0079491 A1 & EP 2045920 A & CN 101399503 A	1, 4
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 17.09.2009	国際調査報告の発送日 06.10.2009	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 杉浦 貴之 電話番号 03-3581-1101 内線 3358	3V 9723

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-157367 A (サンケン電気株式会社) 2006.06.15, 段落【0010】 , 第9図 (ファミリーなし)	3
A	JP 63-99616 A (松下電工株式会社) 1988.04.30, 全文、全図 & US 4804866 A & US 4873202 A & GB 2188484 A & DE 3708812 A & KR 10-1990-0003069 B1	4
A	JP 1-300617 A (富士電機株式会社) 1989.12.05, 全文、全図 (ファミリーなし)	4

第II欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求項1-10に係る発明に共通する技術的特徴は「電力用半導体素子の制御端子間に接続されたスイッチング素子を備え、前記スイッチング素子は、前記電力用半導体素子の制御端子間に電圧を供給する直流電源の電源電圧が低下した場合にオンし、または、前記直流電源の電源電圧が低下した状態で前記電力用半導体素子の制御端子間電圧が上昇した場合にオンし、前記電力用半導体素子の制御端子間を短絡させる」点である。しかしながら、この技術的特徴は、文献JP 10-285909 A（東芝エフエーシステムエンジニアリング株式会社）1998.10.23、段落【0024】 - 【0037】、第1-5図に開示されているから、新規でないことが明らかとなった。結果として、この共通する技術的特徴は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、特別な技術的特徴ではない。したがって、請求項1-10に係る発明全てに共通の特別な技術的特徴はない。よって、請求項1-10に係る発明は発明の単一性の要件を満たしていない。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。